

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 9 月 7 日(07.09.2012)



(10) 国際公開番号
WO 2012/117745 A1

- (51) 国際特許分類:
H01L 29/786 (2006.01) H01L 21/336 (2006.01)
H01L 21/02 (2006.01) H01L 27/12 (2006.01)
H01L 21/20 (2006.01)
- (21) 国際出願番号: PCT/JP2012/001477
- (22) 国際出願日: 2012 年 3 月 2 日(02.03.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-045510 2011 年 3 月 2 日(02.03.2011) JP
- (71) 出願人(米国を除く全ての指定国について): 住友化学株式会社 (SUMITOMO CHEMICAL COMPANY, LIMITED) [JP/JP]; 〒1048260 東京都中央区新川二丁目 2 7 番 1 号 Tokyo (JP). 国立大学法人東京大学 (THE UNIVERSITY OF TOKYO) [JP/JP]; 〒1138654 東京都文京区本郷七丁目 3 番 1 号 Tokyo (JP). 独立行政法人産業技術総合研究所 (NATIONAL INSTITUTE OF ADVANCED INDUSTRIAL SCIENCE AND TECHNOLOGY) [JP/JP]; 〒1008921 東京都千代田区霞が関 1 丁目 3 番 1 号 Tokyo (JP).

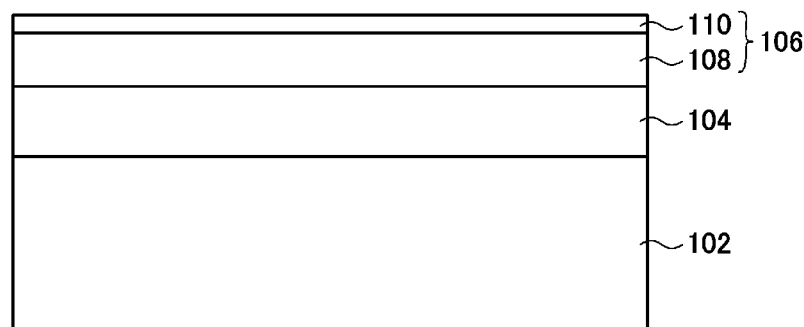
- (72) 発明者; および
(75) 発明者/出願人(米国についてののみ): 青木 健志 (AOKI, Takeshi) [JP/JP]; 〒3003294 茨城県つくば市北原 6 住友化学株式会社内 Ibaraki (JP). 山田 永 (YAMADA, Hisashi) [JP/US]; 85034 アリゾナ州フェニックス, イーストワトキンスストリート, 3832, スミカ エレクトロニック マテリアルズ インコーポレーテッド内 Arizona (US). 福原 昇 (FUKUHARA, Noboru) [JP/JP]; 〒3003294 茨城県つくば市北原 6 住友化学株式会社内 Ibaraki (JP). 秦 雅彦 (HATA, Masahiko) [JP/JP]; 〒3003294 茨城県つくば市北原 6 住友化学株式会社内 Ibaraki (JP). 横山 正史 (YOKOYAMA, Masafumi) [JP/JP]; 〒1138654 東京都文京区本郷七丁目 3 番 1 号 国立大学法人東京大学内 Tokyo (JP). 金 相賢 (KIM, SangHyeon) [KR/JP]; 〒1138654 東京都文京区本郷七丁目 3 番 1 号 国立大学法人東京大学内 Tokyo (JP). 竹中 充 (TAKENAKA, Mitsuru) [JP/JP]; 〒1138654 東京都文京区本郷七丁目 3 番 1 号 国立大学法人東京大学内 Tokyo (JP). 高木 信一 (TAKAGI, Shinichi) [JP/JP]; 〒1138654 東京都文京区本郷七丁目 3 番 1 号 国立大学法人東京大学内 Tokyo (JP). 安田 哲二 (YASUDA, Tetsuji) [JP/JP]; 〒3058561 茨城県つくば市東 1-1-1 独立行政法人産業技術総合研究所内 Ibaraki (JP).

[続葉有]

(54) Title: SEMICONDUCTOR SUBSTRATE AND METHOD OF PRODUCING SAME

(54) 発明の名称: 半導体基板及びその製造方法

[図1]



100

(57) Abstract: The purpose of the present invention is to provide a transistor in which damage received by a semiconductor layer during lamination by a DWB method is reduced, the effects of received damage and the effects of the interface state are minimized, and high carrier mobility is maintained. The present invention provides a semiconductor substrate having a base substrate (102), a first insulating layer (104), and a semiconductor layer (106). The first insulating layer (104) comprises an amorphous metal oxide or amorphous metal nitride. The semiconductor layer (106) includes a first crystal layer (108) and a second crystal layer (110), the electron affinity E_{a1} of the first crystal layer (108) being greater than the electron affinity E_{a2} of the second crystal layer (110).

(57) 要約: 本発明は、DWB法における貼り合わせ時に、半導体層が受けるダメージを小さくし、受けたダメージの影響及び界面準位の影響を低く抑え、高いキャリア移動度を有するトランジスタを提供することを目的とする。本発明は、ベース基板(102)と第1絶縁体層(104)と半導体層(106)とを有し、第1絶縁体層(104)が、アモルファス状金属酸化物またはアモルファス状金属窒化物からなり、半導体層(106)が、第1結晶層(108)および第2結晶層(110)を含み、第1結晶層(108)の電子親和力 E_{a1} が、第2結晶層(110)の電子親和力 E_{a2} より大きい半導体基板を提供する。



WO 2012/117745 A1



(74) 代理人: 龍華国際特許業務法人(RYUKA IP LAW FIRM); 〒1631522 東京都新宿区西新宿 1 - 6 - 1 新宿エルタワー 2 2 階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,

MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

規則 4.17 に規定する申立て:

— 不利にならない開示又は新規性喪失の例外に関する申立て (規則 4.17(v))

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称： 半導体基板及びその製造方法

技術分野

[0001] 本発明は、半導体基板、電界効果トランジスタ、半導体基板の製造方法および電界効果トランジスタの製造方法に関する。なお本願は、平成21年度、NEDO、「ナノエレクトロニクス半導体新材料・新構造ナノ電子デバイス技術開発ーシリコンプラットフォーム上III-V族半導体チャネルトランジスタ技術の研究開発」委託研究 産業技術力強化法第19条の適用を受ける特許出願である。

背景技術

[0002] III-V族化合物半導体層をチャネル層に用いるIII-V族MISFET (Metal-Insulator-Semiconductor Field-Effect Transistor) は、電子移動度が高く、高周波動作および大電力動作に適したスイッチングデバイスとして期待されている。また、III-V族MISFETは、シリコンをチャネル材料に用いるSi CMOSFET (Complementary Metal-Oxide-Semiconductor Field Effect Transistor) の代替素子として有望視されている。III-V族MISFETで相補型素子を構成し、LSI (Large Scale Integration) を製造する場合、既存製造装置および既存工程が利用できることを考慮すれば、シリコン基板上にIII-V族MISFETを形成することが好ましい。

[0003] なお、III-V族化合物半導体層をチャネル層に用いるMISFETは、非特許文献1～2に記載されている。また、半導体と絶縁体の界面に形成されるエネルギー準位 (本明細書中では「界面準位」という) の低減には、例えば化合物半導体の表面を硫化物で処理することが有効であることが非特許文献3に記載されている。

非特許文献1 Ren, F. et al. Demonstration of enhancement-mode p- a

nd n-channel GaAs MOSFETs with $\text{Ga}_2\text{O}_3(\text{Gd}_2\text{O}_3)$ As gate oxide. Solid State Electron. 41, 1751-1753 (1997).

非特許文献2 Chin, H. C. et al. Silane-ammonia surface passivation for gallium arsenide surface-channel n-MOSFETs. IEEE Electron Device Lett. 30, 110-112 (2009).

非特許文献3 S. Arabasz, et al. 著, Vac. 80巻(2006年)、888ページ

発明の概要

発明が解決しようとする課題

- [0004] III-V族MISFETをシリコン基板上に製造するには、シリコン基板上にIII-V族化合物半導体層を形成する必要がある。しかし、III-V族化合物半導体層とシリコン基板との格子ミスマッチが大きいので、高品質なIII-V族化合物半導体層をエピタキシャル結晶成長により形成することは困難である。
- [0005] 一方、光デバイスの集積化技術として知られているDWB(direct wafer bonding)法、即ち基板を直接貼り合わせる方法、を利用してシリコン基板上にIII-V族化合物半導体層を形成することが考えられる。しかしDWB法では、シリコン基板とIII-V族化合物半導体層とを貼り合わせることで、III-V族化合物半導体層に結晶欠陥の発生などのダメージが加わる場合がある。当該ダメージの大きさが、III-V族化合物半導体層をMISFETのチャネル層として使用する場合に許容できるダメージの大きさを超えてしまうと、当該III-V族化合物半導体層をMISFETのチャネル層として使用することが困難になる。特に、III-V族化合物半導体層の厚さが極めて薄い極薄膜ボディ構造のMISFETでは、III-V族化合物半導体層へのダメージがより顕著になる。
- [0006] さらに、III-V族MISFETの性能をさらに高める要請が強い。特に、高いキャリアの移動度を実現する要請は強い。チャネル層とゲート絶縁層との界面に界面準位があり、そこにキャリアがトラップされると、クーロン散乱等によりキャリアの移動度が低下するので、界面準位をさらに低減すること

が望ましい。また、MIS界面が、ある程度高い界面準位密度を有しても、当該界面準位の影響を低く抑える方策を施すことで、FETの性能を高めることが望まれる。

[0007] 本発明の目的は、DWB法における貼り合わせ時にⅢⅢⅢ-Ⅴ族化合物半導体層が受けるダメージを小さくするとともに、受けたダメージの影響および界面準位の影響を低く抑え、高いキャリアの移動度を有するⅢⅢⅢ-Ⅴ族MISFETを提供することにある。

課題を解決するための手段

[0008] 上記課題を解決するために、本発明の第1の態様においては、ベース基板と第1絶縁体層と半導体層とを有し、ベース基板、第1絶縁体層および半導体層が、ベース基板、第1絶縁体層、半導体層の順に位置し、第1絶縁体層が、アモルファス状金属酸化物またはアモルファス状金属窒化物からなり、半導体層が、第1結晶層および第2結晶層を含み、第1結晶層および第2結晶層が、ベース基板の側から、第1結晶層、第2結晶層の順に位置し、第1結晶層の電子親和力 E_{a1} が、第2結晶層の電子親和力 E_{a2} より大きい半導体基板を提供する。

[0009] 半導体層が、第3結晶層をさらに含んでもよく、この場合、第1結晶層、第2結晶層および第3結晶層が、ベース基板の側から、第3結晶層、第1結晶層、第2結晶層の順に位置し、第3結晶層の電子親和力 E_{a3} が、第1結晶層の電子親和力 E_{a1} より小さい。第1結晶層として $\text{In}_{x1}\text{Ga}_{1-x1}\text{As}$ ($0 < x1 \leq 1$) が例示でき、第2結晶層として $\text{In}_{x2}\text{Ga}_{1-x2}\text{As}$ ($0 \leq x2 < 1$) が例示でき、第3結晶層として $\text{In}_{x3}\text{Ga}_{1-x3}\text{As}$ ($0 \leq x3 < 1$) が例示でき、 $x1 > x2$ 、かつ、 $x1 > x3$ の関係を満足することが好ましい。半導体層の厚さは、20nm以下であることが好ましい。

[0010] 本発明の第2の態様においては、上記した半導体基板における半導体層に、電氣的に接続されたソース電極およびドレイン電極を備える電界効果トランジスタを提供する。

[0011] 半導体層が、ソース電極と接触するソース領域またはドレイン電極と接触

するドレイン領域を有し、この場合、ソース領域またはドレイン領域が、半導体層を構成するⅢ族原子およびⅤ族原子からなる群から選ばれた少なくとも１種の原子と金属原子との合金を含んでもよい。金属原子はニッケル原子であることが好ましい。半導体層のベース基板とは反対の側にゲート電極を有し、ソース領域のドレイン領域側に位置する界面およびドレイン領域のソース領域側に位置する界面が、ゲート電極とベース基板に挟まれた半導体層の領域であるゲート電極下領域に形成されていることが好ましい。これにより、チャネル長１００nm以下のプレーナ型ＭＯＳＦＥＴを作製することができる。電界効果トランジスタがｎチャネル型電界効果トランジスタである場合、ソース領域またはドレイン領域は、ドナー不純物原子をさらに含んでもよい。電界効果トランジスタがｐチャネル型電界効果トランジスタである場合、ソース領域またはドレイン領域は、アクセプタ不純物原子をさらに含んでもよい。

[0012] 本発明の第３の態様においては、半導体層形成基板上に半導体層をエピタキシャル結晶成長法により形成する半導体層形成ステップと、半導体層上に第１絶縁体層を原子層堆積法により成膜する第１絶縁体層形成ステップと、第１絶縁体層上にベース基板を接合する接合ステップと、半導体層から半導体層形成基板を除去する除去ステップと、を備え、半導体層形成ステップが、半導体層形成基板上に第２結晶層をエピタキシャル結晶成長法により形成する第１ステップと、第１ステップの後に、第２結晶層の電子親和力 E_{a2} より大きい電子親和力 E_{a1} を有する第１結晶層を、第２結晶層上にエピタキシャル結晶成長法により形成する第２ステップと、を有する半導体基板の製造方法を提供する。

[0013] 半導体層形成ステップが、第２ステップの後に、第１結晶層の電子親和力 E_{a1} より小さい電子親和力 E_{a3} を有する第３結晶層を、第１結晶層上にエピタキシャル結晶成長法により形成する第３ステップをさらに有してもよい。

[0014] 本発明の第４の態様においては、上記した半導体基板の製造方法により製造された半導体基板の半導体層の上に、原子層堆積法により第２絶縁体層を

成膜するステップと、第2絶縁体層の上にゲート電極を形成するステップと、ゲート電極が形成された領域以外の第2絶縁体層の一部をエッチングして、半導体層に達する開口を形成するステップと、開口により露出する半導体層に接する金属膜を形成するステップと、金属膜を熱処理して、金属膜と接する半導体層の部分にソース領域またはドレイン領域の少なくとも一方を形成するステップと、を備えた電界効果トランジスタの製造方法を提供する。

[0015] ソース領域またはドレイン領域の少なくとも一方を形成するステップにおいて、熱処理の温度および時間から選択された1以上の条件が制御でき、当該条件の制御により、ソース領域のドレイン領域側に位置する界面およびドレイン領域のソース領域側に位置する界面から選択された1以上の界面の位置を、ゲート電極とベース基板に挟まれた半導体層の領域であるゲート電極下領域に形成するよう制御できる。

図面の簡単な説明

[0016] [図1]半導体基板100の断面を示す。

[図2]半導体基板100の製造過程における断面を示す。

[図3]半導体基板100の製造過程における断面を示す。

[図4]半導体基板100の製造過程における断面を示す。

[図5]電界効果トランジスタ200の断面を示す。

[図6]電界効果トランジスタ200の製造過程における断面を示す。

[図7]電界効果トランジスタ200の製造過程における断面を示す。

[図8]電界効果トランジスタ200の製造過程における断面を示す。

[図9]半導体基板300の断面を示す。

[図10]電界効果トランジスタ400の断面を示す。

[図11]電界効果トランジスタ500の断面を示す。

[図12]電界効果トランジスタ600の断面を示す。

[図13]実施例1の電界効果トランジスタの断面TEM写真を示す。

[図14]実施例1の電界効果トランジスタの I_d-V_g 特性を示す。

[図15]実施例1の電界効果トランジスタの I_d-V_d 特性を示す。

[図16]実施例1の電界効果トランジスタの移動度を示す。

[図17]実施例1の電界効果トランジスタの $I_d - V_g$ 特性を示す。

[図18]実施例1の電界効果トランジスタの $I_d - V_g$ 特性を示す。

[図19]実施例1の電界効果トランジスタの移動度を示す。

[図20]実施例1の電界効果トランジスタの移動度のチャネル層厚さ依存性を示す。

[図21]実施例2の電界効果トランジスタの断面TEM写真を示す。

[図22]実施例2の電界効果トランジスタの $I_d - V_g$ 特性を示す。

[図23]実施例2の電界効果トランジスタの移動度を示す。

[図24]実施例3の電界効果トランジスタの断面TEM写真を示す。

[図25]実施例3の電界効果トランジスタの断面TEM写真を示す。

[図26]実施例3の電界効果トランジスタの $I_d - V_g$ 特性を示す。

[図27]実施例3の電界効果トランジスタの $I_d - V_d$ 特性を示す。

[図28]電界効果トランジスタのサブスレッショルド (S.S.) 値のチャネル長依存性を示す。

[図29]電界効果トランジスタのドレイン電圧による障壁低下効果 ($DIBL$) 値のチャネル長依存性を示す。

[図30]実施例3の電界効果トランジスタのしきい値 (V_{th}) のチャネル長依存性を示す。

[図31]実施例3の電界効果トランジスタのS.S. 値のチャネル長依存性を示す。

[図32]実施例3の電界効果トランジスタの $DIBL$ 値のチャネル長依存性を示す。

[図33]実施例3の電界効果トランジスタのオン電流・オフ電流特性を示す。

[図34]実施例3の電界効果トランジスタのオン電流の $DIBL$ 依存性を示す。

[図35]実施例3の電界効果トランジスタのトータル抵抗値のチャネル長依存性を示す。

[図36]実施例3および参照例における電界効果トランジスタのS.S. 値のチャネル長依存性を示す。

[図37]実施例3および参照例における電界効果トランジスタのD I B L 値のチャネル長依存性を示す。

発明を実施するための形態

[0017] 図1は、半導体基板100の断面を示す。半導体基板100は、ベース基板102と第1絶縁体層104と半導体層106を有する。ベース基板102、第1絶縁体層104および半導体層106は、ベース基板102、第1絶縁体層104、半導体層106の順に位置する。

[0018] ベース基板102として、表面がシリコン結晶である基板が挙げられる。表面がシリコン結晶である基板として、シリコン基板またはSOI (Silicon on Insulator) 基板が挙げられ、安価なシリコン基板が生産上好ましい。ベース基板102として表面がシリコン結晶である基板を用いることで、既存の製造装置および既存の製造プロセスが利用でき、研究開発および製造の効率を高めることができる。ベース基板102は、表面がシリコン結晶である基板に限られず、ガラス、セラミックス等の絶縁体基板、金属等の導電体基板または炭化シリコン等の半導体基板であってもよい。

[0019] 第1絶縁体層104は、アモルファス状金属酸化物またはアモルファス状金属窒化物からなる。第1絶縁体層104として、 Al_2O_3 、 SiO_2 、 AlN 、 $AlON$ 、 HfO_2 、 $HfSiON$ 、 ZrO_2 、 SiN_x (例えば Si_3N_4) および Ta_2O_5 のうちの少なくとも1からなる層、またはこれらの中から選ばれた少なくとも2層の積層が挙げられる。

[0020] 後に説明するように、半導体層106は、貼り合わせ法により、ベース基板102上に第1絶縁体層104を介して形成される。よって、第1絶縁体層104の表面は、平坦であることが望ましい。第1絶縁体層104は、原子層堆積法 (ALD法) により形成した金属酸化物もしくは金属窒化物、または熱酸化により形成した SiO_2 からなることが好ましい。表面平坦性の指標として、AFM (Atomic Force Microscope) を用いて観察した表面粗さの

RMS (Root Mean Square) 値を用いることができ、第1絶縁体層104の表面のRMS値は1nm以下であることが好ましい。第1絶縁体層104を原子層堆積法(ALD法)により形成することにより、表面が平坦なアモルファス状の Al_2O_3 、 SiO_2 、 AlN 、 AlON 、 HfO_2 、 HfSiON 、 ZrO_2 、 SiN_x (例えば Si_3N_4) および Ta_2O_5 から選択された1以上の層からなる第1絶縁体層104を形成することができる。また、第1絶縁体層104を熱酸化法により形成することにより、表面が平坦なアモルファス状の SiO_2 を形成することができる。 SiO_2 および Al_2O_3 は熱的安定性が高いため、第1絶縁体層104に SiO_2 および Al_2O_3 から選択された1以上の絶縁層を用いることで、プロセス耐性(後の工程に高い基板温度でのプロセスが適用できる製造工程上の利点)を高くすることができ、より好ましい。

[0021] また、ベース基板102と半導体層106とを直接貼り合わせると、ベース基板102と半導体層106との間の格子定数の差に起因する応力が発生することがあり、当該応力により、半導体層106に結晶欠陥が生じる場合がある。これに対し本例の半導体基板100は、ベース基板102と半導体層106の間に、アモルファス状金属酸化物またはアモルファス状金属窒化物からなる第1絶縁体層104を有する。第1絶縁体層104は、結晶構造を有しないので、本例の半導体基板100では、ベース基板102と半導体層106との間の格子定数の差に起因する応力は緩和される。よって、半導体層106に結晶欠陥が生じにくくなる。このように、ベース基板102と半導体層106との間にアモルファス状の第1絶縁体層104を配置することで、製造過程における半導体層106へのダメージを小さくすることができる。

[0022] 半導体層106は、III-V族化合物半導体からなる。半導体基板100がIII-V族化合物半導体からなる半導体層106を有することで、ベース基板102上に移動度の大きい高性能なMISFETを形成できる。

[0023] 半導体層106の厚さは、20nm以下の範囲内であることが好ましい。

半導体層 106 の厚さを 20 nm 以下とすることで極薄膜ボディの MISFET を構成できる。極薄膜ボディの MISFET は、短チャネル効果を抑制し、リーク電流を減少することができる。半導体層 106 の厚さは、10 nm 以下とすることが、より好ましい。

[0024] 第 1 絶縁体層 104 と半導体層 106 が接して位置する場合、半導体層 106 は、第 1 絶縁体層 104 と接する面において、硫黄原子で終端されていてもよい。この場合、第 1 絶縁体層 104 と半導体層 106 との界面における界面準位密度を減少できる。

[0025] 半導体層 106 は、第 1 結晶層 108 および第 2 結晶層 110 を含む。第 1 結晶層 108 および第 2 結晶層 110 は、ベース基板 102 の側から、第 1 結晶層 108、第 2 結晶層 110 の順に位置する。第 1 結晶層 108 は、第 2 結晶層 110 に格子整合または擬格子整合する。そして第 1 結晶層 108 の電子親和力 E_{a1} が、第 2 結晶層 110 の電子親和力 E_{a2} より大きくなるよう第 1 結晶層 108 および第 2 結晶層 110 を形成する。第 1 結晶層 108 の電子親和力 E_{a1} を、第 2 結晶層 110 の電子親和力 E_{a2} より大きくすることで、キャリア電子が第 1 結晶層 108 に多く分布するようになる。すなわち、第 2 結晶層 110 の上に絶縁層を形成し、絶縁層と第 2 結晶層 110 との界面に界面準位が生じた場合であっても、界面準位によるキャリア電子の散乱が発生し難くなる。このため、半導体層 106 をチャネル層とする半導体素子を形成した場合に、当該チャネル層における電子移動度を大きくすることができる。

[0026] 第 1 結晶層 108 として InGaAs または InAs が例示でき、この場合、第 2 結晶層 110 として InGaAsP が例示できる。第 1 結晶層 108 として $\text{In}_{x1}\text{Ga}_{1-x1}\text{As}$ ($0 < x1 \leq 1$) が例示でき、この場合、第 2 結晶層 110 として $\text{In}_{x2}\text{Ga}_{1-x2}\text{As}$ ($0 \leq x2 < 1$, $x1 > x2$) が例示できる。第 1 結晶層 108 として $\text{In}_{x1}\text{Ga}_{1-x1}\text{As}$ ($0.53 \leq x1 \leq 1$) が例示でき、この場合、第 2 結晶層 110 として $\text{In}_{x2}\text{Ga}_{1-x2}\text{As}$ ($0 \leq x2 < 0.53$) が例示できる。第 1 結晶層 108 として $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ が例示できる。

$_{.3}\text{As}$ が例示でき、この場合、第2結晶層110として $\text{In}_{0.3}\text{Ga}_{0.7}\text{As}$ が例示できる。第1結晶層108として InAs が例示でき、この場合、第2結晶層110として $\text{In}_{0.3}\text{Ga}_{0.7}\text{As}$ が例示できる。

[0027] 第1結晶層108の厚さは、10nm以下の範囲内とすることができ、特に、5nm以下の範囲内であることが好ましい。第2結晶層110の厚さは、10nm以下の範囲内とすることができ、特に、2nm～5nmの範囲内であることが好ましい。第2結晶層110の少なくとも一部に不純物がドーピングされていてもよい。

[0028] 図2から図4は、半導体基板100の製造過程における断面を示す。図2に示すように、半導体層形成基板120を用意し、半導体層形成基板120上に半導体層106をエピタキシャル結晶成長法により形成する。その後、半導体層106上に第1絶縁体層104を原子層堆積法により成膜する。

[0029] 半導体層形成基板120として、 InP 基板が挙げられる。 InP 基板を半導体層形成基板120に用いることにより、高品質なIII-V族化合物の半導体層106を形成できる。

[0030] 半導体層106は、第2結晶層110をエピタキシャル結晶成長法により形成した後、第1結晶層108をエピタキシャル結晶成長法により形成する。ここで第1結晶層108の電子親和力 E_{a1} が、第2結晶層110の電子親和力 E_{a2} より大きくなるよう第2結晶層110および第1結晶層108を形成する。

[0031] 半導体層106のエピタキシャル成長法による形成には、MOCVD (Metal Organic Chemical Vapor Deposition) 法を利用することができる。MOCVD法において、 In ソースには TMIn (トリメチルインジウム) を、 Ga ソースには TMGa (トリメチルガリウム) を、 As ソースには AsH_3 (アルシン)、 P ソースには PH_3 (ホスフィン) を用いることができる。キャリアガスには水素を用いることができる。反応温度は、300℃から900℃の範囲で、好ましくは450～750℃の範囲で適宜選択できる。反応時間を適宜選択することでエピタキシャル成長層の厚さを制御することがで

きる。

[0032] 第1絶縁体層104を原子層堆積法（ALD法）により形成することにより、第1絶縁体層104を平坦に形成することができるので、第1絶縁体層104と半導体層106との間の密着性が高まるとともに、第1絶縁体層104とベース基板102とを貼り合わせる工程において半導体層106へのダメージを軽減できる。貼り合わせ工程の詳細は、後述する。

[0033] 図3に示すように、ベース基板102を別途用意し、第1絶縁体層104の表面とベース基板102の表面をアルゴンビーム122で活性化する。その後、図4に示すように、アルゴンビーム122で活性化した第1絶縁体層104の表面とベース基板102の表面を貼り合わせて接合する。貼り合わせは室温で行うことができる。なお、活性化はアルゴンビーム122で行う必要はなく、他の希ガス等のビームで行っても良い。その後、HCl溶液等でエッチングすることにより、半導体層形成基板120を除去する。このようにして、図1に示す半導体基板100を製造することができる。

[0034] なお貼り合わせの前に、ベース基板102の表面にALD法による絶縁層を形成し、ベース基板102表面の絶縁層と第1絶縁体層104を接合しても良い。また、アルゴンビーム122等で活性化する代わりに、ベース基板102上の絶縁層の表面および第1絶縁体層104の表面を貼り合わせる前に親水化処理することができる。親水化処理した場合は、ベース基板102と第1絶縁体層104を貼り合わせた後に加熱することが好ましい。また、半導体層106の形成と第1絶縁体層104の形成との間に、半導体層106の表面を硫黄終端処理しても良い。

[0035] 図5は、電界効果トランジスタ200の断面を示す。電界効果トランジスタ200は、図1に示した半導体基板100を用いて形成される。電界効果トランジスタ200は、半導体基板100上にソース電極202およびドレイン電極204を備える。ソース電極202およびドレイン電極204は、半導体基板100の半導体層106に、電氣的に接続されている。半導体層106は、ソース領域206およびドレイン領域208を有する。ソース領

域206はソース電極202と接触し、ドレイン領域208はドレイン電極204と接触する。電界効果トランジスタ200は、半導体層106と第1絶縁体層104とが接する面と対向する半導体層106の他面に、第2絶縁体層210を有する。第2絶縁体層210は、半導体層106のうち、ソース領域206およびドレイン領域208に挟まれる領域上に設けられてよい。また、電界効果トランジスタ200は、第2絶縁体層210上にゲート電極212を備える。第2絶縁体層210の一部はゲート絶縁膜として機能する。また、ソース領域206のドレイン領域208側に位置する界面、および、ドレイン領域208のソース領域206側に位置する界面の少なくとも一方が、ゲート電極212とベース基板102に挟まれた半導体層106の領域であるゲート電極下領域に形成される。ここで、ゲート電極212とベース基板102に挟まれた領域とは、ゲート電極212およびベース基板102の間において、ゲート電極212およびベース基板102の双方と重なる領域を指す。また、ソース領域206のドレイン領域208側に位置する界面とは、ソース領域206の界面のうち、ドレイン領域208との距離が最も近い界面を指してよい。また、ドレイン領域208のソース領域206側に位置する界面とは、ドレイン領域208の界面のうち、ソース領域206との距離が最も近い界面を指してよい。

[0036] ソース領域206またはドレイン領域208は、半導体層106を構成するIII族原子およびV族原子からなる群から選ばれた少なくとも1種の原子と金属原子との合金を含む。すなわち、ソース領域206およびドレイン領域208の少なくとも一方（好ましくはソース領域206およびドレイン領域208の双方）は、半導体層106が上記した金属原子によりメタライズされた領域である。当該金属原子としてニッケル原子、コバルト原子が挙げられ、特にニッケル原子が好ましい。合金は、ニッケル原子およびコバルト原子からなる群から選ばれた少なくとも1種の原子と、III族原子およびV族原子との合金が挙げられ、III族原子、V族原子およびニッケル原子の3元素からなる合金であることが好ましい。

[0037] ソース領域 206 またはドレイン領域 208 が上記した合金を含むことから、ソース電極 202 とソース領域 206 とのコンタクト、および、ドレイン電極 204 とドレイン領域 208 とのコンタクトがオーミックコンタクトとなり、電界効果トランジスタ 200 のオン電流を大きくすることができる。また、ソース・ドレイン間での抵抗が小さくなるので、チャネル抵抗を低くする必要がなく、ドーピング不純物原子の濃度を少なくできる。この結果、チャネル層でのキャリアの移動度を大きくすることができる。

[0038] 電界効果トランジスタ 200 が n チャネル型電界効果トランジスタである場合、ソース領域 206 またはドレイン領域 208 は、ドナー不純物原子をさらに含んで良い。ドナー不純物原子として、Si、S、Se または Ge が挙げられる。電界効果トランジスタ 200 が p チャネル型電界効果トランジスタである場合、ソース領域 206 またはドレイン領域 208 は、アクセプタ不純物原子をさらに含んで良い。アクセプタ不純物原子として、Zn、C または Mg が挙げられる。

[0039] 第 2 絶縁体層 210 と第 2 結晶層 110 の誘電率、膜厚および電子親和力は、数 1 の関係を満たすように選択することが好ましい。

(数 1)

$$(\epsilon_1 \cdot d_0) / (\epsilon_0 \cdot d_1) > (V - \delta) / \delta$$

ただし、 d_0 および ϵ_0 はゲート電極 212 と第 1 結晶層 108 とに挟まれたゲート下領域における第 2 絶縁体層 210 の厚さおよび比誘電率を示し、 d_1 および ϵ_1 はゲート下領域における第 2 結晶層 110 の厚さおよび比誘電率を示す。 δ は、第 2 結晶層 110 と第 1 結晶層 108 との電子親和力の差であり、 $\delta = E_{a1} - E_{a2}$ である。 V は、 $V = V_g - V_t$ で定義された電圧であり、 V_g は電界効果トランジスタ 200 のゲート電極 212 に印加する電圧であり、 V_t は閾値電圧である。電圧 V は、閾値電圧以上の電圧をゲート電極 212 にかけて電界効果トランジスタ 200 を動作させた場合に、ゲート下領域の第 2 結晶層 110 と第 2 絶縁体層 210 の積層構造の部分に印加される電圧として近似できる。

[0040] 電界効果トランジスタ200のソース電極202とドレイン電極204との間をキャリアが移動する状態において数1の関係を満たすことで、第1結晶層108と第2結晶層110の界面に多くのチャネル電子を誘起することができる。そのため、第2絶縁体層210と第2結晶層110との間に存在する界面準位の、チャネル電子への影響を低減できる。その結果、チャネル電子の移動度を高くすることができる。電界効果トランジスタ200をCMOS回路に用いる場合、電源電圧は0.4V以上1.0V以下であることが好ましい。

[0041] なお、数1の関係は、以下のとおりに導くことができる。ゲート下領域の第2結晶層110と第2絶縁体層210の積層構造の部分に電圧Vが印加されたとき、第2結晶層110での電圧降下 ΔV を数2で表すことができる。

(数2)

$$\Delta V = V \times (d_1 / \varepsilon_1) / ((d_1 / \varepsilon_1) + d_0 / \varepsilon_0)$$

ここで $\Delta V < \delta$ であれば多くのチャネル電子を第2絶縁体層210と第2結晶層110との間に誘起することができる。よって数3が得られる。

(数3)

$$V \times (d_1 / \varepsilon_1) / ((d_1 / \varepsilon_1) + d_0 / \varepsilon_0) < \delta$$

数3を整理することで数1が得られる。すなわち、数1の関係が満たされる場合に、第1結晶層108と第2結晶層110の界面に高移動度チャネル電子を誘起することができる。

[0042] 図6から図8は、電界効果トランジスタ200の製造過程における断面を示す。図6に示すように、半導体基板100の上に原子層堆積法により第2絶縁体層210を形成し、ゲート電極212となる金属層211を形成する。図7に示すように、金属層211をパターニングしてゲート電極212を形成し、ゲート電極212をマスクにして第2絶縁体層210をパターニングする。すなわち、ゲート電極212が形成された領域以外の第2絶縁体層210の一部をエッチングして、半導体層106に達する開口を形成する。

[0043] さらに金属膜220を形成する。すなわち、開口により露出する半導体層

106に接する金属膜220を形成する。金属膜220は、たとえばスパッタ法または蒸着法により形成できる。金属膜220として、ニッケル膜またはコバルト膜が挙げられ、ニッケル膜が好ましい。図8に示すように、金属膜220を熱処理して、金属膜220と接する半導体層106の部分にソース領域206またはドレイン領域208を形成する。未反応の金属膜220を除去した後、ソース領域206およびドレイン領域208の上にソース電極202およびドレイン電極204を各々形成し、図5の電界効果トランジスタ200が製造できる。

[0044] なお、電界効果トランジスタ200がNチャネル型電界効果トランジスタである場合、金属膜220が、ニッケル原子およびドナー不純物原子（Si等）を含んでもよい。電界効果トランジスタ200がPチャネル型電界効果トランジスタである場合、金属膜220が、ニッケル原子およびアクセプタ不純物原子（Zn等）を含んでもよい。金属膜220の熱処理は、RTA（rapid thermal annealing）法により行うことが好ましい。RTA法を用いる場合、好ましくはアニール温度を250℃とすることができる。上記のような方法によりソース領域206およびドレイン領域208をセルフアラインで形成できる。なお、RTA法等によるアニール温度もしくはアニール時間またはその両方を制御することにより、金属膜220を構成する金属原子と、半導体層106を構成する半導体原子との横方向の反応を制御し、ソース領域206およびドレイン領域208の互いに対向する界面の位置を制御できる。すなわちソース領域206およびドレイン領域208のゲート電極下領域への進入の程度を制御できる。これにより、チャンネル長が数十nm程度（100nm以下）のプレーナ型MOSFETを容易に作製できる。

[0045] 上記した半導体基板100およびそれを用いた電界効果トランジスタ200によれば、InPからなる半導体層形成基板120上に半導体層106をエピタキシャル成長法により形成するので、半導体層106の品質を高くできる。またアモルファス状の第1絶縁体層104を介して半導体層106をベース基板102に貼り合わせるので、半導体層106の品質を高く維持で

きる。よって、このような半導体層 106 をチャネル層に用いる電界効果トランジスタ 200 の性能を高めることができる。また半導体層 106 の厚さを極薄とすることでリーク電流を低減できる。またゲート絶縁膜に遠い第 1 結晶層 108 の電子親和力 E_{a1} をゲート絶縁膜に近い第 2 結晶層 110 の電子親和力 E_{a2} より大きくするので、チャネルを通過するキャリア電子の散乱が抑制され、チャネルにおけるキャリアの移動度を向上させることができる。さらに、電界効果トランジスタ 200 のソース領域 206 およびドレイン領域 208 が金属化されているので、ソース・ドレイン間の抵抗を小さくできる。ソース・ドレイン間の抵抗が低減されるのでチャネル層へのドーピング量を減少することができ、キャリアの移動度を向上させることができる。

[0046] なお図 9 に示すように、半導体層 106 は、第 3 結晶層 302 をさらに含んでもよい。図 9 は、半導体基板 300 の断面を示す。半導体基板 300 は、半導体層 106 が第 3 結晶層 302 をさらに含むこと以外は、半導体基板 100 と同一の構成を有してよい。半導体基板 300 において、第 1 結晶層 108、第 2 結晶層 110 および第 3 結晶層 302 が、ベース基板 102 の側から、第 3 結晶層 302、第 1 結晶層 108、第 2 結晶層 110 の順に積層されている。第 3 結晶層 302 の電子親和力 E_{a3} が、第 1 結晶層 108 の電子親和力 E_{a1} より小さくなるよう構成する。図 10 は、半導体基板 300 を用いた電界効果トランジスタ 400 の断面を示す。電界効果トランジスタ 400 は、半導体層 106 が第 3 結晶層 302 をさらに有すること以外は、電界効果トランジスタ 200 と同一の構成を有してよい。

[0047] 半導体基板 300 および電界効果トランジスタ 400 によれば、第 3 結晶層 302 を有するので、半導体層 106 内のキャリア電子が、半導体層 106 と第 1 絶縁体層 104 との間の界面から遠ざけられる。この結果、第 1 絶縁体層 104 と第 3 結晶層 302 の界面にある界面準位に起因したキャリア電子の散乱が抑制できる。その結果、キャリアの移動度が向上する。また、第 1 結晶層が $E_{a2} < E_{a1}$ 、かつ、 $E_{a3} < E_{a1}$ を満たす第 2 結晶層 110 と第 3 結晶層 302 に挟まれることによって、半導体層 106 中のチャネル電子

が量子化される。そのため、半導体層 106 中の、チャネル電子の数が最大になる位置を半導体層 106 と第 1 絶縁体層 104 の界面および、半導体層 106 と第 2 絶縁体層 210 との界面から遠ざけることができる。よってキャリアの移動度が向上する。

[0048] 第 3 結晶層 302 は、第 1 結晶層 108 に格子整合または擬格子整合する。第 1 結晶層 108 が InGaAs 、第 2 結晶層 110 が InGaAsP である場合、第 3 結晶層 302 として InGaAsP が例示できる。第 1 結晶層 108 が $\text{In}_{x_1}\text{Ga}_{1-x_1}\text{As}$ ($0 < x_1 \leq 1$)、第 2 結晶層 110 が $\text{In}_{x_2}\text{Ga}_{1-x_2}\text{As}$ ($0 \leq x_2 < 1$, $x_1 > x_2$) である場合、第 3 結晶層 302 として $\text{In}_{x_3}\text{Ga}_{1-x_3}\text{As}$ ($0 \leq x_3 < 1$, $x_1 > x_3$) が例示できる。第 1 結晶層 108 として $\text{In}_{x_1}\text{Ga}_{1-x_1}\text{As}$ ($0.53 \leq x_1 \leq 1$) が例示でき、この場合、第 2 結晶層 110 として $\text{In}_{x_2}\text{Ga}_{1-x_2}\text{As}$ ($0 \leq x_2 < 0.53$) が例示でき、第 3 結晶層 302 として $\text{In}_{x_3}\text{Ga}_{1-x_3}\text{As}$ ($0 \leq x_3 < 0.53$) が例示できる。なお、 $x_2 = x_3$ であってよい。第 1 結晶層 108 が $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ 、第 2 結晶層 110 が $\text{In}_{0.3}\text{Ga}_{0.7}\text{As}$ である場合、第 3 結晶層 302 として $\text{In}_{0.3}\text{Ga}_{0.7}\text{As}$ が例示できる。第 1 結晶層 108 が InAs 、第 2 結晶層 110 が $\text{In}_{0.3}\text{Ga}_{0.7}\text{As}$ である場合、第 3 結晶層 302 として $\text{In}_{0.3}\text{Ga}_{0.7}\text{As}$ が例示できる。

[0049] 第 3 結晶層 302 の厚さは、20 nm 以下の範囲内であることがよく、特に、2 nm ~ 5 nm の範囲内であることが好ましい。第 3 結晶層 302 は、半導体層 106 の製造過程において、第 1 結晶層 108 を形成した後にエピタキシャル成長法により形成することができる。

[0050] 上記した説明では、半導体基板の表面側にゲート電極 212 を有するフロントゲート型の電界効果トランジスタの例について説明したが、電界効果トランジスタは、図 11 に示すようなバックゲート電極 502 を有する構造を採用しても良い。即ち図 11 に示す電界効果トランジスタ 500 は、図 5 または図 10 に示した電界効果トランジスタ 200 または電界効果トランジスタ 400 の構成に対して、第 2 絶縁体層 210 およびゲート電極 212 を備

えず、第1絶縁体層104とは逆側のベース基板102の面にバックゲート電極502を備える点で相違する。電界効果トランジスタ500は、図5または図10に示した電界効果トランジスタ200または電界効果トランジスタ400と同一のソース電極202、ドレイン電極204、ソース領域206、ドレイン領域208、半導体層106、第1絶縁体層104およびベース基板102を有してよい。また、電界効果トランジスタ500においては、第1絶縁体層104の一部がゲート絶縁層として機能する。

[0051] また、図12に示すように、電界効果トランジスタは、フロントゲート構造およびバックゲート構造の両構造を備えるダブルゲート構造を有しても良い。即ち、図12に示す電界効果トランジスタ600は、ベース基板102に備えられたバックゲート電極502と、半導体層106と第1絶縁体層104とが接する面と対向する半導体層106の他面に、第2絶縁体層210を介して備えられたゲート電極212とを備え、第1絶縁体層104および第2絶縁体層210の一部をゲート絶縁膜とする。電界効果トランジスタ600は、図5または図10に示した電界効果トランジスタ200または電界効果トランジスタ400と同一のソース電極202、ドレイン電極204、ソース領域206、ドレイン領域208、半導体層106、第1絶縁体層104およびベース基板102を有してよい。

[0052] (実施例1)

面方位(001)のInP基板上に、MOVPE(Metal Organic Vapor Phase Epitaxy)法によりInGaAs層をエピタキシャル成長し、InGaAs層上にALD法によりAl₂O₃層を形成した。別途シリコン基板上にALD法によりAl₂O₃層を形成した。InP基板とシリコン基板のそれぞれのAl₂O₃層を親水化処理し、InP基板とシリコン基板とを貼り合わせた後、HCl溶液によりInPを選択的に除去した。これによりInGaAs層/Al₂O₃層(BOX層)/シリコン基板からなる半導体基板を作製した。

[0053] 上記半導体基板のInGaAs層表面を、アセトン、NH₄OH、(NH₄

) S で洗浄するとともに硫黄終端処理をした後に、 InGaAs 層上に、 10 nm 厚さの Al_2O_3 層を ALD 法により形成した。硫黄終端処理においては、アセトン、 NH_4OH を用いずに、 $(\text{NH}_4)_2\text{S}$ のみを用いてもよい。タantalからなるゲート電極をスパッタ法で形成し、ポストメタライゼーションアニールを施した後、 20 nm 厚さのニッケル膜を形成した。ニッケル膜を 250°C で RTA 処理し、 Ni-InGaAs 合金のソース・ドレイン (S/D) を形成し、電界効果トランジスタを作製した。

[0054] InGaAs 層が以下の 5 種類であるサンプル (1) から (5) を作成した。

(1) 10 nm 厚さの $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ (単層)

(2) 5 nm 厚さの $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ (単層)

(3) $\text{In}_{0.3}\text{Ga}_{0.7}\text{As} / \text{In}_{0.7}\text{Ga}_{0.3}\text{As} / \text{In}_{0.3}\text{Ga}_{0.7}\text{As}$ の各厚さが $2 / 1 / 3\text{ nm}$ である積層

(4) $\text{In}_{0.3}\text{Ga}_{0.7}\text{As} / \text{In}_{0.7}\text{Ga}_{0.3}\text{As} / \text{In}_{0.3}\text{Ga}_{0.7}\text{As}$ の各厚さが $2 / 3 / 3\text{ nm}$ である積層

(5) $\text{In}_{0.3}\text{Ga}_{0.7}\text{As} / \text{In}_{0.7}\text{Ga}_{0.3}\text{As} / \text{In}_{0.3}\text{Ga}_{0.7}\text{As}$ の各厚さが $2 / 5 / 3\text{ nm}$ である積層

なお、以下の図 13～図 20 において、(1)～(2) のサンプルを「バッファなし」または「単チャネル」と称する場合があります、(3)～(5) のサンプルを「バッファあり」と称する場合があります。 InGaAs 層の厚さを「ボディ厚さ」と称する場合があります、(3)～(5) のサンプルにおいて $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ の厚さを「チャネルの厚さ」と称する場合があります。

[0055] 図 13 は、サンプル (5) の断面 TEM 写真である。各層の構造が適切に形成されていることがわかった。また、ゲート下の Ni-InGaAs 合金のオーバーラップが適度であり、セルフアラインで Ni-InGaAs 合金のソース・ドレインが形成できていることがわかった。

[0056] 図 14 は、サンプル (1) の $I_d - V_g$ 特性を示す。図 15 は、サンプル (1) の $I_d - V_d$ 特性を示す。また、図 16 は、サンプル (1) の移動度

と電荷密度 N_s との関係を示す。図16では、比較として、ソース・ドレインを $Ni-InGaAs$ 合金化せずに $InGaAs$ チャネル(9nm厚さ)をヘビードープしたサンプルのデータも示した。図14~図16を参照すると、サンプル(1)はチャネルドープ濃度が $1 \times 10^{16} \text{ atoms/cm}^3$ と低いにも関わらず、高いオン電流が観測された。これはソース・ドレインを $Ni-InGaAs$ 合金化したことに起因すると思われる。図15に示すように、サンプル(1)の I_d-V_d 特性は良好である。図16に示すように、ソース・ドレインを $Ni-InGaAs$ 合金化しない比較例と比べると、サンプル(1)の移動度は、約1.9倍の値を示した。 $Ni-InGaAs$ 合金のソース・ドレインによる移動度向上の効果が確認できた。

[0057] 図17は、サンプル(5)の I_d-V_g 特性を示す。3桁のオンオフ比と、 183 mV/dec という低いサブスレッショルド係数が観測された。図18は、サンプル(3)の I_d-V_g 特性を示す。7桁のオンオフ比と、サブスレッショルド係数 103 mV/dec という極めて良好な特性が観測された。図19は、サンプル(5)の移動度を電荷密度 N_s との関係で示す。図19においては、比較として、サンプル(1)の値(バッファなし)および $Si-MOSFET$ の値も示す。サンプル(5)の移動度は、 $Si-MOSFET$ との比較で4.2倍、サンプル(1)との比較で1.6倍という高い値を観測した。 $In_{0.3}Ga_{0.7}As/In_{0.7}Ga_{0.3}As/In_{0.3}Ga_{0.7}As$ の積層チャネルによる移動度向上の効果を確認した。

[0058] 図20は、サンプル(1)から(5)の移動度のチャネル層厚さ依存性を示す。チャネル層の厚さ(トータルのボディ厚さ)が10nmを下回る付近から急激に移動度が低下するが、 $In_{0.3}Ga_{0.7}As/In_{0.7}Ga_{0.3}As/In_{0.3}Ga_{0.7}As$ の積層チャネル構造(バッファあり)の場合、単層(バッファなし)に比較して薄いチャネル厚さでも高い移動度を維持できることが分かった。また、積層チャネル構造では、バルクの場合より移動度が高くなることが分かった。

[0059] (実施例2)

実施例 1 と同様に、面方位 (001) の InP 基板上に、MOVPE 法により InGaAs 層をエピタキシャル成長し、InGaAs 層上に ALD 法により Al₂O₃ 層を形成した。別途シリコン基板上に ALD 法により Al₂O₃ 層を形成した。InP 基板とシリコン基板のそれぞれの Al₂O₃ 層を親水化処理し、InP 基板とシリコン基板とを貼り合わせた後、HCl 溶液により InP を選択的に除去した。これにより InGaAs 層 / Al₂O₃ 層 (BOX 層) / シリコン基板からなる半導体基板を作製した。

[0060] 上記半導体基板の InGaAs 層表面を、アセトン、NH₄OH、(NH₄)₂S で洗浄するとともに硫黄終端処理をした後に、InGaAs 層上に、10nm 厚さの Al₂O₃ 層を ALD 法により形成した。タンタルからなるゲート電極をスパッタ法で形成し、ポストメタライゼーションアニールを施した後、20nm 厚さのニッケル膜を形成した。ニッケル膜を 250℃ で RTA 処理し、Ni-InGaAs 合金のソース・ドレイン (S/D) を形成し、電界効果トランジスタを作製した。電界効果トランジスタのゲート長 L は 5 μm でありゲート幅 W は 100 μm とした。

[0061] InGaAs 層が以下の 4 種類であるサンプル (6) から (9) を作製した。

(6) In_{0.3}Ga_{0.7}As / InAs / In_{0.3}Ga_{0.7}As の各厚さが 3 / 3 / 3 nm である積層

(7) In_{0.3}Ga_{0.7}As / In_{0.7}Ga_{0.3}As / In_{0.3}Ga_{0.7}As の各厚さが 3 / 5 / 3 nm である積層

(8) 10nm 厚さの In_{0.7}Ga_{0.3}As (単層)

(9) 20nm 厚さの In_{0.53}Ga_{0.47}As (単層)

なお、以下の図 21 ~ 図 23 において、(8)、(9) のサンプルを「バッファなし」または「単チャネル」と称する場合があります、(6)、(7) のサンプルを「バッファあり」と称する場合があります。InGaAs 層の厚さを「ボディ厚さ」と称する場合があります、(8)、(9) のサンプルにおいて In_{0.7}Ga_{0.3}As または In_{0.53}Ga_{0.47}As の厚さを「チャネルの厚さ

」と称する場合がある。

[0062] 図21は、サンプル(6)の断面TEM写真である。チャンネル層がInAsの場合であっても、実施例1と同様に各層の構造が適切に形成され、ゲート下のNi-InGaAs合金のオーバーラップも適度であった。セルフアラインでNi-InGaAs合金のソース・ドレインが形成できていた。図22は、サンプル(6)の I_d-V_g 特性を示す。チャンネル層がInAsの場合であっても、実施例1と同様に適切なトランジスタ動作を示した。

[0063] 図23は、サンプル(6)～(9)の室温における移動度と電荷密度 N_s との関係を示す。積層型チャンネルのサンプル(6)およびサンプル(7)では単層チャンネルのサンプル(8)およびサンプル(9)より高い移動度が観察された。また、第1結晶層108に相当する層のインジウム組成が1であるサンプル(6)では、第1結晶層108に相当する層のインジウム組成が0.7であるサンプル(7)より高い移動度が観察された。当該インジウム組成が大きいほど高い移動度を実現できると言える。サンプル(6)の最大移動度は、 $3180\text{ cm}^2/\text{Vs}$ に達しており、膜厚10nm以下の超薄膜ボディInAs積層チャンネル(ultrathin body (UTB) InAs-composite-0I channel)において、初めて移動度 $3180\text{ cm}^2/\text{Vs}$ を達成した。

[0064] (実施例3)

実施例1と同様に、面方位(001)のInP基板上に、MOVPE法によりInGaAs層をエピタキシャル成長し、InGaAs層上にALD法により Al_2O_3 層を形成した。別途シリコン基板上にALD法により Al_2O_3 層を形成した。InP基板とシリコン基板のそれぞれの Al_2O_3 層を親水化処理し、InP基板とシリコン基板とを貼り合わせた後、HCl溶液によりInPを選択的に除去した。これによりInGaAs層/ Al_2O_3 層(BOX層)/シリコン基板からなる半導体基板を作製した。

[0065] 上記半導体基板のInGaAs層表面を、アセトン、 NH_4OH 、 $(\text{NH}_4)_2\text{S}$ で洗浄するとともに硫黄終端処理をした後に、InGaAs層上に、10nm厚さの Al_2O_3 層をALD法により形成した。タンタルからなるゲー

ト電極をスパッタ法および電子線ビームリソグラフィ法を用いて形成した。ゲート電極の幅を200 nm程度とし、微細加工を試みた。ポストメタライゼーションアニールを施した後、20 nm厚さのニッケル膜を形成した。ニッケル膜を250℃でRTA処理し、Ni-InGaAs合金のソース・ドレイン(S/D)を形成した。ソース・ドレインは、InGaAs層とニッケルとの熱反応により、ラテラル(横方向)に成長し、ソース領域、ドレイン領域の互いに対向する部分はゲート電極下に形成された。このようにして、電界効果トランジスタを作製した。電界効果トランジスタのゲート長Lは55 nm程度であった。

[0066] InGaAs層が以下の2種類であるサンプル(10)および(11)を作成した。

(10) $\text{In}_{0.3}\text{Ga}_{0.7}\text{As}$ / InAs / $\text{In}_{0.3}\text{Ga}_{0.7}\text{As}$ の各厚さが3 / 3 / 3 nmである積層

(11) 10 nm厚さの $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ (単層)

なお、以下の図24～図37において、(11)のサンプルを「バッファなし」または「単チャネル」と称する場合があります、(10)のサンプルを「バッファあり」と称する場合があります。InGaAs層の厚さを「ボディ厚さ」と称する場合があります、(11)のサンプルにおいて $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ の厚さを「チャネルの厚さ」と称する場合があります。

[0067] 図24および図25は、サンプル(10)の断面TEM写真である。実施例1と同様に各層の構造が適切に形成されている。図25を参照すれば、InGaAs層のゲート下にNi-InGaAs合金のオーバーラップが形成されており、ゲート端からのオーバーラップ長さは数十nm程度である。ゲート電極の幅を数百nmとしておき、オーバーラップ長さを熱処理の温度または時間で制御すれば、トランジスタのゲート長(ソース・ドレイン間の距離)を精密かつ簡単に制御することができる。また、セルフアラインでNi-InGaAs合金のソース・ドレインが形成できていることがわかる。このような方法で、チャネル長が100 nm以下のプレーナ型MOSFETを

容易に作製できる。

- [0068] 図26は、サンプル(10)の I_d-V_g 特性を示す。図27は、サンプル(10)の I_d-V_d 特性を示す。ゲート長が55nmに微細化されたInAs積層チャネル絶縁層上MOSFETであっても、良好なトランジスタ特性を示すことがわかった。
- [0069] 図28は、サンプル(11)のS.S.値(サブスレッショルド値)のチャネル長依存性を示し、図29は、サンプル(11)のDIBL値(障壁低下効果値)のチャネル長依存性を示す。両図において、ゲート絶縁層である Al_2O_3 の厚さが各々6nm、12nmの場合を対比して示した。S.S.値は、 Al_2O_3 の厚さが6nmである方が12nmである場合より小さい。これはチャネルがゲート電極により近い場所に形成される効果であると考えられる。DIBL値は、 Al_2O_3 の厚さが6nmである方が12nmである場合より小さい。実効酸化膜厚(EOT)の厚さを縮小化(スケーリング)する効果により、トランジスタの性能が改善されることがわかる。
- [0070] 図30～図35は、サンプル(10)およびサンプル(11)について、各々しきい値(V_{th})のチャネル長依存性(図30)、S.S.値のチャネル長依存性(図31)、DIBL値のチャネル長依存性(図32)、オン電流・オフ電流特性(図33)、オン電流のDIBL依存性(図34)、ソース・ドレイン間のトータル抵抗値のチャネル長依存性(図35)を示す。なお、しきい値は、ドレイン電流が $10^{-6} \mu A/\mu m$ におけるゲート電圧で定義し、DIBLは、それぞれのドレイン電圧におけるしきい値の差で評価した。
- [0071] 図31より、サンプル(10)およびサンプル(11)のいずれにおいても、しきい値の急激な変化(ロールオフ)あるいはしきい値がマイナスバイアスにシフトする現象は見られない。ロールオフ等の現象は短チャネル効果により生じることから、短チャネル効果が抑制されていることが確認できた。当該短チャネル効果の抑制効果は、絶縁層(BOX層)上にトランジスタを形成するOI構造により得られると考えられ、OI構造の優位性が確認できた。

- [0072] 図32および図33より、チャネル長が数百nm程度の短チャネルMOSFETにおいても、良好なS.S.値およびDIBL値が得られることがわかった。なお、チャネル長が100nm以下の領域では、サンプル(10)の方がDIBL値が低く良好である。短チャネル領域におけるInAs積層チャネル構造(サンプル(10))の優位性が確認できた。
- [0073] 図34より、サンプル(10)の方がサンプル(11)と比較して、約4倍のオン電流(オフ電流が1nA/ μ mの時)が実現でき、図35より、サンプル(10)の方がサンプル(11)と比較して、約4倍のオン電流(同じDIBL値の場合)が実現できることがわかった。
- [0074] 図35より、サンプル(10)のソース・ドレイン間の寄生抵抗は、1.16k Ω ・ μ mであり、サンプル(11)のソース・ドレイン間の寄生抵抗は、5.54k Ω ・ μ mであることがわかる。なお、ソース・ドレイン間の寄生抵抗は、チャネル長 L_{ch} をゼロにしたときのソース・ドレイン間のトータル抵抗値 $R_{t,t}$ に対応する。すなわち、サンプル(10)の寄生抵抗は、サンプル(11)の寄生抵抗と比較して、約5分の1であることがわかる。
- [0075] 図36は、サンプル(10)、サンプル(11)および参照例1、2、4における電界効果トランジスタのS.S.値のチャネル長依存性を示し、図37は、サンプル(10)および参照例1～4における電界効果トランジスタのDIBL値のチャネル長依存性を示す。表1は、実施例3であるサンプル(10)と参照例1～4の主な構造と特性を対比して示したものである。

[表1]

	実施例3 (InAs)	参照例1 tri-gate	参照例2 tri-gate	参照例3 FinFET	参照例4 GAA
L_{ch} (nm)	55	70	60	130	50
W_{fin}/H_{fin} (nm)	ETB planar	60/50	40/40	220/100	30/30
EOT (nm)	~3.5	1.2	1.2	3.8	~7
I_{on} (μ A/ μ m) at $V_G - V_{th} = V_D = 0.5$ V	278	~300	~400	~80	~180
S.S. (mV/dec)	105	120	90	230	150
DIBL (mV/V)	84	110	60	120	210

- [0076] なお、参照例1～4は、下記文献に記載されたトランジスタであり、いず

れもトライゲート型、フィン型あるいはゲートオールアラウンド型の立体ゲート構造を有するものである。

参照例 1 : M. Radosavljevic et al., 2010 IEDM, pp. 126-129.

参照例 2 : M. Radosavljevic et al., 2011 IEDM, pp. 765-768.

参照例 3 : H. C. Chin et al., EDL 32, 2 (2011).

参照例 4 : J. J. Gu et al., 2011 IEDM, pp. 769-772.

[0077] 図 3 6、図 3 7 および表 1 から、サンプル (1 0) はプレーナ型のゲート構造を有する MOSFET でありながら、立体構造ゲートと同等もしくはそれを超える特性を有することがわかる。

[0078] なお本明細書において、層、領域または基板のような第 1 の要素が、第 2 の要素の上に (on) 位置するという場合、第 1 の要素が第 2 の要素上に直接的に位置する場合に加えて、第 1 の要素および第 2 の要素の間にその他の要素が介在して、第 1 の要素が第 2 の要素上に間接的に位置する場合も含み得る。また、開口により露出する半導体層 1 0 6 とは、開口の底部における半導体層 1 0 6 を指す。また、電界効果トランジスタが n チャネル型電界効果トランジスタの場合、本明細書で説明した各電子親和力の関係は逆であってもよい。

符号の説明

[0079] 1 0 0 半導体基板、1 0 2 ベース基板、1 0 4 第 1 絶縁体層、1 0 6 半導体層、1 0 8 第 1 結晶層、1 1 0 第 2 結晶層、1 2 0 半導体層形成基板、1 2 2 アルゴンビーム、2 0 0 電界効果トランジスタ、2 0 2 ソース電極、2 0 4 ドレイン電極、2 0 6 ソース領域、2 0 8 ドレイン領域、2 1 0 第 2 絶縁体層、2 1 1 金属層、2 1 2 ゲート電極、2 2 0 金属膜、3 0 0 半導体基板、3 0 2 第 3 結晶層、4 0 0 電界効果トランジスタ、5 0 0 電界効果トランジスタ、5 0 2 バックゲート電極、6 0 0 電界効果トランジスタ

請求の範囲

- [請求項1] ベース基板と第1絶縁体層と半導体層とを有し、
 前記ベース基板、前記第1絶縁体層および前記半導体層が、前記ベース基板、前記第1絶縁体層、前記半導体層の順に位置し、
 前記第1絶縁体層が、アモルファス状金属酸化物またはアモルファス状金属窒化物からなり、
 前記半導体層が、第1結晶層および第2結晶層を含み、
 前記第1結晶層および前記第2結晶層が、前記ベース基板の側から、前記第1結晶層、前記第2結晶層の順に位置し、
 前記第1結晶層の電子親和力 E_{a1} が、前記第2結晶層の電子親和力 E_{a2} より大きい
 半導体基板。
- [請求項2] 前記半導体層が、第3結晶層をさらに含み、
 前記第1結晶層、前記第2結晶層および前記第3結晶層が、前記ベース基板の側から、前記第3結晶層、前記第1結晶層、前記第2結晶層の順に位置し、
 前記第3結晶層の電子親和力 E_{a3} が、前記第1結晶層の電子親和力 E_{a1} より小さい
 請求項1に記載の半導体基板。
- [請求項3] 前記第1結晶層が $In_{x1}Ga_{1-x1}As$ ($0 < x1 \leq 1$) からなり、
 、
 前記第2結晶層が $In_{x2}Ga_{1-x2}As$ ($0 \leq x2 < 1$) からなり、
 、前記第3結晶層が $In_{x3}Ga_{1-x3}As$ ($0 \leq x3 < 1$) からなり、
 、
 $x1 > x2$ 、かつ、 $x1 > x3$ の関係を満足する
 請求項2に記載の半導体基板。
- [請求項4] 前記半導体層の厚さが、20nm以下である
 請求項1に記載の半導体基板。

- [請求項5] 請求項1に記載の半導体基板を有する電界効果トランジスタであって、前記半導体層に電氣的に接続されたソース電極およびドレイン電極を備える電界効果トランジスタ。
- [請求項6] 前記半導体層が、前記ソース電極と接触するソース領域または前記ドレイン電極と接触するドレイン領域を有し、
 前記ソース領域または前記ドレイン領域が、前記半導体層を構成するⅢ族原子およびⅤ族原子からなる群から選ばれた少なくとも1種の原子と金属原子との合金を含む
 請求項5に記載の電界効果トランジスタ。
- [請求項7] 前記金属原子がニッケル原子である
 請求項6に記載の電界効果トランジスタ。
- [請求項8] 前記半導体層の前記ベース基板とは反対の側にゲート電極を有し、
 前記ソース領域の前記ドレイン領域側に位置する界面および前記ドレイン領域の前記ソース領域側に位置する界面が、前記ゲート電極と前記ベース基板に挟まれた前記半導体層の領域であるゲート電極下領域に形成されている
 請求項6に記載の電界効果トランジスタ。
- [請求項9] 前記電界効果トランジスタがnチャネル型電界効果トランジスタであり、
 前記ソース領域または前記ドレイン領域は、ドナー不純物原子をさらに含む
 請求項6に記載の電界効果トランジスタ。
- [請求項10] 前記電界効果トランジスタがpチャネル型電界効果トランジスタであり、
 前記ソース領域または前記ドレイン領域は、アクセプタ不純物原子をさらに含む
 請求項6に記載の電界効果トランジスタ。
- [請求項11] 半導体層形成基板上に半導体層をエピタキシャル結晶成長法により

形成する半導体層形成ステップと、

前記半導体層上に第1絶縁体層を原子層堆積法により成膜する第1絶縁体層形成ステップと、

前記第1絶縁体層上にベース基板を接合する接合ステップと、

前記半導体層形成基板を除去する除去ステップと、を備え、

前記半導体層形成ステップが、前記半導体層形成基板上に第2結晶層をエピタキシャル結晶成長法により形成する第1ステップと、前記第1ステップの後に、前記第2結晶層の電子親和力 E_{a2} より大きい電子親和力 E_{a1} を有する第1結晶層を、前記第2結晶層上にエピタキシャル結晶成長法により形成する第2ステップと、を有する半導体基板の製造方法。

[請求項12] 前記半導体層形成ステップが、前記第2ステップの後に、前記第1結晶層の電子親和力 E_{a1} より小さい電子親和力 E_{a3} を有する第3結晶層を、前記第1結晶層上にエピタキシャル結晶成長法により形成する第3ステップをさらに有する

請求項11に記載の半導体基板の製造方法。

[請求項13] 請求項11に記載の半導体基板の製造方法により製造された前記半導体基板の前記半導体層上に、原子層堆積法により第2絶縁体層を成膜するステップと、

前記第2絶縁体層上にゲート電極を形成するステップと、

前記ゲート電極が形成された領域以外の前記第2絶縁体層の一部をエッチングして、前記半導体層に達する開口を形成するステップと、

前記開口により露出する前記半導体層に接する金属膜を形成するステップと、

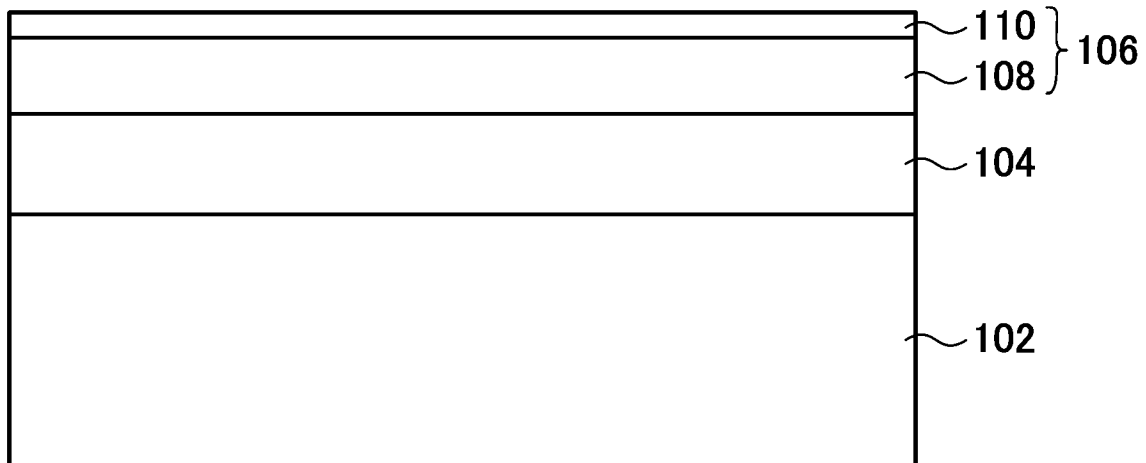
前記金属膜を熱処理して、前記金属膜と接する前記半導体層の部分にソース領域またはドレイン領域の少なくとも一方を形成するステップと、

を備えた電界効果トランジスタの製造方法。

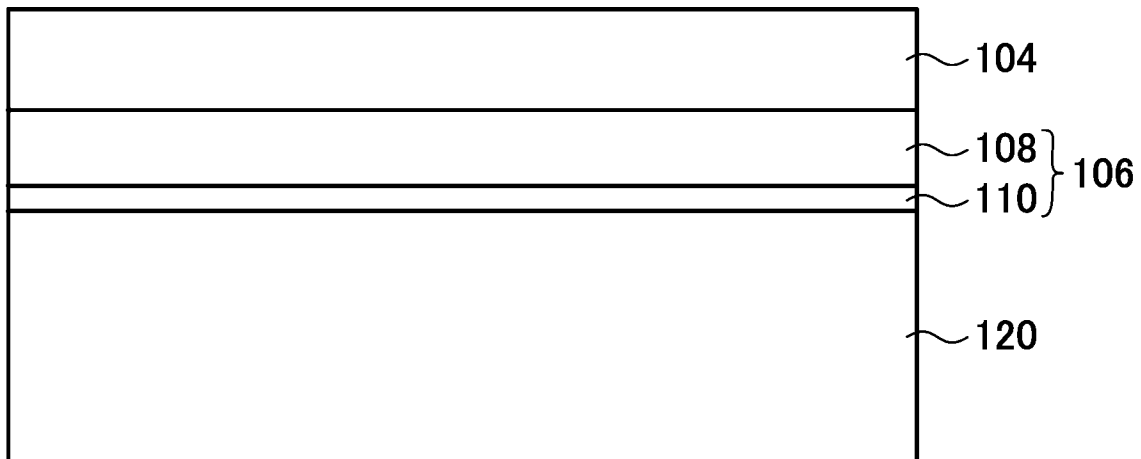
[請求項14] 前記ソース領域または前記ドレイン領域の少なくとも一方を形成するステップにおいて、前記熱処理の温度および時間から選択された1以上の条件を制御して、前記ソース領域の前記ドレイン領域側に位置する界面および前記ドレイン領域の前記ソース領域側に位置する界面から選択された1以上の界面の位置を、前記ゲート電極と前記ベース基板に挟まれた前記半導体層の領域であるゲート電極下領域に形成するように制御する

請求項13に記載の電界効果トランジスタの製造方法。

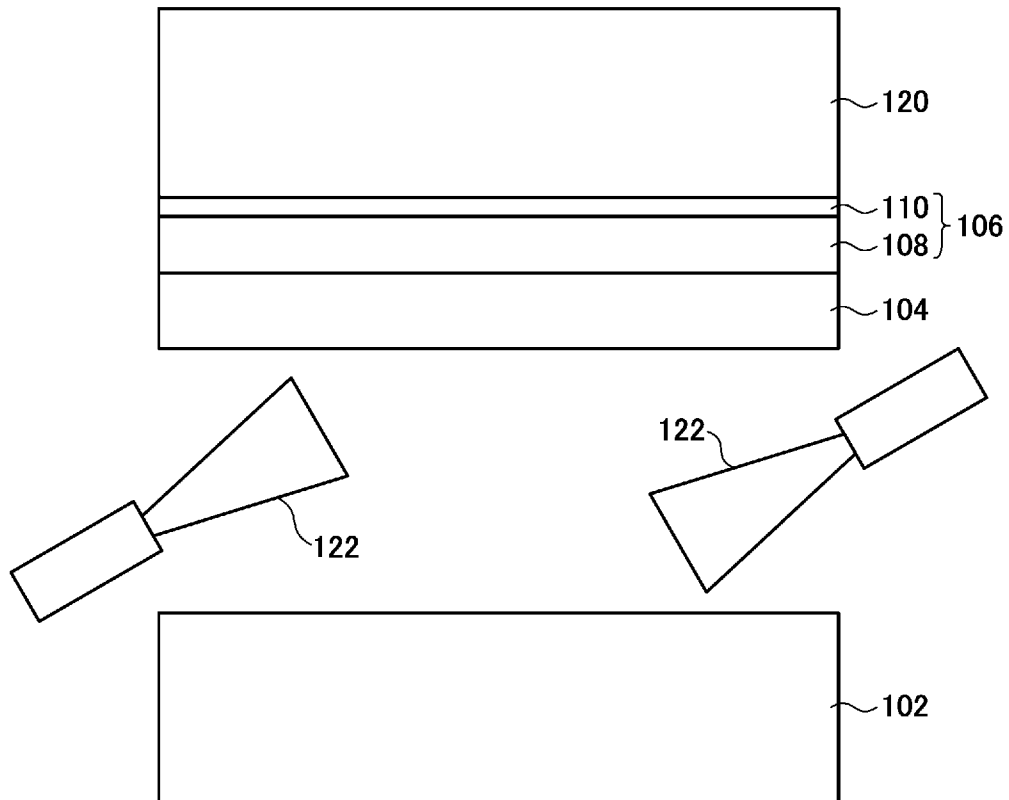
[図1]

100

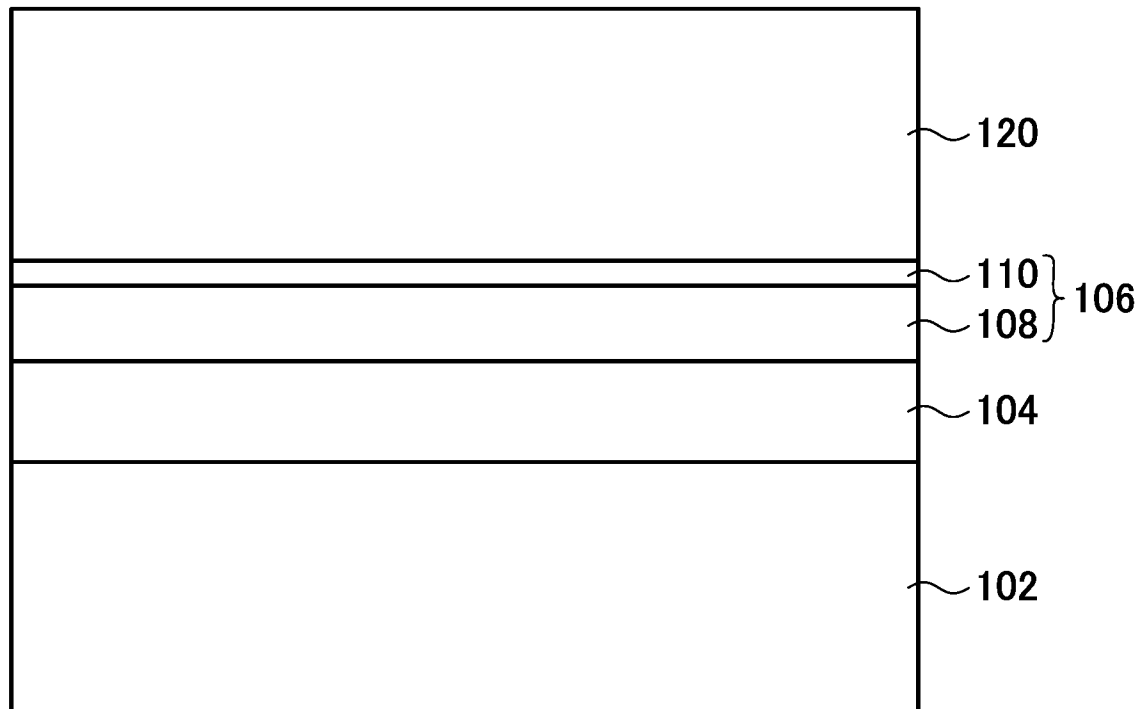
[図2]



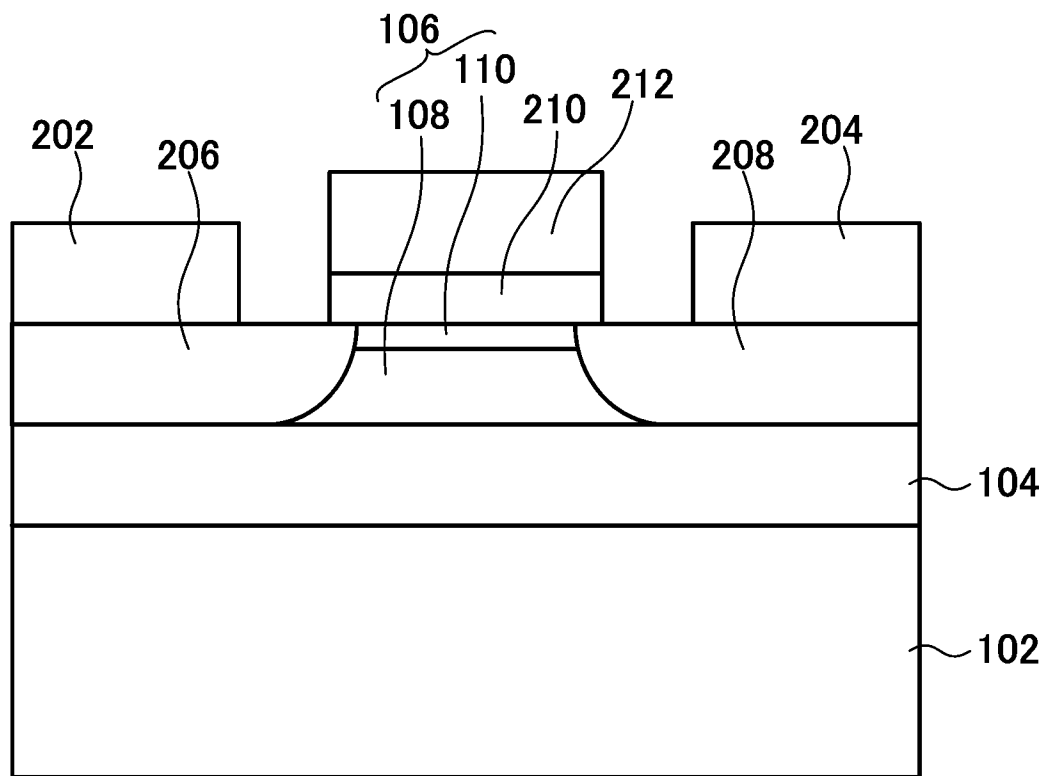
[図3]



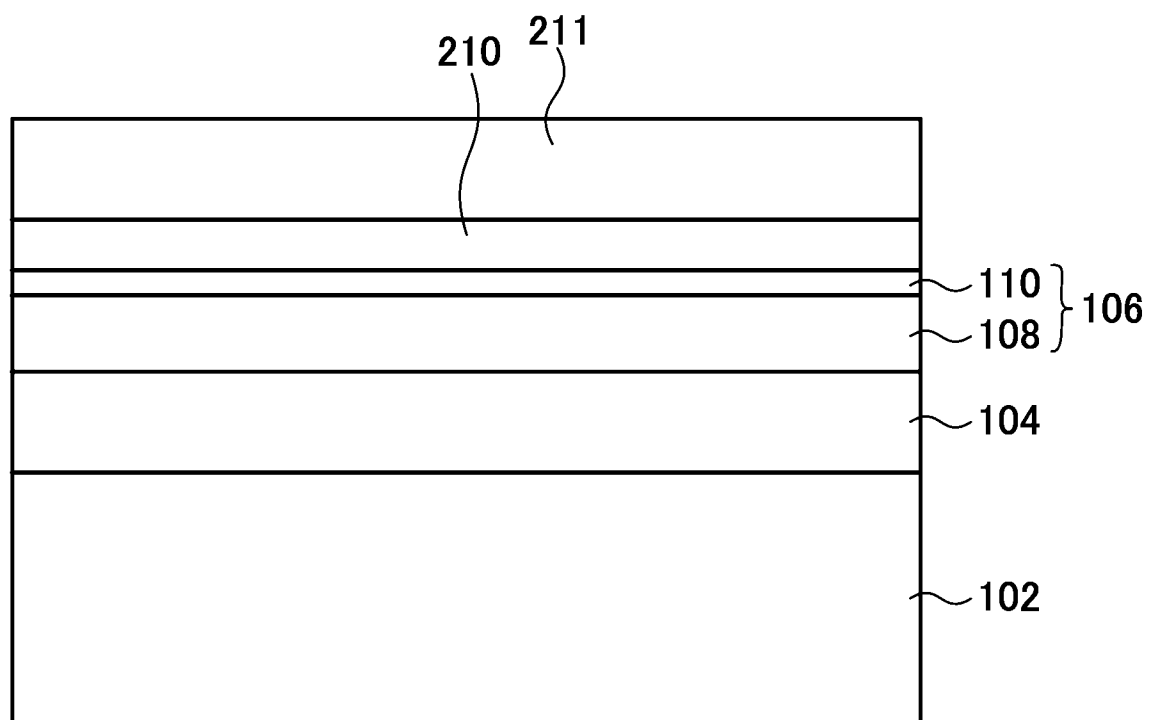
[図4]



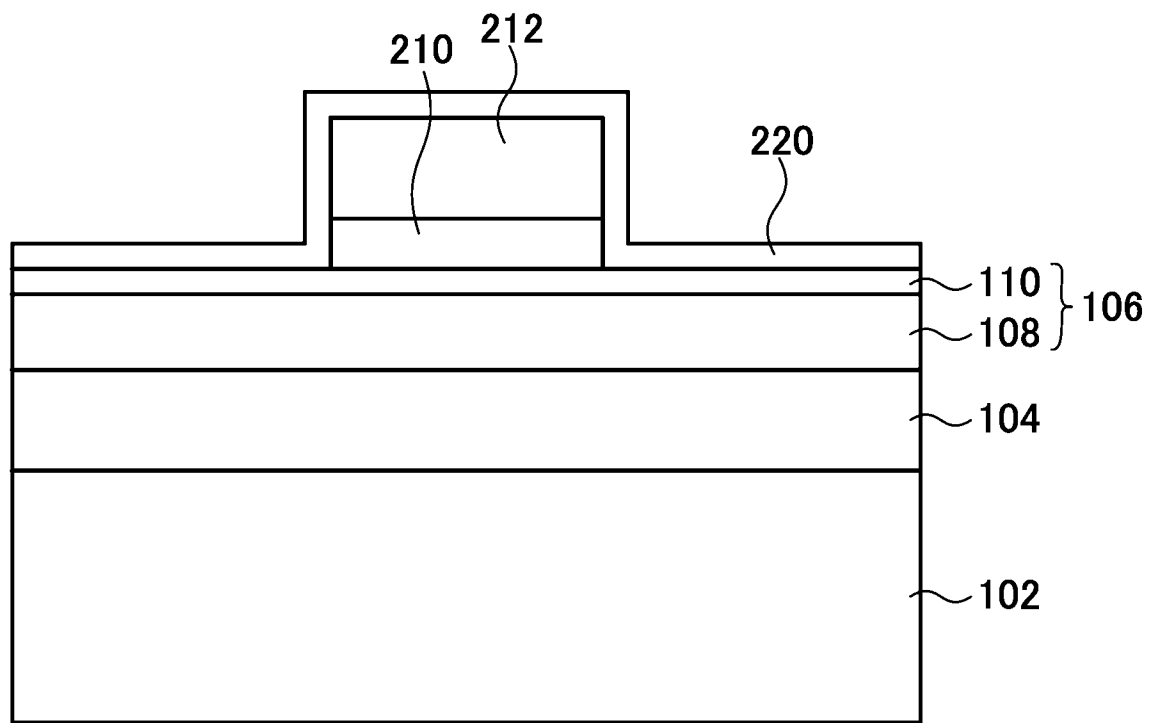
[図5]

200

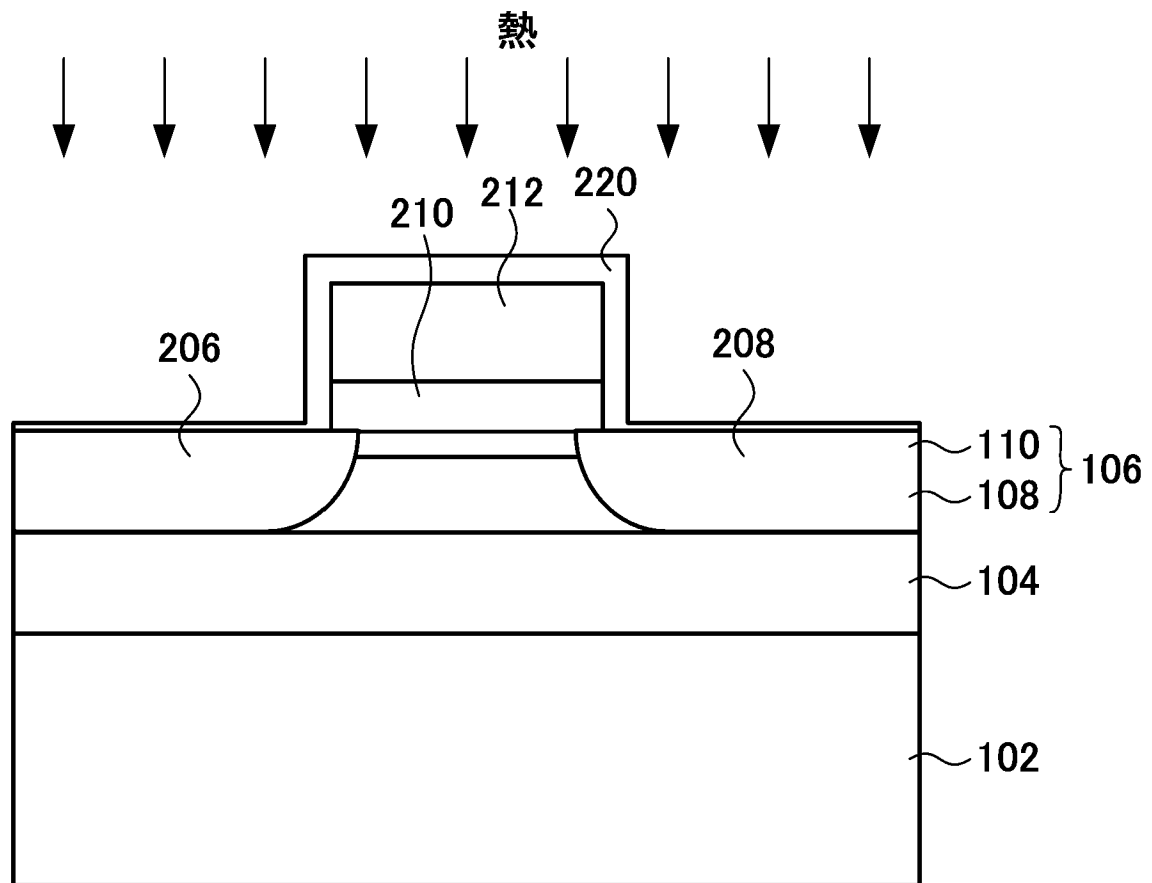
[図6]



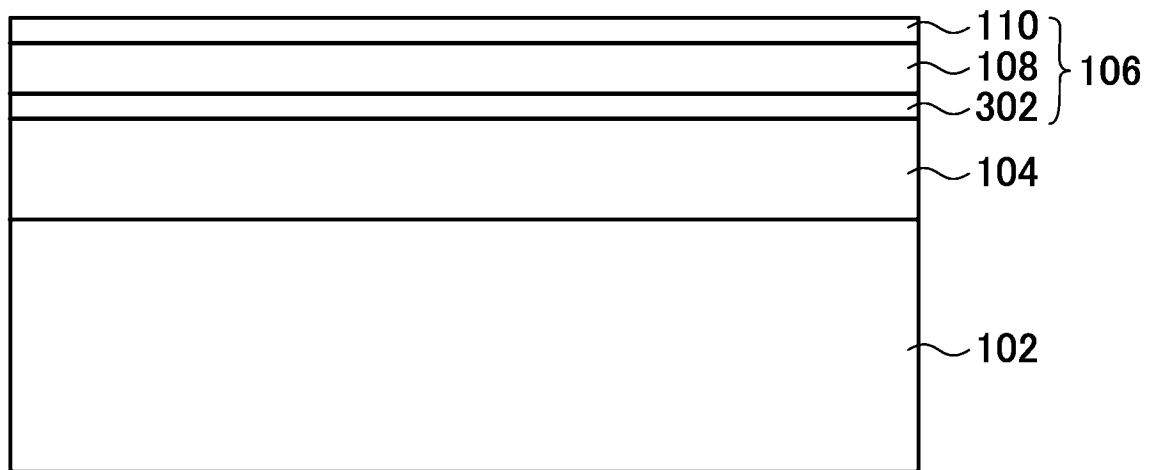
[図7]



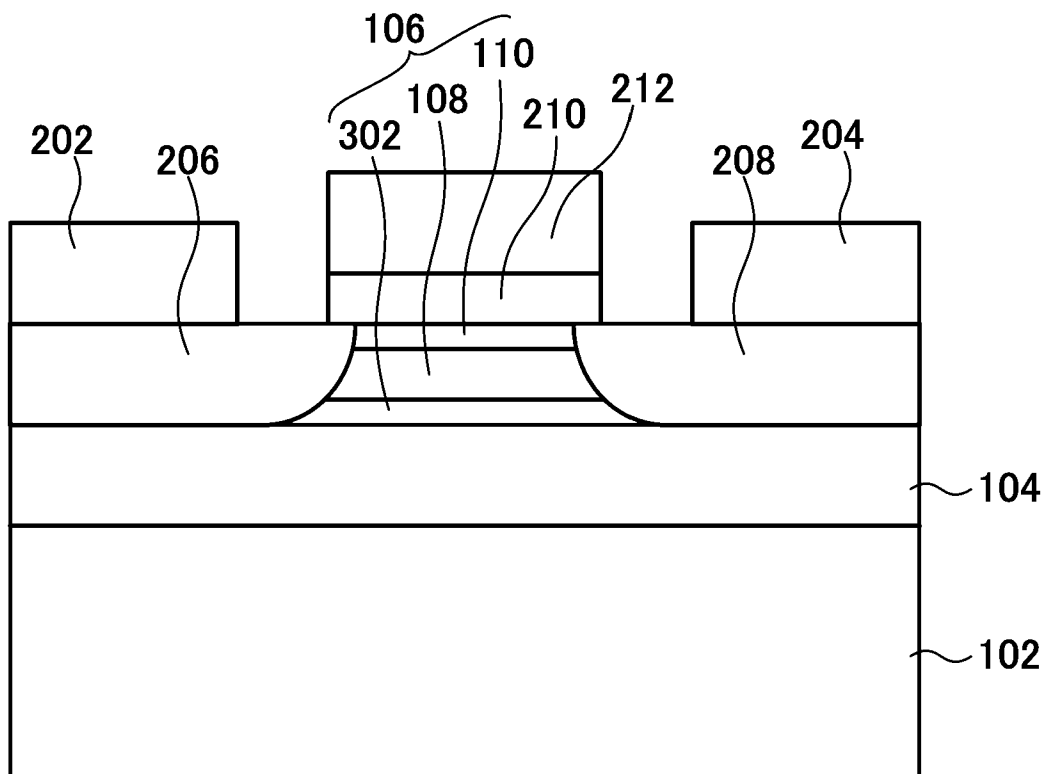
[図8]



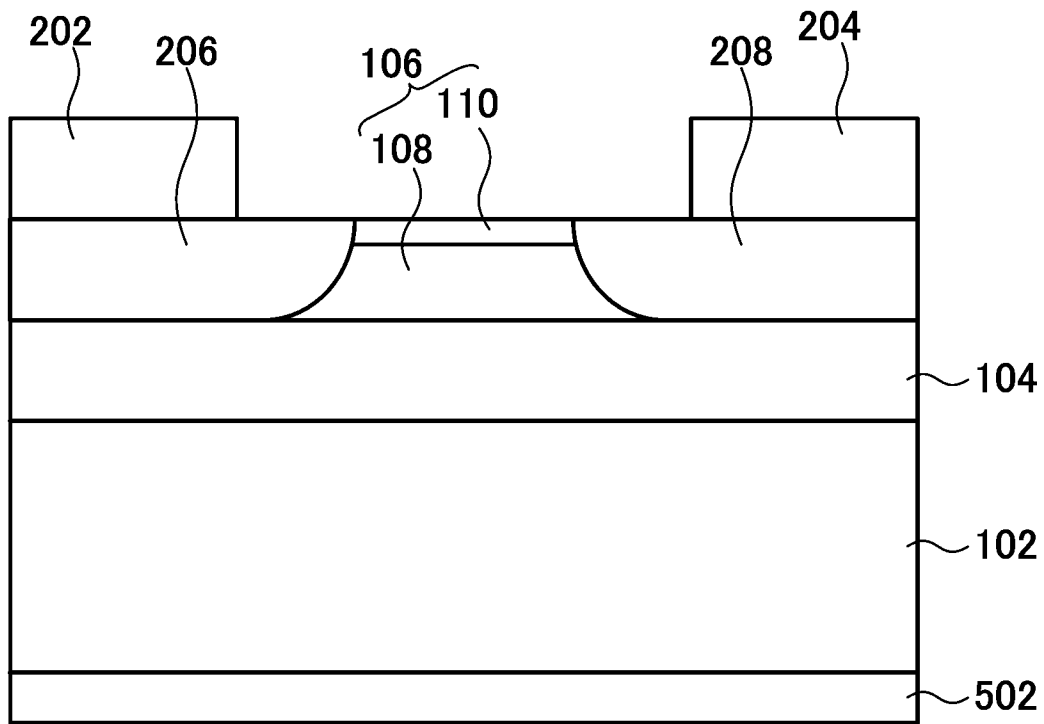
[図9]

300

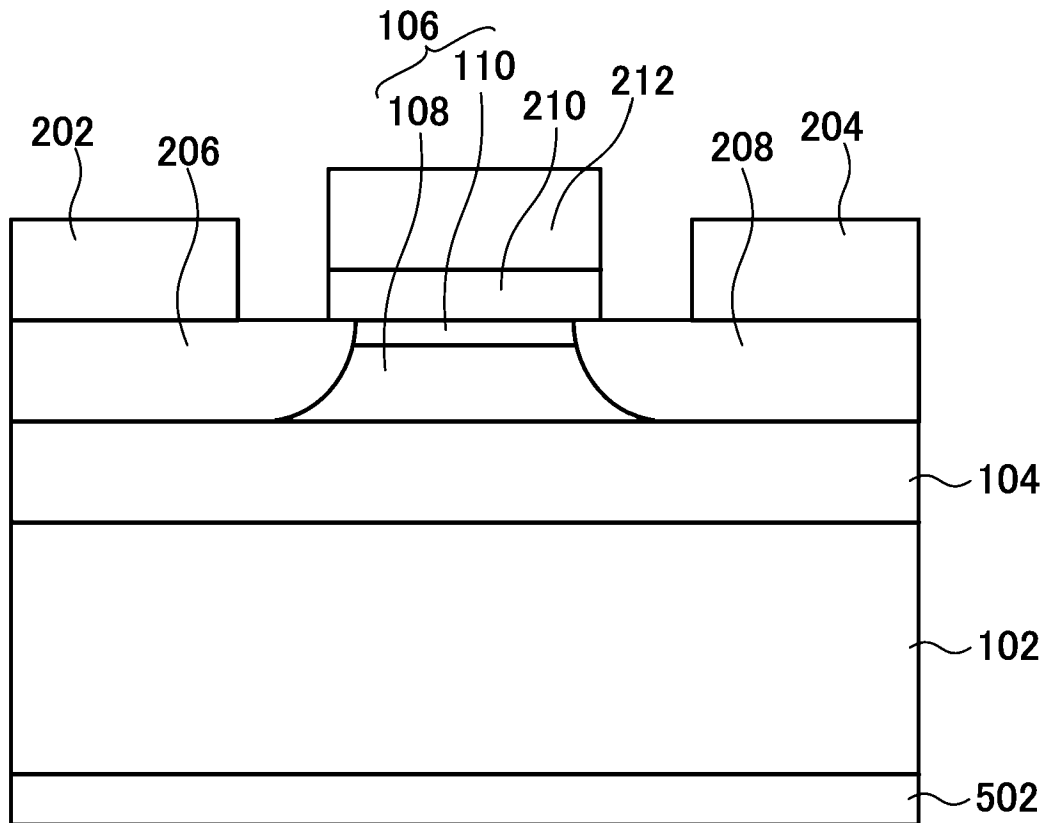
[図10]

400

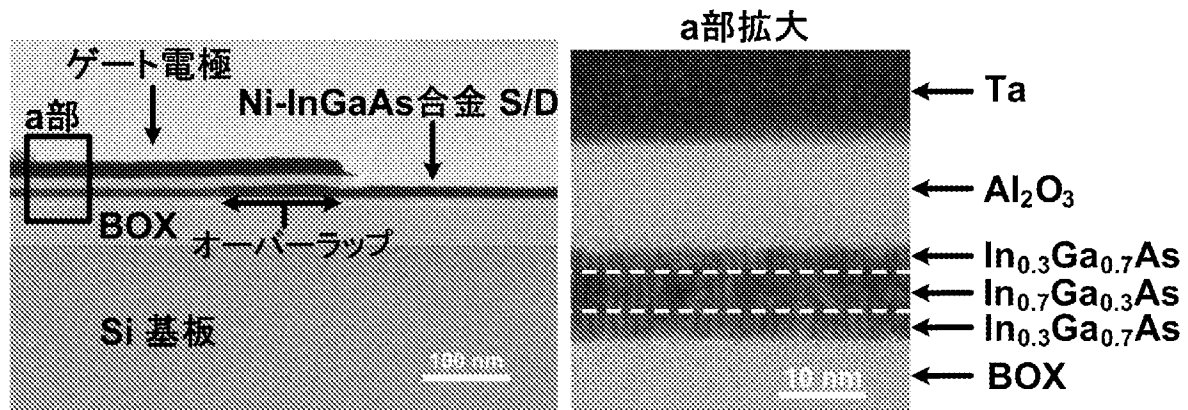
[図11]

500

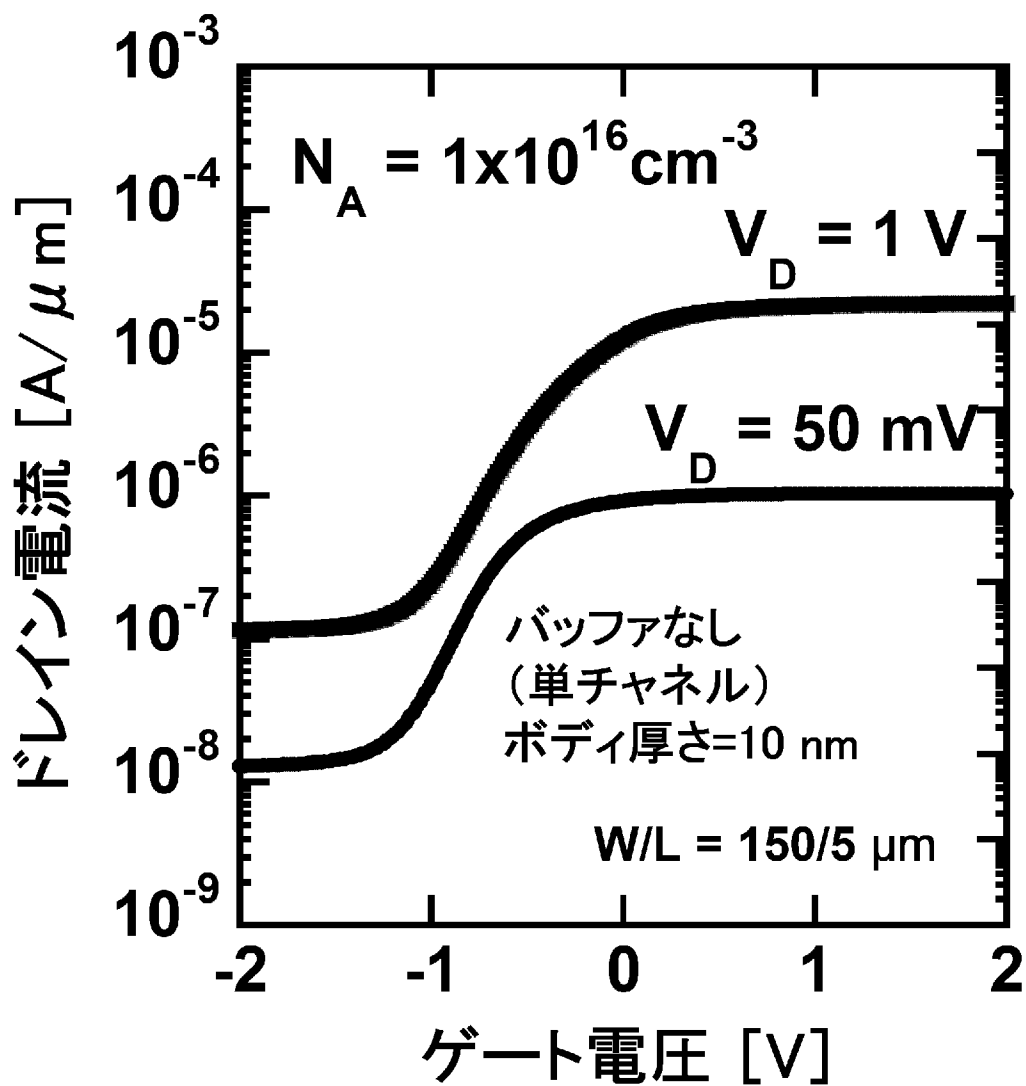
[図12]

600

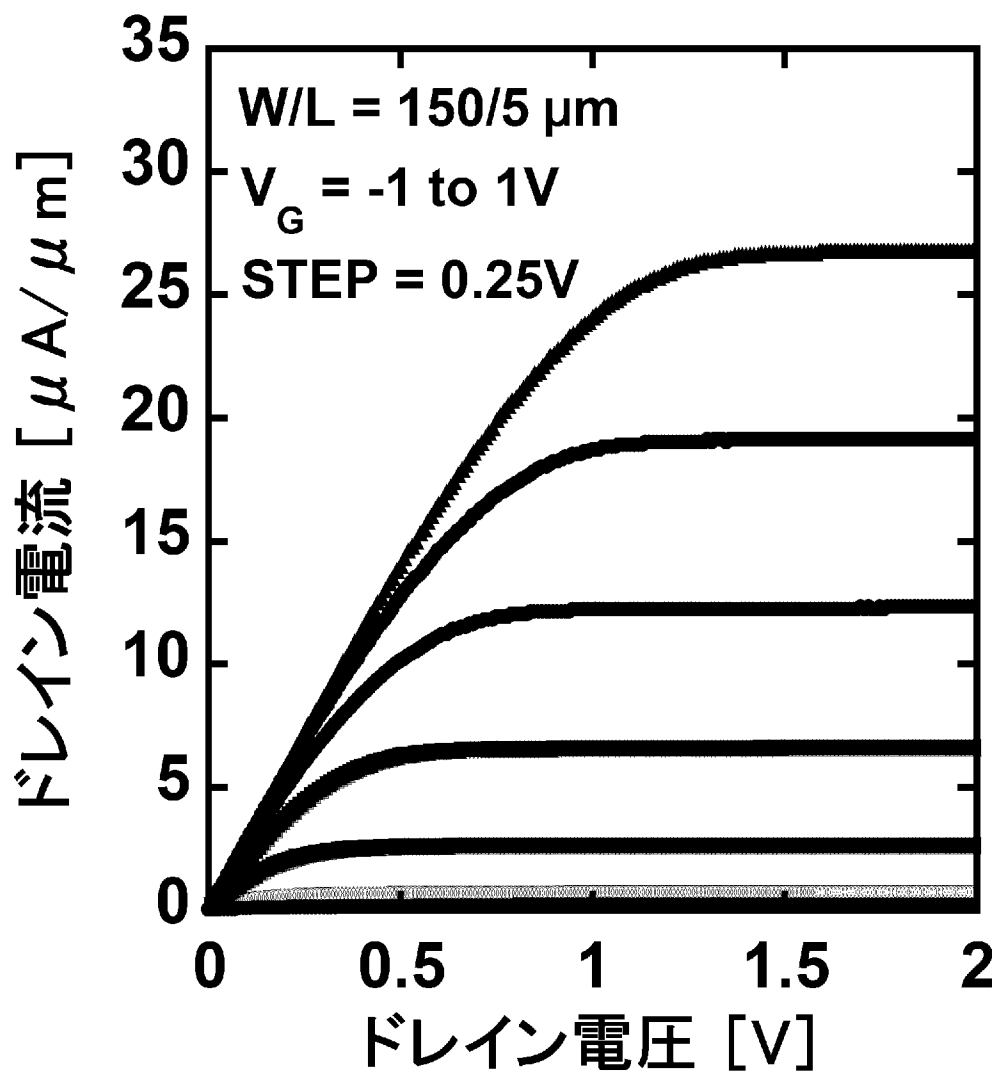
[図13]



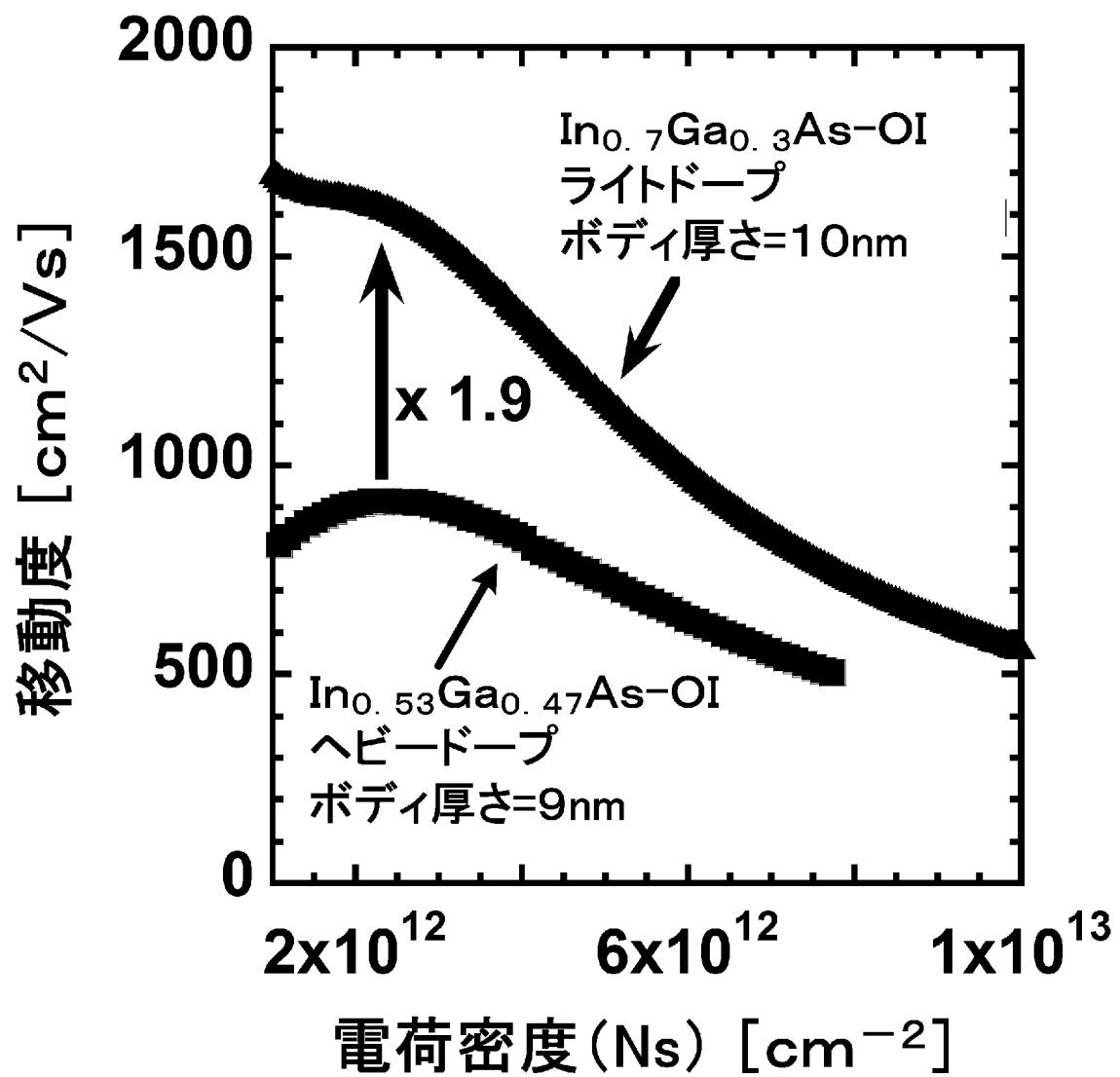
[図14]



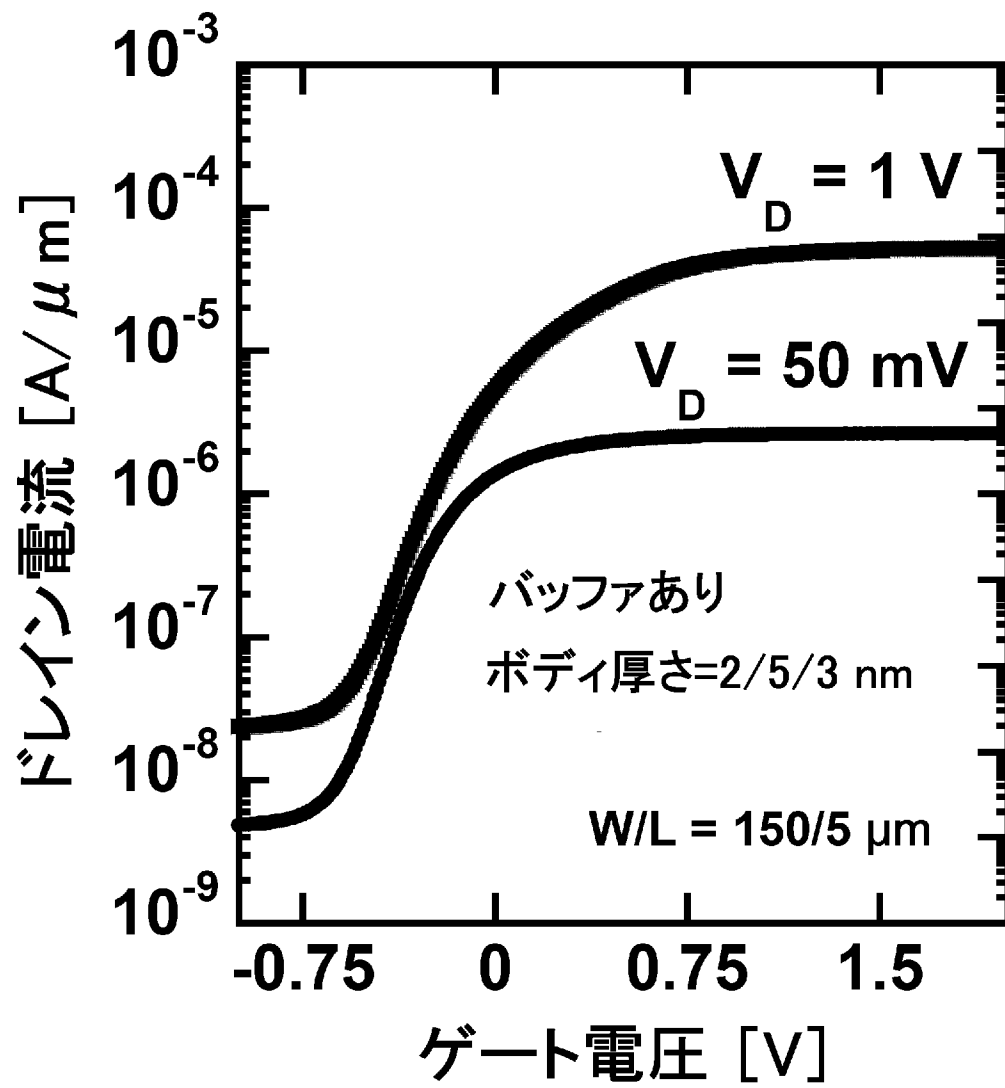
[図15]



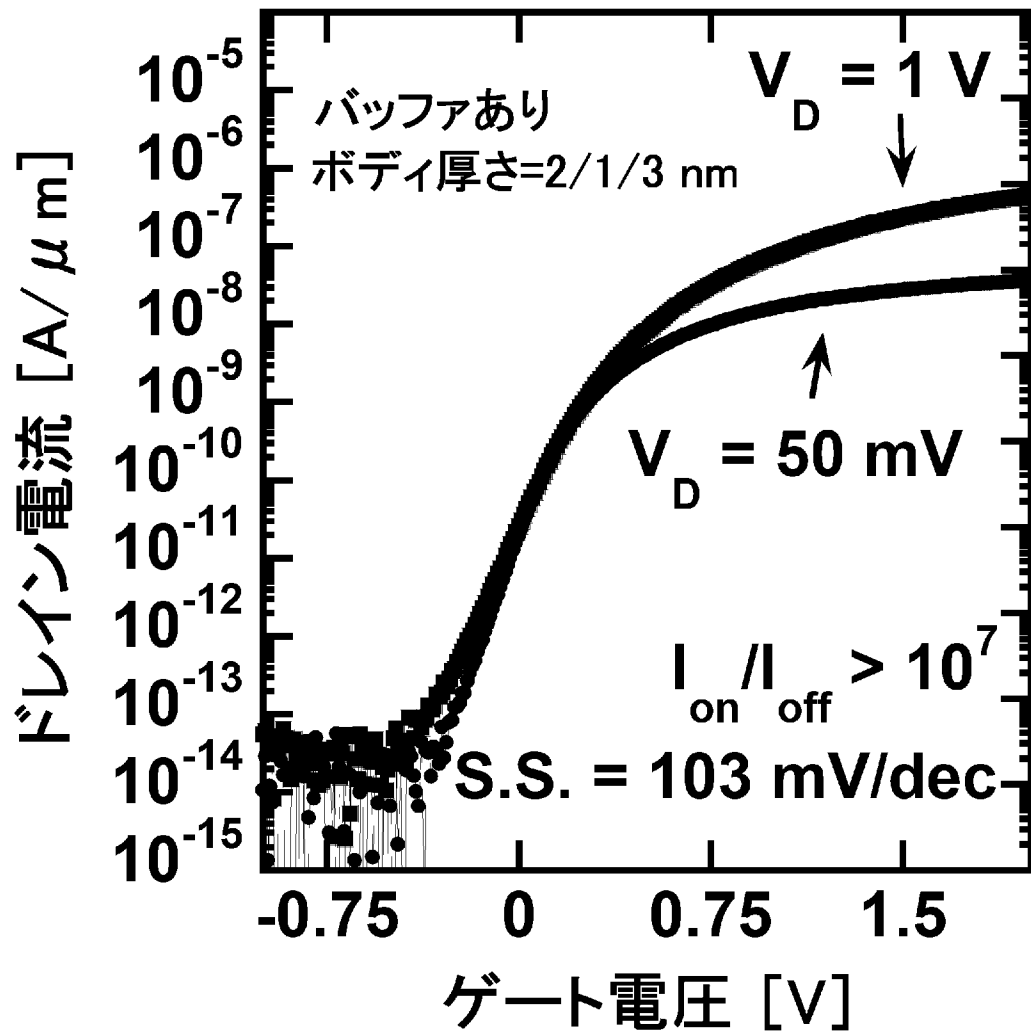
[図16]



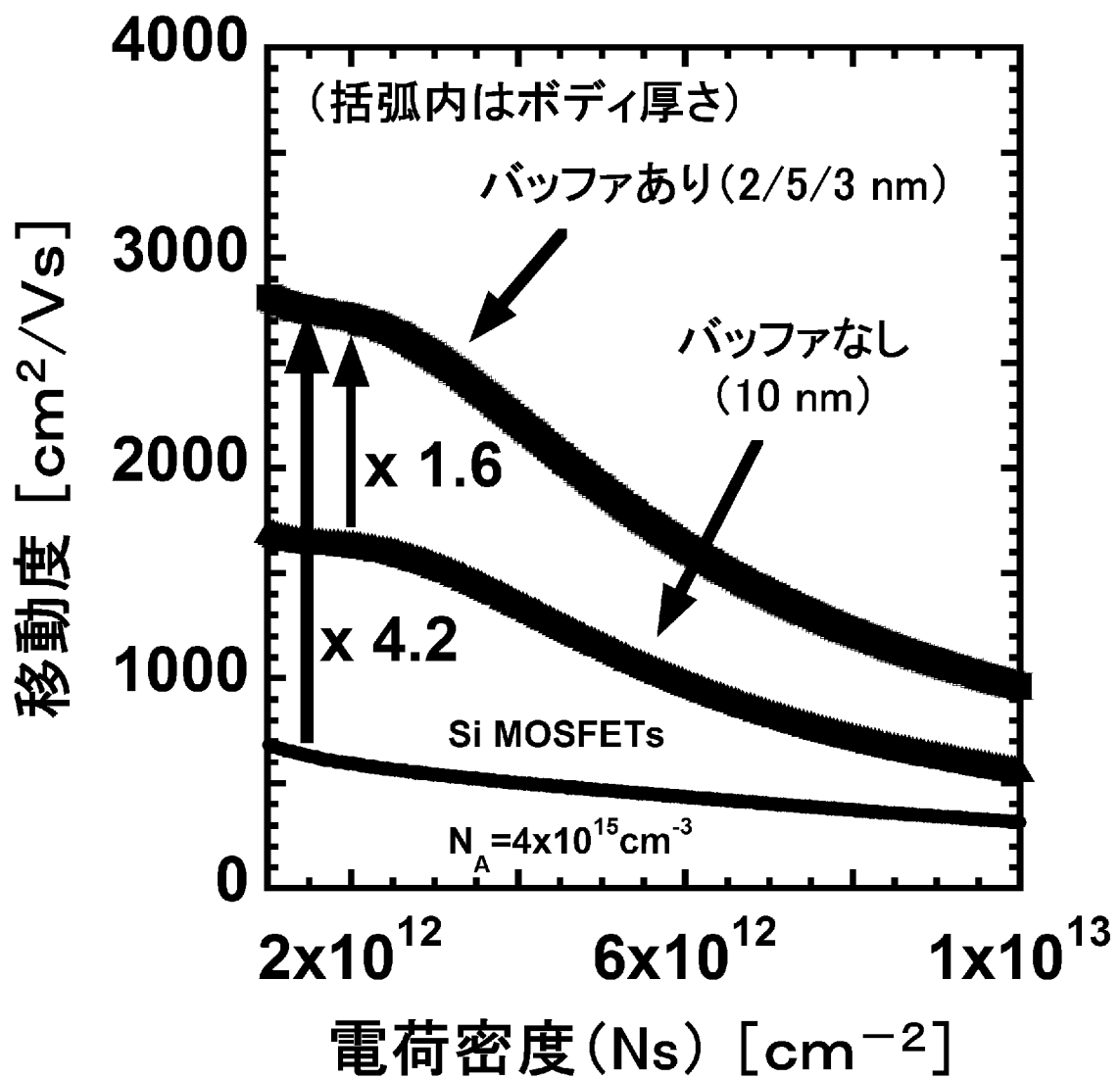
[図17]



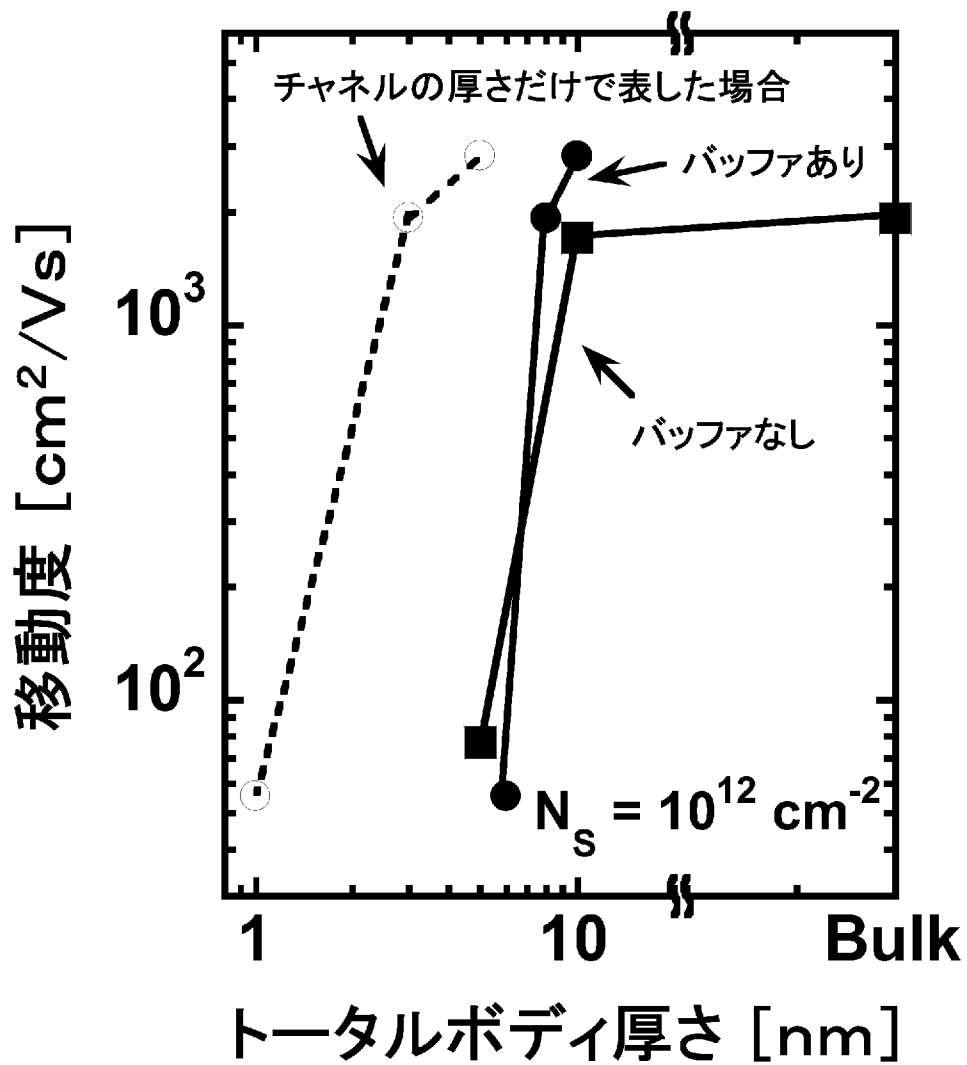
[図18]



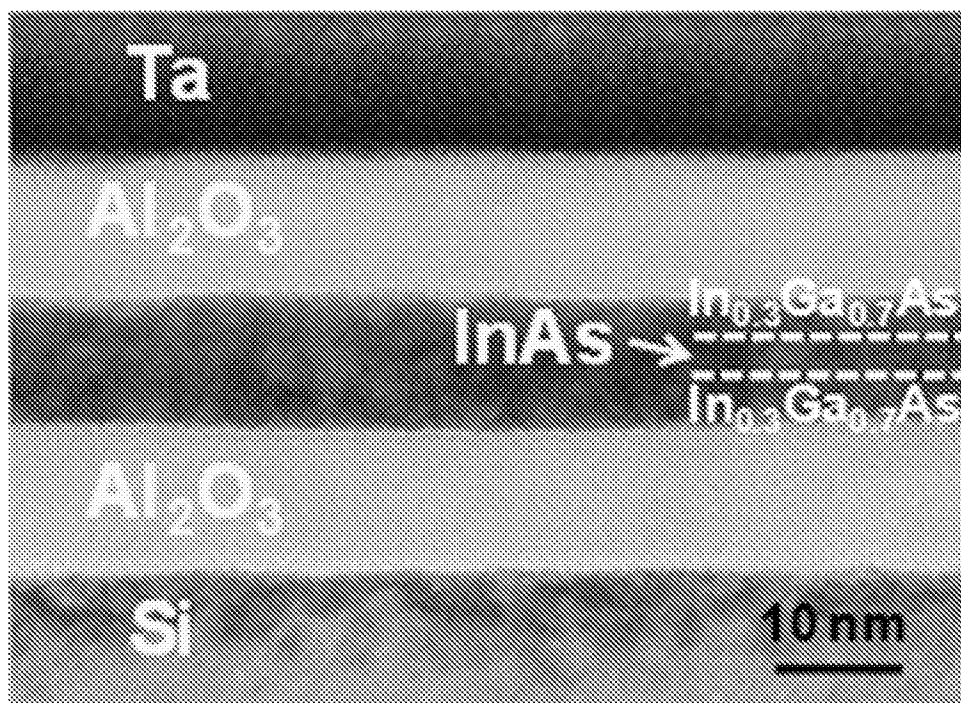
[図19]



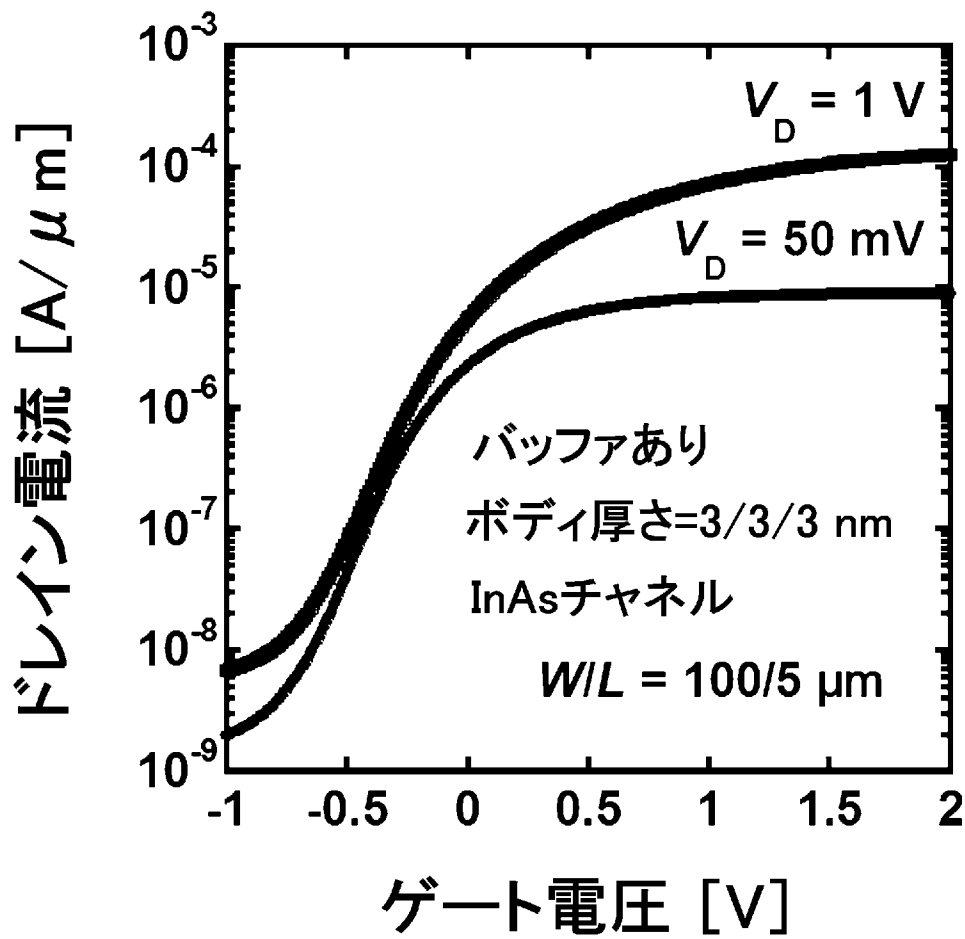
[図20]



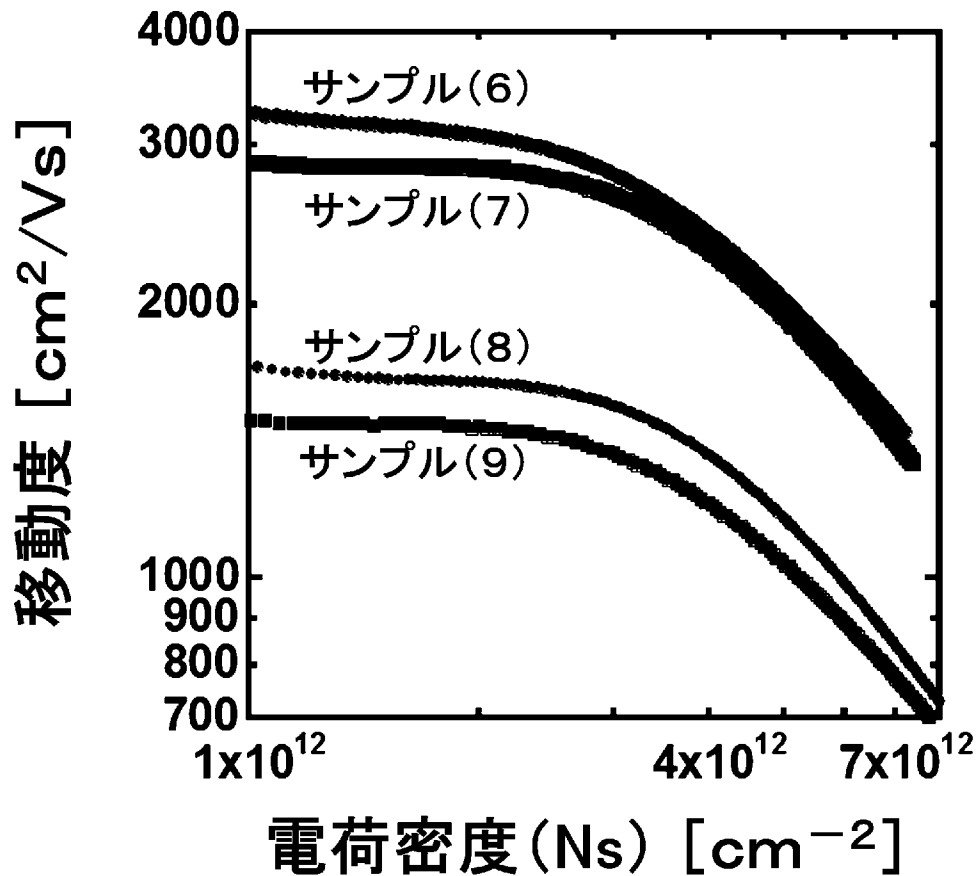
[図21]



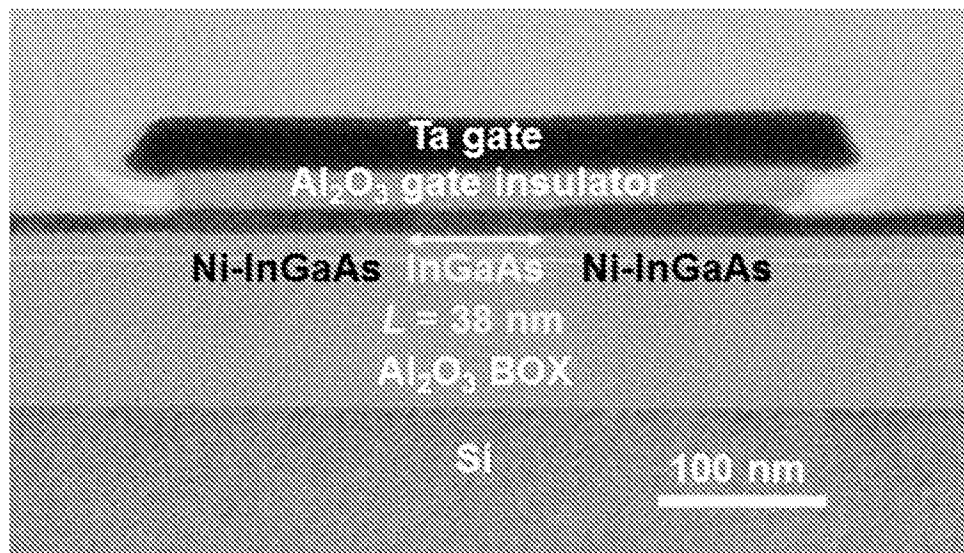
[図22]



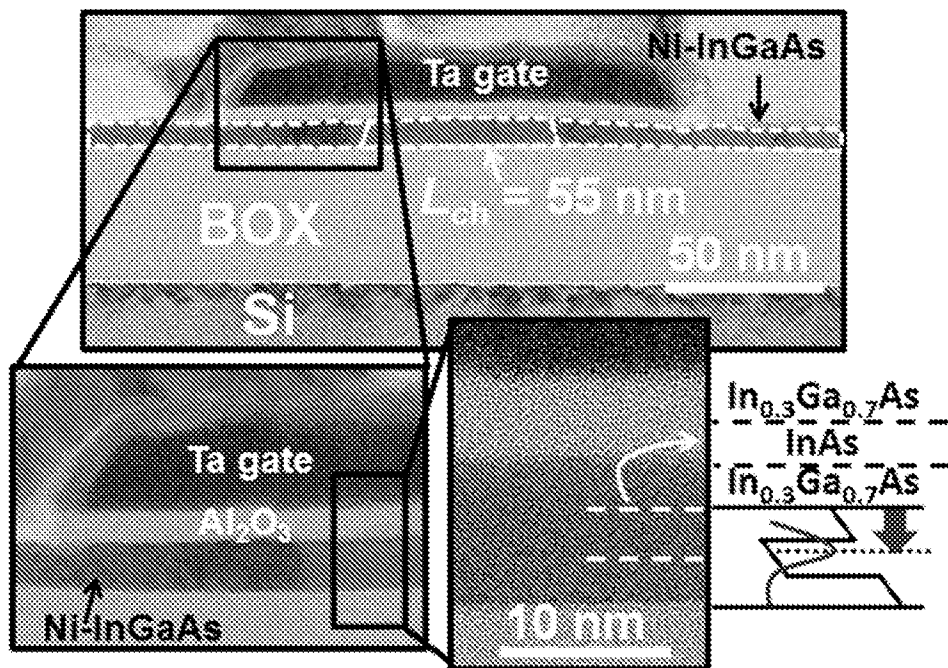
[図23]



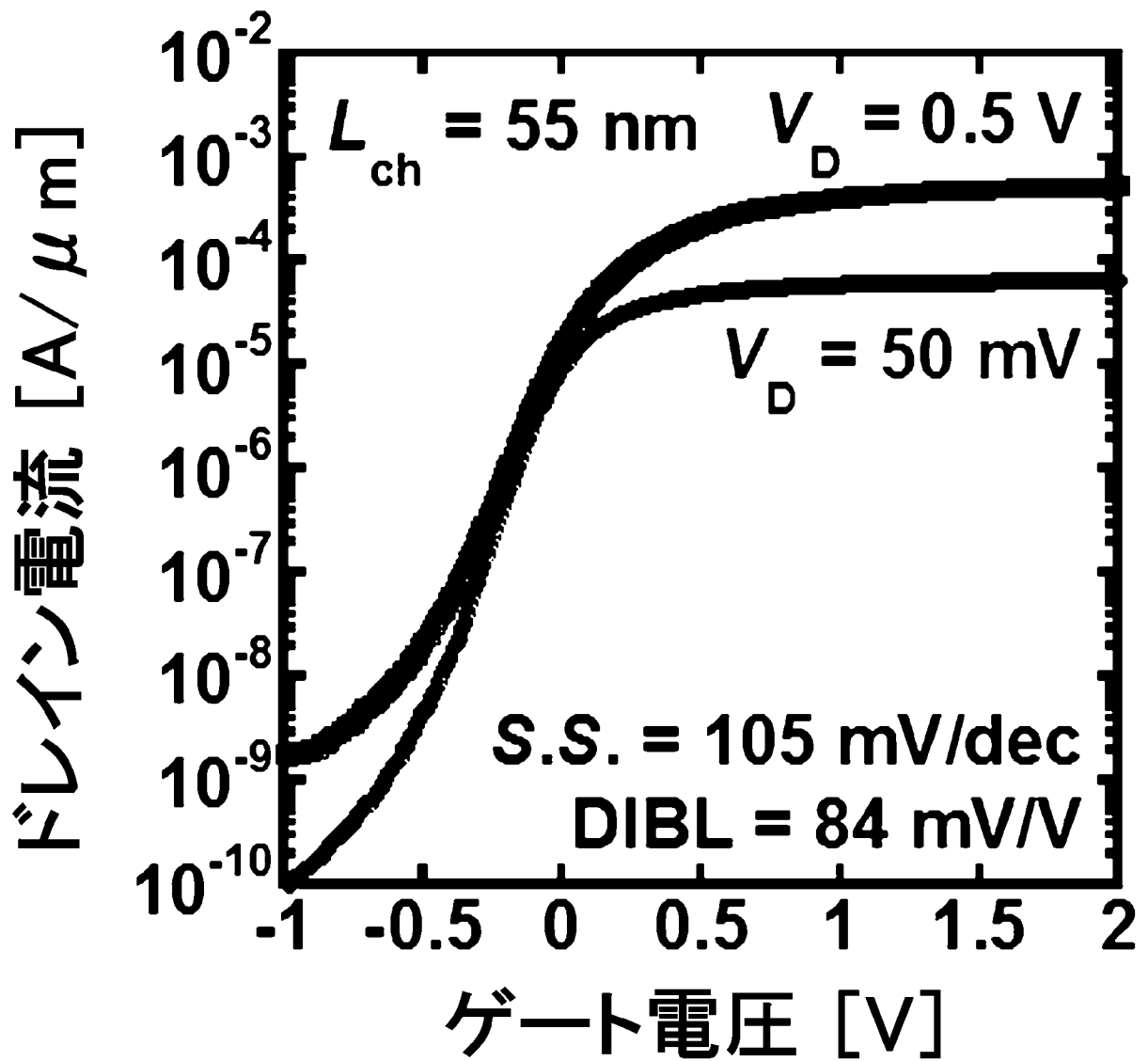
[図24]



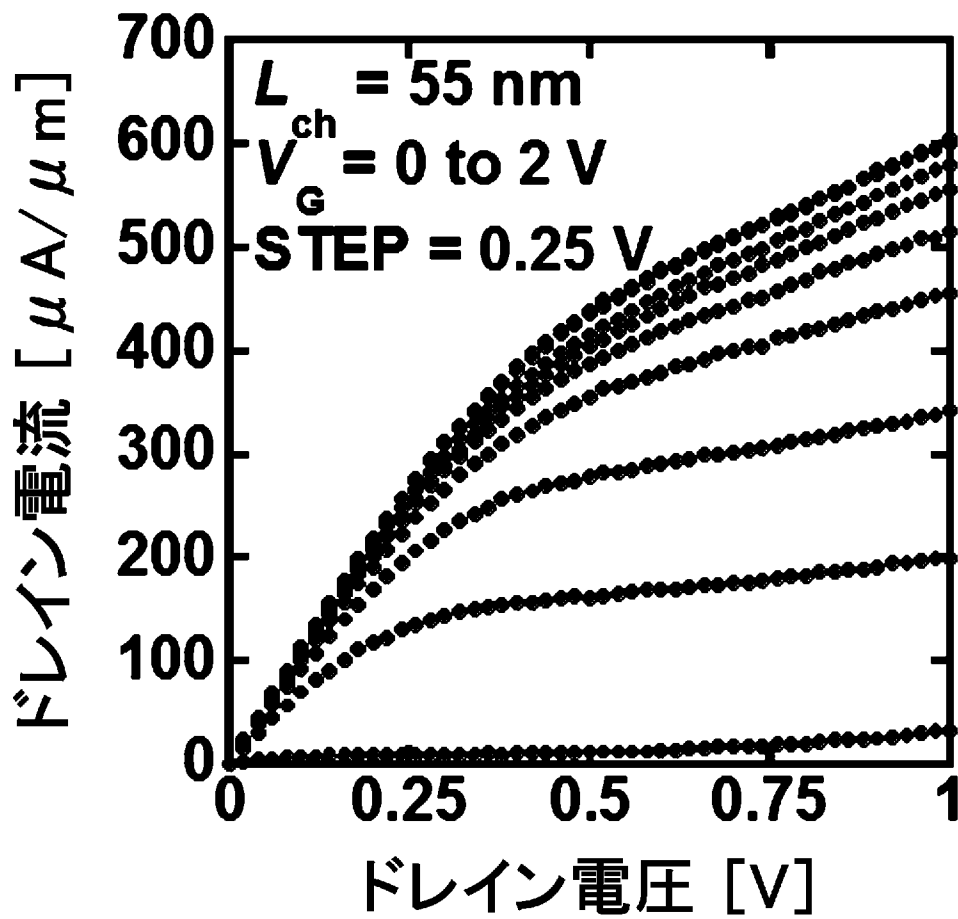
[図25]



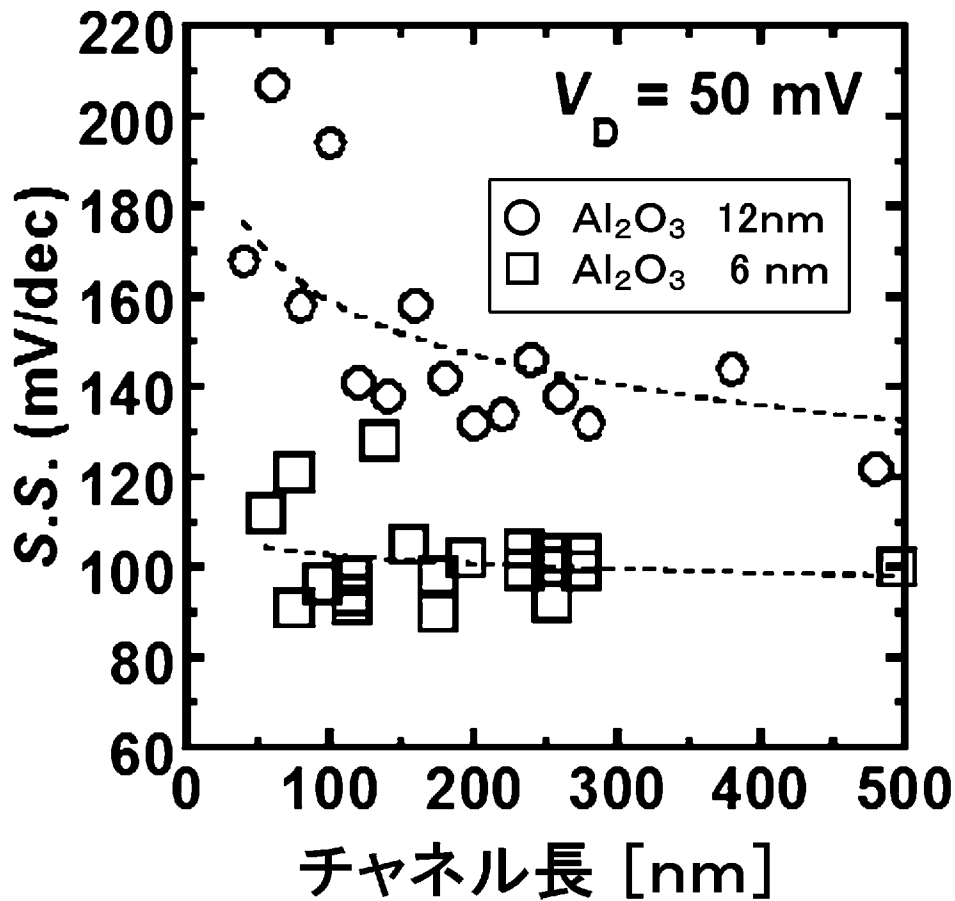
[図26]



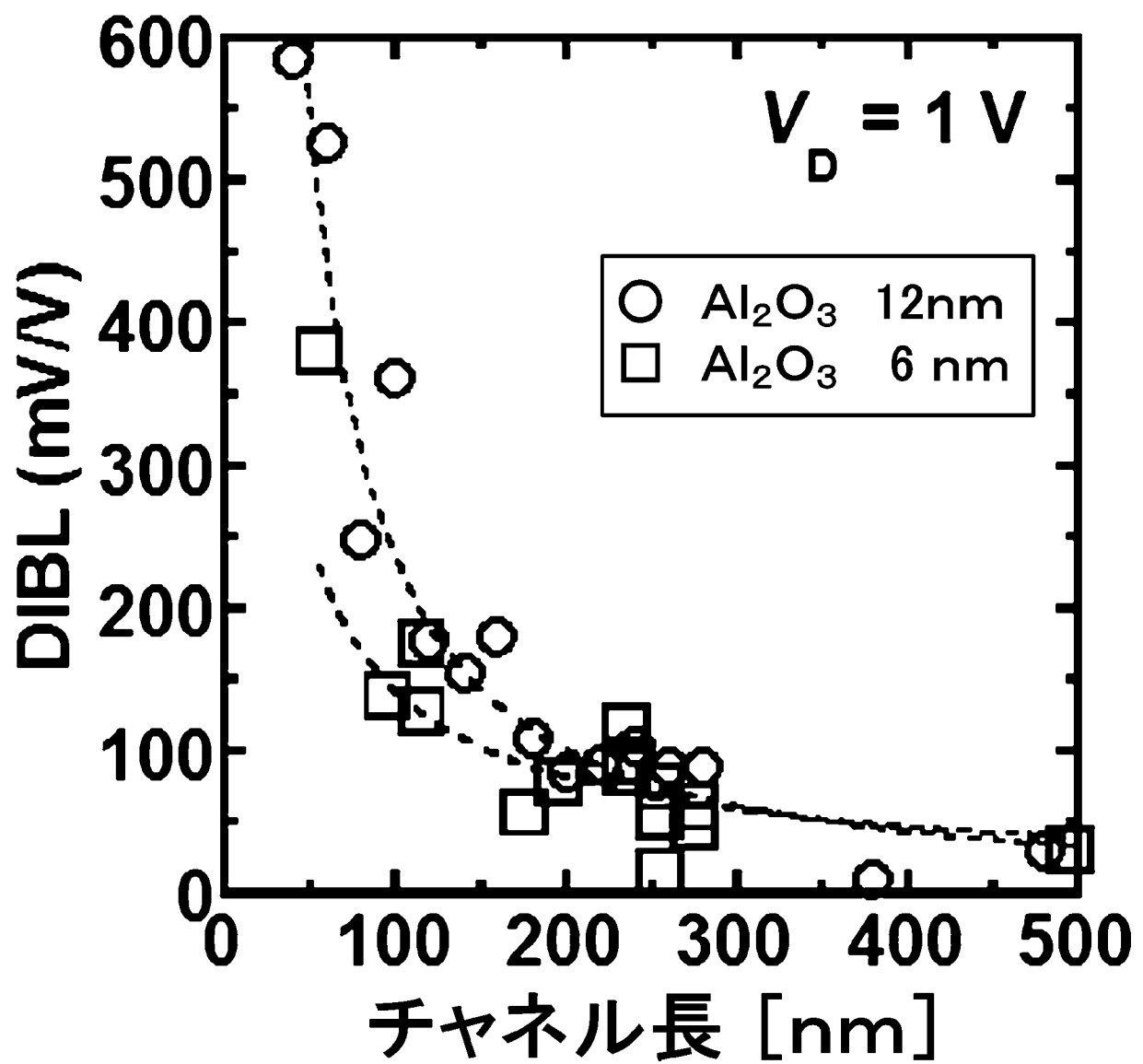
[図27]



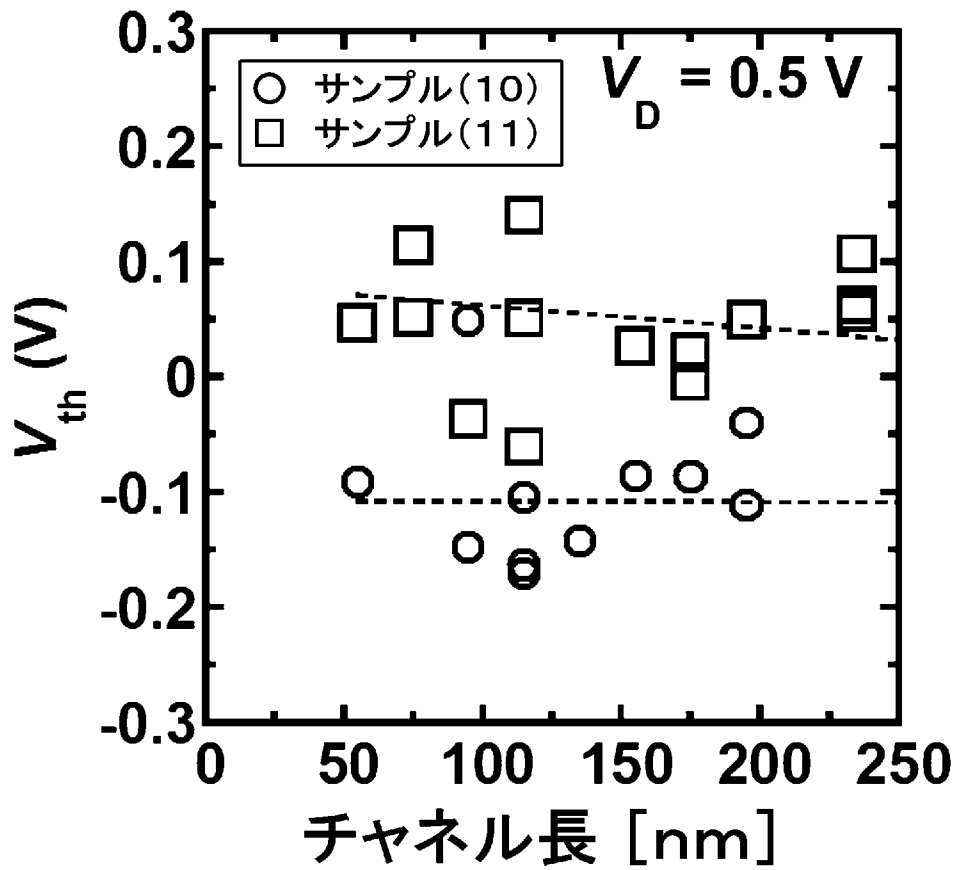
[図28]



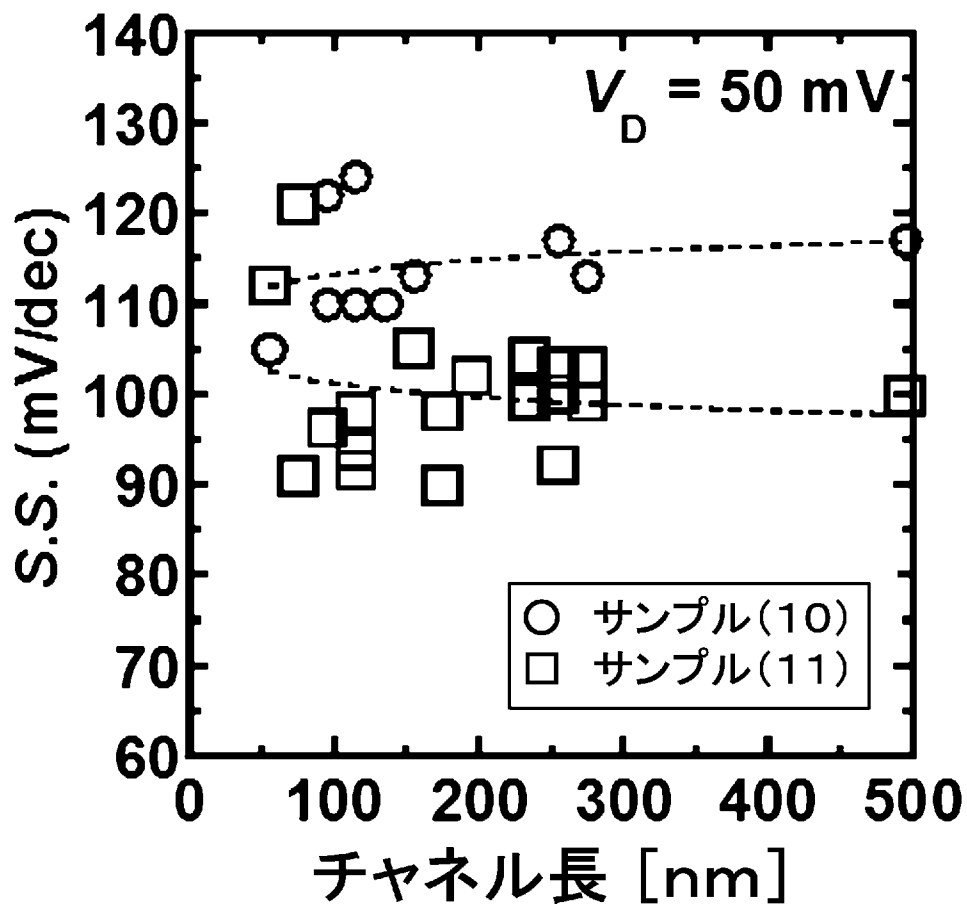
[図29]



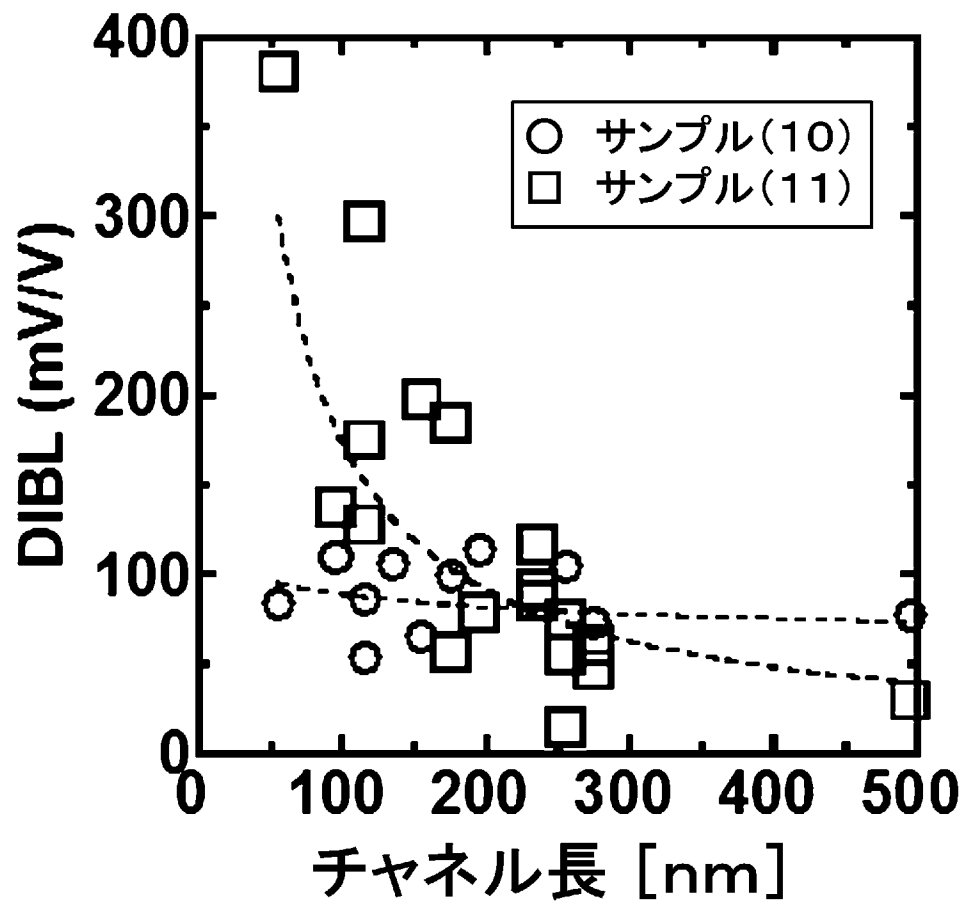
[図30]



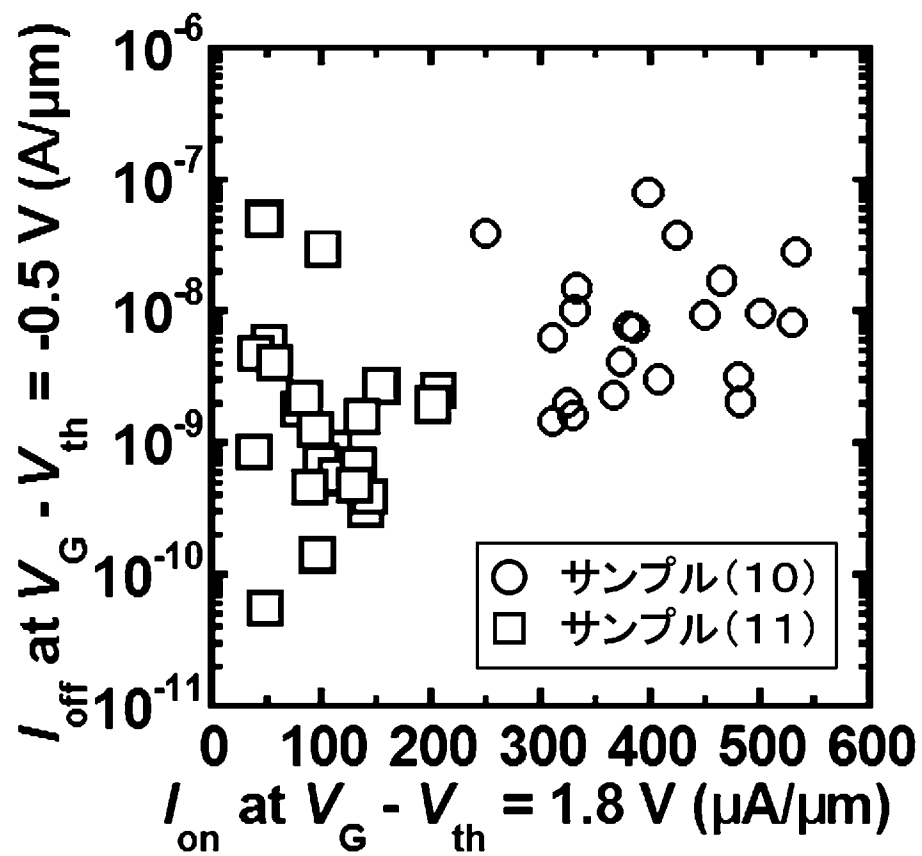
[図31]



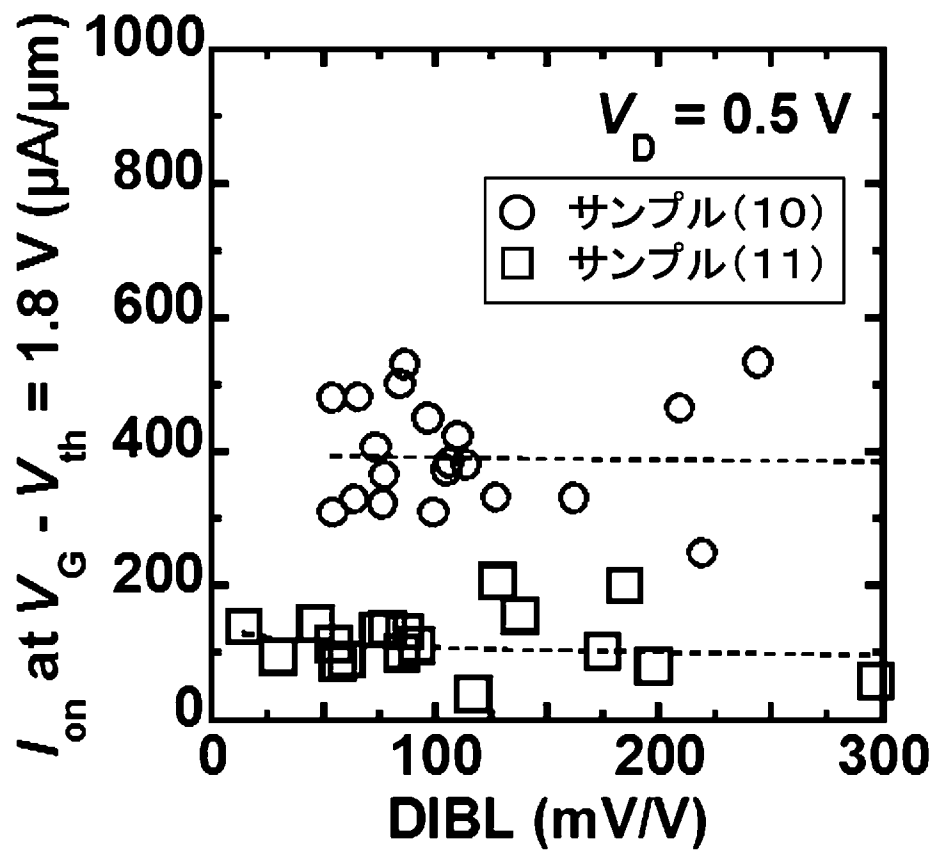
[図32]



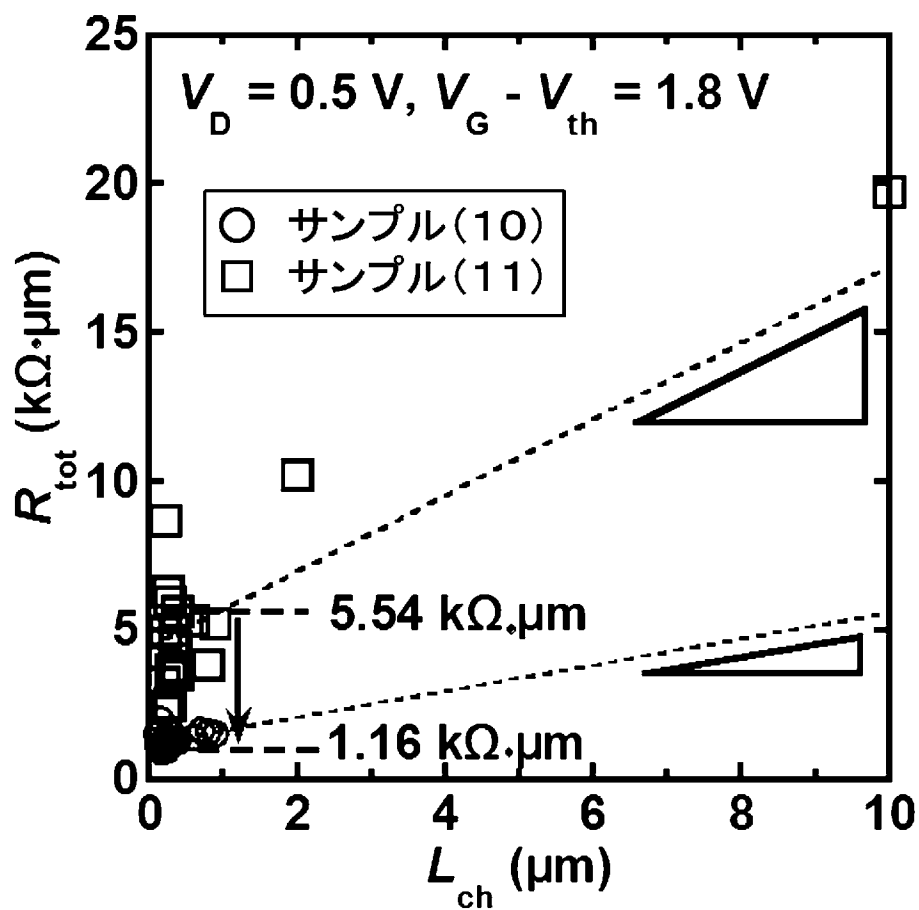
[図33]



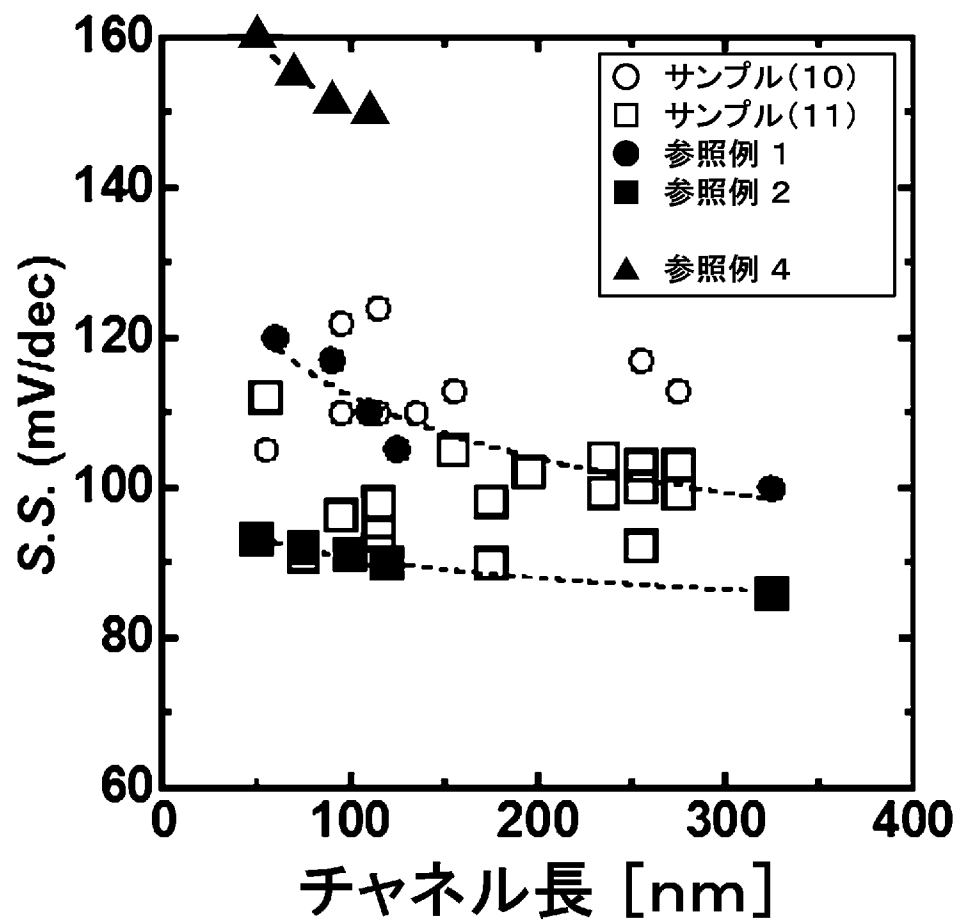
[図34]



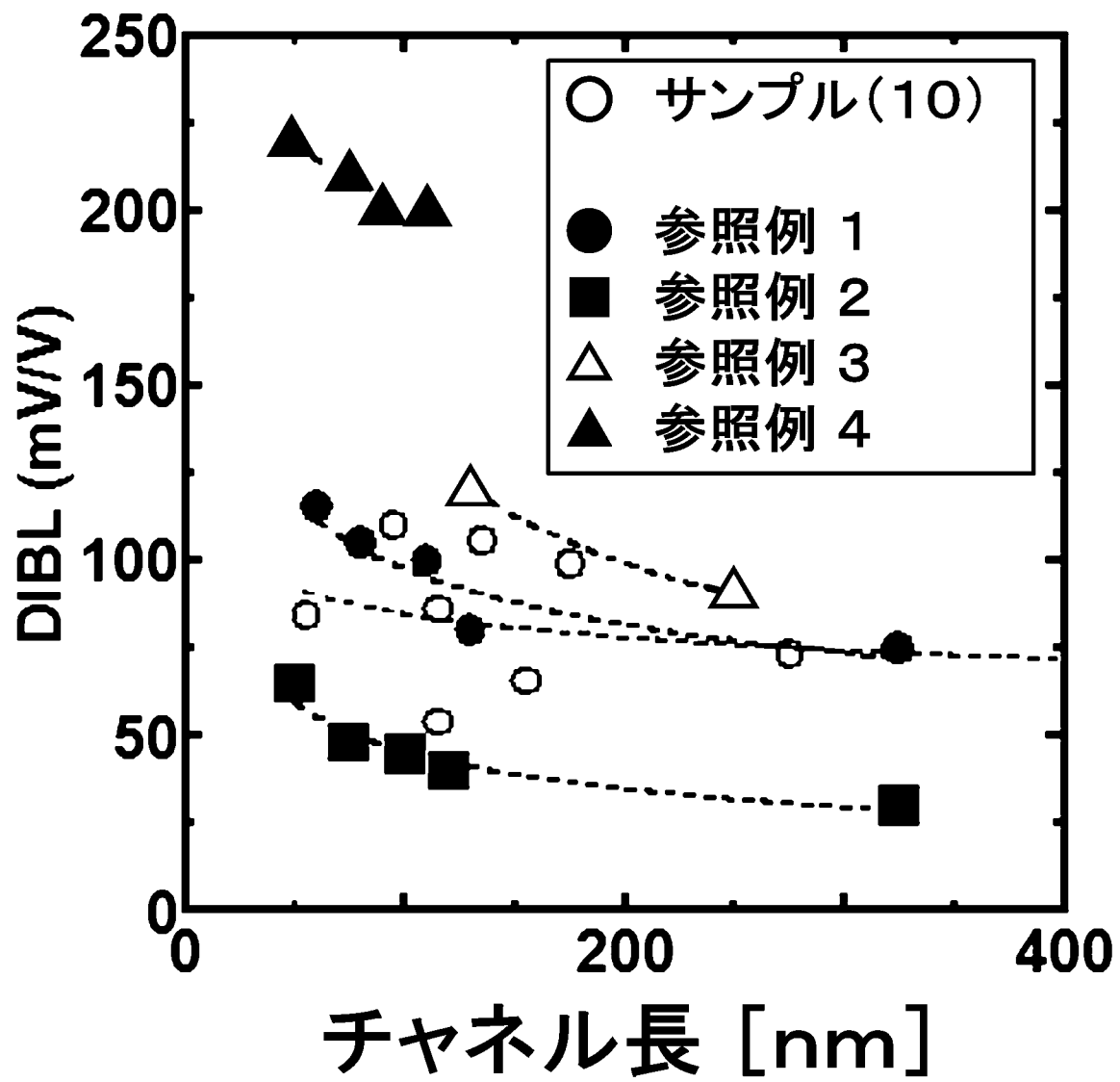
[図35]



[図36]



[図37]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/001477

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/786(2006.01)i, H01L21/02(2006.01)i, H01L21/20(2006.01)i,
H01L21/336(2006.01)i, H01L27/12(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/786, H01L21/02, H01L21/20, H01L21/336, H01L27/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

IEEE Xplore, WPI, JSTPlus (JDreamII), JST7580 (JDreamII)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2010-232568 A (The University of Tokyo), 14 October 2010 (14.10.2010), paragraphs [0026] to [0038], [0083], [0095]; fig. 2, 18 (Family: none)	1, 4, 5 6, 7, 9, 10 2, 3, 8, 11-14
Y	JP 2010-10663 A (IMEC et al.), 14 January 2010 (14.01.2010), paragraphs [0046], [0047], [0079] & US 2009/0283756 A1 & EP 2120266 A1	6, 7, 9, 10
A	JP 2011-9722 A (Sumitomo Chemical Co., Ltd.), 13 January 2011 (13.01.2011), entire text; all drawings & WO 2010/137260 A1	1-14



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
17 April, 2012 (17.04.12)

Date of mailing of the international search report
01 May, 2012 (01.05.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/001477

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-12986 A (Canon Inc.), 12 January 2006 (12.01.2006), entire text; all drawings & JP 2010-511940 A & US 2006/0246688 A1 & EP 2126702 A & WO 2006/001285 A1 & WO 2008/070587 A1 & CA 2668204 A & CN 101542446 A & NO 20092482 A & KR 10-2009-0095627 A & AU 2007329468 A & MX 2009004903 A	1-14
A	JP 2009-238955 A (The University of Tokyo et al.), 15 October 2009 (15.10.2009), entire text; all drawings & US 2011/0018033 A1 & WO 2009/119103 A1 & CN 101960605 A & KR 10-2010-0126719 A	1-14
A	JP 2007-96126 A (Sharp Corp. et al.), 12 April 2007 (12.04.2007), entire text; all drawings (Family: none)	1-14
A	JP 5-327127 A (Fujitsu Ltd.), 10 December 1993 (10.12.1993), entire text; all drawings (Family: none)	1-14
A	L. Czornomaz, M. El Kazzi, D. Caimi, P. Machler, C. Rossel, M. Bjoerk, C. Marchiori and J. Fompeyrine, "Self-aligned S/D regions for InGaAs MOSFETs", Solid-State Device Research Conference (ESSDERC), 2011 Proceedings of the European, 2011.09.12, pp.219-222	1-14

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L29/786(2006.01)i, H01L21/02(2006.01)i, H01L21/20(2006.01)i, H01L21/336(2006.01)i, H01L27/12(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L29/786, H01L21/02, H01L21/20, H01L21/336, H01L27/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

IEEE Xplore, WPI, JSTPlus(JDreamII), JST7580(JDreamII)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2010-232568 A (国立大学法人 東京大学) 2010.10.14, 段落【0026】～【0038】、【0083】、【0095】、図2、図18 (ファミリーなし)	1, 4, 5 6, 7, 9, 10 2, 3, 8, 11-14
Y	JP 2010-10663 A (アイメック (他1名)) 2010.01.14, 段落【0046】、【0047】、【0079】、& US 2009/0283756 A1 & EP 2120266 A1	6, 7, 9, 10

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 7 . 0 4 . 2 0 1 2

国際調査報告の発送日

0 1 . 0 5 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

鈴木 聡一郎

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 5 9

5 0

3 8 6 4

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2011-9722 A (住友化学株式会社) 2011.01.13, 全文、全図 & WO 2010/137260 A1	1-14
A	JP 2006-12986 A (キヤノン株式会社) 2006.01.12, 全文、全図 & JP 2010-511940 A & US 2006/0246688 A1 & EP 2126702 A & WO 2006/001285 A1 & WO 2008/070587 A1 & CA 2668204 A & CN 101542446 A & NO 20092482 A & KR 10-2009-0095627 A & AU 2007329468 A & MX 2009004903 A	1-14
A	JP 2009-238955 A (国立大学法人 東京大学 (他 1 名)) 2009.10.15, 全文、全図 & US 2011/0018033 A1 & WO 2009/119103 A1 & CN 101960605 A & KR 10-2010-0126719 A	1-14
A	JP 2007-96126 A (シャープ株式会社 (他 1 名)) 2007.04.12, 全文、全図 (ファミリーなし)	1-14
A	JP 5-327127 A (富士通株式会社) 1993.12.10, 全文、全図 (ファミリーなし)	1-14
A	L. Czornomaz, M. El Kazzi, D. Caimi, P. Machler, C. Rossel, M. Bjoerk, C. Marchiori and J. Fompeyrine, "Self-aligned S/D regions for InGaAs MOSFETs", Solid-State Device Research Conference (ESSDERC), 2011 Proceedings of the European, 2011.09.12, pp.219-222	1-14