

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2008-520097

(P2008-520097A)

(43) 公表日 平成20年6月12日(2008.6.12)

(51) Int.Cl.

H01L 29/78 (2006.01)
H01L 29/786 (2006.01)
H01L 21/336 (2006.01)

F 1

H01L 29/78 301S
H01L 29/78 616T
H01L 29/78 616L

テーマコード(参考)

5F11O
5F14O

審査請求 未請求 予備審査請求 有 (全 15 頁)

(21) 出願番号 特願2007-541196 (P2007-541196)
(86) (22) 出願日 平成17年10月12日 (2005.10.12)
(85) 翻訳文提出日 平成19年5月25日 (2007.5.25)
(86) 國際出願番号 PCT/US2005/036894
(87) 國際公開番号 WO2006/052379
(87) 國際公開日 平成18年5月18日 (2006.5.18)
(31) 優先権主張番号 10/986,399
(32) 優先日 平成16年11月10日 (2004.11.10)
(33) 優先権主張国 米国(US)

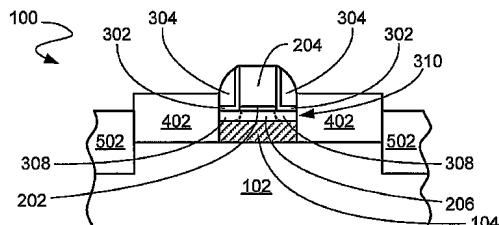
(71) 出願人 591016172
アドバンスト・マイクロ・ディバイシズ・
インコーポレイテッド
ADVANCED MICRO DEVI
CES INCORPORATED
アメリカ合衆国、94088-3453
カリフォルニア州、サンディベイル、ビイ・
オウ・ボックス・3453、ワン・エイ・
エム・ディ・プレイス、メイル・ストップ
・68(番地なし)
(74) 代理人 100098324
弁理士 鈴木 正剛
(74) 代理人 100111615
弁理士 佐野 良太

最終頁に続く

(54) 【発明の名称】歪み完全空乏型シリコン・オン・インシュレータ半導体デバイスおよびこの製造方法

(57) 【要約】

絶縁体(104)上に半導体層(106)を備える、その上に絶縁体(104)を有する半導体基板(102)を提供する。半導体層(106)に歪みを引き起こす深いトレンチ分離(108)を形成する。半導体層(106)上にゲート絶縁体(202)およびゲート(204)を形成する。ゲート(204)の周りにスペーサ(304)を形成し、スペーサ(304)の外側の半導体層(106)および絶縁体(104)を除去する。スペーサ(304)の外側にくぼんだソース/ドレイン(402)を形成する。



【特許請求の範囲】

【請求項 1】

絶縁体(104)上に半導体層(106)を備える、その上に絶縁体(104)を有する半導体基板(102)を提供するステップと、

前記半導体層(106)に歪みを引き起こす深いトレンチ分離(108)を形成するステップと、

前記半導体層(106)上にゲート絶縁体(202)およびゲート(204)を形成するステップと、

前記ゲート(204)の周りにスペーサ(304)を形成するステップと、

前記スペーサ(304)の外側の前記半導体層(106)および前記絶縁体(104)を除去するステップと、

前記スペーサ(304)の外側にくぼんだソース／ドレイン(402)を形成するステップと、を有する、

半導体デバイスを製造する方法(700)。

【請求項 2】

前記スペーサ(304)の外側にくぼんだソース／ドレイン(402)を形成するステップは、前記スペーサ(304)の外側に選択エピタキシャル成長によってくぼんだソース／ドレイン(402)を形成するステップをさらに含む、請求項1記載の方法(700)。

【請求項 3】

前記スペーサ(304)の外側にくぼんだソース／ドレイン(402)を形成するステップは、前記半導体層(106)に歪みを引き起こす、前記スペーサ(304)の外側にくぼんだ炭素ドープされたソース／ドレイン(402)を形成するステップをさらに含む、請求項1記載の方法(700)。

【請求項 4】

前記スペーサ(304)の外側にくぼんだソース／ドレイン(402)を形成するステップは、前記半導体層(106)に歪みを引き起こす、前記スペーサ(304)の外側にくぼんだシリコンゲルマニウム・ソース／ドレイン(402)を形成するステップをさらに含む、請求項1記載の方法(700)。

【請求項 5】

前記スペーサ(304)を除去するステップと、

前記深いトレンチ分離(108)を除去し、トレンチ(602)を形成するステップと、

前記トレンチ(602)中および前記ソース／ドレイン(402)と前記ゲート(204)上に、前記半導体層(106)に歪みを引き起こす層(604)をたい積するステップと、をさらに含む、請求項1記載の方法(700)。

【請求項 6】

絶縁体(104)上に半導体層(106)を備える、その上に絶縁体(104)を有する半導体基板(102)と、

前記半導体層(106)上のゲート絶縁体(202)およびゲート(204)と、

前記ゲート(204)の周りの任意のスペーサ(304)と、

前記スペーサ(304)の外側にくぼんだソース／ドレイン(402)と、

前記シリコン層に任意に歪みを引き起こす深いトレンチ分離(108)としての前記スペーサ(304)の外側に配置されるトレンチ(602)と、を含む、

半導体デバイス。

【請求項 7】

前記スペーサ(304)の外側にくぼんだソース／ドレイン(402)は、選択エピタキシャル成長によって形成された前記スペーサ(304)の外側にくぼんだソース／ドレイン(402)をさらに含む、請求項6記載の半導体デバイス。

【請求項 8】

10

20

30

40

50

前記スペーサ(304)の外側のくぼんだソース／ドレイン(402)は、前記半導体層(106)に歪みを引き起こす、前記スペーサ(304)の外側のくぼんだ炭素ドープされたソース／ドレイン(402)をさらに含む、請求項6記載の半導体デバイス。

【請求項9】

前記スペーサ(304)の外側のくぼんだソース／ドレイン(402)は、前記半導体層(106)に歪みを引き起こす、前記スペーサ(304)の外側のくぼんだシリコンゲルマニウム・ソース／ドレイン(402)をさらに含む、請求項6記載の半導体デバイス。
。

【請求項10】

前記トレンチ(602)中および前記くぼんだソース／ドレイン(402)と前記ゲート(204)上に、前記半導体層(106)に歪みを引き起こす層をさらに含む、請求項6記載の半導体デバイス。 10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は概して、シリコン・オン・インシュレータ半導体デバイスに関し、より詳しくは、完全空乏型シリコン・オン・インシュレータ・トランジスタに関する。

【背景技術】

【0002】

現在、生活のほとんどあらゆる面で電子製品が使用されており、これらの電子製品の中核をなすものが集積回路である。集積回路は、航空機やテレビ受像機から腕時計まであらゆるものに使用されている。 20

【0003】

半導体ウェーハ完成品を製造するために、数百、場合によっては、数千もの精密制御プロセスを調整する必要がある極めて複雑なシステムによって、シリコンウェーハおよびシリコンウェーハ上に集積回路が作られる。半導体ウェーハ完成品の各々は、数百から数万の集積回路を有し、各々には数百または数千ドルの価値がある。

【0004】

集積回路は、数百または数百万の個々のコンポーネントから構成されている。1つの一般的なコンポーネントは、半導体トランジスタである。現在使用されている最も一般的かつ重要な半導体技術はシリコンベースのものであり、最も好ましいシリコンベースの半導体デバイスは、相補型金属酸化膜半導体(CMOS:Complementary Metal Oxide Semiconductor)トランジスタである。 30

【0005】

CMOSトランジスタの主要な要素は一般的に、トランジスタ部分を遮断する浅いトレンチ酸化分離領域を有するシリコン基板からなる。トランジスタ部分は、シリコン基板上に、酸化シリコンゲート上のポリシリコンゲート、いわゆるゲート酸化物を含む。ポリシリコンゲートの両側のシリコン基板は、導電性になるようにわずかにドープされる。

これらのシリコン基板の低ドープ領域を、「浅いソース／ドレイン」と呼び、これは、ポリシリコンゲート下方のチャネル領域によって分離される。ポリシリコンゲートの側部にある「側壁スペーサ」と呼ばれる湾曲した酸化シリコンまたは窒化シリコンスペーサにより、さらなるドーピングがたい積して、「深いS／D」と呼ばれる浅いソース／ドレイン(S／D)のより高ドープの領域を形成できる。 40

【0006】

トランジスタを完成するために、ポリシリコンゲート、湾曲スペーサ、およびシリコン基板を覆うように酸化シリコン誘電体層がたい積される。トランジスタに電気的接続を与えるために、酸化シリコン誘電体層において、ポリシリコンゲートおよびS／Dまで開口部がエッチングされる。

この開口部は、金属で充填されて電気コンタクトを形成する。集積回路を完成するために、コンタクトは、誘電材料の外側へのさらなる誘電材料レベルにあるさらなる配線レベ 50

ルに接続される。

【0007】

C MOSトランジスタに対する改善の1つは、シリコン・オン・インシュレータ(“SOI”)と呼ばれる絶縁基板を使用する。C MOSおよび高速の電界効果トランジスタ(“FET”)において絶縁基板を使用するという利点は、ラッチアップ耐力(latchup immunity)、耐放射線性、寄生接合容量の減少、接合部の漏れ電流の減少、および短チャネル効果の減少を含む。これらの利点の多くはFETの速度性能を増加する。

【0008】

SOI・FETは、シリコンのような半導体基板上の二酸化シリコンのような絶縁体で製造される。

そのソース接合部、チャネル、ドレイン接合部、ゲート、オーム接触および配線チャネルを含んだFET全体は、絶縁体中のシリコンアイランド上に形成され、所定の固定電位から絶縁される。

これにより、本体(ボディ)またはチャネル領域の電位がフロート状態となり、FETの正しい機能を阻害する可能性のある電位となり得るので、「フローティングボディ」問題と呼ばれるものに帰着してしまう。

チャネルに対して半導体基板がフロートしているため、このフローティングボディ問題は、高い漏れ電流および寄生バイポーラ効果(parasitic bipolar action)を引き起こす。この問題は、スレッショルド電圧の制御や回路動作に悪影響を及ぼす。

【0009】

フローティングボディ問題を解決するには、シリコンアイランドを完全に空乏化することが必要である。このことは、シリコンアイランドを非常に薄くするので、FETがオフ状態かつ両方の接合部が接地されているとき、ボディ領域の厚み全体にわたって多数キャリアが空乏化することを意味する。

シリコンアイランドを完全に空乏化し、かつ完全に空乏化されたシリコン・オン・インシュレータ(“FDSOI”)を形成するために、シリコンアイランドは極薄でなければならないことが知られている。

【発明の開示】

【発明が解決しようとする課題】

【0010】

しかしながら、薄いシリコンアイランドにすると、低い寄生抵抗を有するソースおよびドレインの形成における、FDSDI C MOSの製造における問題を引き起こす。

この解決策の1つとして、薄いシリコンアイランド上のソースおよびドレインの位置を高くする(raised)ことがあげられる。高くされたソースおよびドレインは、選択エピタキシャル成長(“SEG”)によって形成される。しかしながら、極薄のシリコンアイランド上に高品質な単結晶のソースおよびドレインを均一に成長させることは難しい。

さらに、酸化、前洗浄およびH₂ベーキング(H₂ baking)のようなSEGより前に実行されるプロセスは、SEGに必要とされる薄いシリコンのすべてまたは一部を除去し得る。

【0011】

FDSDI C MOSの製造における他の主な問題は、性能を改善するためのメカニズムである。

性能を改善する方法の1つは、チャネルに引張歪みまたは圧縮歪みを引き起こす方法である。

電流の方向に沿った引張歪みは、電子および正孔移動度の双方を増加させる。他方、圧縮歪みは正孔移動度を増加させるが、電子移動度を低下させる。歪みは、トレンチ分離の充てん部を通じてチャネルに引き起こされる。

しかしながら、従来、トレンチのエッティングや充てんのないメサ分離がFDSDI C MOSに使用されている。

【0012】

10

20

30

40

50

したがって、チャネルに歪みを引き起こす一方で、高品質な単結晶のソースおよびドレインを均一に成長させる方法が必要とされている。

長期にわたってこれらの問題の解決策が要求されているが、従来の研究開発では、何ら解決策が教示または提示されておらず、したがって、これらの問題の解決策は、当業者らが長い間成し遂げられなかつたものである。

【課題を解決するための手段】

【0013】

本発明は、絶縁体上に半導体層を備える、その上に絶縁体を有する半導体基板を提供する。半導体層に歪みを引き起こす深いトレンチ分離を形成する。ゲート絶縁体およびゲートを半導体層上に形成する。ゲートの周りにスペーサを形成し、スペーサの外側の半導体層および絶縁体を除去する。スペーサの外側に、くぼんだソース／ドレイン（リセス・ソース／ドレイン）を形成する。10

【0014】

本発明のいくつかの実施形態には、上述したものに加え、またはそれらの代わりに他の利点がある。これらの利点は、添付の図面を参照しながら以下の詳細な記載を読むことにより、当業者らに明らかになるであろう。

【発明を実施するための最良の形態】

【0015】

以下の記載において、本発明の完全な理解が得られるように、細部の説明を多数記載する。しかしながら、これらの詳細を用いずに本発明が実施できることが明らかであろう。20 本発明を不明瞭にしないためにも、いくつかの既知の構成およびプロセスステップは、詳細には開示していない。

同様に、デバイスの実施形態を示す図面は、部分的概略図であり、一定の縮尺で描かれたものではなく、特に、寸法の一部は明確に表すためのものであって、図面において誇張して表されたものもある。同一の番号は、すべての図面において、同一の要素に関して使用される。

本願明細書において使用される「水平（horizontal）」という用語は、基板またはウェーハに対して平行な面として定義される。「垂直（vertical）」という用語は、すでに定義した水平に対して垂直な方向をさす。「～の上に（on）」、「～の上方に（above）」、「～の下方に（below）」、「下部（bottom）」、「上部（top）」、「側部（side）」（「側壁」のように）、「より高い（higher）」、「より低い（lower）」、「～の上に（over）」、および「～の下に（under）」などの用語は、水平面に対して定義される。30

【0016】

「処理する（processing）」という用語は、材料またはフォトレジストのたい積、または記載される構造を形成するのに必要な材料またはフォトレジストのパターニング、露出、形成、エッチング、洗浄、および（または）除去を含む。

【0017】

図1は、完全空乏化されたシリコン・オン・インシュレータ（“FDSOI”）ウェーハ100の断面図である。このウェーハ100は、Pドープシリコン（“Si”）のような材料からなる半導体基板102を含んでいる。

この半導体基板102の上面には、二酸化シリコン（“ SiO_2 ”）のような絶縁層である埋め込み酸化被膜（“BOX”）104、およびSiの薄層からなるチャネル層106が存在する。40

【0018】

25nm以下のゲート長で、45nm以下のノードの短チャネル効果を制御するためには、チャネル層106の厚みを100より薄くしなければならないことが発見されている。

【0019】

くぼんだソース／ドレイン402（図4）の外側に配置された深いトレンチ分離（“DTI”）108は、FDSOIウェーハ100に追加される。50

D T I 1 0 8 は、チャネル層 1 0 6 、 B O X 1 0 4 を貫通し、基盤 1 0 2 中までエッチングする深いトレンチエッティングで形成される。

デバイス分離を維持するために、D T I の深さはくぼんだソース／ドレイン 4 0 2 (図 4) よりも深くなければならない。

D T I 1 0 8 を完成するために、形成された深いトレンチは、 SiO_2 のような材料からなる絶縁体で充填される。

【 0 0 2 0 】

図 2 は、 SiO_2 、シリコン酸窒化物 (" SiON ") 、またはシリコン窒化物 (" Si_3N_4 ") のような材料からなるゲート絶縁体 2 0 2 、およびドープまたは非ドープのポリシリコンまたはアモルファス・シリコンのような材料からなるゲート 2 0 4 を形成する従来のたい積、パターニング、フォトリソグラフィ、およびエッティングを実行した後の、図 1 の構造を示している。
10

【 0 0 2 1 】

図 3 は、さらなる処理を行った後の、図 2 の構造を示している。

D T I 1 0 8 の凹部エッティングのため、D T I 1 0 8 中にスペーサが形成するように、ウェーハ 1 0 0 を処理する。 SiO_2 のような材料からなるライナー 3 0 2 が、ゲート 2 0 4 、チャネル層 1 0 6 および D T I 1 0 8 上にたい積される。 Si_3N_4 のような材料からなるスペーサ 3 0 4 が、ライナー 3 0 2 のゲート部分の周りおよび D T I 1 0 8 中に形成される。

【 0 0 2 2 】

F D S O I C M O S を製造するための主な問題点の中には、低い寄生抵抗を備えるソースおよびドレインの形成がある。

この解決策の 1 つは、ソースおよびドレインの位置を高くすることである。高くされたソースおよびドレインは、選択エピタキシャル成長 (" S E G ") によって形成される。しかしながら、チャネル層 1 0 6 のような極薄のシリコンアイランド上に高品質な単結晶のソースおよびドレインを均一に成長させることは難しい。

さらに、酸化、前洗浄および H_2 ベーキング (H_2 baking) のような S E G より前に実行されるプロセスは、S E G に必要とされる薄いシリコンのすべてまたは一部を除去してしまう可能性がある。

【 0 0 2 3 】

図 4 は、本発明の実施形態に従って処理した後の、図 3 の構造を示している。くぼんだソース／ドレイン 4 0 2 が、F D S O I ウェーハ 1 0 0 に形成されている。チャネル層 1 0 6 は、チャネル 4 0 4 を形成すべく、エッティングされている。

【 0 0 2 4 】

くぼんだソース／ドレイン 4 0 2 を形成するために、ゲート 2 0 4 および D T I 1 0 8 の間のチャネル層 1 0 6 および B O X 1 0 4 を貫通するように、エッティングのような適切なプロセスが使用される。1 0 0 から 6 0 0 の薄い B O X 1 0 4 が最適な厚みとなることが発見されている。

その後、基板 1 0 2 およびチャネル 4 0 4 の側壁上で、選択エピタキシャル成長 (" S E G ") が実行される。

これにより、チャネル層 1 0 6 のシリコンが前処理によってその一部または全体が消費されてしまう場合であっても、くぼんだソース／ドレイン 4 0 2 の S E G における持続的な高品質の Si 表面が保証される。

【 0 0 2 5 】

生成された構造は、薄いシリコン上の S E G の問題を克服する一方、低い寄生抵抗のようないくぼんだソース／ドレインの利点を有する。

この段階において、くぼんだソース／ドレイン 4 0 2 の S E G の変更を通じて性能が改善され得る。

【 0 0 2 6 】

図 5 は、本発明の実施例に従ってさらに処理した後の、図 4 の構造を示している。

10

20

30

40

50

NiSi層504を形成するために、ゲート204およびソース／ドレイン402上でシリサイド化が実行される。

【0027】

くぼんだソース／ドレイン402およびDTI108を形成する順序は任意であり、上記の順序は单なる一例であることが理解されるであろう。

くぼんだソース／ドレイン402は、くぼんだソース／ドレイン402の選択エピタキシャル成長の間に、またはイオン注入および急速熱アニーリングによって、その場に形成することができる。

歪みを引き起こすためのトレンチ充てん絶縁体によって、DTI108は、チャネル404に歪みを引き起こし、トランジスタ間の分離に適している。

10

【0028】

FDSOI CMOSデバイスのチャネルに引張歪みまたは圧縮歪みを引き起こすことは、性能を改善することになる。

電流の方向に沿った引張歪みは、電子および正孔移動度の双方を増加させる。他方、圧縮歪みは正孔移動度を増加させることにより、PMOSの性能を改善する。

したがって、チャネル404に適切に歪みを与えることは、チャネル移動度を著しく増加させ、結果的に、移動度利得により、主に駆動電流を増加させることになる。

【0029】

シリコンゲルマニウム(SiGe)の選択エピタキシャル成長によって、FDSOI PMOSトランジスタにおける歪みがさらに改善され得ることが発見されている。

20

したがって、くぼんだソース／ドレイン402のSiGeは、FDSOI PMOSトランジスタのチャネル404中に歪みを効果的に引き起こす。

また、くぼんだソース／ドレイン402がチャネル404と直に隣接し、これにより高くされたソース／ドレイン中に引き起こされる歪みよりも歪みをより引き起こすことが可能になるので、歪みがより効果的に導入される。

【0030】

さらに、炭化ケイ素(SiC)の選択エピタキシャル成長によってFDSOI NMOSトランジスタにおける歪みがさらに改善され得ることが発見されている。

したがって、くぼんだソース／ドレインのSiCは、FDSOI NMOSトランジスタのチャネル404中に歪みを効果的に引き起こす。

30

また、くぼんだソース／ドレイン402がチャネル404と直に隣接し、高くされたソース／ドレイン中に引き起こされる歪みよりもより多くの歪みを引き起こすことが可能になるので、歪みがより効果的に導入される。

【0031】

上記の歪み制御は、DTI108がくぼんだソース／ドレイン402より前に形成される場合の主要な制御として、またはDTI108からの歪み制御に付帯して実行することができる。

【0032】

図6は、本発明の他の実施形態に従ってさらに処理した後の、図5の構造を示す。エッティングにより、スペーサ304(図5)およびDTI108の絶縁体の充てん物が除去され、トレンチ602が形成されている。

40

エッティングの後、トレンチ602中およびソース／ドレイン402、ライナー302およびゲート204上にコンタクト・エッティング停止層604をたい積する。

トレンチ602中のコンタクト・エッティング停止層604は、チャネル404にさらなる歪みを引き起こす。

【0033】

図7は、本発明に従って歪み完全空乏型シリコン・オン・インシュレータを製造する方法700のフロー・チャートを示す。

方法700は、絶縁体上に半導体層を備える、その上に絶縁体を有する半導体基板を提供するステップ(ステップ702)、前記半導体層上にゲート絶縁体およびゲートを形成

50

するステップ(ステップ704)、スペーサの外側に、前記半導体層に歪みを引き起こす深いトレンチ分離を形成するステップ(ステップ706)、前記ゲートの周りにスペーサを形成するステップ(ステップ708)、前記スペーサの外側の半導体層および絶縁体を除去するステップ(ステップ710)、および前記スペーサの外側にくぼんだソース／ドレインを形成するステップ(ステップ712)を含んでいる。

【0034】

このように、本発明の半導体デバイスの製造方法および装置は、重要な、従来公知でなく利用されていないFDSOI CMOSについての機能的な利点、解決方法および性能を提供することが発見された。そのプロセスおよび構成は簡単、経済的であり複雑ではなく、用途が広く、正確でセンシティブであり、効果的である。また、製造、適用および利用するのに既知のコンポーネントを適用することによって実施することができる。10

【0035】

特定のベストモードとともに本発明を記載してきたが、上述した記載を考慮しながら、多数の代替例、修正例、および変更例が当業者に明らかになるであろうことを理解されたい。したがって、特許請求の範囲の趣旨および範囲内のこのようなすべての代替例、修正例、および変更例を包含することが意図される。上記に記載し、または添付の図面に示したすべての事柄は、例示的かつ非制限的な意味で解釈されるべきである。

【図面の簡単な説明】

【0036】

【図1】完全空乏型シリコン・オン・インシュレータ半導体ウェーハの断面図。20

【図2】その上にゲートが形成された図1の構造を示す図。

【図3】その上にライナーおよびスペーサがたい積された図2の構造を示す図。

【図4】本発明の実施形態に従ってくぼんだソース／ドレインが形成された図3の構造を示す図。

【図5】本発明の実施形態に従ってシリサイド化した後の図4の構造を示す図。

【図6】本発明の他の実施形態に従ってコンタクト・エッティング停止層が形成された図5の構造を示す図。

【図7】本発明の実施形態に従って歪み完全空乏型シリコン・オン・インシュレータ半導体デバイスを製造する方法のフローチャート。

【図1】

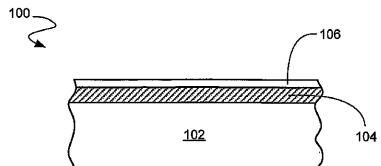


FIG. 1

【図4】

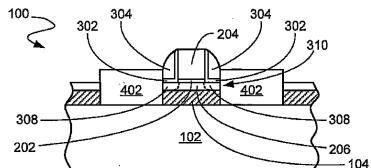


FIG. 4

【図2】

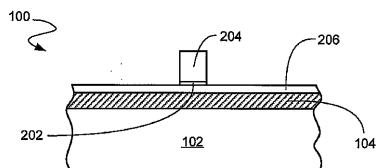


FIG. 2

【図5】

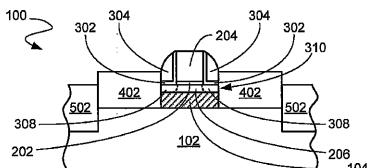


FIG. 5

【図3】

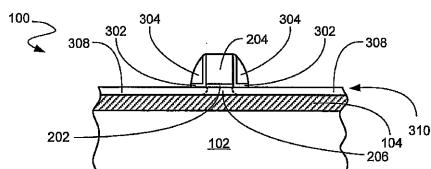


FIG. 3

【図6】

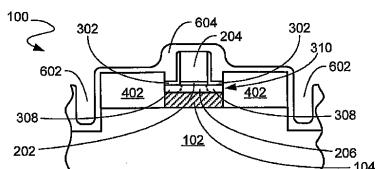


FIG. 6

【図7】

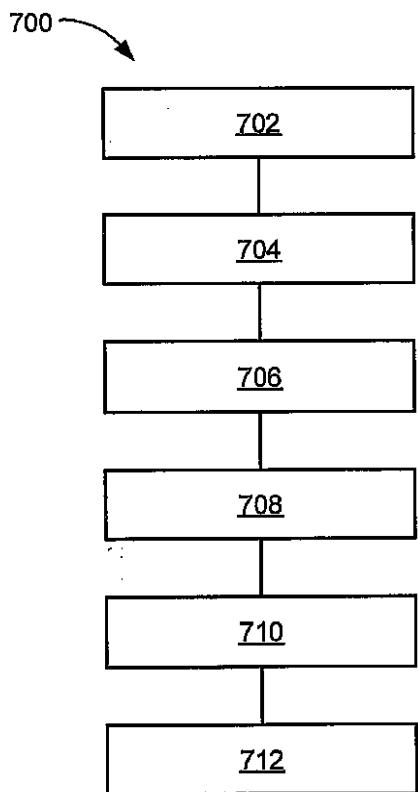


FIG. 7

【手続補正書】

【提出日】平成18年10月6日(2006.10.6)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】**【特許請求の範囲】****【請求項1】**

絶縁体(104)上に半導体層(106)を備える、その上に絶縁体(104)を有する半導体基板(102)を提供するステップと、

深いトレンチ分離(108)を形成するステップと、

前記半導体層(106)上にゲート絶縁体(202)およびゲート(204)を形成するステップと、

前記半導体層(106)に歪みを導入すべく、前記ゲート(204)または前記深いトレンチ分離(108)の一部を除去した後、前記ゲート(204)の周り、および前記深いトレンチ分離(108)中にスペーサ(304)を形成するステップと、

前記スペーサ(304)の外側の前記半導体層(106)および前記絶縁体(104)を除去するステップと、

前記スペーサ(304)の外側にくぼんだソース／ドレイン(402)を形成するステップと、を有する、

半導体デバイスを製造する方法(700)。

【請求項2】

前記スペーサ(304)の外側にくぼんだソース／ドレイン(402)を形成するステップは、前記スペーサ(304)の外側に選択エピタキシャル成長によってくぼんだソース／ドレイン(402)を形成するステップをさらに含む、請求項1記載の方法(700)。

【請求項3】

前記スペーサ(304)の外側にくぼんだソース／ドレイン(402)を形成するステップは、前記半導体層(106)に歪みを引き起こす、前記スペーサ(304)の外側にくぼんだ炭素ドープされたソース／ドレイン(402)を形成するステップをさらに含む、請求項1記載の方法(700)。

【請求項4】

前記スペーサ(304)の外側にくぼんだソース／ドレイン(402)を形成するステップは、前記半導体層(106)に歪みを引き起こす、前記スペーサ(304)の外側にくぼんだシリコンゲルマニウム・ソース／ドレイン(402)を形成するステップをさらに含む、請求項1記載の方法(700)。

【請求項5】

前記スペーサ(304)を除去するステップと、

前記深いトレンチ分離(108)を除去し、トレンチ(602)を形成するステップと、

前記トレンチ(602)中および前記ソース／ドレイン(402)と前記ゲート(204)上に、前記半導体層(106)に歪みを引き起こす層(604)をたい積するステップと、をさらに含む、請求項1記載の方法(700)。

【請求項6】

絶縁体(104)上に半導体層(106)を備える、その上に絶縁体(104)を有する半導体基板(102)と、

前記半導体層(106)上のゲート絶縁体(202)およびゲート(204)と、

前記ゲート(204)の周りの任意のスペーサ(304)と、

前記スペーサ(304)の外側にくぼんだソース／ドレイン(402)と、

前記くぼんだソース／ドレイン（402）の外側に配置され、前記くぼんだソース／ドレインに歪みを引き起こす深いトレンチ分離（108）としての前記スペーサまたはコンタクトエッチング層を含むトレンチ（602）と、を含む、
半導体デバイス。

【請求項7】

前記スペーサ（304）の外側のくぼんだソース／ドレイン（402）は、選択エピタキシャル成長によって形成された前記スペーサ（304）の外側のくぼんだソース／ドレイン（402）をさらに含む、請求項6記載の半導体デバイス。

【請求項8】

前記スペーサ（304）の外側のくぼんだソース／ドレイン（402）は、前記半導体層（106）に歪みを引き起こす、前記スペーサ（304）の外側のくぼんだ炭素ドープされたソース／ドレイン（402）をさらに含む、請求項6記載の半導体デバイス。

【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US2005/036894
A. CLASSIFICATION OF SUBJECT MATTER H01L29/786 H01L21/336		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2004/188760 A1 (SKOTNICKI THOMAS ET AL) 30 September 2004 (2004-09-30) figures 6,7	6,7
Y	-----	1-4,8,9
X	JURCZAK M ET AL: "SILICON-ON-NOTHING (SON)-AN INNOVATIVE PROCESS FOR ADVANCED CMOS" IEEE TRANSACTIONS ON ELECTRON DEVICES, IEEE SERVICE CENTER, PISCATAWAY, NJ, US, vol. 47, no. 11, November 2000 (2000-11), pages 2179-2185, XP000970486 ISSN: 0018-9383 figure 1	6,7
	-----	-/-
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C.		<input checked="" type="checkbox"/> See patent family annex.
<p>* Special categories of cited documents :</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the International filing date</p> <p>"I" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the International filing date but later than the priority date claimed</p> <p>"T" later document published after the International filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.</p> <p>"&" document member of the same patent family</p>		
Date of the actual completion of the International search	Date of mailing of the International search report	
2 February 2006	13/02/2006	
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl. Fax: (+31-70) 340-2016	Authorized officer Juh1, A	

INTERNATIONAL SEARCH REPORT

national application No
PCT/US2005/036894

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	MONFRAY S ET AL: "COULOMB-BLOCKADE IN NANOMETRIC SI-FILM SILICON-ON-NOTHING (SON) MOSFETS" IEEE TRANSACTIONS ON NANOTECHNOLOGY, IEEE SERVICE CENTER, PISCATAWAY, NJ, US, vol. 2, no. 4, December 2003 (2003-12), pages 295-300, XP001046490 ISSN: 1536-125X figure 2	6,7
Y	US 2004/108559 A1 (SUGII NOBUYUKI ET AL) 10 June 2004 (2004-06-10) figure 24	1,2,4,9
Y	US 6 605 498 B1 (MURTHY ANAND S ET AL) 12 August 2003 (2003-08-12) column 4, line 27 - line 46; figures 5,6	1,3,8
A	US 2004/087114 A1 (XIANG QI ET AL) 6 May 2004 (2004-05-06) paragraph '0005!	4,9
A	WO 2004/049406 A (INTERNATIONAL BUSINESS MACHINES CORPORATION; DORIS, BRUCE, B; CHIDAMBA) 10 June 2004 (2004-06-10) page 6, line 3 - line 20; figure 6	5,10
A	US 2004/018668 A1 (MASZARA WITOLD P) 29 January 2004 (2004-01-29) paragraph '0022!; claim 4	5,10
A	US 2004/005740 A1 (LOCHTEFELD ANTHONY J ET AL) 8 January 2004 (2004-01-08) figure 8b	4,9
A	US 5 986 287 A (EBERL ET AL) 16 November 1999 (1999-11-16) column 6, line 24 - line 36	5,10
A	US 2004/217430 A1 (CHU JACK OON) 4 November 2004 (2004-11-04) paragraph '0040!	1

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

.../US2005/036894

Patent document cited in search report		Publication date		Patent family member(s)		Publication date
US 2004188760	A1	30-09-2004	NONE			
US 2004108559	A1	10-06-2004	JP	2004128185 A		22-04-2004
US 6605498	B1	12-08-2003	NONE			
US 2004087114	A1	06-05-2004	NONE			
WO 2004049406	A	10-06-2004	AU EP	2002368388 A1 1565931 A1		18-06-2004 24-08-2005
US 2004018668	A1	29-01-2004	AU CN EP JP WO	2003238916 A1 1659696 A 1516362 A2 2005531144 T 2004001798 A2		06-01-2004 24-08-2005 23-03-2005 13-10-2005 31-12-2003
US 2004005740	A1	08-01-2004	US	2005189563 A1		01-09-2005
			US	2005218453 A1		06-10-2005
			US	2005205934 A1		22-09-2005
			US	2005212061 A1		29-09-2005
			US	2005199954 A1		15-09-2005
			US	2006011984 A1		19-01-2006
			US	2006014366 A1		19-01-2006
US 5986287	A	16-11-1999	DE JP	19533313 A1 9129751 A		13-03-1997 16-05-1997
US 2004217430	A1	04-11-2004	JP US US	2004336048 A 2005161711 A1 2005156169 A1		25-11-2004 28-07-2005 21-07-2005

フロントページの続き

(81)指定国 AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IS,IT,LT,LU,LV,MC,NL,PL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BW,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KM,KP,KR,KZ,LC,LK,LR,L,S,LT,LU,LV,LY,MA,MD,MG,MK,MN,MW,MX,MZ,NA,NG,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RU,SC,SD,SE,SG,SK,SL,SM,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,YU,ZA,ZM,ZW

(74)代理人 100108604

弁理士 村松 義人

(72)発明者 キ シャン

アメリカ合衆国、カリフォルニア州 95129、サン ノゼ、テムズ ドライブ 1119

(72)発明者 ニラジ サッバ

アメリカ合衆国、カリフォルニア州 94089、サニーベイル、アパートメント ナンバー 12
- 300、モース アベニュー 1063

(72)発明者 ウィトールド ピー. マスザラ

アメリカ合衆国、カリフォルニア州 95037、モーガン ヒル、ピア デ ニノス 1537
5

(72)発明者 ゾラン クリボカピク

アメリカ合衆国、カリフォルニア州 95050、サンタ クララ、デ バローナ プレイス 2
321

(72)発明者 ミン - レン リン

アメリカ合衆国、カリフォルニア州 95014、キュパーティノ、サンタ テレサ ドライブ
10970

F ターム(参考) 5F110 AA03 AA07 BB04 CC02 EE08 EE09 EE32 FF02 FF03 FF04
GG02 GG06 GG25 GG28 HJ13 HK08 HK13 HM02
5F140 AA10 AA21 AA29 AB03 AC28 AC36 BA01 BD07 BD09 BF01
BF04 BF11 BF18 BF33 BF34 BG09 BG12 BG14 BG31 BG54
BH06 BH07 BH27 BH39 BH45 BJ08 BK09 BK18 CB04 CB10