

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3649155号

(P3649155)

(45) 発行日 平成17年5月18日(2005.5.18)

(24) 登録日 平成17年2月25日(2005.2.25)

(51) Int. Cl.⁷

F I

H O 1 P 1/36

H O 1 P 1/36 A

H O 1 P 1/383

H O 1 P 1/383 A

請求項の数 3 (全 10 頁)

(21) 出願番号	特願2001-165577 (P2001-165577)	(73) 特許権者	000006231
(22) 出願日	平成13年5月31日(2001.5.31)		株式会社村田製作所
(65) 公開番号	特開2002-359503 (P2002-359503A)		京都府長岡京市東神足1丁目10番1号
(43) 公開日	平成14年12月13日(2002.12.13)	(74) 代理人	100091432
審査請求日	平成14年11月21日(2002.11.21)		弁理士 森下 武一
		(72) 発明者	竹井 英夫
			京都府長岡京市天神二丁目26番10号
			株式会社村田製作所内
		審査官	新川 圭二
		(56) 参考文献	特開2000-114819 (JP, A)
)
			最終頁に続く

(54) 【発明の名称】 非可逆回路素子および通信装置

(57) 【特許請求の範囲】

【請求項1】

永久磁石と、

フェライトと該フェライトの表面に所定の角度で交差するように配置された複数の中心電極とを有し、前記永久磁石により直流磁界が印加される中心電極組立体と、

前記永久磁石および前記中心電極組立体を収容する金属ケースと、

前記中心電極組立体に電氣的に接続された整合用コンデンサとを備え、

前記整合用コンデンサの静電容量を調整することにより、反射損失特性において、入力側反射損失が最大となる周波数を、通過帯域の中心周波数より低く若しくは高く設定するとともに、出力側反射損失が最大となる周波数を前記中心周波数より高く若しくは低く設定し、前記入力側反射損失が最大となる周波数と前記出力側反射損失が最大となる周波数との間に、前記中心周波数が位置するように設定したと、

を特徴とする非可逆回路素子。

【請求項2】

永久磁石と、

フェライトと該フェライトの表面に所定の角度で交差するように配置された複数の中心電極とを有し、前記永久磁石により直流磁界が印加される中心電極組立体と、

前記永久磁石および前記中心電極組立体を収容する金属ケースと、

前記中心電極組立体に電氣的に接続された整合用コンデンサとを備え、

前記中心電極の交差角度を調整することにより、反射損失特性において、入力側反射損

10

20

失が最大となる周波数を、通過帯域の中心周波数より低く若しくは高く設定するとともに、出力側反射損失が最大となる周波数を前記中心周波数より高く若しくは低く設定し、前記入力側反射損失が最大となる周波数と前記出力側反射損失が最大となる周波数との間に、前記中心周波数が位置するように設定したこと、
を特徴とする非可逆回路素子。

【請求項3】

請求項1又は請求項2に記載の非可逆回路素子を少なくとも一つ備えたことを特徴とする通信装置。

【発明の詳細な説明】

【0001】

10

【発明の属する技術分野】

本発明は、非可逆回路素子および通信装置に関する。

【0002】

【従来の技術】

一般に、非可逆回路素子は、永久磁石と、永久磁石により直流磁界が印加される中心電極組立体と、永久磁石および中心電極組立体を収容する金属ケースと、中心電極組立体に電氣的に接続された整合用コンデンサとを備えている。

【0003】

ところで、従来の非可逆回路素子は、通過特性および反射損失が重要視され、中心周波数で挿入損失が最小かつ入出力反射損失が最大となるように設計されていた。一方、入力端子から見た非可逆回路素子のインピーダンス（以下、入力インピーダンスと称する）については、通過特性や反射特性と比較して重要視されておらず、規格設定も殆ど見られなかった。つまり、従来の非可逆回路素子は、中心周波数で挿入損失が最小かつ入出力反射損失が最大となるように、整合用コンデンサの静電容量などが設定され、それに付随して入力インピーダンスが自動的に設定されていた。

20

【0004】

【発明が解決しようとする課題】

ところで、前述のように設計された従来の非可逆回路素子を、携帯電話などの通信装置に組み込もうとすると、次段の電気回路との間にインピーダンス整合がとれないことがある。従って、インピーダンス整合がとれるように、整合用コンデンサの静電容量を変えるなどして非可逆回路素子が入力インピーダンスを調整する必要がある。しかし、非可逆回路素子が入力インピーダンスを調整すると、入力側反射損失が最大となる周波数が中心周波数から大きくずれ、それに伴って挿入損失が最小となる周波数も中心周波数から大きくずれてしまい、規格を満足しなくなることがある。

30

【0005】

そこで、本発明の目的は、内部部品の構成を変えないで、入力インピーダンスを所望の値に設定することができ、かつ、挿入損失規格を満足している非可逆回路素子および通信装置を提供することにある。

【0007】

【課題を解決するための手段及び作用】

40

前記目的を達成するため、本発明に係る非可逆回路素子は、(a)永久磁石と、(b)フェライトと該フェライトの表面に所定の角度で交差するように配置された複数の中心電極とを有し、前記永久磁石により直流磁界が印加される中心電極組立体と、(c)前記永久磁石および前記中心電極組立体を収容する金属ケースと、(d)前記中心電極組立体に電氣的に接続された整合用コンデンサとを備え、(e)前記整合用コンデンサの静電容量を調整したり、前記中心電極の交差角度を調整することにより、反射損失特性において、入力側反射損失が最大となる周波数を、通過帯域の中心周波数より低く若しくは高く設定するとともに、出力側反射損失が最大となる周波数を前記中心周波数より高く若しくは低く設定し、前記入力側損失が最大となる周波数と前記出力側損失が最大となる周波数との間に、前記中心周波数が位置するように設定したことを特徴とする。

50

【0008】

以上の構成により、非可逆回路素子の入力インピーダンス整合をとる際には、反射損失特性において、通過帯域の中心周波数を間にして、入力側反射損失が最大となる周波数と出力側反射損失が最大となる周波数とが位置するように、整合用コンデンサの静電容量や中心電極の交差角度を適切に調整する。これにより、挿入損失が最小となる周波数が中心周波数に近づき、挿入損失の規格を満足するようになる。

【0009】

また、本発明に係る通信装置は、前述の特徴を有する非可逆回路素子を備えることにより、非可逆回路素子と次段の電気回路素子との間のインピーダンス整合が良くなり、消費電力が少なくなる。

10

【0010】

【発明の実施の形態】

以下に、本発明に係る非可逆回路素子および通信装置の実施の形態について添付の図面を参照して説明する。

【0011】

本発明に係る非可逆回路素子の一実施形態の分解斜視図を図1に示す。該非可逆回路素子1は、集中定数型アイソレータである。図1に示すように、集中定数型アイソレータ1は、概略、上側ケース8及び下側ケース4と、樹脂ケース3と、中心電極組立体13と、永久磁石9と、抵抗素子Rと、整合用コンデンサ素子C1～C3と樹脂部材7等を備えている。

20

【0012】

下側ケース4は、左右の側壁4aと底壁4bとを有している。この下側ケース4は、インサートモールド法によって、樹脂ケース3と一体成形されている。下側ケース4の底壁4bの対向する一対の辺からは、それぞれ2本のアース端子16が延在している（奥側の2本のアース端子は図示せず）。また、上側ケース8は、平面視矩形状であり、上壁8aと左右の側壁8bを有している。下側ケース4及び上側ケース8は、例えばFeやケイ素鋼などの高透磁率からなる板材を打ち抜き、曲げ加工した後、下地にCuをめっきして、その上からAgをめっきしてなるものである。

【0013】

中心電極組立体13は、矩形状のマイクロ波フェライト20の上面に三つの中心電極21～23を絶縁シート（図示せず）を介在させて略120度ごとに交差するように配置している。これら中心電極21～23は、各々の一端側のポート部P1～P3を水平に導出するとともに、他端側の中心電極21～23の共通のアース電極25をフェライト20の下面に当接させている。共通のアース電極25は、フェライト20の下面を略覆っており、後述する樹脂ケース3の窓部3cを通して、下側ケース4の底壁4bにはんだ付け等の方法により接続され、接地される。中心電極21～23とアース電極25は、Ag, Cu, Au, Al, Be等の導電性材料からなり、金属薄板を打ち抜き加工や、エッチング加工することによって一体に形成される。

30

【0014】

整合用コンデンサ素子C1～C3は、誘電体セラミック基板の上面に位置するホット側電極27がポート部P1～P3に電氣的に接続され、下面に位置するコールド側（アース側）電極28が樹脂ケース3の窓部3dに露出している下側ケース4の底壁4bにはんだ付けされている。

40

【0015】

抵抗素子Rは、一方の端子電極が樹脂ケース3の窓部3dに露出している下側ケース4の底壁4bにはんだ付けされ、他方の端子電極がポート部P3にはんだ付けされる。つまり、図3に示すように、整合用コンデンサ素子C3と抵抗素子Rとは、中心電極23のポート部P3とアース端子16との間に電氣的に並列に接続される。

【0016】

図1に示すように、樹脂ケース3は、底部3aと二つの側部3bを有している。この底部

50

3 a の中央部には矩形形状の窓部 3 c が形成されており、窓部 3 c の周縁にはそれぞれ整合用コンデンサ素子 C 1 ~ C 3 や抵抗素子 R がそれぞれ収納される窓部 3 d が形成されている。窓部 3 c , 3 d には下側ケース 4 の底壁 4 b が露出している。樹脂ケース 3 には、入力端子 1 4 (図 3 参照) 及び出力端子 1 5 がインサートモールドされている。入力端子 1 4 及び出力端子 1 5 は、それぞれ一端が樹脂ケース 3 の外側面に露出し、他端が樹脂ケース 3 の底部 3 a に露出して入力引出電極及び出力引出電極とされている。アース端子 1 6 はそれぞれ、樹脂ケース 3 の対向する外側面から外方向へ導出している。

【 0 0 1 7 】

以上の構成部品は、下側ケース 4 と一体成形している樹脂ケース 3 内に、中心電極組立体 1 3 や整合用コンデンサ素子 C 1 ~ C 3 や抵抗素子 R 等を収容し、さらに、その上に樹脂部材 7 及び永久磁石 9 を積み重ねた後、上側ケース 8 を装着している。永久磁石 9 は中心電極組立体 1 3 に直流磁界を印加する。下側ケース 4 と上側ケース 8 は、はんだ付け等にて接合して金属ケースをなし、磁気回路を構成しており、ヨークとしても機能している。こうして、図 2 に示す集中定数型アイソレータ 1 が得られる。また、図 3 は、集中定数型アイソレータ 1 の電気等価回路図である。

10

【 0 0 1 8 】

次に、この集中定数型アイソレータ 1 の作用効果を、図 4 に示す携帯電話 1 2 0 の R F 部分に組み込む場合を例にして説明する。

【 0 0 1 9 】

図 4 は携帯電話 1 2 0 の R F 部分の電気回路ブロック図である。図 4 において、1 2 2 はアンテナ素子、1 2 3 はデュプレクサ、1 3 1 は送信用アイソレータ、1 3 2 は送信側増幅器、1 3 3 は送信側段間用帯域通過フィルタ、1 3 4 は送信側ミキサ、1 3 5 は受信側増幅器、1 3 6 は受信側段間用帯域通過フィルタ、1 3 7 は受信側ミキサ、1 3 8 は電圧制御発振器 (V C O) , 1 3 9 はローカル用帯域通過フィルタである。

20

【 0 0 2 0 】

ここに、送信側アイソレータ 1 3 1 として、前記集中定数型アイソレータ 1 を使用する。図 5 の (A) は、従来の非可逆回路素子の電気特性グラフ (上段) およびスミスチャート (下段) を示すものである。つまり、通過特性および反射特性を重要視して、中心周波数 F_0 で挿入損失 S_{21} が最小、入力側反射損失 S_{11} が最大、かつ、出力側反射損失 S_{22} が最大となるように、整合用コンデンサ素子 C 1 ~ C 3 の静電容量が設定されたものである。そして、この従来のアイソレータでは、送信側増幅器 1 3 2 との間にインピーダンス整合がとれないことがある。

30

【 0 0 2 1 】

この場合、インピーダンス整合がとれるように、図 3 に示す等価回路中の入力端子 1 4 側の整合用コンデンサ素子 C 1 の静電容量のみを適当な値に変える (小さくする) ことにより、アイソレータの入力インピーダンスの値を所望の値 (大きな値) に設定することが考えられる。しかしながら、このような設定では、図 5 の (B) に示すように、入力側反射損失 S_{11} が最大となる周波数 F_1 が、中心周波数 F_0 から高周波側へ d_1 ずれ、それに伴って、挿入損失 S_{21} が最小となる周波数 F_3 も、中心周波数 F_0 から高周波側へ d_2 ずれることがある。この結果、挿入損失 S_{21} が規格から外れてしまうという問題が生じる。

40

【 0 0 2 2 】

そこで、本発明に係るアイソレータ 1 では、整合用コンデンサ素子 C 1 の静電容量だけでなく、出力端子 1 5 側の整合用コンデンサ素子 C 2 の静電容量も適当な値に変えることにより、アイソレータ 1 の入力インピーダンスの値を所望の値に設定する。つまり、図 5 の (C) に示すように、整合用コンデンサ素子 C 2 の静電容量を大きくして、出力側反射損失 S_{22} が最大となる周波数 F_2 を通過帯域の中心周波数 F_0 より d_3 低くさせる。さらに、整合用コンデンサ素子 C 1 の静電容量を小さくして、入力側反射損失 S_{11} が最大となる周波数 F_1 を中心周波数 F_0 より d_4 ($< d_1$) 高くさせる。これにより、挿入損失 S_{21} が最小となる周波数 F_3 は、中心周波数 F_0 から若干すなわち d_5 ($< d_2$) ずれ

50

るだけですむ。つまり、反射損失特性において、入力側反射損失 S_{11} が最大となる周波数 F_1 と出力側反射損失 S_{22} が最大となる周波数 F_2 との間に、中心周波数 F_0 が位置するように設定することで、挿入損失 S_{21} が最小となる周波数 F_3 を中心周波数 F_0 に近づけ、挿入損失の規格を満足させることができる。

【0023】

こうして、送信側増幅器 132 のインピーダンスと整合がとれるように入力インピーダンスの値を設定したアイソレータ 1 を、携帯電話 120 に組み込むことにより、送信側増幅器 132 とのインピーダンス整合を向上させ、消費電力の少ない携帯電話 120 を得ることができる。

【0024】

なお、図 6 の (B) に示すように、入力端子 14 側の整合用コンデンサ素子 C_1 の静電容量のみを適当な値に変えることにより、アイソレータの入力インピーダンスを所望の値に設定すると、入力側反射損失 S_{11} が最大となる周波数 F_1 が、中心周波数 F_0 から低周波側へずれる場合がある。この場合には、図 6 の (C) に示すように、整合用コンデンサ素子 C_2 の静電容量を小さくして、出力側反射損失 S_{22} が最大となる周波数 F_2 を中心周波数 F_0 より d_3 高くさせる。さらに、整合用コンデンサ素子 C_1 の静電容量を大きくして、入力側反射損失 S_{11} が最大となる周波数 F_1 を中心周波数 F_0 より d_4 ($< d_1$) 低くさせる。これにより、挿入損失 S_{21} が最小となる周波数 F_3 は、中心周波数 F_0 から若干すなわち d_5 ($< d_2$) ずれるだけですむ。

【0025】

なお、本発明は、前記実施形態に限定されるものではなく、本発明の要旨の範囲内で種々の構成に変更することができる。例えば、前記実施形態ではアイソレータに適用したが、本発明は、勿論サーキュレータにも適用できる。

【0026】

また、非可逆回路素子の入力インピーダンス整合をとる際には、整合用コンデンサの静電容量を変えないで(あるいは、静電容量を変えるとともに)、中心電極組立体の中心電極の交差角を変えてインピーダンス整合をとってもよい。この場合も、反射損失特性において、入力側反射損失 S_{11} が最大となる周波数 F_1 と出力側反射損失 S_{22} が最大となる周波数 F_2 との間に、中心周波数 F_0 が位置するように設定することができる。

【0027】

【実施例】

さらに、従来のアイソレータとして、中心電極組立体 13 の中心電極 21 と 23 の交差角を 120.5 度、中心電極 23 と 22 の交差角を 119.5 度、中心電極 21 と 22 の交差角を 120.0 度に設定し、かつ、中心周波数 F_0 で挿入損失 S_{21} が最小、入力側及び出力側反射損失 S_{11} , S_{22} が最大となるように、整合用コンデンサ素子 C_1 , C_2 , C_3 の静電容量をそれぞれ 13.65 pF、 15.65 pF、 16.50 pF に設定したものを準備した。この従来のアイソレータの挿入損失特性および入出力反射損失特性を図 7 に示し、スミスチャートを図 8 に示す。なお、図 8 において、実線 41 は入力インピーダンス特性を示し、実線 42 は出力インピーダンス特性を示している。

【0028】

この従来のアイソレータは、図 8 に示すように、 824 MHz の入力インピーダンス R_1 の実部が 47.4 であるのに対し、 849 MHz の入力インピーダンス R_2 の実部が 43.3 となる。従って、 824 MHz と 849 MHz の入力インピーダンス R_1 , R_2 の実部の差が約 4 あり、 849 MHz の入力インピーダンス R_2 の実部が 50 から大きく外れている。

【0029】

ここで、仮に、アイソレータと次段の電気回路との間のインピーダンス整合をとるために、 824 MHz と 849 MHz の入力インピーダンスの実部をともに 48 ± 2 の範囲内にする必要があったとする。この場合、入力端子側の整合用コンデンサ素子 C_1 の静電容量のみを適当な値に変えることにより、アイソレータの入力インピーダンスの値を所望の

10

20

30

40

50

値に設定しても、挿入損失 S_{21} が規格から外れてしまい、使用することができなかった。

【0030】

これに対して、本発明に係るアイソレータ 1 は、入力端子 14 側の整合用コンデンサ素子 C_1 を 13.65 pF 、 13.45 pF とし、出力端子 15 側の整合用コンデンサ素子 C_2 を 15.65 pF 、 15.85 pF とする（その他の構成および条件は、従来のアイソレータと同様である。）ことで、図 9 及び図 10 に示す特性を得ることができた。本発明に係るアイソレータ 1 は、図 10 に示すように、 824 MHz の入力インピーダンス R_1 の実部が 48.5 であるのに対し、 849 MHz の入力インピーダンス R_2 の実部が 47.2 となる。従って 824 MHz と 849 MHz の入力インピーダンス R_1 、 R_2 の実部の差が約 1.3 となり、 849 MHz の入力インピーダンス R_2 の実部が 50 に近づいている。このとき、従来のアイソレータでは 0 MHz であった入出力反射損失 S_{11} 、 S_{22} が最小となる周波数 F_1 と F_2 の差は、 $843.5 - 828.5 = 15 \text{ MHz}$ となっている。ここで、本発明に係るアイソレータ 1 が従来のアイソレータと比較して変更したのは、整合用コンデンサ素子 C_1 、 C_2 の静電容量だけであり、機構設計の変更はない。

10

【0031】

【発明の効果】

以上の説明で明らかなように、本発明は、非可逆回路素子の入力インピーダンス整合をとる際には、反射損失特性において、入力側反射損失が最大となる周波数と出力側反射損失が最大となる周波数との間に、通過帯域の中心周波数が位置するように、整合用コンデンサの静電容量や中心電極の交差角度を適切に調整する。これにより、挿入損失が最小となる周波数が中心周波数に近づき、挿入損失の規格を満足するようになる。この結果、内部部品の構成を変えないで、入力インピーダンスを所望の値に設定することができ、製造コストを抑えることができる。

20

【0032】

また、前述の特徴を有する非可逆回路素子を携帯電話などの通信装置に組み込むことにより、次段の電気回路とのインピーダンス整合が良くなり、消費電力の少ない通信装置を得ることができる。

【図面の簡単な説明】

30

【図 1】本発明に係る非可逆回路素子の一実施形態を示す分解斜視図。

【図 2】図 1 に示した非可逆回路素子の外観斜視図。

【図 3】図 1 に示した非可逆回路素子の電気等価回路図。

【図 4】本発明に係る通信装置の一実施形態を示すブロック図。

【図 5】図 1 に示した非可逆回路素子の入力インピーダンス整合を説明するためのグラフ

。

【図 6】図 1 に示した非可逆回路素子の入力インピーダンス整合を説明するためのグラフ

。

【図 7】従来の非可逆回路素子の挿入損失特性および入出力反射損失特性を示すグラフ。

【図 8】従来の非可逆回路素子のスミスチャートを示すグラフ。

40

【図 9】本発明に係る非可逆回路素子の挿入損失特性および入出力反射損失特性を示すグラフ。

【図 10】本発明に係る非可逆回路素子のスミスチャートを示すグラフ。

【符号の説明】

1 ... アイソレータ

4 ... 下側ケース

8 ... 上側ケース

9 ... 永久磁石

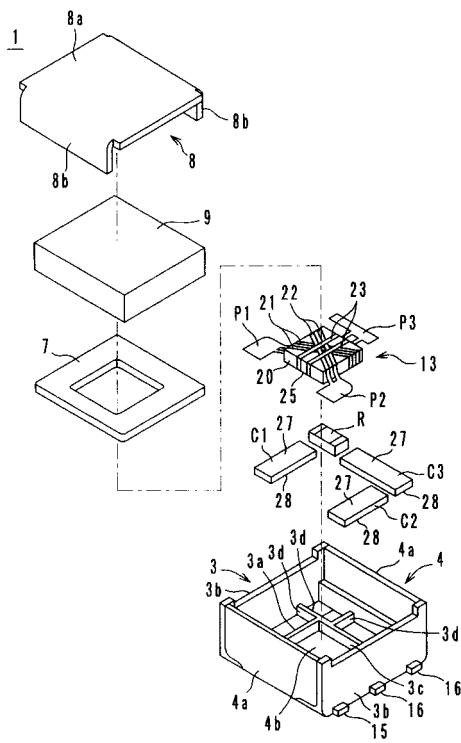
13 ... 中心電極組立体

20 ... マイクロ波フェライト

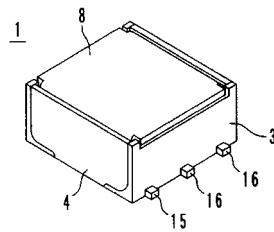
50

2 1 ~ 2 3 ... 中心電極
1 2 0 ... 携帯電話
C 1 ~ C 3 ... 整合用コンデンサ素子

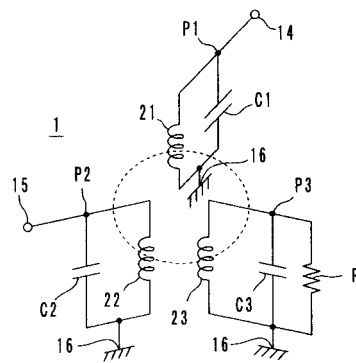
【図1】



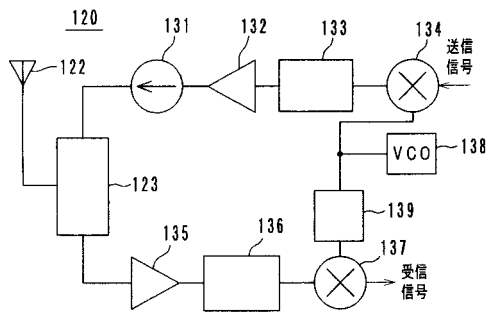
【図2】



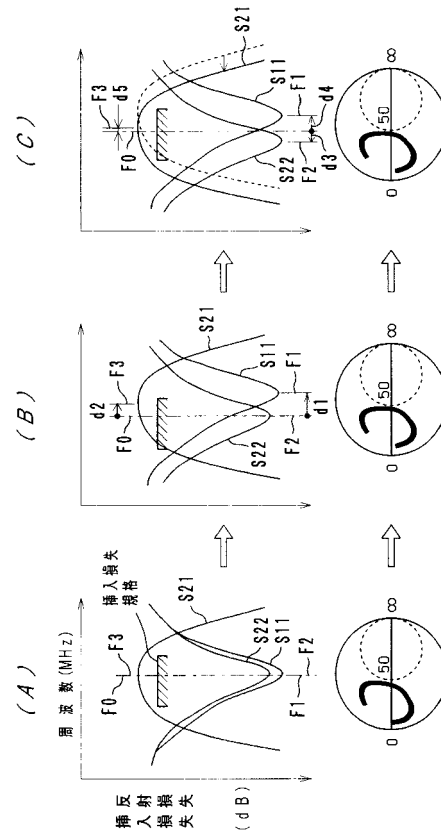
【図3】



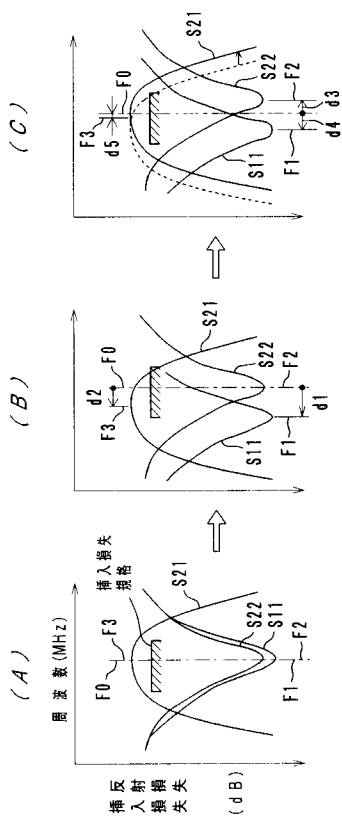
【图 4】



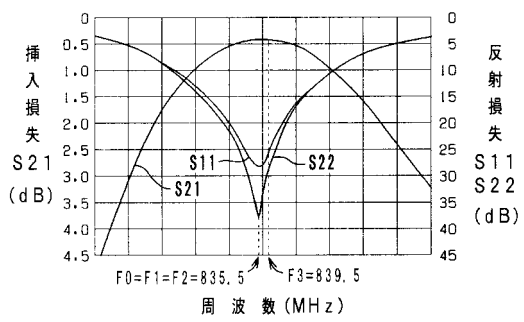
【图 5】



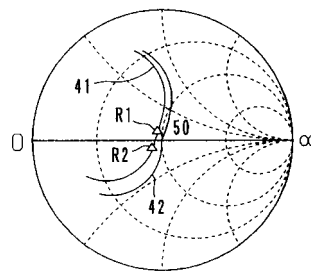
【图 6】



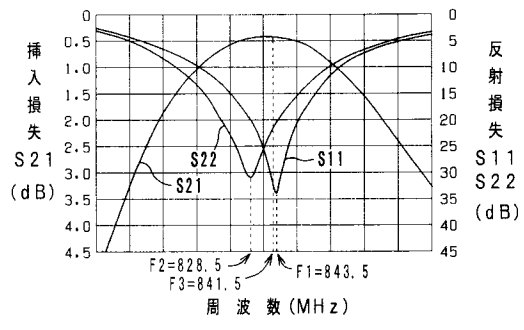
【图 7】



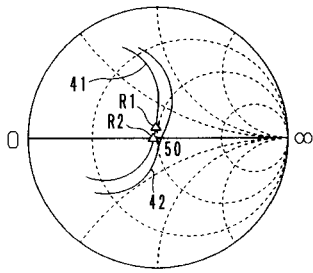
【图 8】



【 図 9 】



【 図 10 】



フロントページの続き

(58)調査した分野(Int.Cl.⁷, DB名)

H01P 1/36

H01P 1/383