

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2008年12月24日 (24.12.2008)

PCT

(10) 国際公開番号
WO 2008/155809 A1

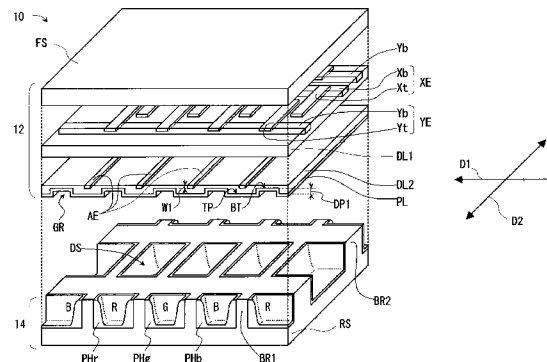
- (51) 国際特許分類:
H01J 11/02 (2006.01) H01J 9/02 (2006.01)
- (21) 国際出願番号: PCT/JP2007/000673
- (22) 国際出願日: 2007年6月21日 (21.06.2007)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 株式会社日立製作所 (HITACHI, LTD.) [JP/JP]; 〒1008280 東京都千代田区丸の内一丁目6番6号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 佐々木孝 (SASAKI, Takashi) [JP/JP]; 〒2440817 神奈川県横浜市戸塚区吉田町292番地株式会社日立製作所内 Kanagawa (JP). 高木彰浩 (TAKAGI, Akihiro) [JP/JP]; 〒2440817 神奈川県横浜市戸塚区吉田町292番地株式会社日立製作所内 Kanagawa (JP).
- (74) 代理人: 古谷史旺, 外 (FURUYA, Fumio et al.); 〒1600023 東京都新宿区西新宿1丁目19番5号第2明宝ビル9階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,

[続葉有]

(54) Title: PLASMA DISPLAY PANEL AND MANUFACTURING METHOD FOR PLASMA DISPLAY PANEL

(54) 発明の名称: プラズマディスプレイパネルおよびプラズマディスプレイパネルの製造方法

[図1]



(57) Abstract: A plasma display panel (10) comprises a first substrate (FS) and a second substrate (RS) between which a plurality of cells (DS) for emitting light by discharge are formed. On the surface of the first substrate, a plurality of first electrodes (XE) and second electrodes (YE), a first dielectric layer (DL1), a plurality of address electrodes (AE), a second dielectric layer (DL2), and a protective layer (PL) are sequentially stacked. On the second substrate, a first barrier (BR1) and a second barrier (BR2) are integrated with the second substrate and, in the inner surfaces of the cells surrounded by the first and second barriers, phosphor layers (PHr, PHg, PHb) are formed. The first barrier is located in the position facing the address electrodes. In the positions between the mutually adjacent address electrodes, grooves (GR) extending in the same direction as the address electrodes are formed. Discharge gas is filled after the first and second substrates are joined to each other by means of a seal material placed outside of the ends of the grooves. The use of the grooves as emission paths provides excellent emission efficiency.

(57) 要約: この発明のプラズマディスプレイパネル (10) は、第1基板 (FS) 及び第2基板 (RS) を備え、それらの間には、放電により発光する複数のセル (DS) が形成される。第1基板の表面には、複数の第1電極 (XE) 及び第2電極 (YE) と、第1誘電体層 (DL1) と、複数のアドレス電極 (AE) と、第2誘電体層 (DL2) と、保護層 (PL) とが順次積層される。第2基板には、第1隔壁 (BR1) 及び第2隔壁 (BR2) が第2基板と一体に形成され、第1隔壁及び第2隔壁で囲まれたセルの内面には、蛍光体層 (PHr、

[続葉有]

WO 2008/155809 A1



CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,
IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK,
TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW,
ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

PH_g、PH_b) が形成される。第 1 隔壁は、アドレス電極と対向する位置にある。第 2 誘電体層の、互いに隣接するアドレス電極の間の位置には、アドレス電極と同じ方向に延びる溝 (GR) が形成される。第 1 基板と第 2 基板とは、溝の端部より外側に位置するシール材で互いに接合された後、放電ガスが封入される。溝を排気経路として利用することにより、良好な排気効率が得られる。

明 細 書

プラズマディスプレイパネルおよびプラズマディスプレイパネルの製造方法

技術分野

[0001] 本発明は、プラズマディスプレイパネルおよびプラズマディスプレイパネルの製造方法に関する。

背景技術

[0002] プラズマディスプレイパネル（PDP）は、2枚のガラス基板をシール材により互いに貼り合わせて構成されており、ガラス基板の間に形成される空間（放電空間）に放電光を発生させることで画像を表示する。画像における画素に対応するセルは、自発光型であり、放電により発生する紫外線を受けて赤、緑、青の可視光を発生する蛍光体が塗布されている。

[0003] 例えば、3電極構造のPDPは、X電極およびY電極間でサステイン放電を発生させることで、画像を表示する。サステイン放電を発生させるセル（点灯させるセル）は、例えば、Y電極およびアドレス電極間で選択的にアドレス放電を発生させることにより、選択される。

[0004] 一般的なPDPでは、X電極およびY電極は前面ガラス基板に配置され、アドレス電極は背面ガラス基板に配置されている。例えば、この種のPDPの前面ガラス基板は、前面ガラス基材上に形成されたX電極およびY電極と、X電極およびY電極を覆う誘電体層とを有している。そして、X電極およびY電極に沿って誘電体層を形成するPDPが提案されている（例えば、特許文献1参照）。このPDPでは、前面ガラス基板の誘電体層は、X電極およびY電極に沿って形成されているため、電極の厚さとほぼ同じ大きさの段差を有している。このため、背面ガラス基板と前面ガラス基板とを貼り合わせたときに、横方向の隔壁および縦方向の隔壁の高さが互いに同じ場合でも、前面ガラス基板の誘電体層の段差により、隔壁と前面ガラス基板との間に隙間が生じる。この隙間は、横方向の隔壁および縦方向の隔壁の高さが互い

に等しく形成された場合、排気経路の役割をする。

- [0005] また、近年、X電極およびY電極とアドレス電極の3電極を前面ガラス基板に配置したPDPが提案されている（例えば、特許文献2参照）。この種のPDPでは、放電空間が形成される領域の背面ガラス基板をサンドブラスト等により除去することにより、背面ガラス基板と一体に隔壁を形成することもできる。特許文献1のPDPでは、横方向の隔壁と縦方向の隔壁とを有する格子状の隔壁を背面ガラス基板と一体に形成している。例えば、縦方向の隔壁は、アドレス電極の延在する方向に沿って配置された隔壁であり、横方向の隔壁は、アドレス電極の延在する方向に直交する方向に延在する隔壁である。

特許文献1：特開2006-210069号公報

特許文献2：特開2005-116508号公報

発明の開示

発明が解決しようとする課題

- [0006] 格子状に隔壁を設けたPDPでは、横方向の隔壁の高さや形状を変えることにより、組み立てられたPDPの放電空間に放電ガスを封入するための排気経路を確保する。しかしながら、横方向の隔壁の高さや形状を変えるプロセスは、煩雑であり、特に、熱収縮を利用するプロセスは、加工精度の管理が難しい。このため、背面ガラス基板と一体に格子状に隔壁を設けたPDPでは、隔壁の形状を変えることにより、排気経路を確保することは、困難である。

- [0007] また、特許文献1のPDPでは、排気経路に利用する隙間の大きさは、電極の厚さに依存し、電極の厚さとほぼ同じあるいは電極の厚さより小さく形成される。このため、特許文献1の技術では、放電空間に放電ガス等を封入するときの排気効率を向上させるために排気経路を大きくする場合、電極を厚く形成する必要がある。例えば、前面ガラス基板上に3電極を有するPDPのアドレス電極は、スパッタ法や蒸着法により金属微粒子を誘電体層の表面に付着させて導電膜（例えば、 $2\mu\text{m}$ ）を形成した後に、誘電体層上の導

電膜を選択的にエッチングすることにより形成される。厚いアドレス電極（例えば、 $10\mu\text{m}$ ）を形成する場合、誘電体層の表面に多量の金属微粒子を付着させる必要があるため、製造コストが増加する。また、誘電体層の表面に多量の金属微粒子を精度よく付着させることは、困難である。

[0008] さらに、アドレス電極を厚くした場合、前面ガラス基板と背面ガラス基板（より詳細には、シール材と前面ガラス基板）との接合部分にアドレス電極の厚さによる段差が生じる。接合部分に段差が生じた場合、組立後のPDPの気密性をよくするため、シール材等で段差を埋める必要がる。しかしながら、大きな段差を精度よく埋めることは、困難である。したがって、アドレス電極を厚くした場合、PDPの気密性が劣化するおそれがある。このため、前面ガラス基板上に3電極を有し、背面ガラス基板と一体に格子状に隔壁を設けたPDPでは、特許文献1の技術を用いても、排気経路を大きくできない。すなわち、放電空間に放電ガス等を封入するときの排気効率の向上は抑制される。この結果、放電空間に放電ガス等を封入するのに時間が掛かり、製造コストが増加する。あるいは、短い時間で放電空間に放電ガス等を封入した場合、放電空間に不純ガスが残留するおそれがある。不純ガスの残留により各セルの放電強度にばらつきが生じたPDPは、不良品になり、歩留まりの低下により、製造コストが増加する。

[0009] 本発明の目的は、前面ガラス基板上に3電極を有し、背面ガラス基板と一体に格子状に隔壁を設けたPDPにおいて、放電空間に放電ガス等を封入するときの排気効率を向上させ、製造コストの増加を抑制することである。

課題を解決するための手段

[0010] プラズマディスプレイパネルは、互いに対向する第1基板および第2基板と、放電空間で発生する放電により発光するセルとを有している。例えば、第1基板上には、第1方向に延在する第1および第2バス電極と、第1および第2バス電極にそれぞれ接続された第1および第2表示電極と、バス電極および表示電極を覆う第1誘電体層が設けられている。そして、第1誘電体層上には、第1方向に直交する第2方向に延在するアドレス電極と、アドレ

ス電極を覆う第2誘電体層とが設けられている。また、第1隔壁は、第2基板と一体に形成され、アドレス電極に対向する位置に配置されている。第2隔壁は、第1隔壁と一体に形成されている。さらに、第1および第2基板の間には、第1および第2隔壁の形成領域より外側に額縁状に配置されたシール材が設けられている。

[0011] そして、第1および第2誘電体層の少なくとも第2誘電体層には、互いに隣接するアドレス電極の間に位置し、第2方向に延在する溝が設けられている。なお、溝の端部は、シール材より内側に位置している。

発明の効果

[0012] 本発明では、前面ガラス基板上に3電極を有し、背面ガラス基板と一体に格子状に隔壁を設けたPDPにおいて、放電空間に放電ガス等を封入するときの排気効率を向上させ、製造コストの増加を抑制できる。

図面の簡単な説明

- [0013] [図1]本発明の第1の実施形態におけるPDPの要部の分解斜視図である。
- [図2]図1に示した背面基板部の概要を示す説明図である。
- [図3]図1に示したPDPの説明図である。
- [図4]図3に示したPDPのA-A'線に沿う断面図である。
- [図5]図3に示したPDPのB-B'線に沿う断面図である。
- [図6]図1に示したPDPを用いて構成されたプラズマディスプレイ装置の一例を示す分解斜視図である。
- [図7]図6に示した回路部の概要を示すブロック図である。
- [図8]図1に示したPDPに画像を表示するためのサブフィールドの放電動作の例を示す波形図である。
- [図9]本発明の第2の実施形態におけるPDPの要部の断面図である。
- [図10]本発明の第3の実施形態におけるPDPの要部の断面図である。
- [図11]本発明の第4の実施形態におけるPDPの説明図である。
- [図12]図11に示したPDPのA-A'線に沿う断面図である。
- [図13]図11に示したPDPのB-B'線に沿う断面図である。

[図14] 本発明の第5の実施形態におけるPDPの説明図である。

[図15] 図14に示したPDPのA-A'線に沿う断面図である。

[図16] 図15に示したPDPのB-B'線に沿う断面図である。

[図17] 本発明の変形例におけるPDPの説明図である。

発明を実施するための最良の形態

[0014] 以下、本発明の実施形態を図面を用いて説明する。

[0015] 図1は、本発明の第1の実施形態を示している。なお、図1は、プラズマディスプレイパネル（以下、PDPとも称する）の要部を示す分解斜視図である。図中の矢印D1は、第1方向D1を示し、矢印D2は、第1方向D1に画像表示面に平行な面内で直交する第2方向D2を示している。PDP10は、画像表示面を構成する前面基板部12と、前面基板部12に対向する背面基板部14とにより構成されている。前面基板部12と背面基板部14の間（より詳細には、背面基板部14の凹部）に放電空間DSが形成される。

[0016] 前面基板部12は、繰り返して放電を発生させるために、ガラス基材FS（第1基板）上（図では下側）に第1方向D1に沿って平行に形成され、第2方向D2に沿って交互に形成されたXバス電極Xb（第1バス電極）およびYバス電極Yb（第2バス電極）を有している。Xバス電極Xbには、Xバス電極XbからYバス電極Ybに向けて第2方向D2に延在するX透明電極Xt（第1表示電極）が接続されている。また、Yバス電極Ybには、Yバス電極YbからXバス電極Xbに向けて第2方向D2に延在するY透明電極Yt（第2表示電極）が接続されている。すなわち、X透明電極XtおよびY透明電極Ytは、第2方向D2に沿って対向している。

[0017] ここで、Xバス電極XbおよびYバス電極Ybは、金属材料等で形成された不透明な電極であり、X透明電極XtおよびY透明電極Ytは、ITO膜等で形成された光を透過する透明電極である。そして、X電極XE（維持電極、第1電極）は、Xバス電極XbおよびX透明電極Xtにより構成され、Y電極YE（走査電極、第2電極）は、Yバス電極YbおよびY透明電極Y

tにより構成される。なお、透明電極X tおよびY tは、それぞれが接続されるバス電極X bおよびY bとガラス基材F Sとの間の全面に配置されることもある。また、バス電極X bおよびY bと同じ材料（金属材料等）で、バス電極X bおよびY bと一体の電極が透明電極X tおよびY tの代わりに形成されてもよい。

[0018] 電極X b、X t、Y b、Y tは、誘電体層D L 1に覆われている。例えば、誘電体層D L 1は、C V D法により形成された二酸化シリコン膜（S i O₂膜、シリコン酸化膜）である。そして、誘電体層D L 1上（図では下側）には、バス電極X b、Y bの直交方向（第2方向D 2）に延在する複数のアドレス電極A Eが設けられている。アドレス電極A Eは、誘電体層D L 2に覆われており、誘電体層D L 2の表面は、M g O等の保護層P Lに覆われている。

[0019] 例えば、誘電体層D L 2は、ペースト状の低融点ガラスを塗布した後、焼成して形成される。アドレス電極A Eの厚さW 1が小さい（例えば、2 μm）場合、低融点ガラスの塗布による誘電体層D L 2は、アドレス電極A Eによる段差を埋めて形成され、溝G Rの部分を除く誘電体層D L 2の表面は、平坦に形成される。なお、誘電体層D L 2は、誘電体層D L 1と同様に、C V D法による二酸化シリコン膜で形成されてもよい。この場合、誘電体層D L 2は、アドレス電極A Eの形状に沿って形成されるため、アドレス電極A Eによる段差（例えば、2 μm）を有している。

[0020] また、誘電体層D L 2は、互いに隣接するアドレス電極A E間に、第2方向D 2に延在する溝G Rを有している。例えば、溝G Rは、サンドブラスト法等により、互いに隣接するアドレス電極A E間の誘電体層D L 2を除去することにより形成される。なお、溝G Rの深さD P 1（例えば、20 μm）は、アドレス電極A Eの厚さW 1（例えば、2 μm）より大きく形成されている。ここで、溝G Rの深さD P 1は、溝G Rの底面B Tから誘電体層D L 2の頂上（図では下側）の面T P（隔壁B R 1の頂部に対向する面）までの高低差である。この実施形態では、溝G Rの深さD P 1を大きくするために

、アドレス電極A Eを厚く形成する必要がない。溝G Rは、前面基板部1 2と背面基板部1 4とを貼り合わせた後に、N e、X e等の放電ガスを放電空間D Sに封入するための排気経路として機能する。

[0021] 放電空間D Sを介して前面基板部1 2に対向する背面基板部1 4は、ガラス基材R S（第2基板）上に、第1隔壁（バリアリブ）B R 1および第2隔壁B R 2により格子状に形成された隔壁を有している。隔壁B R 1は、バス電極X b、Y bに直交する方向（第2方向D 2）に延在し、アドレス電極A Eに対向している。換言すれば、アドレス電極A Eは、隔壁B R 1に対向する位置に配置されている。また、隔壁B R 2は、バス電極X b、Y bに沿った第1方向D 1に延在し、バス電極X b、Y bに対向している。隔壁B R 1、B R 2により、セルの側壁が構成される。すなわち、隔壁B R 2は、第2方向に沿って隣接する放電空間D Sをセル毎に分けている。例えば、隔壁B R 1、B R 2は、サンドブラスト法等により、ガラス基材R Sを削ることにより形成される。換言すれば、隔壁B R 1は、ガラス基材R Sと一体に形成され、隔壁B R 2は、隔壁B R 1と一体に形成されている。

[0022] 隔壁B R 1、B R 2の側面と、隔壁B R 1、B R 2に囲まれた部分のガラス基材R S上とは、紫外線により励起されて赤（R）、緑（G）、青（B）の可視光を発生する蛍光体P H r、P H g、P H bが、それぞれ塗布されている。以下、可視光の色毎に区別しない場合等、蛍光体P H r、P H g、P H bを、蛍光体P Hとも称する。

[0023] P D P 1 0の1つの画素は、赤、緑および青の光を発生する3つのセルにより構成される。ここで、1つのセル（一色の画素）は、バス電極X b、Y bと隔壁B R 1とで規定される領域に形成される。このように、P D P 1 0は、画像を表示するためにセルをマトリックス状に配置し、かつ互いに異なる色の光を発生する複数種のセルを交互に配列して構成されている。特に図示していないが、バス電極X b、Y bに沿って形成されたセルにより、表示ラインが構成される。

[0024] P D P 1 0は、前面基板部1 2および背面基板部1 4を、保護層P Lと隔

壁BRが互いに接するように貼り合わせ、Ne、Xe等の放電ガスを放電空間DSに封入することで構成される。

[0025] 図2は、図1に示した背面基板部14の概要を示している。図中の網掛け部分は、シール材SMを示し、図中の破線で囲んだ部分は、隔壁BR1、BR2の形成領域BAを示している。

[0026] この実施形態では、例えば、放電空間DS、シール部SLおよび排気空間ESは、サンドブラスト法等により、ガラス基材RSを直接彫り込んで形成される。なお、シール部SLは、ガラス基材RSの外周部OTに額縁状に形成されている。そして、シール部SL内には、シール材SMが配置されている。すなわち、シール材SMは、隔壁BR1、BR2の形成領域BAより外側に額縁状に配置されている。例えば、シール材SMは、低融点ガラスで形成され、前面基板部12と背面基板部14とを貼り合わせる。

[0027] また、シール材SMと形成領域BAとの間に形成された排気空間ESには、ガラス基材RSの外周部OTまで貫通する排気孔EHが設けられている。例えば、放電ガスは、前面基板部12と背面基板部14とを貼り合わせた後に、排気孔EHを介して放電空間DSに封入される。

[0028] 図3は、図1に示したPDP10の概要を示している。なお、図3は、画像表示面側（後述する図4の上側）から見た状態を示している。図中の網掛け部分は、ガラス基材RSの外周部OTおよび隔壁BR1、BR2を示している。また、図中の破線で囲んだ部分は、溝GRを示している。

[0029] 溝GRの端部E1は、シール材SMより内側に位置し、排気空間ESより外側に位置している。これにより、組み立てられたPDP10の放電空間DS（上述した図1に示した背面基板部14の凹部）を真空状態に設定でき、放電ガスを放電空間DSに封入できる。なお、溝GRの端部E1は、排気空間ES上に位置していてもよい。

[0030] また、この実施形態では、溝GRは、透明電極Xt、Ytの互いに対向している辺と重なる位置に設けられている。すなわち、透明電極Xt、Yt間の隙間（対向部）と重なる誘電体層DL2の厚さは、同じ厚さに形成される。

。透明電極 X_t 、 Y_t 間の放電は、透明電極 X_t 、 Y_t の対向部から発生する。このため、対向部の誘電体層 DL_2 の厚さを均一にした状態で溝 GR を設けたこの実施形態では、透明電極 X_t 、 Y_t 間で放電が発生させるときに、放電強度がばらつくことを防止できる。

[0031] なお、この例では、画像表示面側から見た場合、アドレス電極 AE は、隔壁 BR_1 に重なる位置に設けられ、透明電極 Y_t は、自身に対応（図では、自身の左側に位置）するアドレス電極 AE に対向している。

[0032] このため、アドレス電極 AE と透明電極 Y_t 間に電圧を印加することにより、着目するセル C_1 の放電空間 DS でアドレス放電が発生させることができる。このとき、隔壁 BR_1 も誘電体層の一部として作用し、アドレス電極 AE と透明電極 Y_t 間の電界が放電空間 DS に生ずる。

[0033] また、第1方向 D_1 に沿って配置される透明電極 X_t 、 Y_t は、交互に配置されている。したがって、アドレス電極 AE を挟んで第1方向 D_1 に互いに隣接する2つのセル C_1 において、一方のセル C_1 の透明電極 Y_t のみがアドレス電極 AE に隣接する。このため、着目するセル C_1 のアドレス電極 AE と透明電極 Y_t 間でアドレス放電が発生させるとき（アドレス期間）に、隣接するセル C_1 で誤放電が発生することを防止できる。なお、第2方向 D_2 に沿って隣接するセル C_1 の放電空間 DS は、隔壁 BR_2 により互いに隔離されている。これにより、第2方向 D_2 で隣接するセル C_1 の電極 XE 、 YE 間での誤放電を防止できる。

[0034] 図4および図5は、図3に示したPDP10の断面を示している。なお、図4は、図3の $A-A'$ 線に沿う断面を示し、図5は、図3の $B-B'$ 線に沿う断面を示している。

[0035] 図4に示すように、シール材 SM は、前面基板部12および背面基板部14の間に設けられ、前面基板部12と背面基板部14とを貼り合わせている。例えば、シール材 SM は、シール部 SL の底面および保護層 PL にそれぞれ接合され、シール部 SL の四隅と非接合されている。これにより、PDP10は、気密性をよく組み立てられる。また、保護層 PL は、誘電体層 DL

2の表面に、誘電体層DL2の形状に沿って形成されている。すなわち、溝GRの側面SD、底面BTおよび上面TP（頂上の面、隔壁BR1の頂部に対向する面）は、保護層PLに覆われている。このため、誘電体層DL2は、保護層PLにより、放電から保護される。

[0036] 図5に示すように、溝GRは、排気空間ESから右側の排気空間ESまで延在し、排気空間ESから放電空間DSに放電ガス等を封入するための排気経路として機能する。より詳細には、溝GRにより生じる隔壁BR2と保護層PLとの隙間GPが排気経路として機能する。なお、隙間GPは、ほぼ均一の厚さに保護層PLが形成されるため、溝GRの深さ（上述した図1に示した深さDP1）とほぼ同じである。また、溝GRの第2方向D2側の側面SD（端部E1）は、排気空間ESより外側に位置し、シール材SMより内側に位置している。このため、溝GRによる誘電体層DL2の段差は、シール材SMより内側に位置する。すなわち、シール材SMの接合部分に段差が生じることを防止できる。

[0037] 例えば、シール材SMの接合部分に段差が生じると、段差の所に隙間が発生するおそれがあり、その隙間からPDP内に大気が徐々に入り込み、PDPが動作しなくなるおそれがある。すなわち、シール材SMの接合部分における段差の所に隙間が生じると、PDP10の気密性が劣化し、PDP10の信頼性が低下する。この実施形態では、シール材SMの接合部分に段差が生じることを防止できるため、PDP10の気密性が劣化することを防止でき、PDP10の信頼性が低下することを防止できる。

[0038] 図6は、図1に示したPDP10を用いて構成されたプラズマディスプレイ装置の一例を示している。プラズマディスプレイ装置（以下、PDP装置とも称する）は、PDP10、PDP10の画像表示面16側（光の出力側）に設けられる光学フィルタ20、PDP10の画像表示面16側に配置された前筐体30、PDP10の背面18側に配置された後筐体40およびベースシャーシ50、ベースシャーシ50の後筐体40側に取り付けられ、PDP10を駆動するための回路部60、およびPDP10をベースシャーシ

50に貼り付けるための両面接着シート70を有している。回路部60は、複数の部品で構成されるため、図では、破線の箱で示している。光学フィルタ20は、前筐体30の開口部32に取り付けられる保護ガラス（図示せず）に貼付される。なお、光学フィルタ20に電磁波遮蔽機能を持たせることもある。また、光学フィルタ20は、保護ガラスではなく、PDP10の画像表示面16側に直接貼付されることもある。

[0039] 図7は、図6に示した回路部60の概要を示している。回路部60は、バス電極Xbに共通のパルスを印加するXドライバXDRV、バス電極Ybに選択的にパルスを印加するYドライバYDRV、アドレス電極AEに選択的にパルスを印加するアドレスドライバADRV、ドライバXDRV、YDRV、ADRVの動作を制御する制御部CNTおよび電源部PWRを有している。ドライバXDRV、YDRV、ADRVは、PDP10を駆動する駆動部として動作する。電源部PWRは、ドライバYDRV、XDRV、ADRVに供給する電源電圧 V_{sc} 、 $V_s/2$ 、 $-V_s/2$ 、 V_{sa} 等を生成する。

[0040] 制御部CNTは、画像データR0-7、G0-7、B0-7に基づいて使用するサブフィールドを選択し、ドライバYDRV、XDRV、ADRVに制御信号YCNT、XCNT、ACNTを出力する。ここで、サブフィールドは、PDP10の1画面を表示するための1フィールドが分割されたフィールドであり、サブフィールド毎にサステイン放電の回数が設定されている。そして、画素を構成するセルC1毎に、使用するサブフィールドを選択することにより、多階調の画像が表示される。

[0041] 図8は、図1に示したPDP10に画像を表示するためのサブフィールドにおける放電動作の一例を示している。図中の星印は、放電の発生を示している。各サブフィールドSFは、リセット期間RST、アドレス期間ADR、サステイン期間SUSおよび消去期間ERSにより構成される。なお、消去期間ERSは、点灯したセルのみの壁電荷を減少させるための放電を発生させる期間のため、サステイン期間SUSに含めて定義される場合もある。

- [0042] まず、リセット期間 R S T では、緩やかに下降する負の電圧（鈍波）が、維持電極 X E（バス電極 X b および透明電極 X t）に印加され、正の電圧が、走査電極 Y E（バス電極 Y b および透明電極 Y t）に印加される（図 8（a））。そして、維持電極 X E は、負の書き込み電圧に維持され、緩やかに上昇する正の書き込み電圧（書き込み鈍波）が走査電極 Y E に印加される（図 8（b））。これにより、セルの発光を抑えながら維持電極 X E と走査電極 Y E に正と負の壁電荷がそれぞれ蓄積される。次に、維持電極 X E に正の調整電圧が印加され、負の調整電圧（調整鈍波）が走査電極 Y E に印加される（図 8（c））。これにより、維持電極 X E と走査電極 Y E にそれぞれ蓄積された正と負の壁電荷の量が減るとともに、全てのセルの壁電荷が等しくなる。なお、例えば、正の調整電圧は、電圧 $V_s / 2$ より低い電圧であり、負の調整電圧の最小値は、電圧 $-V_s / 2$ より高い電圧である。
- [0043] アドレス期間 A D R では、アドレス放電時に陽極となるスキャン電圧が維持電極 X E に印加され、アドレス放電時に陰極となるスキャンパルスが走査電極 Y E に印加され、アドレス放電時に陽極となるアドレスパルス（電圧 V_{sa} ）が、点灯するセルに対応するアドレス電極 A E に印加される（図 8（d））。スキャンパルスとアドレスパルスにより選択されたセルは、一時的に放電する。
- [0044] すなわち、走査電極 Y E とアドレス電極 A E 間には、放電を発生させる最低電圧（放電開始電圧）以上の電圧が印加され、維持電極 X E とアドレス電極 A E 間には、放電開始電圧より低い電圧が印加される。これにより、着目するセルのアドレス電極 A E と走査電極 Y E 間でアドレス放電を発生させるときに、隣接するセルの維持電極 X E とアドレス電極 A E 間で誤放電が発生することを防止できる。アドレス電極 A E の波形に示される 2 回目のアドレスパルスは、他の表示ラインの放電セルを選択するために印加される（図 8（e））。
- [0045] サステイン期間 S U S では、負および正のサステインパルスが、維持電極 X E および走査電極 Y E にそれぞれ印加される（図 8（f、g））。これに

より、点灯したセルの放電状態が維持される。互いに極性の異なるサステインパルスが、維持電極 X E および走査電極 Y E に繰り返して印加されることにより、サステイン期間 S U S に点灯したセルの放電（サステイン放電）が繰り返し行われる。

[0046] 消去期間 E R S では、負の消去前パルスと正の高電圧の消去前パルスが、維持電極 X E および走査電極 Y E にそれぞれ印加され、放電が発生する（図 8（h））。これにより、壁電荷が、維持電極 X E および走査電極 Y E に蓄積される。この際、走査電極 Y E は、電圧 $V_s / 2$ より高い電圧が印加されるため、蓄積される壁電荷の量は相対的に多くなる。次に、正の消去パルスと負の消去パルスが、維持電極 X E および走査電極 Y E にそれぞれ印加される（図 8（i））。これにより、放電が起こるが、2 電極間に印加されている電圧値の差がサステイン期間 S U S の電圧値の差よりも低いため、壁電荷の量がサステイン期間 S U S に比べて減る。

[0047] 以上、第 1 の実施形態では、溝 G R は、互いに隣接するアドレス電極 A E 間の誘電体層 D L 2 を除去することにより形成される。このため、溝 G R の深さ D P 1 は、アドレス電極 A E の厚さに拘わらず、大きく、例えば、アドレス電極 A E の厚さより大きく形成される。溝 G R は、第 2 方向 D 2 に沿って配置されたセル C 1 の放電空間 D S から排気空間 E S まで延在する排気経路として機能するため、放電空間に放電ガス等を封入するときの排気効率を向上できる。排気効率の向上により、放電空間に放電ガスを短時間で確実に封入でき、製造コストの増加を抑制できる。さらに、溝 G R の端部 E 1 がシール材 S M より内側に位置しているため、溝 G R の段差により、シール材 S M の接合部分に隙間が発生することを防止できる。この結果、P D P 1 0 の気密性を確保でき、P D P 1 0 の信頼性が低下することを防止できる。

[0048] 図 9 は、本発明の第 2 の実施形態における P D P 1 0 の要部の断面を示している。なお、図 9 は、溝 G R の周辺部を示し、図 3 の A - A' 線に沿う断面に対応している。この実施形態では、溝 G R の底面 B T の位置が、第 1 の実施形態と相違している。その他の構成は、第 1 の実施形態と同じである。

第 1 の実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。また、この実施形態の PDP 10 を用いた PDP 装置および PDP 10 に画像を表示するための放電動作は、第 1 の実施形態（図 6－図 8）と同じである。なお、画像表示面側から見た PDP の状態は、上述した図 3 と同じである。

[0049] 溝 GR は、誘電体層 DL 1、DL 2 のうち、溝 GR が設けられる部分の誘電体層 DL 2 のみを除去することにより誘電体層 DL 2 を貫通して設けられている。例えば、溝 GR は、サンドブラスト法等により、溝 GR が設けられる部分の誘電体層 DL 2 を、誘電体層 DL 2 が貫通するまで除去することにより形成される。これにより、溝 GR の底面 BT は、誘電体層 DL 1 の表面になり、溝 GR の深さ DP 1 を大きくできる。なお、溝 GR の底面 BT である誘電体層 DL 1 は、保護層 PL に覆われているため、放電から保護される。

[0050] 以上、第 2 の実施形態においても、上述した第 1 の実施形態と同様の効果を得ることができる。また、この実施形態では、溝 GR の深さ DP 1 を第 1 の実施形態に比べて大きくできるため、排気効率をさらに向上できる。

[0051] 図 10 は、本発明の第 3 の実施形態における PDP 10 の要部の断面を示している。なお、図 10 は、溝 GR の周辺部を示し、図 3 の A－A' 線に沿う断面に対応している。この実施形態では、溝 GR の底面 BT の位置が、第 2 の実施形態と相違している。その他の構成は、第 2 の実施形態と同じである。第 2 の実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。また、この実施形態の PDP 10 を用いた PDP 装置および PDP 10 に画像を表示するための放電動作は、第 1 の実施形態（図 6－図 8）と同じである。なお、画像表示面側から見た PDP の状態は、上述した図 3 と同じである。

[0052] 誘電体層 DL 1 は、溝 GR が設けられる部分に凹部を有している。例えば、誘電体層 DL 1 の凹部は、サンドブラスト法等により、誘電体層 DL 1 を除去することにより形成される。すなわち、溝 GR は、誘電体層 DL 2 を貫

通して誘電体層DL1内まで設けられている。これにより、溝GRの深さDP1を大きくできる。

[0053] なお、溝GRの底面BTである誘電体層DL1は、保護層PLに覆われているため、放電から保護される。この実施形態では、溝GRの底面BTにおける保護層PLの表面は、隔壁BR1の頂部に対向する部分の第1誘電体層DL1の表面より、前面ガラス基材FS側に位置している。なお、溝GRの底面BTにおける保護層PLの表面は、隔壁BR1の頂部に対向する部分の第1誘電体層DL1の表面と同じ位置でもよい。

[0054] 以上、第3の実施形態においても、上述した第2の実施形態と同様の効果を得ることができる。また、この実施形態では、誘電体層DL2の厚さに拘わらず、溝GRの深さDP1を大きくできるため、排気効率をさらに向上できる。

[0055] 図11は、本発明の第4の実施形態におけるPDP10の概要を示している。なお、図11は、画像表示面側（後述する図12の上側）から見た状態を示している。図中の網掛け部分は、ガラス基材RSの外周部OTおよび隔壁BR1、BR2を示している。また、図中の破線で囲んだ部分は、溝GRを示している。この実施形態では、誘電体層DL2および保護層PLの大きさが、第1の実施形態と相違している。その他の構成は、第1の実施形態と同じである。第1の実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。また、この実施形態のPDP10を用いたPDP装置およびPDP10に画像を表示するための放電動作は、第1の実施形態（図6－図8）と同じである。

[0056] 誘電体層DL2および保護層PLは、シール材SMより内側で、上述した図2に示した隔壁BR1、BR2の形成領域BAより外側に設けられている。また、溝GR1の端部E1は、誘電体層DL2における第1方向D1に沿う縁部である。すなわち、溝GRの端部E1は、排気空間ES上に位置している。これにより、組み立てられたPDP10の放電空間DS（上述した図1に示した背面基板部14の凹部）を真空状態に設定でき、放電ガスを放電

空間D Sに封入できる。

[0057] 図1 2および図1 3は、図1 1に示したPDP 10の断面を示している。
なお、図1 2は、図1 1のA-A'線に沿う断面を示し、図1 3は、図1 1のB-B'線に沿う断面を示している。

[0058] 図1 2に示すように、誘電体層DL 2および保護層PLの縁部は、ガラス基材RSの外周部OTより内側に設けられている。なお、誘電体層DL 2および保護層PLの縁部は、シール材SMより内側で、外周部OT上に位置していてもよい。シール材SMは、シール部SLの底面および誘電体層DL 1にそれぞれ接合されている。誘電体層DL 1の平坦部にシール材SMが接合されるため、PDP 10は、気密性をよく組み立てられる。なお、シール材SMは、シール部SLを外周部OTに設けずに、外周部OT上に直接配置されてもよい。

[0059] 図1 3に示すように、溝GRは、排気空間ESから右側の排気空間ESまで延在し、排気空間ESから放電空間DSに放電ガス等を封入するための排気経路として機能する。また、溝GRは、誘電体層DL 2の第2方向D 2側の縁部まで設けられている。すなわち、溝GRの端部E 1は、上述したように、誘電体層DL 2の第2方向D 2側の縁部である。溝GRの端部E 1がシール材SMより内側に位置しているため、溝GRによる段差は、シール材SMより内側に位置する。すなわち、シール材SMの接合部分に段差が生じることを防止できる。

[0060] なお、アドレス電極AEによる段差（例えば、 $2\mu\text{m}$ ）が生じている場所では、シール材SMは、アドレス電極AEに、段差を埋めて接合されている。アドレス電極AEによる段差は、溝GRによる生じる段差（例えば、 $20\mu\text{m}$ ）に比べて小さいため、PDP 10は、気密性をよく組み立てられる。

[0061] 以上、第4の実施形態においても、上述した第2の実施形態と同様の効果を得ることができる。

[0062] 図1 4は、本発明の第5の実施形態におけるPDP 10の概要を示している。なお、図1 4は、画像表示面側（後述する図1 5の上側）から見た状態

を示している。図中の網掛け部分は、ガラス基材RSの外周部OTおよび隔壁BR1、BR2を示している。また、図中の破線で囲んだ部分は、溝GRを示している。

[0063] この実施形態は、第1の実施形態から誘電体層DL2が省かれ、誘電体層DL1に溝GRが形成されている。その他の構成は、第1の実施形態と同じである。すなわち、この実施形態は、誘電体層DL1上にアドレス電極AEを覆う保護層PLが直接形成されたPDPに、本発明を適用した構成である。第1の実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。また、この実施形態のPDP10を用いたPDP装置およびPDP10に画像を表示するための放電動作は、第1の実施形態（図6－図8）と同じである。

[0064] 図の例では、保護層PLの第2方向D2に沿う縁部は、誘電体層DL1の縁部と同じ位置であり、保護層PLの第1方向D1に沿う縁部は、誘電体層DL1の縁部とガラス基材RSの縁部との間に位置している。なお、保護層PLの第2方向D2に沿う縁部は、誘電体層DL1の縁部とガラス基材RSの縁部との間に位置していてもよい。

[0065] 図15および図16は、図14に示したPDP10の断面を示している。なお、図15は、図14のA－A'線に沿う断面を示し、図16は、図14のB－B'線に沿う断面を示している。

[0066] 図15に示すように、誘電体層DL1は、互いに隣接するアドレス電極AE間に、第2方向D2に延在する溝GRを有している。例えば、溝GRは、サンドブラスト法等により、互いに隣接するアドレス電極AE間の誘電体層DL1を除去することにより形成される。また、保護層PLは、誘電体層DL1の表面に、誘電体層DL1およびアドレス電極AEの形状に沿って形成されている。すなわち、アドレス電極AE、溝GRの側面SD、底面BTおよび上面TPは、保護層PLに覆われている。このため、誘電体層DL1は、保護層PLにより、放電から保護される。

[0067] また、保護層PLは、ほぼ均一の厚さに形成されるため、溝GRにより生

じる隔壁BR2と保護層PLとの隙間GP（例えば、 $20\mu\text{m}$ ）は、アドレス電極AEの厚さ（例えば、 $2\mu\text{m}$ ）と溝GRの深さ（例えば、 $18\mu\text{m}$ ）とを合わせた大きさとほぼ同じである。したがって、この実施形態では、溝GRを深くすることにより、隙間GPを大きくすることができ、隙間GPを大きくするために、アドレス電極AEを厚く形成する必要がない。この隙間GPは、前面基板部12と背面基板部14とを貼り合わせた後に、Ne、Xe等の放電ガスを放電空間DSに封入するための排気経路として機能する。

[0068] 図16に示すように、溝GRは、排気空間ESから右側の排気空間ESまで延在し、溝GRにより生じる隔壁BR2と保護層PLとの隙間GPは、排気空間ESから放電空間DSに放電ガス等を封入するための排気経路として機能する。また、溝GRの第2方向D2側の側面SD（端部E1）は、排気空間ESより外側に位置し、シール材SMより内側に位置している。このため、溝GRによる誘電体層DL1の段差は、シール材SMより内側に位置する。すなわち、シール材SMの接合部分に段差が生じることを防止できる。これにより、シール材SMの接合部分に段差が生じることを防止できる。なお、アドレス電極AEによる段差（例えば、 $2\mu\text{m}$ ）が生じている場所では、シール材SMは、アドレス電極AEに、段差を埋めて接合されている。アドレス電極AEによる段差は、隙間GPによる生じる段差（例えば、 $20\mu\text{m}$ ）に比べて小さいため、PDP10は、気密性をよく組み立てられる。

[0069] 以上、第5の実施形態においても、上述した第1の実施形態と同様の効果を得ることができる。

[0070] なお、上述した実施形態では、1つの画素が、3つのセル（赤（R）、緑（G）、青（B））により構成される例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、1つの画素を4つ以上のセルにより構成してもよい。あるいは、1つの画素が、赤（R）、緑（G）、青（B）以外の色を発生するセルにより構成されてもよく、1つの画素が、赤（R）、緑（G）、青（B）以外の色を発生するセルを含んでもよい。

[0071] 上述した実施形態では、本発明を、低融点ガラスの塗布により誘電体層D

L 2が形成されるPDPに適用する例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、図17に示すように、誘電体層DL 2がCVD法による二酸化シリコン膜で形成されるPDPに適用してもよい。図17の上側は、誘電体層DL 2がCVD法による二酸化シリコン膜で形成されたPDPを示し、図17の下側は、上側に示したPDPに本発明を適用した場合の一例を示している。なお、図17は、上述した図3のA-A'線に沿う断面におけるPDPの要部（溝の周辺部）に対応している。

[0072] 図17の上側に示したように、誘電体層DL 2がCVD法による二酸化シリコン膜で形成された場合、誘電体層DL 2は、アドレス電極AEに沿って形成されるため、段差を有している。この段差の高低差DP 2（例えば、側壁SD 2の高さ）は、アドレス電極AEの厚さW 1とほぼ同じ大きさであり、隙間GP 2は、高低差DP 2とほぼ同じ大きさである。一般的なアドレス電極AEの厚さ（例えば、 $2\mu\text{m}$ ）では、隙間GP 2が小さく、排気効率が悪い。ここで、図17の上側のPDPは、図17の下側に示すように、本発明を適用することにより、排気効率が向上される。

[0073] 図17の下側の例では、誘電体層DL 2にさらに溝GR 2を設けることで、隙間GP 3を大きくでき、排気効率を向上できる。溝GR 2は、上述した第2の実施形態と同様に、誘電体層DL 2を貫通して設けられている。なお、溝GR 2は、上述した第1あるいは第3の実施形態と同様な構成に設けられてもよい。隙間GP 3は、段差の高低差DP 2と溝GR 2の深さDP 3とを合わせた大きさとほぼ同じである。

[0074] この場合、溝GR 2の端部（側面SD 3に直交する側面）は、上述した図5と同様に、シール材SMより内側に位置し、排気空間ESより外側に位置している。すなわち、シール材SMの接合部分に段差を小さくできる。これにより、PDP 10は、気密性をよく組み立てられる。この場合にも、上述した実施形態と同様の効果を得ることができる。

[0075] 以上、本発明について詳細に説明してきたが、上記の実施形態およびその変形例は発明の一例に過ぎず、本発明はこれに限定されるものではない。本

発明を逸脱しない範囲で変形可能であることは明らかである。

産業上の利用可能性

[0076] 本発明は、プラズマディスプレイパネルおよびプラズマディスプレイパネルの製造方法に適用できる。

請求の範囲

- [1] 放電空間を介して互いに対向する第 1 基板および第 2 基板と、
前記放電空間で発生する放電により発光するセルと、
前記第 1 基板上に、第 1 方向に延在し、間隔を置いて配置された第 1 および第 2 バス電極と、
前記各セル内に配置され、前記第 1 バス電極に接続され、前記第 1 方向に直交する第 2 方向に延在する第 1 表示電極と、
前記各セル内に配置され、前記第 2 バス電極に接続され、前記第 2 方向に延在し、前記第 1 表示電極との対向部を前記第 2 方向に沿って有する第 2 表示電極と、
前記第 1 基板上に設けられ、前記バス電極および前記表示電極を覆う第 1 誘電体層と、
前記第 1 誘電体層上に設けられ、前記第 2 方向に延在し、間隔を置いて配置された複数のアドレス電極と、
前記第 1 誘電体層上に設けられ、前記アドレス電極を覆う第 2 誘電体層と、
、
前記第 1 および第 2 誘電体層の少なくとも前記第 2 誘電体層に設けられ、互いに隣接する前記アドレス電極の間に位置し、前記第 2 方向に延在する溝と、
前記第 2 基板と一体に形成され、前記第 2 方向に延在し、前記アドレス電極に対向する位置に配置された複数の第 1 隔壁と、
前記第 1 隔壁と一体に形成され、前記第 1 方向に延在し、前記放電空間を前記セル毎に分ける第 2 隔壁と、
前記第 1 および第 2 基板間に設けられ、前記第 1 および第 2 隔壁の形成領域より外側に額縁状に配置されたシール材とを備え、
前記溝の端部は、前記シール材より内側に位置していることを特徴とするプラズマディスプレイパネル。
- [2] 請求項 1 記載のプラズマディスプレイパネルにおいて、

前記溝の深さは、前記アドレス電極の厚さより大きいことを特徴とするプラズマディスプレイパネル。

- [3] 請求項 1 記載のプラズマディスプレイパネルにおいて、
前記溝は、前記第 1 および第 2 誘電体層のうち、前記溝が設けられる部分の前記第 2 誘電体層のみを除去することにより前記第 2 誘電体層を貫通して設けられていることを特徴とするプラズマディスプレイパネル。
- [4] 請求項 1 記載のプラズマディスプレイパネルにおいて、
前記溝は、前記第 2 誘電体層を貫通して前記第 1 誘電体層内まで設けられていることを特徴とするプラズマディスプレイパネル。
- [5] 放電空間を介して互いに対向する第 1 基板および第 2 基板と、
前記放電空間で発生する放電により発光するセルと、
前記第 1 基板上に、第 1 方向に延在し、間隔を置いて配置された第 1 および第 2 バス電極と、
前記各セル内に配置され、前記第 1 バス電極に接続され、前記第 1 方向に直交する第 2 方向に延在する第 1 表示電極と、
前記各セル内に配置され、前記第 2 バス電極に接続され、前記第 2 方向に延在し、前記第 1 表示電極との対向部を前記第 2 方向に沿って有する第 2 表示電極と、
前記第 1 基板上に設けられ、前記バス電極および前記表示電極を覆う誘電体層と、
前記第 1 基板上に前記誘電体層を介して設けられ、前記第 2 方向に延在し、間隔を置いて配置された複数のアドレス電極と、
前記誘電体層に設けられ、互いに隣接する前記アドレス電極の間に位置し、前記第 2 方向に延在する溝と、
前記第 2 基板と一体に形成され、前記第 2 方向に延在し、前記アドレス電極に対向する位置に配置された複数の第 1 隔壁と、
前記第 1 隔壁と一体に形成され、前記第 1 方向に延在し、前記放電空間を前記セル毎に分ける第 2 隔壁とを備えていることを特徴とするプラズマディ

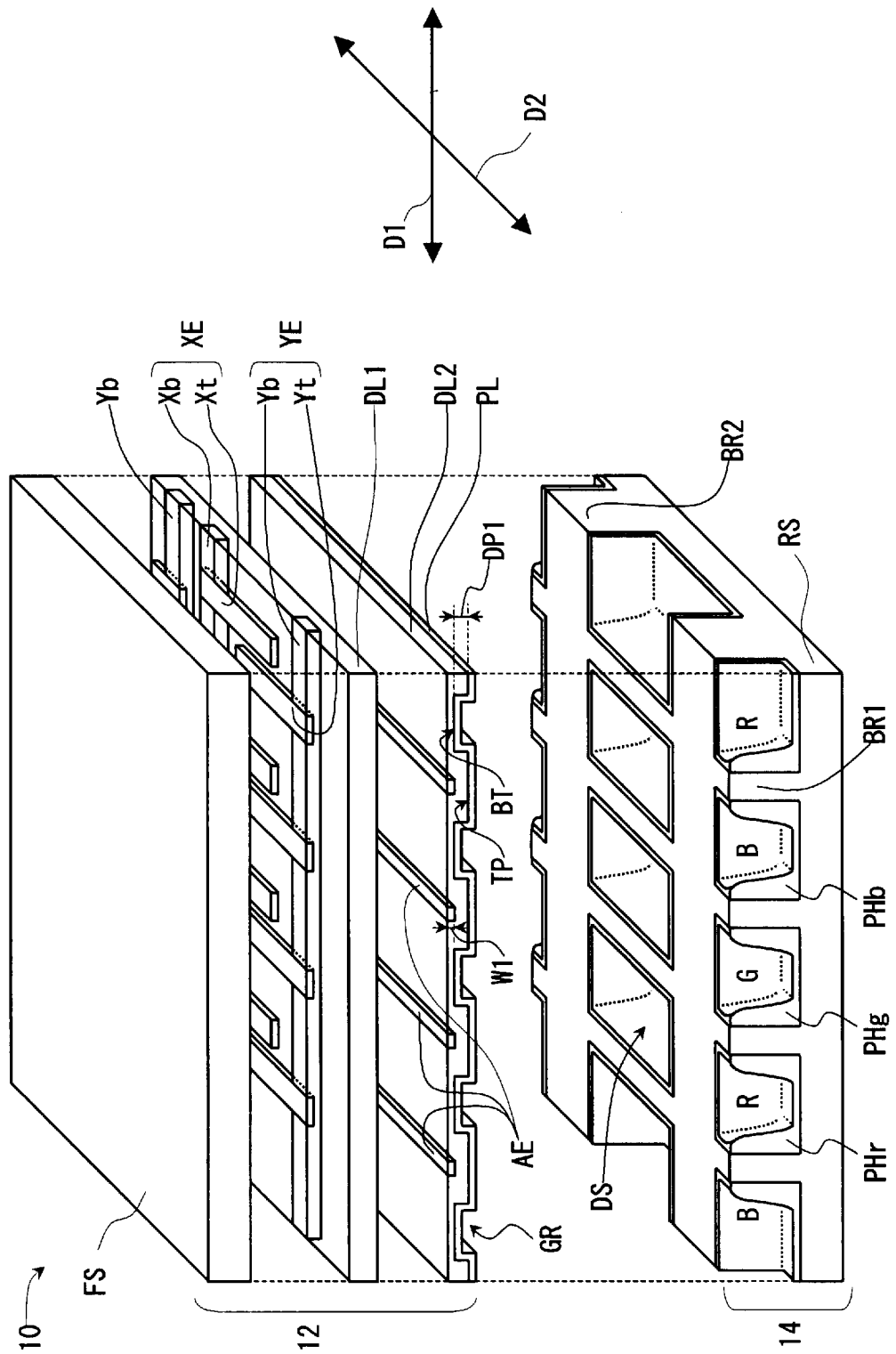
スプレイパネル。

- [6] 請求項 1 または請求項 5 記載のプラズマディスプレイパネルにおいて、
前記溝の前記第 2 方向に沿う側壁は、前記第 1 基板に垂直な方向から見て、
前記第 1 および第 2 表示電極に重なる位置にそれぞれ設けられていること
を特徴とするプラズマディスプレイパネル。
- [7] 放電空間を介して互いに対向する第 1 基板および第 2 基板を備えたプラズ
マディスプレイパネルの製造方法であって、
前記第 1 基板上に、第 1 方向に延在する第 1 および第 2 電極を形成し、
前記第 1 基板上に、前記第 1 および第 2 電極を覆う第 1 誘電体層を形成し
、
前記第 1 誘電体層上に、前記第 1 方向に直交する第 2 方向に延在するアド
レス電極を形成し、
前記第 1 誘電体層上に、前記アドレス電極を覆う第 2 誘電体層を形成し、
前記第 1 および第 2 誘電体層のうち、互いに隣接する前記アドレス電極の
間に位置する少なくとも前記第 2 誘電体層の一部を除去し、前記第 2 方向に
延在する溝を形成することを特徴とするプラズマディスプレイパネルの製造
方法。
- [8] 請求項 7 記載のプラズマディスプレイパネルの製造方法において、
前記溝を、前記第 2 誘電体層を貫通させることにより形成することを特徴
とするプラズマディスプレイパネルの製造方法。
- [9] 請求項 8 記載のプラズマディスプレイパネルの製造方法において、
前記溝を、前記第 2 誘電体層が貫通している貫通部分と重なる前記第 1 誘
電体層の一部を除去することにより形成することを特徴とするプラズマディ
スプレイパネルの製造方法。
- [10] 放電空間を介して互いに対向する第 1 基板および第 2 基板を備えたプラズ
マディスプレイパネルの製造方法であって、
前記第 1 基板上に、第 1 方向に延在する第 1 および第 2 電極を形成し、
前記第 1 基板上に、前記第 1 および第 2 電極を覆う誘電体層を形成し、

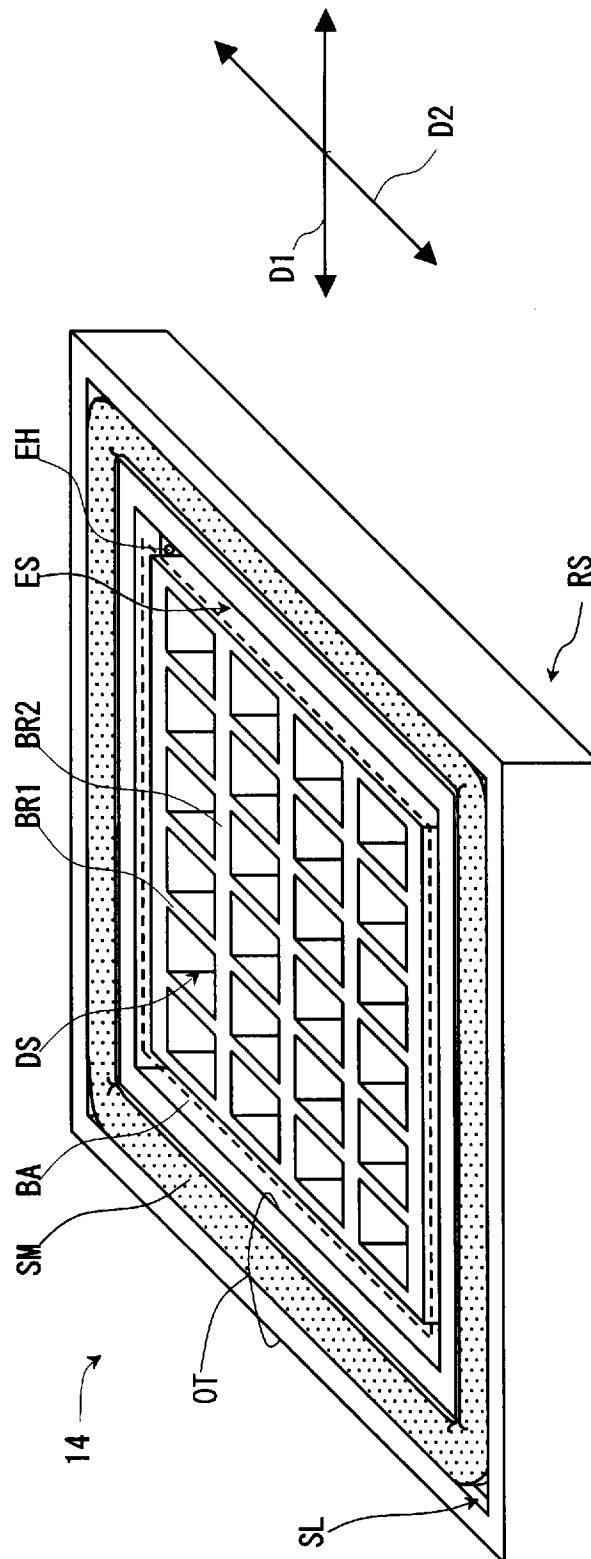
前記誘電体層上に、前記第 1 方向に直交する第 2 方向に延在するアドレス電極を形成し、

互いに隣接する前記アドレス電極の間に位置する前記誘電体層の一部を除去し、前記第 2 方向に延在する溝を形成することを特徴とするプラズマディスプレイパネルの製造方法。

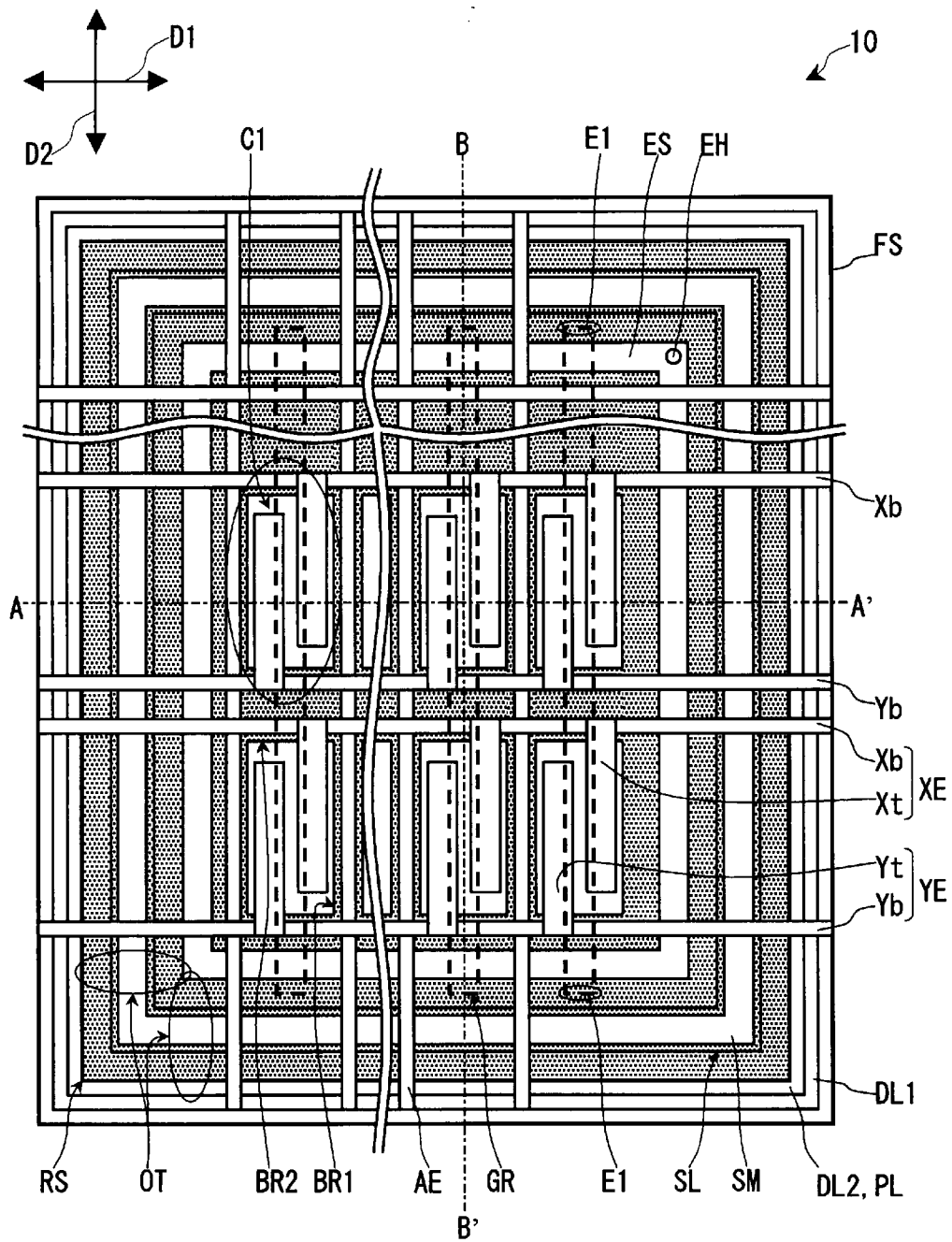
[図1]



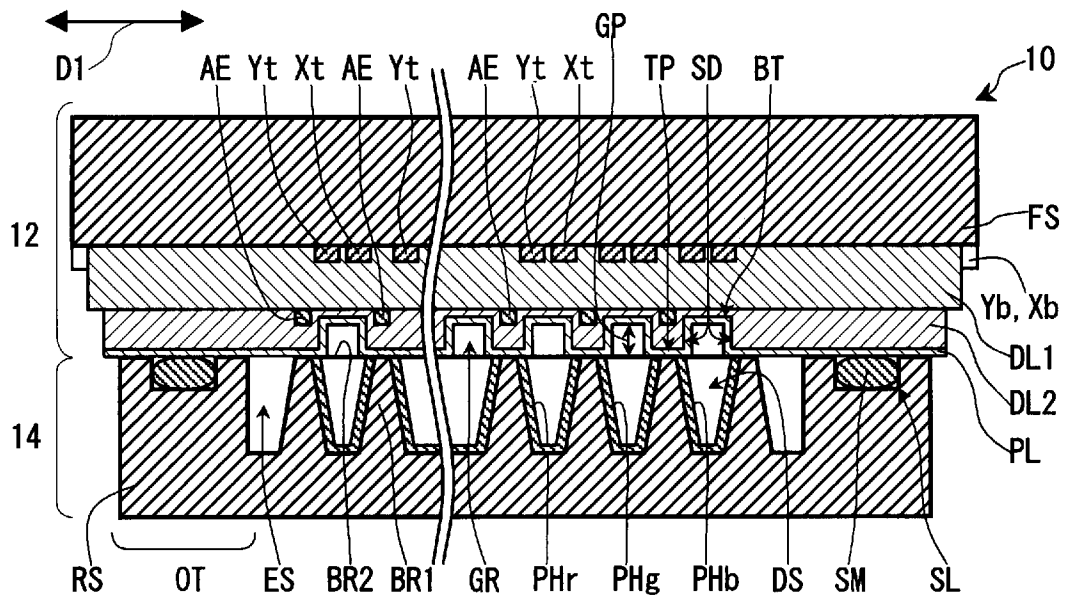
[図2]



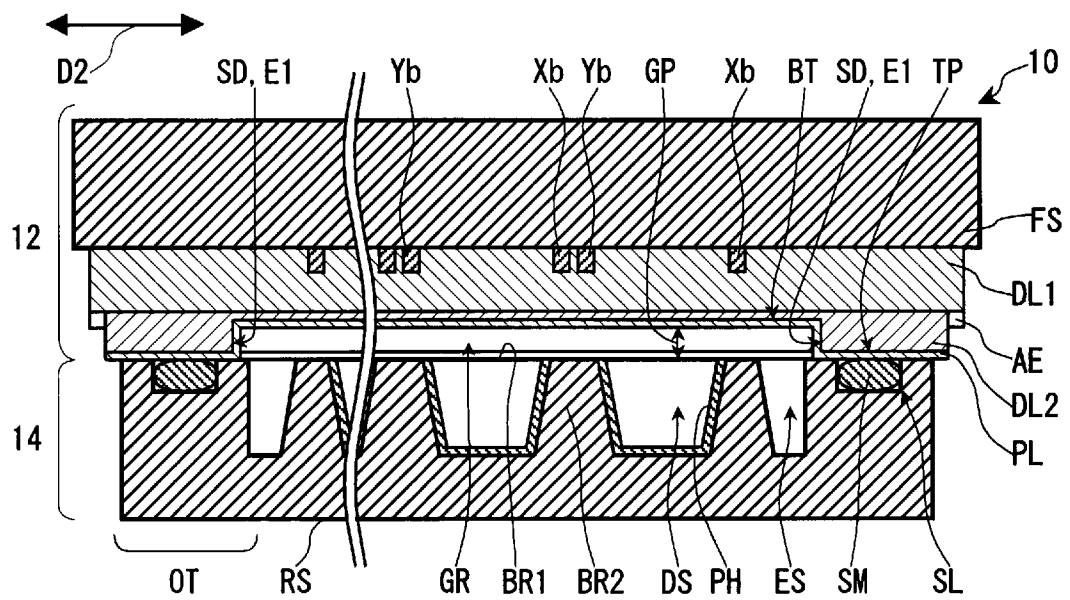
[図3]



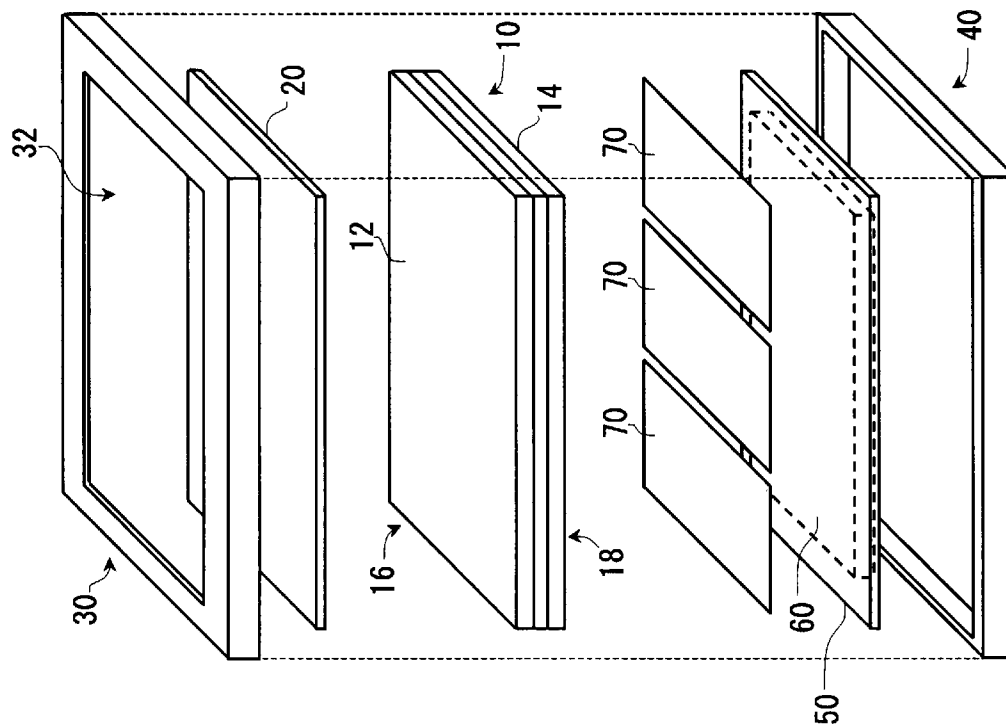
[図4]



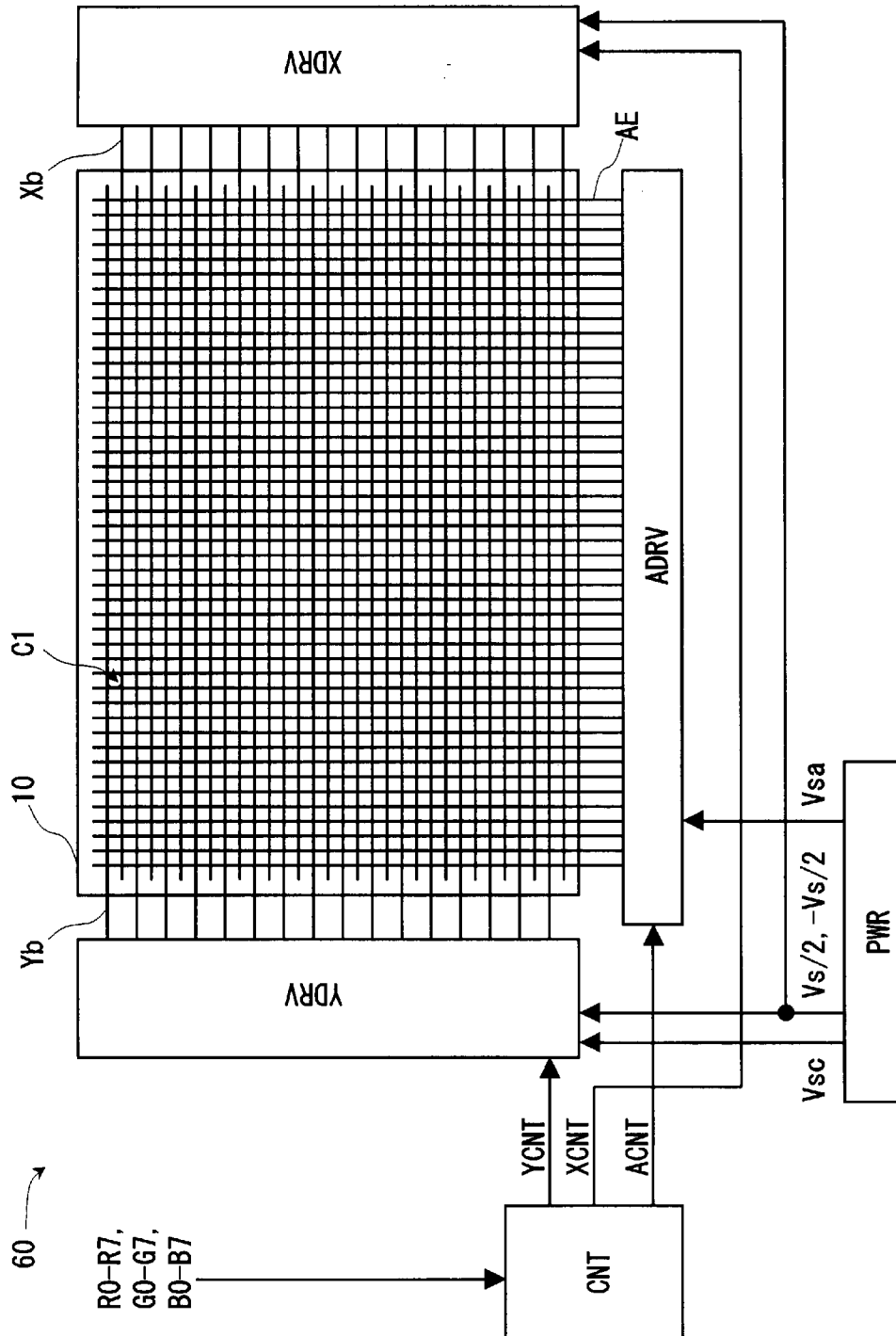
[図5]



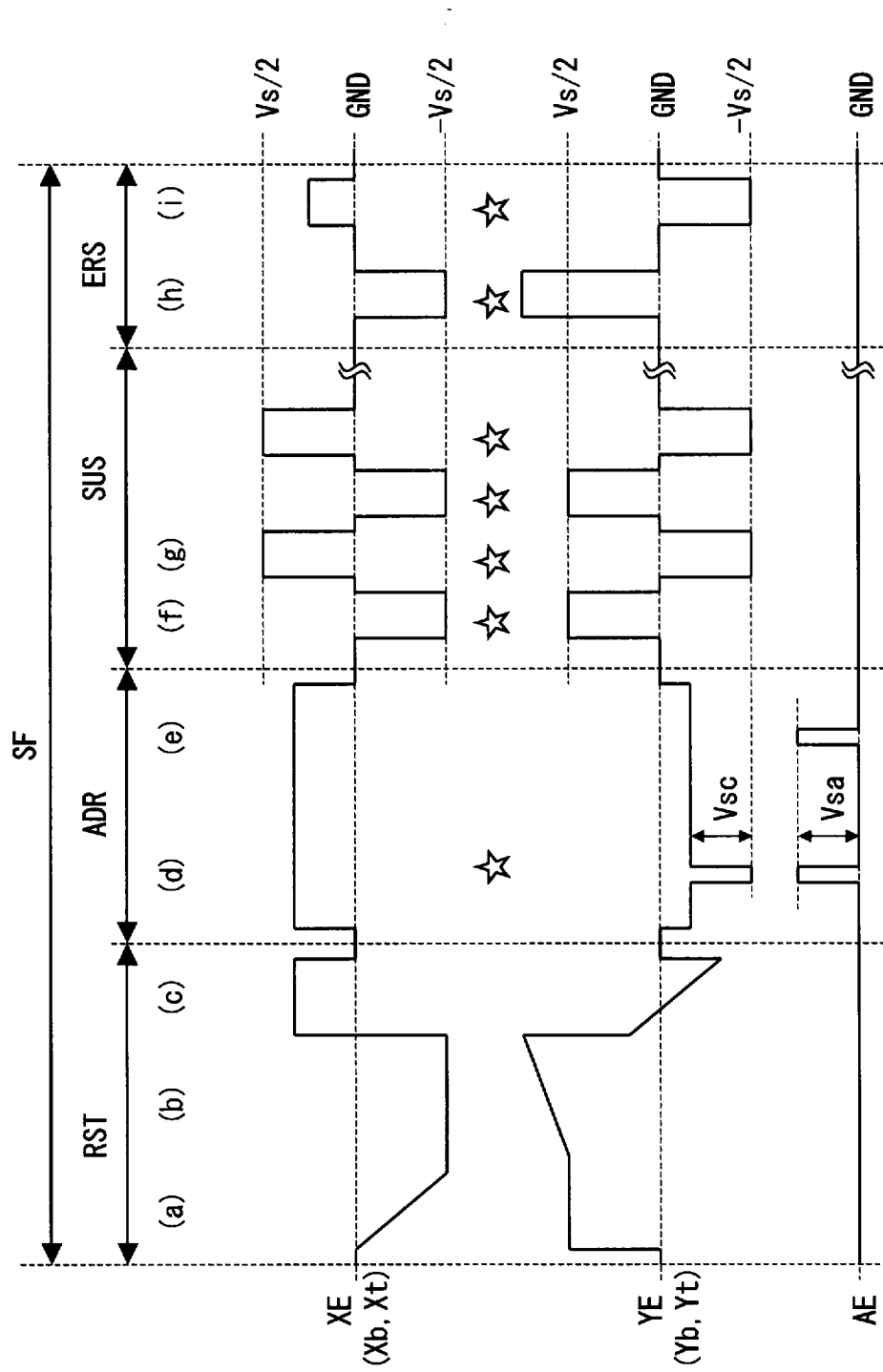
[図6]



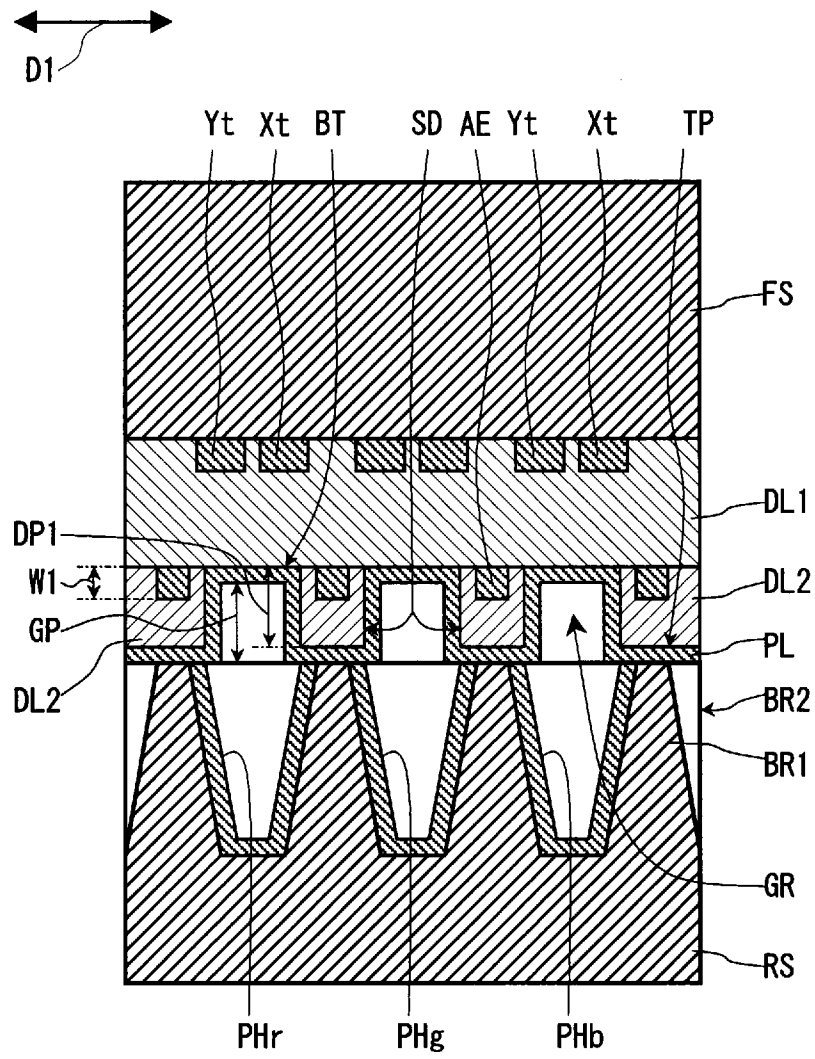
[図7]



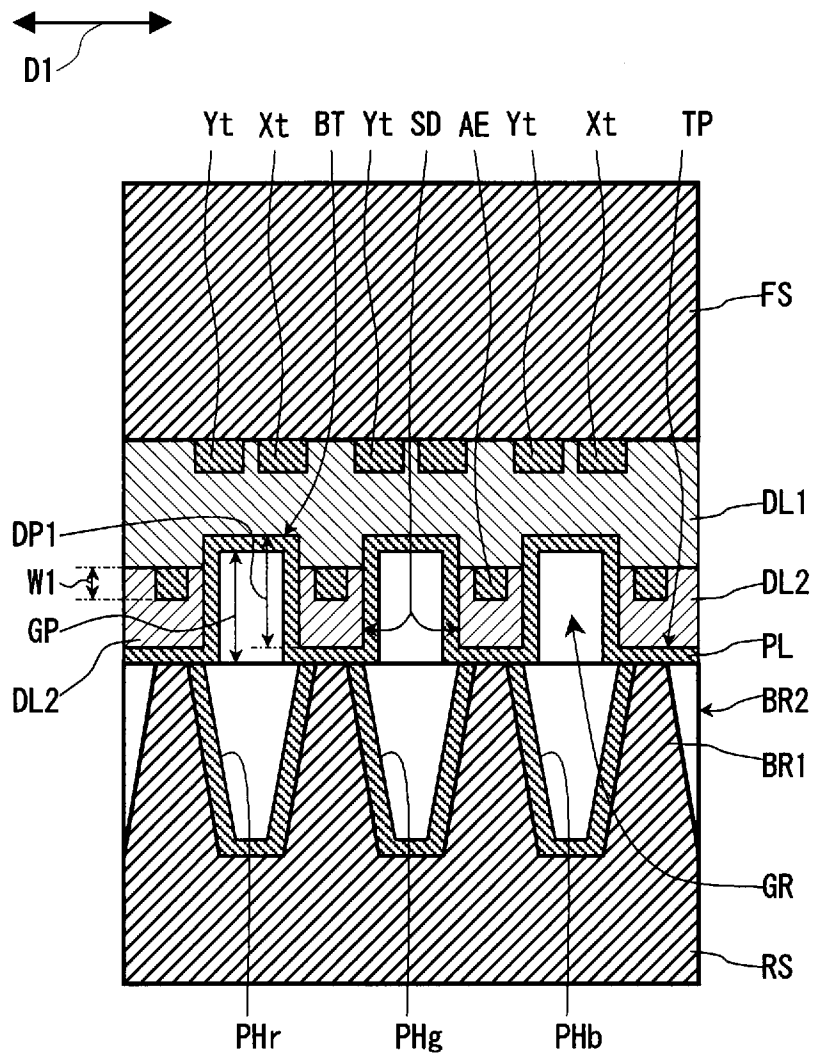
[図8]



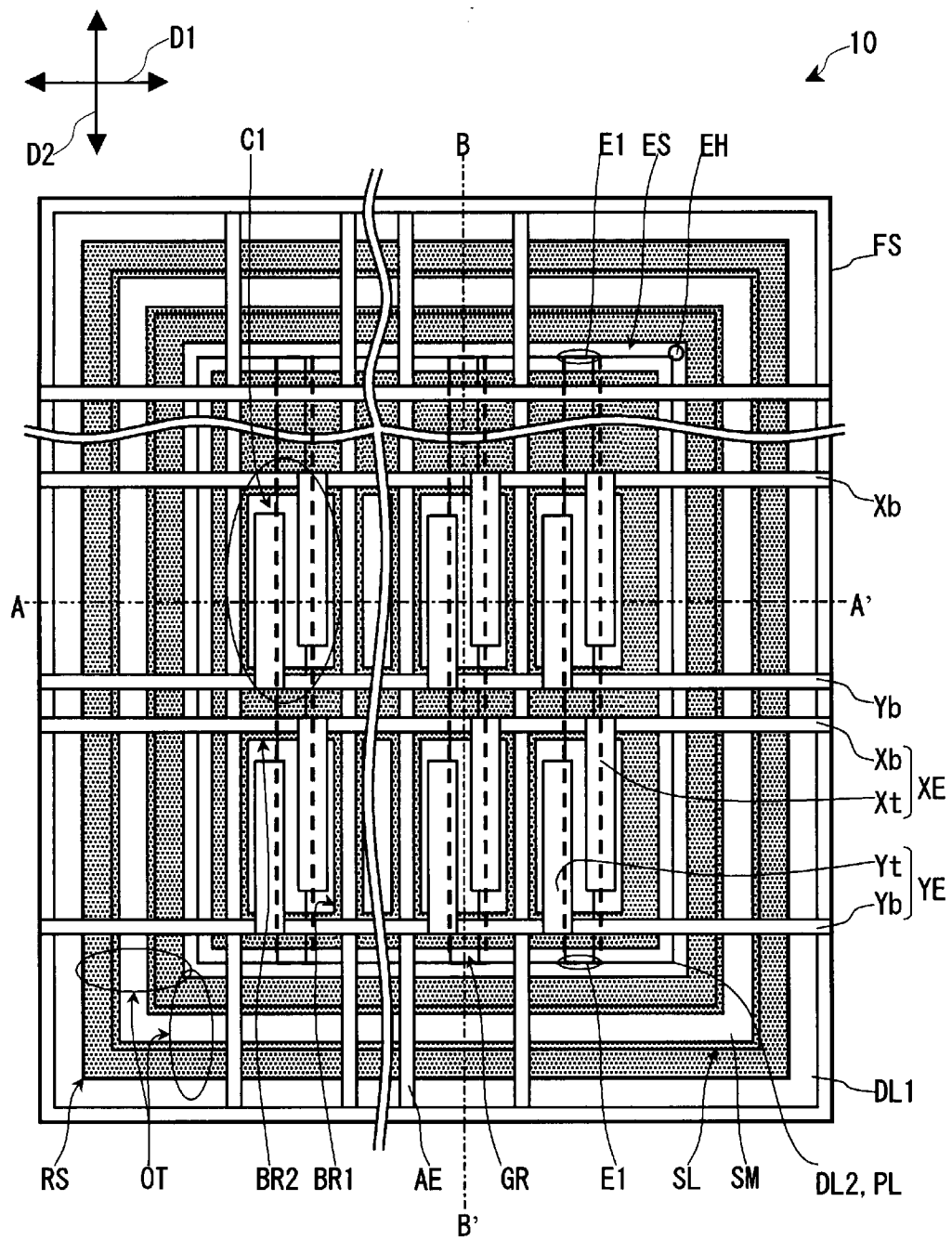
[図9]



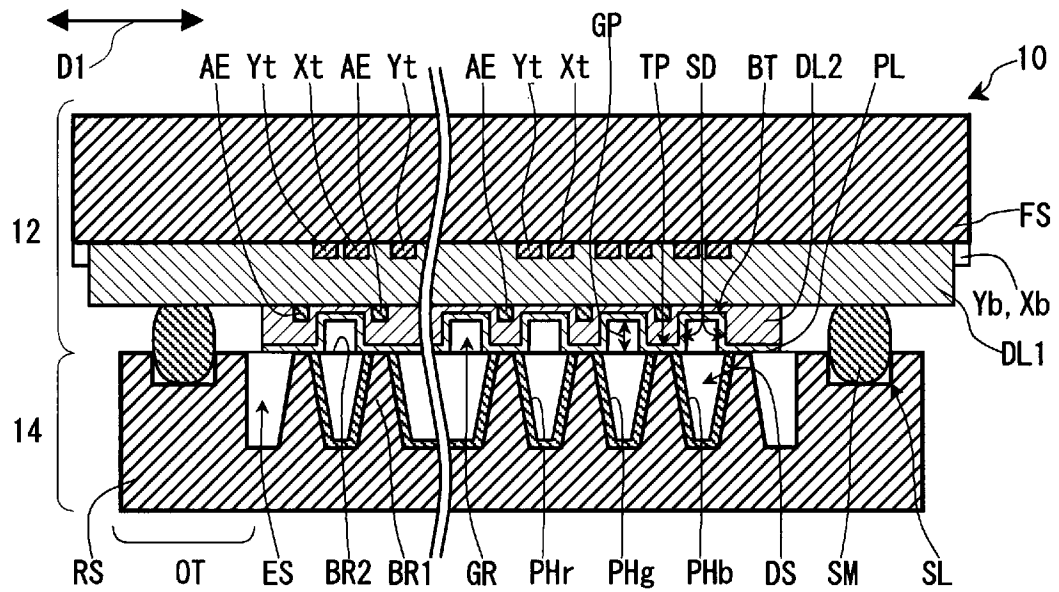
[図10]



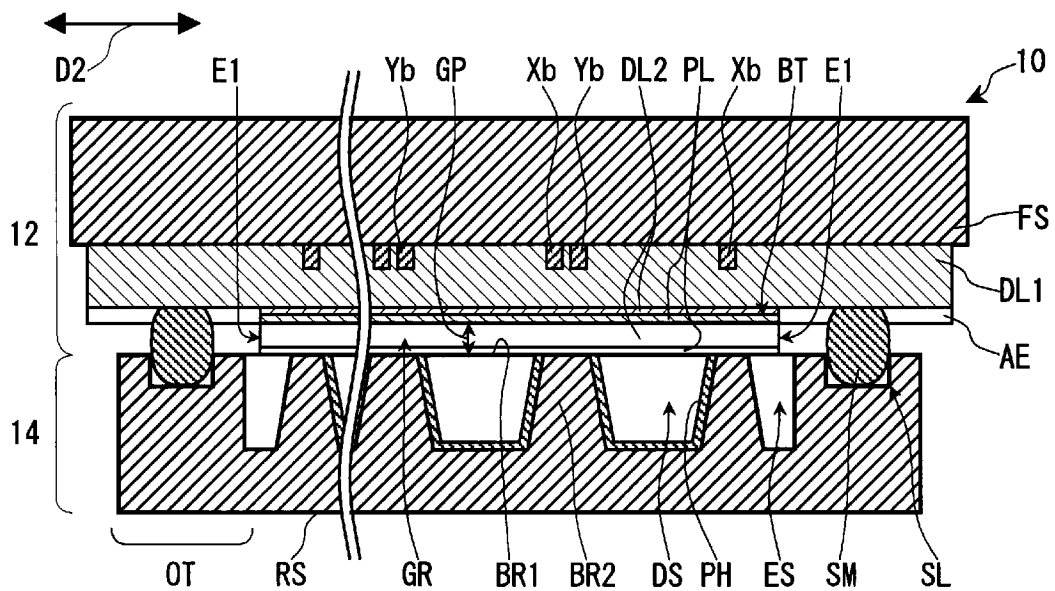
[図11]



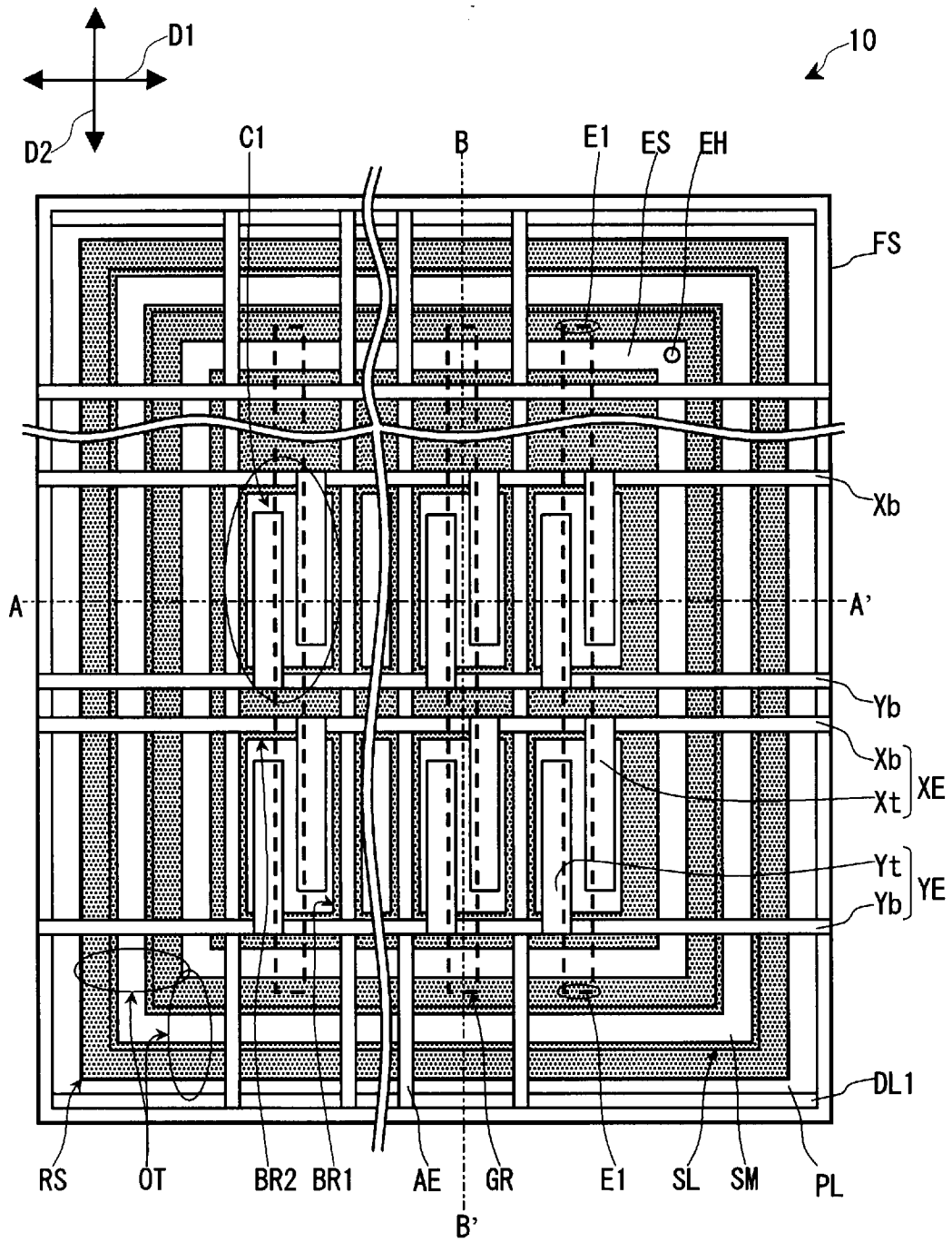
[図12]



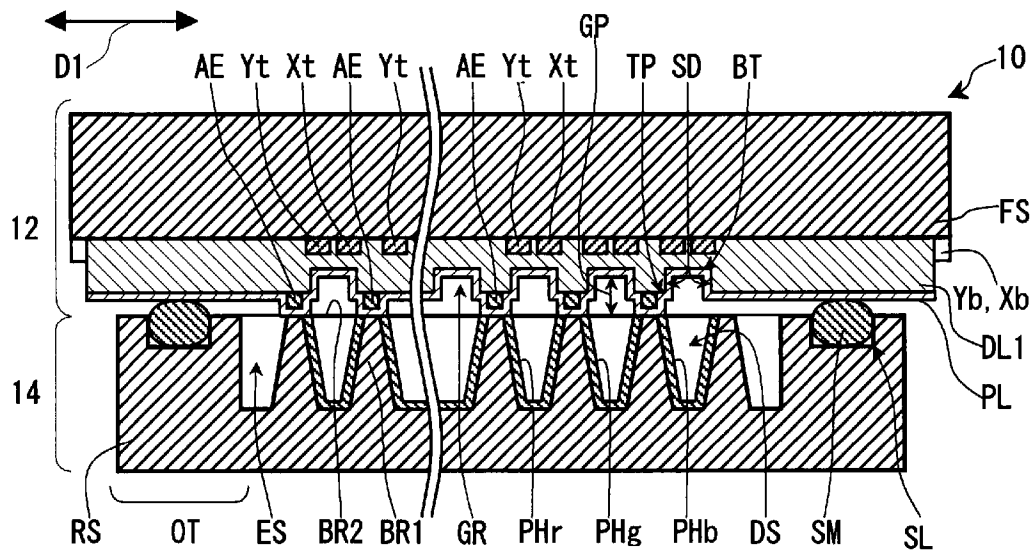
[図13]



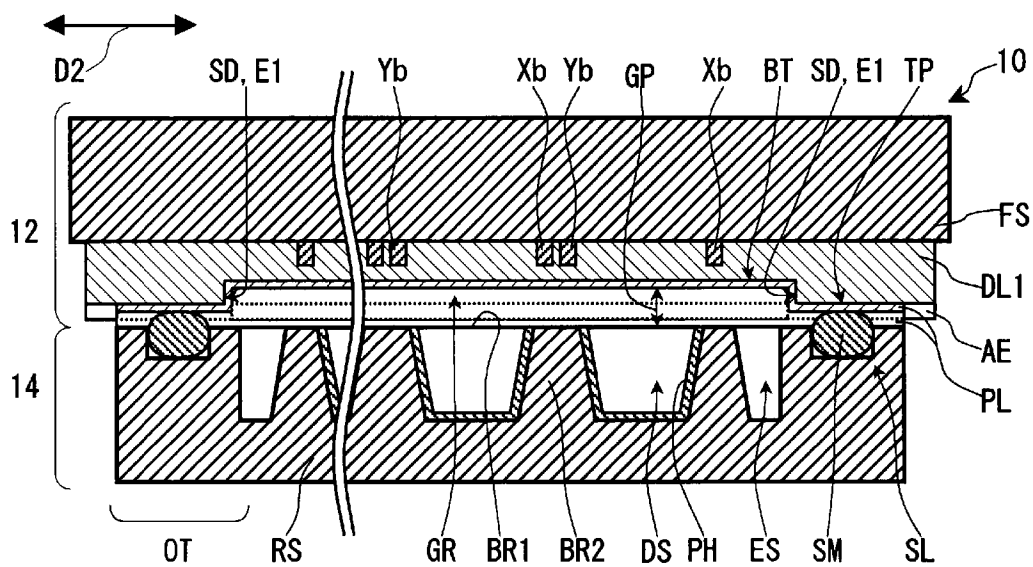
[図14]



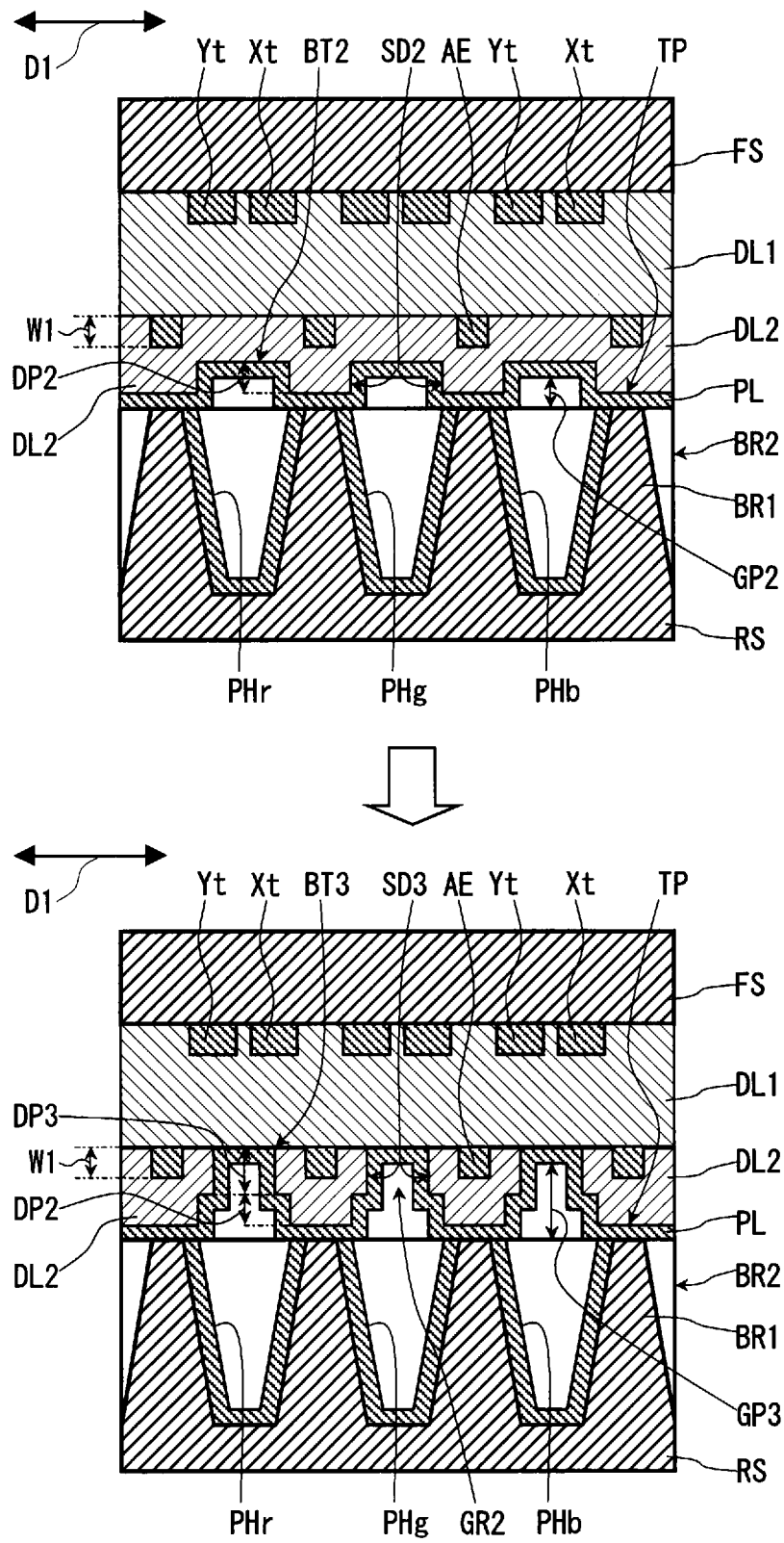
[図15]



[図16]



[図17]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/000673

A. CLASSIFICATION OF SUBJECT MATTER

H01J11/02(2006.01) i, H01J9/02(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01J9/00-9/18, H01J11/00-17/64

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2007
Kokai Jitsuyo Shinan Koho	1971-2007	Toroku Jitsuyo Shinan Koho	1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2005-310785 A (Samsung SDI Co., Ltd.), 04 November, 2005 (04.11.05), Par. Nos. [0025] to [0031], [0038] to [0042]; Figs. 1, 4, 5 & US 2005/0231114 A1	1-10
Y	JP 2005-116508 A (Fujitsu Hitachi Plasma Display Ltd.), 28 April, 2005 (28.04.05), Par. Nos. [0060] to [0067], [0096], [0097], [0101], [0102]; Figs. 2 to 4, 9, 10, 14 & US 2005/0062422 A1 & EP 1517349 A2	1-10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
11 July, 2007 (11.07.07)

Date of mailing of the international search report
24 July, 2007 (24.07.07)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/000673

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2005-353418 A (Pioneer Electronic Corp.), 22 December, 2005 (22.12.05), Par. Nos. [0011], [0017] to [0030], [0043] to [0045]; Figs. 2 to 6 & US 2005/0285530 A1	3, 4, 7-10
Y	JP 2006-12772 A (Pioneer Electronic Corp.), 12 January, 2006 (12.01.06), Par. Nos. [0025] to [0034]; Figs. 3, 4 & US 2005/0264206 A1 & EP 1619712 A2	3, 4, 7-10
Y	JP 2001-357784 A (Matsushita Electric Industrial Co., Ltd.), 26 December, 2001 (26.12.01), Par. Nos. [0011], [0056], [0057], [0060], [0063], [0068], [0069], [0082], [0083]; Figs. 9, 10, 12 & US 6650053 B2 & EP 1126499 A2	7-10
A	JP 2006-210069 A (Matsushita Electric Industrial Co., Ltd.), 10 August, 2006 (10.08.06), Par. Nos. [0013], [0040]; Fig. 1 (Family: none)	1-10

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01J11/02(2006.01)i, H01J9/02(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01J9/00-9/18, H01J11/00-17/64

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 7 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 7 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 7 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2005-310785 A (三星エスディアイ株式会社) 2005. 11. 04 段落 0025 から段落 0031 まで、段落 0038 から段落 0042 まで、図 1、 図 4、図 5 & US 2005/0231114 A1 -----	1-10
Y	JP 2005-116508 A (富士通日立プラズマディスプレイ株式会社) 2005. 04. 28 段落 0060 から段落 0067 まで、段落 0096、段落 0097、段落 0101、段	1-10

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 1 . 0 7 . 2 0 0 7

国際調査報告の発送日

2 4 . 0 7 . 2 0 0 7

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

小林 紀史

2 G

8 7 0 7

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 2 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
	落 0102、図 2 から図 4 まで、図 9、図 10、図 14 & US 2005/0062422 A1 & EP 1517349 A2 -----	
Y	JP 2005-353418 A (パイオニア株式会社) 2005. 12. 22 段落 0011、段落 0017 から段落 0030 まで、段落 0043 から段落 0045 まで、図 2 から図 6 まで & US 2005/0285530 A1 -----	3, 4, 7-10
Y	JP 2006-12772 A (パイオニア株式会社) 2006. 01. 12 段落 0025 から段落 0034 まで、図 3、図 4 & US 2005/0264206 A1 & EP 1619712 A2 -----	3, 4, 7-10
Y	JP 2001-357784 A (松下電器産業株式会社) 2001. 12. 26 段落 0011、段落 0056、段落 0057、段落 0060、段落 0063、段落 0068、 段落 0069、段落 0082、段落 0083、図 9、図 10、図 12 & US 6650053 B2 & EP 1126499 A2 -----	7-10
A	JP 2006-210069 A (松下電器産業株式会社) 2006. 08. 10 段落 0013、段落 0040、図 1 (ファミリーなし) -----	1-10