



República Federativa do Brasil

Ministério do Desenvolvimento, Indústria,
Comércio e Serviços

Instituto Nacional da Propriedade Industrial

(11) BR 112018074342-9 B1

(22) Data do Depósito: 15/05/2017

(45) Data de Concessão: 09/01/2024

(54) Título: INTENSIDADE DE ACIONAMENTO DE CONTROLE ADAPTATIVO DE POTÊNCIA MULTIPLEXADA DE TRILHOS DE POTÊNCIA DE ALIMENTAÇÃO EM UM SISTEMA DE MULTIPLEXAÇÃO DE POTÊNCIA PARA UM CIRCUITO ENERGIZADO

(51) Int.Cl.: H03K 19/003.

(52) CPC: H03K 19/0016; H03K 19/00384.

(30) Prioridade Unionista: 12/05/2017 US 15/593,809; 15/02/2017 US 62/459,187; 27/05/2016 US 62/342,560.

(73) Titular(es): QUALCOMM INCORPORATED.

(72) Inventor(es): SHRADDHA SRIDHAR; YESHWANT NAGARAJ KOLLA; NEEL SHASHANK NATEKAR.

(86) Pedido PCT: PCT US2017032632 de 15/05/2017

(87) Publicação PCT: WO 2017/205096 de 30/11/2017

(85) Data do Início da Fase Nacional: 26/11/2018

(57) Resumo: Intensidade de disco de controle adaptativo de potência multiplexada de trilhos de potência de suprimento (204(N)) em um sistema de multiplexação de potência (200) para um circuito energizado (208) é divulgada. Um circuito de multiplexação de potência (201) no sistema de multiplexação de potência inclui uma pluralidade de circuitos de seleção de suprimento (216)(por exemplo, comutadores principais) cada qual acoplado entre um respectivo trilho de potência de suprimento e um trilho de potência de saída (206) acoplado a um circuito eletrificado (208). O circuito de multiplexação de potência (201) é configurado para ativar um circuito de seleção de fornecimento selecionado para comutar acoplamento de um trilho de potência de suprimento associado para o trilho de potência de saída para alimentar o circuito energizado. Em um exemplo, os circuitos de seleção de suprimento incluem, cada qual, uma pluralidade de circuitos de seleção de comutador de potência acoplado a um trilho de potência de fornecimento associado. Os circuitos de seleção de comutador de potência são configurados para serem ativados e desativados por um circuito de controle (222) para ajustar intensidade de disco de um trilho de potência de suprimento multiplexado baseado em condições operacionais, as quais podem ser relevantes para variações de desempenho.

"INTENSIDADE DE ACIONAMENTO DE CONTROLE ADAPTATIVO DE POTÊNCIA MULTIPLEXADA DE TRILHOS DE POTÊNCIA DE ALIMENTAÇÃO EM UM SISTEMA DE MULTIPLEXAÇÃO DE POTÊNCIA PARA UM CIRCUITO ENERGIZADO"

PEDIDOS PRIORITÁRIOS

[0001] Este pedido de patente reivindica prioridade junto ao Pedido de Patente Provisório Americano, cujo número de série é 62/342.560, depositado em 27 de Maio de 2016, e intitulado "REGULAGEM DE INTENSIDADE DE ACIONAMENTO ADAPTATIVO DE CIRCUITOS DE SELEÇÃO DE ALIMENTAÇÃO EM UM SISTEMA DE MULTIPLEXAÇÃO DE POTÊNCIA", o qual é incorporado a este documento por meio de referência em sua totalidade.

[0002] Este pedido de patente também reivindica prioridade junto ao Pedido de Patente Provisório Americano, cujo número de série é 62/459.187, depositado em 15 de Fevereiro de 2017, e intitulado "INTENSIDADE DE ACIONAMENTO DE CONTROLE ADAPTATIVO DE POTÊNCIA MULTIPLEXADA DE TRILHOS DE POTÊNCIA DE ALIMENTAÇÃO EM UM SISTEMA DE MULTIPLEXAÇÃO DE POTÊNCIA PARA UM CIRCUITO ENERGIZADO", o qual é ainda incorporado a este documento por meio de referência em sua totalidade.

[0003] Este pedido reivindica ainda prioridade junto ao Pedido de Patente Americano, cujo número de série é 15/593.809, depositado em 12 de Maio de 2017, e intitulado "INTENSIDADE DE ACIONAMENTO DE CONTROLE ADAPTATIVO DE POTÊNCIA MULTIPLEXADA DE TRILHOS DE POTÊNCIA DE ALIMENTAÇÃO EM UM SISTEMA DE MULTIPLEXAÇÃO DE POTÊNCIA PARA UM CIRCUITO ENERGIZADO", o qual é incorporado por meio de referência em sua totalidade.

ANTECEDENTES

I. Campo da Divulgação

[0004] A tecnologia da presente invenção se refere, de forma genérica, a sistemas de multiplexação de potência configurados para suprir energia, de forma seletiva, a partir de múltiplos trilhos de potência para circuitos operacionais.

II. Antecedentes

[0005] Circuitos são, crescentemente, projetados com conservação de energia em mente. Isto se torna particularmente o caso para dispositivos eletrônicos portáteis que são alimentados através de baterias. Exemplos comuns incluem telefones e computadores laptop, dentre outros. O aumento indesejável do consumo de energia resulta em um consumo mais rápido da bateria e um tempo de vida útil mais curto da mesma. Um método de conservação de energia é a redução de uma frequência operacional de um circuito de acordo com a equação de potência ativa $P = CV^2f$. Entretanto, reduzir a frequência operacional resulta em um desempenho de circuito inferior (ou seja, velocidade). Outro método de conservação de energia é reduzir a tensão operacional, uma vez que, geralmente, a potência ativa reduz, quadraticamente, de acordo com uma dada redução na tensão operacional. Entretanto, reduzir a tensão operacional em um circuito reduz a velocidade de desempenho, a qual também pode ser indesejável. Além disso, determinadas células ou componentes de um circuito podem apresentar uma tensão operacional mínima abaixo das quais estas não poderão operar no sentido de leitura e escrita de dados, assim como no armazenamento de dados.

[0006] Para resolver o equilíbrio entre desempenho e consumo de energia, múltiplos domínios de tensão operacional ("domínios de tensão") estão sendo, crescentemente, providos em circuitos. Trajetos de circuitos são providos, os quais passam através de domínios de tensão múltiplos para prover diferentes tensões operacionais para diferentes componentes de um circuito. Prover múltiplos domínios de tensão permite que um domínio de tensão mais baixo forneça potência para componentes que não exigem níveis de tensão mínimos para conservar potência. Componentes que tanto possuem uma tensão operacional mínima para a funcionalidade de operação de memória quanto fornecem trajetos críticos onde o desempenho não pode ser sacrificado também permitem que o domínio de tensão mais baixo seja inferiorizado para conservar energia durante um modo de conservação de energia, ou amplificados para prover desempenho aumentado (ou seja, hiper desempenho), sem afetar a operação dos componentes no domínio de tensão superior.

[0007] Neste sentido, um sistema de multiplexação de potência pode ser empregado para acoplar, seletivamente, um trilho de potência entre múltiplos trilhos de potência, os quais possuem diferentes domínios de tensão (ou seja, níveis de tensão) para suprir potência para um circuito. A figura 1 é um diagrama de bloco de tal sistema de multiplexação de potência 100 na figura 1, um primeiro trilho de potência de alimentação 102(1) e um segundo trilho de potência de alimentação 102(2) são providos. O primeiro trilho de potência de alimentação 102(1) é configurado para prover uma primeira fonte de tensão 104(1) em uma primeira

tensão $V_{DD(1)}$. O segundo trilho de potência de alimentação 102(2) é configurado para prover primeira e segunda fontes de tensão 104(2) em uma segunda tensão $V_{DD(2)}$. A primeira e a segunda fontes de tensão 104(1), 104(2) podem ser providas pela mesma ou por diferentes fontes de tensão (não mostradas). Por exemplo, a primeira tensão $V_{DD(1)}$ pode ser de 1 Volt (V) e a segunda tensão $V_{DD(2)}$ pode ser de 0,6V. Como um exemplo, o sistema de multiplexação de potência 100 pode ser configurado para acoplar seletivamente o primeiro trilho de potência de alimentação 102(1) ou o segundo trilho de potência de alimentação 102(2) para um trilho de potência de saída 104 acoplado para um circuito energizado 106 baseado em um modo operacional do circuito energizado 106. Por exemplo, caso o circuito energizado 106 seja um circuito de memória, tal como um arranjo de memória em um sistema baseado em processador, o sistema de multiplexação de potência 100 pode ser configurado para acoplar o primeiro trilho de potência de alimentação 102(1) para o trilho de potência de saída 104 durante operações de memória, e acoplar o segundo trilho de potência de alimentação 102(2) para o trilho de potência de saída 104 durante um modo inativo. Por exemplo, a segunda tensão $V_{DD(2)}$ pode ser suficiente para retenção de memória no circuito energizado 106.

[0008] Com referência contínua à figura 1, o sistema de multiplexação de potência 100 inclui um primeiro circuito head switch 108(1) na forma de um transistor de semicondutor de óxido metálico (MOS) do tipo P (PMOS) 110(1). O transistor de PMOS 110(1) é acoplado entre o primeiro trilho de potência de alimentação 102(1) e o trilho de potência de saída 104. O transistor de PMOS 110(1) é

configurado para ser ativado e desativado em resposta a um estado de um primeiro trilho de potência de sinal habilitado 112(1) para acoplar e desacoplar, respectivamente, o primeiro trilho de potência de alimentação 102(1) para o trilho de potência de saída 104. O sistema de multiplexação de potência 100 ainda inclui um segundo circuito head switch108(2), ainda na forma de um transistor de PMOS 110(2) que é acoplado entre o segundo trilho de potência de alimentação 102(2) e o trilho de potência de saída 104. O segundo circuito head switch108(2) é configurado para acoplar e desacoplar, seletivamente, o segundo trilho de potência de alimentação 102(2) para e a partir do trilho de potência de saída 104 em resposta a um segundo trilho de potência de sinal habilitado 112(2).

[0009] O primeiro e o segundo transistores PMOS 110(1), 110(2) no primeiro e no segundo circuitos comutadores 108(1), 108(2) são dimensionados para prover a intensidade de acionamento (drive strength) desejada para suprir energia do primeiro e segundo trilhos de potência 102(1), 102(2) para o trilho de potência de saída 104. Entretanto, variações de temperatura de tensão de processo (PVT) podem variar a intensidade do acionamento do primeiro e do segundo transistores de PMOS 110(1), 110(2) a partir das suas intensidades de acionamento esperadas. O primeiro e o segundo transistores de PMOS 110(1), 110(2) podem ser superdimensionados e/ou transistores adicionais podem ser providos nos respectivos primeiro e segundo circuitos head switch 108(1), 108(2) para aumentar a intensidade de acionamento para prover uma margem de intensidade de acionamento na tensão $V_{DD(1)}$, $V_{DD(N)}$ provida pela primeira e

segunda fontes de tensão 104(1), 104(2) no trilho de potência de saída 104 quando os respectivos primeiro e segundo trilho de potência 102(1), 102(2) são acoplados ao trilho de potência de saída 104. Entretanto, aumentar a intensidade de acionamento através da alimentação de transistores superdimensionados e/ou transistores adicionais no sistema de multiplexação de potência 100 aumenta o consumo de energia.

SUMÁRIO DA INVENÇÃO

[0010] Os aspectos divulgados na descrição detalhada incluem a intensidade de controle adaptativo da potência multiplexada de trilhos de potência de alimentação em um sistema de multiplexação de potência para um circuito energizado. Nos aspectos exemplares descritos nesta divulgação, é proporcionado um circuito de multiplexação de potência no sistema de multiplexação de potência. O circuito de multiplexação de energia inclui uma pluralidade de circuitos de seleção de alimentação, cada um acoplado entre um respectivo trilho de potência de alimentação entre uma pluralidade de trilhos de potência de alimentação e um trilho de potência de saída, que é acoplado a um circuito energizado. O circuito de multiplexação de energia é configurado para ativar um circuito de seleção de alimentação selecionado entre a pluralidade de circuitos de seleção de alimentação para alternar o acoplamento de um trilho de potência de alimentação associado ao trilho de alimentação de saída para alimentar o circuito energizado. Para proporcionar a intensidade de controlar a intensidade de acionamento de um circuito de seleção de alimentação ativado no circuito de multiplexação de potência, os aspectos

exemplares descritos nesta divulgação também fornecem para cada circuito de seleção de alimentação no circuito de multiplexação de potência a ser configurado para seletivamente acionar uma tensão de uma fonte associada um trilho de potência para o trilho de potência de saída em uma intensidade de unidade controlada com base em um indicador de intensidade de unidade. Desta forma, como exemplo, a intensidade de acionamento do circuito de seleção de alimentação ativado pode ser controlada e ajustada de forma adaptável para compensar as variações da temperatura de tensão do processo (PVT) para reduzir a margem de intensidade do inversor e, consequentemente, o consumo de energia.

[0011] Como um exemplo, pode ser fornecido um sistema de multiplexação de potência que é configurado para controlar de forma adaptável a intensidade do inversor de energia multiplexada de um barramento de energia de alimentação lógico e um barramento de alimentação de memória em vários domínios de tensão para um arranjo de memória como um circuito energizado. A energia do barramento de alimentação da memória é multiplexada na matriz de memória para retenção de dados quando a tensão do barramento de alimentação da fonte lógica pode não ser suficiente para alimentar a matriz de memória para retenção de dados. O circuito de multiplexação de energia inclui um circuito de seleção de alimentação lógico configurado para acoplar seletivamente o barramento de alimentação da fonte lógica a um barramento de energia de saída, que é acoplado à matriz de memória. O circuito de multiplexação de energia também inclui um circuito de seleção de alimentação de memória configurado para acoplar seletivamente o barramento de

potência de alimentação de memória ao barramento de alimentação de saída. Os circuitos lógicos e de seleção de alimentação de memória incluem, cada qual, uma pluralidade de circuitos comutadores de alimentação lógicos e de memória (por exemplo, comutadores principais) acoplados entre os respectivos trilhos de alimentação lógico e de memória e o barramento de saída de energia. Cada um dos circuitos comutadores de alimentação lógicos e de memória possui uma intensidade de unidade associada. Cada um dos circuitos lógicos e de memória são configurados para serem ativados individualmente para acoplar os trilhos de alimentação lógico ou de memória ao barramento de saída, contribuindo para direcionar a tensão da lógica ativada ou barramento de alimentação de memória para o barramento de saída. Um circuito de controle é configurado para controlar a intensidade do atuador do circuito de seleção de fonte lógica ou de memória ativada. O circuito de seleção de alimentação lógico pode ser configurado para acoplar o trilho de alimentação de saída ao barramento de alimentação da fonte lógica para fornecer energia ao barramento de memória quando o barramento de alimentação da fonte lógica pode satisfazer uma tensão operacional mínima do domínio de memória. Desta maneira, como um exemplo não limitativo, a capacitância de desacoplamento intrínseca adicional do arranjo de memória é acoplada ao barramento de alimentação de energia lógica durante os modos de maior potência dos circuitos lógicos quando o barramento de alimentação de energia lógica pode satisfazer a tensão operacional mínima da matriz de memória. Os circuitos lógicos em um domínio lógico ainda podem ser alimentados separadamente a partir da matriz de memória se

o circuito de seleção do barramento de alimentação acoplar um barramento de alimentação da fonte de memória ao barramento de alimentação de saída. No entanto, quando o barramento de alimentação da fonte lógica não satisfaç a tensão operacional mínima da matriz de memória, o circuito de seleção de fonte de memória pode acoplar o barramento de alimentação de memória ao barramento de saída para alimentar a matriz de memória da fonte de alimentação de memória.

[0012] Neste sentido, em um aspecto exemplificativo, é proporcionado um sistema de multiplexação de potência. O sistema de multiplexação de potência compreende um circuito de multiplexação de energia. O circuito de multiplexação de energia compreende um primeiro circuito de seleção de alimentação acoplado entre um primeiro trilho de potência de alimentação tendo uma primeira tensão e um barramento de potência de saída acoplado a pelo menos um circuito energizado. O primeiro circuito de seleção de alimentação é configurado para conduzir seletivamente a primeira tensão no primeiro trilho de alimentação ao trilho de alimentação de saída em uma primeira intensidade de acionamento baseada em um primeiro indicador de intensidade de acionamento em resposta a um primeiro indicador de seleção de trilho de alimentação indicando um primeiro estado habilitado de seleção de trilho potência de alimentação. O circuito de multiplexação de energia também compreende um segundo circuito de seleção de alimentação acoplado entre um segundo trilho de alimentação de energia tendo uma segunda tensão e o trilho de alimentação de saída. O segundo circuito de seleção de alimentação é configurado para conduzir seletivamente a segunda tensão no segundo trilho de

alimentação ao trilho de alimentação de saída com uma segunda intensidade de unidade baseada em um segundo indicador de intensidade em resposta a um segundo indicador de seleção de trilho de alimentação indicando um segundo estado habilitado de seleção de trilho de potência de alimentação. O sistema de multiplexação de potência também compreende pelo menos um circuito de controle. O pelo menos um circuito de controle está configurado para monitorar uma tensão de saída do barramento de saída. Em resposta ao primeiro indicador de seleção de trilho de alimentação, indicando o primeiro estado de habilitação de seleção de trilho de alimentação, o pelo menos um circuito de controle é configurado para comparar um nível de tensão da tensão de saída no trilho de saída a um primeiro nível de tensão de referência associado ao primeiro circuito de seleção de alimentação e gera seletivamente o primeiro indicador de intensidade de acionamento com base na comparação do nível de tensão da tensão de saída no barramento de potência de saída até o primeiro nível de tensão de referência. Em resposta ao segundo indicador de seleção de trilho de alimentação indicando o segundo estado habilitado de seleção de trilho de potência de alimentação, o pelo menos um circuito de controle é configurado para comparar o nível de tensão da tensão de saída no trilho de saída com um segundo nível de tensão de referência associado o segundo circuito de seleção de alimentação e gera seletivamente o segundo indicador de intensidade de acionamento com base na comparação do nível de tensão da tensão de saída no barramento de saída para o segundo nível de tensão de referência.

[0013] Em outro aspecto exemplar, é fornecido um sistema de multiplexação de potência. O sistema de multiplexação de potência compreende um primeiro meio de alimentação para conduzir seletivamente uma primeira tensão em um primeiro trilho de alimentação a um trilho de potência de saída em uma primeira intensidade de acionamento baseada em um primeiro indicador de intensidade de acionamento em resposta a um primeiro indicador de seleção de trilho de alimentação indicando primeiro estado de habilitação de seleção de trilho de potência de alimentação. O sistema de multiplexação de potência também compreende um segundo meio de alimentação para conduzir seletivamente uma segunda tensão em um segundo trilho de alimentação ao trilho de potência de saída em uma segunda intensidade de unidade baseada em um segundo indicador de intensidade de acionamento em resposta a um segundo indicador de seleção de trilho de alimentação a um segundo estado habilitado de seleção de trilho de potência de alimentação. O sistema de multiplexação de potência também compreende um meio para monitorar uma tensão de saída do trilho de potência de saída. O sistema de multiplexação de potência também compreende um meio para comparar um nível de tensão da tensão de saída no trilho de potência de saída a um primeiro nível de tensão de referência associado a um primeiro circuito de seleção de alimentação, em resposta ao primeiro indicador de seleção de trilho de alimentação indicando o primeiro estado habilitado de seleção de trilho de potência de alimentação. O sistema de multiplexação de potência também compreende um meio para gerar, seletivamente, o primeiro indicador de intensidade de acionamento baseado nos meios para comparar o nível de tensão

da tensão de saída no barramento de potência de saída ao primeiro nível de tensão de referência, em resposta ao primeiro indicador de seleção de barramento de alimentação indicando o estado de habilitação da primeira seleção de trilho de alimentação. O sistema de multiplexação de potência também compreende um meio para comparar o nível de tensão da tensão de saída no trilho de potência de saída a um segundo nível de tensão de referência associado a um segundo circuito de seleção de alimentação em resposta ao segundo indicador de seleção de trilho de alimentação indicando o segundo estado habilitado de seleção de potência de alimentação. O sistema de multiplexação de potência também compreende um meio para gerar seletivamente o segundo indicador de intensidade de acionamento baseado nos meios para comparar o nível de tensão da tensão de saída no barramento de saída ao segundo nível de referência em resposta ao segundo indicador de seleção do barramento de alimentação indicando o estado habilitado de seleção do trilho de potência de alimentação da segunda fonte.

[0014] Em outro aspecto exemplificativo, é fornecido um método de controle adaptativo da intensidade do inversor de potência multiplexada a partir de trilhos de potência de alimentação em um circuito de multiplexação de potência para um circuito energizado. O método compreende monitorar uma tensão de saída de um trilho de potência de saída. Em resposta a um primeiro indicador de seleção de trilho de alimentação indicando um primeiro estado habilitado de seleção de trilho de potência de alimentação, o método também compreende comparar um nível de tensão da tensão de saída no trilho de alimentação de saída a um

primeiro nível de tensão de referência associado a um primeiro circuito de seleção de alimentação, gerando seletivamente um primeiro indicador de intensidade de acionamento baseado na comparação do nível de tensão da tensão de saída no barramento de potência de saída até o primeiro nível de tensão de referência e direcionando seletivamente uma primeira tensão em um primeiro barramento de alimentação ao barramento de saída de uma primeira intensidade de acionamento baseada no primeiro indicador de intensidade de acionamento. Em resposta a um segundo indicador de seleção de trilho de alimentação indicando um segundo estado de habilitação de seleção de trilho de alimentação, o método comprehende comparar o nível de tensão da tensão de saída no trilho de alimentação de saída a um segundo nível de tensão de referência associado a um segundo circuito de seleção de alimentação, gerar seletivamente um segundo indicador de intensidade de acionamento baseado na comparação do nível de tensão da tensão de saída no barramento de saída para o segundo nível de tensão de referência, e direcionar seletivamente uma segunda tensão em um segundo barramento de alimentação para o barramento de saída segunda intensidade da unidade com base no segundo indicador de intensidade da unidade.

BREVE DESCRIÇÃO DAS FIGURAS

[0015] A Figura 1 é um diagrama de blocos de um sistema de multiplexação de potência exemplar que é configurado para acoplar seletivamente um trilho de potência

de alimentação entre uma pluralidade de trilhos de potência de alimentação a um circuito alimentado;

[0016] A Figura 2 é um diagrama de blocos de um sistema de multiplexação de potência exemplificativo que é configurado para controlar de forma adaptável a potência de multiplexação de uma pluralidade de trilhos de alimentação para um trilho de potência de saída para alimentar um circuito alimentado baseado em uma tensão de saída que pode ser responsável por variações de desempenho;

[0017] A Figura 3 é um fluxograma que ilustra um processo exemplar de um circuito de controle na Figura 2, que controla de forma adaptável a intensidade de acionamento dos circuitos de seleção de alimentação ativos em um circuito de multiplexação de potência na Figura 2, com base em uma tensão de saída;

[0018] A Figura 4A é um diagrama de blocos de um circuito de controle exemplificativo que pode ser incluído no sistema de multiplexação de potência na Figura 2 para controlar de forma adaptativa a intensidade de acionamento de um circuito de seleção de alimentação ativo em um circuito de multiplexação de potência baseado em uma tensão de saída;

[0019] A Figura 4B é um diagrama de blocos de outro circuito de controle exemplificativo que pode ser incluído no sistema de multiplexação de potência na Figura 2 para controlar de forma adaptativa a intensidade de acionamento de um circuito de seleção de alimentação ativo em um circuito de multiplexação de potência baseado em uma tensão de saída;

[0020] A Figura 5 é um diagrama de blocos de outro sistema de multiplexação de potência exemplar que é

configurado para controlar de forma adaptativa a potência de multiplexação de uma pluralidade de trilhos de alimentação para um trilho de potência de saída para alimentar um circuito energizado baseado em uma tensão de saída no barramento de saída que pode ser responsável por variações de desempenho;

[0021] A Figura 6 é um diagrama de blocos de um circuito de multiplexação de potência exemplar que pode ser incluído no sistema de multiplexação de potência da Figura 5, em que o circuito de multiplexação de energia inclui adicionalmente um circuito de controle de queda de diodo configurado para ser ativado para fornecer uma conexão de queda de diodo entre um multiplexador fornecer o trilho de alimentação e o trilho de potência de saída, em resposta à comutação do acoplamento do trilho de alimentação de saída para um trilho de potência de alimentação selecionado diferente;

[0022] A Figura 7 é um diagrama de blocos de outro circuito de controle exemplificativo que pode ser incluído no sistema de multiplexação de potência da Figura 5 para controlar de forma adaptativa a intensidade de acionamento de um circuito de seleção de alimentação ativo e um circuito de controle de queda de diodo em um circuito de multiplexação de potência;

[0023] A Figura 8 é uma tabela lógica ilustrando uma operação exemplar de um circuito de controle na Figura 7 para controlar o circuito de controle de queda de diodo no circuito de multiplexação de potência na Figura 6 e controlar, de forma adaptativa, a intensidade de um circuito de seleção de alimentação selecionado ativado

acoplado ao trilho de energia de saída com base em uma tensão de saída no barramento de saída para considerar as variações de desempenho;

[0024] A Figura 9 é um gráfico que ilustra um gráfico exemplificativo de tensão de alimentação em um trilho de potência de alimentação transferido para o trilho de potência de saída no sistema de multiplexação de potência na Figura 5 como uma função do controle de intensidade do inversor do circuito de multiplexação de potência;

[0025] A Figura 10 é um diagrama de blocos de outro circuito de controle exemplificativo que pode ser incluído em um sistema de multiplexação de potência para controlar de forma adaptável a potência de multiplexação de uma pluralidade de barras de alimentação a um trilho de potência de saída para alimentar um circuito alimentado baseado em uma tensão de saída no trilho de potência de saída, incluindo, mas não se limitando a, circuitos de multiplexação de potência na Figura 2 e na Figura 5;

[0026] A Figura 11 é um fluxograma ilustrando um processo exemplificativo do circuito de controle na Figura 10 controlando, de forma adaptável, a intensidade de acionamento do circuito de seleção de alimentação ativo em um circuito de multiplexação de potência, incluindo mas não limitado aos circuitos de multiplexação de potência nas Figuras 2 e 5;

[0027] A Figura 12 é um diagrama de blocos de outro circuito de controle exemplificativo que pode ser incluído em um circuito de controle em um sistema de multiplexação de potência, incluindo mas não limitado aos circuitos de multiplexação de potência nas Figuras 2 e 5,

para controlar de forma adaptativa a intensidade de acionamento de um circuito ativo de seleção de alimentação no circuito de multiplexação de potência;

[0028] A Figura 13 é um diagrama de circuito de um circuito de controle de potência comutado exemplificativo que pode ser fornecido em um circuito de controle para fornecer gradualmente um sinal de tensão para reduzir ou evitar o ruído de alimentação relacionado com a corrente de precipitação; e

[0029] A Figura 14 é um diagrama de blocos de um sistema baseado em processador exemplificativo que inclui um sistema de multiplexação de potência que inclui um circuito de controle configurado para controlar de forma adaptativa a intensidade de um primeiro circuito de seleção de alimentação compreendendo um circuito de seleção de alimentação de memória e um segundo circuito de seleção de alimentação circuito de seleção de alimentação lógico para fornecer energia a partir de um trilho de potência de alimentação de memória associado e um trilho de potência de alimentação lógico a um conjunto de memória, com base em uma tensão de saída e de acordo com qualquer um dos aspectos revelados nesta invenção.

DESCRIÇÃO DETALHADA

[0030] Com referência agora às figuras do desenho, vários aspectos exemplares da presente divulgação são descritos. A palavra "exemplar" é usada nesta divulgação para significar "servir como exemplo, caso ou ilustração". Qualquer aspecto aqui descrito como "exemplar" não é

necessariamente para ser interpretado como preferido ou vantajoso em relação a outros aspectos.

[0031] A Figura 2 é um diagrama de blocos de um sistema de multiplexação de potência exemplificativo 200 que é configurado para controlar de forma adaptativa a intensidade de acionamento de potência multiplexada de trilhos de potência de alimentação para um circuito energizado. Por exemplo, o sistema de multiplexação de potência 200 pode ser fornecido em um sistema em um chip (SoC) 201. O sistema de multiplexação de potência 200 inclui um circuito de multiplexação de potência 202. Como será discutido em mais detalhes abaixo, o circuito de multiplexação de potência 202 está configurado para selecionar um de uma pluralidade de trilhos de potência de alimentação 204 (1) a 204 (N) a ser acoplado a um trilho de potência de saída 206 para fornecer energia a um circuito energizado 208 acoplado ao trilho de potência de saída 206. Os trilhos de potência de alimentação 204 (1) a 204 (N) são acoplados a uma respectiva fonte de energia 210 (1) a 210 (N).

As fontes de energia 210 (1) a 210 (N) são configuradas para fornecer uma tensão respectiva $V_{DD(1)}$ a $V_{DD(N)}$ ao seu respectivo barramento de potência de alimentação 204 (1) a 204 (N). O circuito de multiplexação de potência 202 é configurado para acoplar uma tensão $V_{DD(1)}$ a $V_{DD(N)}$ de um trilho de potência de alimentação 204 (1) a 204 (N) ao trilho de alimentação de saída 206 para fornecer a tensão $V_{DD(1)}$ a $V_{DD(N)}$ para o circuito energizado 208 para operação.

[0032] Por exemplo, a primeira fonte de energia 210 (1) pode ser configurada para fornecer uma primeira

tensão $V_{DD(1)}$ (por exemplo, 1 Volt (V)) que é uma voltagem maior do que uma segunda voltagem $V_{DD(N)}$ (por exemplo, 0,6 V) fornecida pela fonte de energia 210 (N). Esta configuração de trilho de alimentação pode ser fornecida no sistema de multiplexação de potência 200, porque pode ser desejado acoplar o circuito de alimentação 208 a um trilho de alimentação que tenha uma tensão maior durante um modo de desempenho de operação mais alto e acoplar o circuito de alimentação 208 a outro trilho de potência de alimentação que tem uma tensão mais baixa durante um modo de desempenho inferior para conservar o consumo de energia, como um exemplo. Por exemplo, o circuito energizado (208) pode ser um circuito ou conjunto de memória que requer uma tensão de retenção mínima para reter os dados. O primeiro trilho de potência de alimentação 204 (1) pode ser configurado para fornecer a primeira tensão $V_{DD(1)}$ capaz de exceder a tensão de retenção mínima para o circuito energizado 208. O segundo trilho de potência de alimentação 204 (N) pode ser acoplado a circuitos lógicos em um domínio lógico. Assim, se a segunda voltagem $V_{DD(N)}$ for maior do que a voltagem de retenção mínima do circuito de potência 208, o sistema multiplexador de potência 200 pode comutar o acoplamento da segunda voltagem $V_{DD(N)}$ para o trilho de potência de saída 206 para multiplexar a segunda voltagem $V_{DD(N)}$ para o circuito alimentado 208 para operação. Isso pode ter o benefício de evitar ou reduzir a necessidade de fornecer capacitação de desacoplamento intencional no domínio lógico. Contudo, se a segunda voltagem $V_{DD(N)}$ for inferior à tensão de retenção mínima do circuito energizado 208, o sistema de multiplexação de potência 200 pode comutar o acoplamento da primeira voltagem $V_{DD(1)}$ para a

rampa de potência de saída 206 para fornecer a primeiro tensão $V_{DD(1)}$ para o circuito alimentado 208 para operação.

[0033] Com referência continua à Figura 2, para ligar seletivamente um trilho de potência de alimentação 204 (1) a 204 (N) ao trilho de potência de saída 206 para fornecer uma tensão respectiva $V_{DD(1)}$ a $V_{DD(N)}$ ao circuito de potência 208, o circuito de multiplexação de potência 202 inclui uma pluralidade de circuitos de seleção de alimentação 212 (1) a 212 (N). Os circuitos de seleção de alimentação 212 (1) a 212 (N) são acoplados entre um trilho de potência de alimentação respectivo 204 (1) a 204 (N) e o trilho de potência de saída 206. O sistema de multiplexação de potência 200 é configurado para ativar um circuito de seleção de alimentação selecionado 212 (1) a 212 (N) para acoplar um trilho de potência de alimentação 204 (1) a 204 (N) ao trilho de alimentação de saída 206 para alimentar o circuito energizado 208 na respectiva voltagem $V_{DD(1)}$ a $V_{DD(N)}$.

[0034] Para selecionar um trilho de potência de alimentação 204 (1) a 204 (N) a ser acoplado ao trilho de potência de saída 206, os circuitos de seleção de alimentação 212 (1) a 212 (N) neste exemplo incluem circuitos de comutação de potência respectivos 214(1) a 214 (N). A intensidade de acionamento de um circuito de chave de potência ativado 214 (1) a 214 (N) afeta sua intensidade de acionar a tensão $V_{DD(1)}$ a $V_{DD(N)}$ no trilho de potência de saída 206. A intensidade de acionamento de um circuito comutador do tipo liga/desliga 214 (1) a 214 (N) ajusta sua impedância de saída, que controla a queda de intensidade à corrente de comutação (IR), resultando na tensão de saída desejada. Por exemplo, à medida que a intensidade de acionamento de um

circuito comutador de energia 214 (1) a 214 (N) é aumentada, a impedância de saída do circuito de comutação de energia 214 (1) a 214 (N) é diminuída, reduzindo assim a queda IR e aumentando a voltagem de saída. Se a potência de acionamento de um circuito comutador de energia 214 (1) a 214 (N) for diminuída, a impedância de saída do circuito de comutação de energia 214 (1) a 214 (N) é aumentada, aumentando assim a queda da IR e diminuindo a voltagem de saída. As variações do PVT também podem afetar a intensidade da unidade. A intensidade de acionamento pode ser aumentada para compensar a redução da intensidade de acionamento devido às variações do PVT, por exemplo. Entretanto, aumentar a intensidade da unidade aumenta o poder de vazamento. Assim, o sistema de multiplexação de potência 200 proporciona a intensidade de controlar seletivamente a intensidade de acionamento dos circuitos de seleção de alimentação 212 (1) a 212 (N), que podem ser usados para compensar as variações de PVT. A margem de intensidade de acionamento pode ser reduzida como resultado, reduzindo assim a potência de vazamento enquanto ainda alcança a intensidade de acionamento desejada no trilho de potência de saída 206.

[0035] Assim, neste exemplo, para proporcionar a intensidade de controlar a intensidade de acionamento dos circuitos de seleção de alimentação ativados 212 (1) a 212 (N), cada um dos circuitos de chave de potência 214 (1) a 214 (N) inclui quatro (4) transistores de semicondutores de óxido metálico (MOS) (PMOS) do tipo P ligados em paralelo 216 (1) (1) a 216 (1) (4) e 216 (N) (1) a 216 (N) (4) (Transistores MOS (NMOS) do tipo N também podem ser empregados) acoplados entre um trilho de potência de

alimentação respectivo 204 (1) a 204 (N) e o trilho de alimentação de saída 206. Cada um dos transistores PMOS conectados em paralelo 216 (1)(1) a 216 (1)(4) e 216 (N)(1) a 216 (N)(4) possui uma intensidade de acionamento associada para acionar a respectiva tensão VDD (1) a VDD (N) no trilho de potência de saída 206. Assim, para controlar a intensidade geral do acionamento do circuito de seleção de alimentação 212 (1) a 212 (N), os respectivos transistores PMOS conectados em paralelo 216 (1)(1) a 216 (1)(4) e 216 (N)(1) a 216 (N)(4) são controlados individualmente para serem ativados ou desativados para contribuir para a condução da respectiva tensão VDD (1) a VDD (N) no trilho de potência de saída 206. Neste exemplo, cada um dos transistores PMOS 216 (1)(1) a 216 (1)(4) e 216 (N)(1) a 216 (N)(4) é configurado para receber um indicador de intensidade de acionamento associado 218 (1) a 218 (N) na forma dos respectivos sinais de seleção do comutador de energia 220 (1)(1) a 220 (1)(4) e 220 (N)(1) a 220 (N)(4). Assim, os indicadores de potência de acionamento 218(1) a 218 (N) podem ser considerados em um exemplo como palavras de código, cada um com sinais individuais ou bits indicando um estado de habilitação dos respectivos sinais de seleção de comutador de potência 220 (1)(1) a 220 (1)(4) e 220 (N)(1) e 220 (N)(4) formando as palavras de código para controlar o respectivo número de transistores de PMOS conectados em paralelo 216 (1)(1) a 216 (1)(4) e 216 (N)(1) a 216 (N)(4) que são ativados.

[0036] Neste exemplo, os sinais de seleção do comutador de alimentação 220 (1)(1) a 220 (1)(4) e 220 (N)(1) a 220 (N)(4) são acoplados às portas G dos respectivos transistores PMOS 216 (1)(1) a 216 (1)(4) e 216 (N)(1) a 216

(N) (4). Assim, o estado dos sinais de seleção do comutador de alimentação 220 (1) (1) a 220 (1) (4) e 220 (N) (1) a 220 (N) (4) controla se seus respectivos transistores PMOS 216 (1) (1) a 216 (1) (4) e 216 (N) (1) a 216 (N) (4) são seletivamente ativados, e assim contribuem para acionar a respectiva tensão $V_{DD(1)}$ a $V_{DD(N)}$ no trilho de potência de saída 206. Se o estado dos sinais de seleção do interruptor de alimentação 220 (1) (1) a 220 (1) (4) e 220 (N) (1) a 220 (N) (4) é um estado de habilitação de seleção do comutador deste exemplo é um nível baixo lógico ('0') para ativar (ou seja, ligar) os transistores PMOS 216 (1) (1) a 216 (1) (4) e 216 (N) (1) a 216 (N) (4), os respectivos transistores PMOS 216 (1) (1) a 216 (1) (4) e 216 (N) (1) a 216 (N) (4) serão ativados para fornecer um caminho de fluxo de corrente entre o respectivo trilho de potência de alimentação 204 (1) a 204 (N) e o trilho de potência de saída 206. Se o estado dos sinais de seleção do interruptor de alimentação 220 (1) (1) a 220 (1) (4) e 220 (N) (1) a 220 (N) (4) é um estado de desativação da seleção do comutador de alimentação, os respectivos Os transistores de PMOS 216 (1) (1) a 216 (1) (4) e 216 (N) (1) a 216 (N) (4) serão desativados para não fornecer um caminho de fluxo de corrente entre o respectivo trilho de potência de alimentação 204 (1) a 204 (N) e o trilho de potência de saída 206.

[0037] Neste exemplo, para proporcionar o controle adaptativo da intensidade de acionamento de um circuito de seleção de alimentação ativado 212 (1) a 212 (N) acoplando um trilho de potência de alimentação 204 (1) a 204 (N) ao trilho de potência de saída 206, um o circuito de controle 222 é fornecido no sistema de multiplexação de

potência 200. O circuito de controle 222 é configurado para gerar os indicadores de intensidade de acionamento 218 (1) a 218 (N), que neste exemplo são os sinais de seleção de comutador de potência individuais, 220 (1)(1) a 220 (1)(4) e 220 (N)(1) a 220 (N)(4). Neste exemplo, os transistores PMOS 216 (1)(1) a 216 (1)(4) e 216 (N)(1) a 216 (N)(4) também atuam como head switches de potência, de modo que o circuito de controle 222 controla os estados de ativação e desativação de seleção de comutador de energia de cada um dos indicadores de potência de acionamento 218 (1) a 218 (N) para controlar qual o circuito de seleção de alimentação 212 (1) a 212 (N) é acoplado ao trilho de potência de saída 206, assim como os transistores PMOS individuais 216 (1)(1) a 216 (1)(4) e 216 (N)(1) a 216 (N)(4) são ativados e desativados com circuitos de seleção de alimentação ativados 212 (1) a 212 (N) para controlar a intensidade de acionamento. A este respeito, os transistores PMOS individuais 216 (1)(1) a 216 (1)(4) e 216 (N)(1) a 216 (N)(4) nos respectivos circuitos comutadores de potência 214 (1) a 214 (N) recebe os respectivos sinais de seleção de comutador de alimentação 220 (1)(1) a 220 (1)(4) e 220 (N)(1) a 220 (N)(4) para indicar a intensidade do inversor de alimentação circuito de seleção 212(1) a 212(N). Os transistores PMOS ativados 216 (1)(1) a 216 (1)(4) e 216 (N)(1) a 216 (N)(4) contribuem para a condução da tensão $V_{DD(1)}$ a $V_{DD(N)}$ para o trilho de potência de saída 206.

[0038] O circuito de controle 222 está configurado para controlar, de forma adaptativa, a intensidade de acionamento do circuito de seleção de alimentação ativado 212(1) a 212(N) com base no desempenho do sistema de multiplexação de potência 200. Desta maneira,

a intensidade de acionamento do circuito de seleção de alimentação ativado 212 (1) a 212 (N) pode ser ajustada durante a operação para considerar variações operacionais e/ou de PVT. Assim, em vez de proporcionar uma intensidade de acionamento fixa que pode desperdiçar margem de intensidade de acionamento necessária para atingir o desempenho desejado do sistema de multiplexação de potência 200, a intensidade de ajustar de forma adaptável a margem de intensidade de acionamento dos circuitos de seleção de alimentação ativados 212 (1) a 212 (N) permite que a margem de intensidade da unidade seja reduzida ao mesmo tempo que atinge o desempenho desejado.

[0039] A este respeito, com referência continua à Figura 2, o circuito de controle 222 está configurado para monitorar uma tensão de saída 224 do trilho de potência de saída 206. Em resposta a um indicador de seleção de trilho de potência de alimentação 226 (1) a 226 (N) indicando qual circuito de seleção de alimentação 212 (1) a 212 (N) deve ser ativado para acoplar o trilho de potência de alimentação associado 204 (1) a 204 (N) ao trilho de potência de saída 206, o circuito de controle 222 compara um nível de tensão de saída 224 no trilho de potência de saída 206 com um primeiro nível de tensão de saída predefinido associado ao circuito de seleção de alimentação 212 (1) a 212 (N) indicado conforme ativado com base no indicador de seleção do barramento de potência de alimentação 226 (1) a 226 (N). O circuito de controle 222 está configurado para gerar seletivamente os indicadores de intensidade de acionamento 218 (1) a 218 (N) com base na comparação do nível de tensão da tensão de saída 224 no trilho de potência de saída 206

com o nível de tensão de saída predefinido associado ao circuito de seleção de alimentação ativado 212 (1) a 212 (N). Desta forma, o circuito de controle 222 pode ser configurado para monitorar continuamente a tensão de saída 224 no trilho de potência de saída 206 para ajustar a intensidade de condução do circuito de seleção de alimentação ativado 212 (1) a 212 (N) com base nas variações de desempenho do sistema de multiplexação de potência 200 observado com base na tensão de saída 224.

[0040] A Figura 3 é um fluxograma que ilustra um processo exemplificativo 300 do circuito de controle 222 na Figura 2 controlando de forma adaptável a intensidade de acionamento de um circuito de seleção de alimentação ativo 212 (1) a 212 (N) no circuito de multiplexação de potência 202, com base em uma tensão de saída 224 no trilho de potência de saída 206 para levar em conta as variações de desempenho. O processo 300 na Figura 3 será descrito em relação ao circuito de multiplexação de energia 202 incluindo dois (2) circuitos de seleção de alimentação 212(1) e 212 (N). No entanto, deve ser entendido que o processo 300 na Figura 3 é também aplicável para o circuito de multiplexação de potência 202 incluindo mais de dois (2) circuitos de seleção de alimentação 212 (1) a 212 (N).

[0041] Com referência à Figura 3, o circuito de controle 222 monitora a tensão de saída 224 do trilho de potência de saída 206 (bloco 302). Em resposta ao primeiro indicador de seleção de trilho de potência de alimentação 226 (1) indicando um primeiro estado de ativação de seleção de trilho de alimentação (bloco 304), o circuito de controle 222 compara um nível de tensão de saída 224 no trilho de

potência de saída 206 a um primeiro nível de tensão de saída predefinido associado ao primeiro circuito de seleção de alimentação 212 (1) (bloco 306). O circuito de controle 222 gera então seletivamente o primeiro indicador de intensidade de acionamento 218 (1) com base na comparação do nível de tensão de saída 224 no trilho de potência de saída 206 com o primeiro nível de tensão de saída predefinido (bloco 308). Em resposta, o circuito de multiplexação de potência 202 aciona seletivamente a primeira tensão VDD (1) no primeiro trilho de potência de alimentação 204 (1) para o trilho de potência de saída 206 em uma primeira intensidade de acionamento baseada no primeiro indicador de intensidade de acionamento 218 (1) (bloco 310). Contudo, em resposta ao segundo indicador de seleção de trilho de potência de alimentação 226 (N) indicando um segundo estado de ativação de seleção de trilho de alimentação (bloco 312), o circuito de controle 222 compara o nível de tensão da tensão de saída 224 no trilho de potência de saída 206 a um segundo nível de tensão de saída predefinido associado ao segundo circuito de seleção de alimentação 212 (N) (bloco 314).

O circuito de controle 222 gera seletivamente o segundo indicador de intensidade de acionamento 218 (N) com base na comparação do nível de tensão da tensão de saída 224 no trilho de potência de saída 206 com o segundo nível de tensão de saída predefinido (bloco 316). Em resposta, o circuito de multiplexação de energia 202 aciona seletivamente a segunda tensão VDD (N) no segundo trilho de potência de alimentação 204 (N) para o trilho de potência de saída 206 em uma segunda intensidade de acionamento baseada

no segundo indicador de intensidade de acionamento 218 (N) (bloco 318).

[0042] Diferentes circuitos de controle 222 podem ser fornecidos no sistema de multiplexação de potência 200 na Figura 2 para controlar de forma adaptativa a intensidade de acionamento da tensão $V_{DD(1)}$ a $V_{DD(N)}$ acionada no trilho de potência de saída 206. Neste sentido, a Figura 4A é um diagrama de blocos de um circuito de controle exemplificativo 222 (1) que pode ser fornecido como o circuito de controle 222 no sistema de multiplexação de potência 200 na Figura 2, por exemplo, para controlar de forma adaptativa a intensidade de acionamento de um sistema ativo do circuito de seleção de alimentação 212 (1) a 212 (N) com base na tensão de saída 224 no trilho de alimentação de saída 206 para ter em conta variações de desempenho. O circuito de controle 222 (1) na Figura 4A é mostrado como controlando apenas um (1) circuito de seleção de alimentação 212 (1) a 212 (N), e assim circuitos múltiplos de controle 222 (1) seriam fornecidos para controlar a intensidade de acionamento de cada circuito de seleção de alimentação 212 (1) a 212 (N). Contudo, note-se que o circuito de controle 222 (1) pode ser adaptado para controlar a intensidade de acionamento de cada um dos circuitos de seleção de alimentação 212 (1) a 212 (N). O circuito de controle 222 (1) ilustrado na Figura 4 é para controlar um (1) circuito de seleção de alimentação 212 (1) no circuito de multiplexação de energia 202.

[0043] A este respeito, com referência à Figura 4A, a tensão de saída 224 é acoplada a um circuito comparador 400 proporcionado na forma de um comparador analógico 401

neste exemplo. O circuito comparador 400 também recebe, como entrada, uma tensão de referência de saída VrefA402 para o circuito de seleção de alimentação 212 (1). A tensão de saída de referência 402 pode ter sido armazenada como uma voltagem de saída de referência digital V_{ref} e convertida em um sinal analógico como a voltagem de saída de referência V_{refA} por um circuito conversor digital/analógico (DAC) 404. O circuito comparador 400 é configurado para gerar um sinal de saída de comparação 406 indicando uma comparação maior ou menor do que no nível de tensão entre a tensão de saída 224 e a tensão de saída de referência 402 para determinar o desempenho do circuito de multiplexação de potência 202. O sinal de saída de comparação 406 é fornecido a um circuito de contador 407 que inclui um contador 408 configurado para aumentar ou diminuir um valor de contagem quando a tensão de saída 224 cai abaixo ou fica acima da tensão de saída de referência 402, respectivamente (ou vice-versa). O contador 408 pode ser cronometrado por um sinal de relógio 410 que é dividido por um divisor de relógio 412 a partir de um sinal de relógio principal 414 de tal modo que o contador 408 é ativado para cada ciclo de relógio do sinal de relógio 410. Um circuito lógico de transbordamento 418 é fornecido para lidar com as condições de transbordo do contador 408. O contador 408 produz o valor de contagem na forma do indicador de intensidade de acionamento 218 (1) a ser fornecido ao circuito de multiplexação de potência 202 (e o circuito de seleção de alimentação ativado 212 (1)) para controlar a intensidade de acionamento do circuito de seleção de alimentação 212 (1).

[0044] Os circuitos de controle 222 (1) na Figura 4A podem assegurar que a voltagem no trilho de potência de saída 206 não desce abaixo de uma tensão limite mínima projetada. O contador 408 pode contar para cima ou para baixo para levar em conta mudanças nas condições ambientais, tais como desvios de temperatura, mudanças na carga de trabalho, etc.

[0045] Alternativamente, como mostrado na Figura 4B, um circuito de controle compartilhado 222M pode ser fornecido que é multiplexado para ser capaz de controlar qualquer um dos circuitos de seleção de alimentação 212 (1) a 212 (N). Este circuito de controle 222M está configurado para emitir quaisquer sinais de seleção do comutador de corrente 220 (1) (1) a 220 (1) (4) e 220 (N) (1) a 220 (N) (4) para um circuito de seleção de alimentação selecionado 212(1) a 212(N). O circuito de controle 222M na Figura 4B possui componentes comuns com o circuito de controle 222(1) na Figura 4A, que são mostrados com números de elementos comuns. Como mostrado na Figura 4B, o circuito comparador 400 recebe, como entrada, a tensão de saída de referência VrefA 402 para um circuito de seleção de alimentação selecionado 212 (1) a 212 (N). Um sinal de seleção 416 introduzido em um circuito de multiplexação 418 controla a tensão de saída de referência digital V_{refo}(1) a V_{refo}(N) para um circuito de seleção de alimentação 212(1) a 212(N) passado para o circuito DAC 404 como referência de tensão de saída V_{refA} 402. Um circuito de demultiplexação 420 é provido para controlar qual circuito de seleção de alimentação 212 (1) a 212 (N) no circuito de multiplexação de potência 202, o indicador de intensidade de acionamento 218 é provido para controlar a intensidade de

acionamento do circuito de seleção de alimentação selecionado 212 (1) a 212 (N).

[0046] Outros tipos de circuitos de controle podem ser fornecidos em um sistema de multiplexação de potência, como o sistema de multiplexação de potência 200 na Figura 2, para controlar de forma adaptativa a intensidade de acionamento de uma tensão multiplexada acionada em um barramento de saída de energia. Por exemplo, a Figura 5 é um diagrama de blocos de outro sistema de multiplexação de potência exemplificativo 500 que é configurado para controlar de forma adaptativa a intensidade de acionamento de energia multiplexada de uma pluralidade de comutadores de alimentação para um comutador de potência de saída para alimentar um circuito energizado baseado em uma tensão de saída no trilho de energia de saída que pode levar em conta as variações de desempenho. Como aqui mostrado, um circuito de controle 522 é proporcionado para controlar de forma adaptativa a intensidade do acionamento de uma tensão multiplexada acionada por um circuito de multiplexação de potência 502 como uma voltagem de saída 524 em um barramento de saída 506 para alimentar um circuito energizado, o qual é mostrado como uma matriz de memória 508 neste exemplo. O circuito de controle 522, neste exemplo, inclui um circuito de monitorização de tensão 528 configurado para monitorar a tensão de saída 524 para ajustar a intensidade de acionamento da tensão de saída 524 multiplexada no trilho de potência de saída 506 para levar em conta as variações de desempenho monitoradas. O circuito de controle 522 também inclui um circuito de rampa lenta opcional 530 que é configurado para aumentar gradualmente os indicadores de potência da unidade

de memória e lógica 518M, 518L de uma maneira controlada, que gradualmente acelera circuitos de comutação de energia multiplexados para aumentar a voltagem multiplexada no trilho de alimentação de saída 506. Isto pode reduzir ou evitar o ruído de alimentação relacionado com corrente de pico no sistema de multiplexação de potência 500, evitando ou mitigando a perda de desempenho da matriz de memória 508 devido à comutação de barramentos de energia.

[0047] A Figura 6 é um diagrama de blocos do circuito exemplar de multiplexação de energia 502 no sistema de multiplexação de potência 500 da Figura 5. O circuito de multiplexação de energia 502 é configurado para multiplexar o acoplamento de um de um trilho de potência de alimentação lógica 504L e um trilho de alimentação de alimentação de memória 504M ao trilho de alimentação de saída 506 para fornecer energia ao arranjo de memória 508 acoplado ao trilho de alimentação de saída 506. O trilho de alimentação 504L de alimentação lógico e o trilho de alimentação 504M de alimentação de memória são acoplados a respectivas fontes de alimentação fornecendo uma tensão de memória $V_{DD(M)}$ ou em um domínio de memória e uma tensão lógica $V_{DD(L)}$ num domínio lógico. Para acoplar seletivamente o trilho de alimentação lógica 504L ou o trilho de alimentação 504M de memória ao trilho de alimentação de saída 506 para fornecer uma tensão lógica $V_{DD(M)}$ de tensão de memória respectiva $V_{DD(L)}$ ao agrupamento de memória 508, o circuito de multiplexação de energia 502 inclui circuitos de seleção de alimentação de memória e lógica 512M, 512L. Os circuitos de seleção de alimentação de memória e lógica 512M, 512L são acoplados entre o respectivo trilho de alimentação de alimentação de

memória 504M e o trilho de alimentação de alimentação lógico 504L. O sistema de multiplexação de potência 500 é configurado para ativar um dos circuitos de seleção de alimentação de memória e lógica 512M, 512L para acoplar um respectivo trilho de potência de alimentação de memória 504M e trilho de potência de alimentação lógico 504L ao trilho de alimentação de saída 506 para alimentar a matriz de memória 508 respectiva voltagem de memória VDD (M) e tensão lógica VDD (L).

[0048] Para selecionar o trilho de alimentação 504M de alimentação de memória e o barramento de alimentação 504L lógico acoplado ao barramento de saída 506, os circuitos de seleção de memória e de alimentação lógicos 512M, 512L, neste exemplo, incluem cada um dos circuitos de comutação de memória e lógica 514M, 514L, respectivamente no trilho de potência de saída 506. A intensidade de acionamento de uma memória ativada ou circuito de comutação de energia lógica 514M, 514L ajusta sua impedância de saída, que controla a comutação de uma queda de intensidade de corrente (IR) através da memória ou circuito de comutação de energia lógica 514M, 514L, resultando na tensão de saída desejada. Por exemplo, à medida que a potência de um circuito de memória ou lógica, 514M, 514L é aumentada, a impedância de saída da memória ou do circuito lógico 514M, 514L é diminuída, reduzindo assim a queda de IR e a respectiva tensão de memória ou lógica $V_{DD(M)}$, $V_{DD(L)}$ acionado no trilho de potência de saída 506. Se, no entanto, a intensidade de acionamento de um circuito de comutação lógica ou de memória 514M, 514L diminua, a impedância de saída da memória ou o circuito comutador lógico 514M, 514L aumentado, aumentando assim a

queda de IR e diminuindo a respectiva memória ou voltagem lógica VDD(M), VDD(L) acionado no trilho de potência de saída 506. As variações do PVT podem afetar a intensidade da unidade. A intensidade de acionamento pode ser aumentada, por exemplo, para compensar as variações do PVT. Entretanto, aumentar a intensidade da unidade aumenta o poder de vazamento. Assim, o sistema de multiplexação de potência 500 proporciona a intensidade de controlar seletivamente a intensidade de acionamento dos circuitos de seleção de alimentação de memória e lógica de 512M, 512L que podem ser usados para compensar as variações de PVT que podem reduzir a intensidade do inversor. A margem de intensidade de tração pode ser reduzida como resultado, reduzindo assim a potência de fuga enquanto ainda alcança a intensidade de condução desejada no trilho de potência de saída 506.

[0049] Neste exemplo, para proporcionar a intensidade de controlar a intensidade de acionamento dos circuitos de seleção de alimentação de memória e lógica ativados de 512M, 512L, cada um dos circuitos de comutação de memória e lógica 514M, 514L inclui uma pluralidade de transistores de PMOS conectados em paralelo 516M (1) a 516M(T) e 516L(1) a 516L(T), onde 'T' representa o número desejado de transistores PMOS 516 para incluir. Observe que os transistores NMOS também podem ser empregados. Os transistores PMOS 516M (1) a 516M (T) e 516L (1) a 516L(T) são acoplados entre uma respectiva memória e trilho de potência de alimentação lógica 504M, 504L e o trilho de alimentação de saída 506. Cada um dos transistores PMOS conectados em paralelo 516M (1) a 516M (T) e 516L (1) a 516L (T) possui uma intensidade de acionamento associada para

acionar a respectiva tensão de memória ou lógica VDD (M), VDD (L) no trilho de alimentação de saída 506. Assim, para controlar a intensidade geral do acionamento dos circuitos de seleção de memória e alimentação lógica 512M, 512L, os respectivos transistores PMOS conectados em paralelo 516M(1) a 516M(T) e 516L (1) a 516L (T) podem ser controlados individualmente para ser ativado ou desativado para contribuir para a condução da respectiva tensão de memória ou lógica VDD (M), VDD (L) para o trilho de potência de saída 506. Neste exemplo, cada um dos transistores PMOS 516M (1) a 516M (T) e 516L (1) a 516L (T) é configurado para receber uma memória associada ou indicador de intensidade da unidade lógica 518M, 518L na forma da respectiva memória e sinais lógicos de seleção do comutador de alimentação 520M (1) a 520M (T), 520L (1) a 520L (T). Assim, os indicadores de potência de memória e lógica 518M, 518L podem ser considerados em um exemplo como palavras de código, cada uma com sinais individuais ou bits indicando um estado de ativação da respectiva memória individual e sinais de seleção de comutador lógico 520M (1) a 520M (T), 520L (1) a 520L (T) formando as palavras de código para controlar o respectivo número de transistores PMOS conectados em paralelo 516M (1) a 516 (1) (T) e 516L (1) a 516L (T) que estão ativados.

[0050] Neste exemplo, os sinais de seleção de comutador de energia lógico e de memória 520M (1) a 520M (T), 520L (1) a 520L (T) são acoplados às portas G dos respectivos transistores PMOS 516M (1) a 516M (T) e 516 L (1) a 516L (T). Assim, o estado dos sinais de seleção do comutador de energia lógico e de memória 520M (1) a 520M (T), 520L (1) a 520L (T) controla se os respectivos

transistores PMOS 516M (1) -516M (T) e 516L (1) a 516L (T) são seletivamente ativados e, portanto, contribuem para acionar as respectivas tensões de memória e lógica $V_{DD(M)}$, $V_{DD(L)}$ no trilho de alimentação de saída 506. Se o estado da memória ou dos sinais de seleção do comutador de alimentação lógico 520M (1) a 520M (T), 520L (1) a 520L (T) é um estado de habilitação de seleção do interruptor de energia, que neste exemplo é um nível baixo lógico ('0'), os respectivos transistores PMOS 516M (1) a 516M (T) e 516L (1) a 516L (T) serão ativados para fornecer um caminho de fluxo de corrente entre a respectiva memória ou barramento de potência de alimentação lógica 504M, 504L e a saída trilho de potência 506. Se o estado da memória ou dos sinais de seleção da chave de alimentação lógica 520M (1) a 520M (T), 520L (1) a 520L (T) é um estado de desativação da seleção do comutador de alimentação, os respectivos transistores PMOS 516M (1) a 516M (T) e 516L (1) a 516L (T) serão desativados para não fornecer um caminho de fluxo de corrente entre o respectivo barramento de alimentação 504M e 504L de memória e lógica, e o trilho de alimentação de saída 506.

[0051] Com referência contínua à figura 6, para manter a tensão de memória $V_{DD(M)}$ no trilho de alimentação de saída 506 para alimentar a matriz de memória 508 durante a comutação do acoplamento do trilho de alimentação de saída 506 do trilho de alimentação de alimentação de memória 504M para a fonte lógica do trilho de potência 504L, mas ao mesmo tempo evitando a criação de um caminho de condução cruzada de corrente entre os trilhos de alimentação de memória e lógica 504M, 504L, o circuito de multiplexação de energia 502 também inclui um circuito de controle de queda de diodo

600. O circuito de controle de queda de diodo 600 é fornecido na forma de um transistor de PMOS 602 neste exemplo. O circuito de controle de queda de diodo 600 é configurado para ser ativado para criar uma conexão de queda de diodo entre um trilho de potência de alimentação de memória 504M e o trilho de alimentação de saída 506 para um modo de operação de queda de diodo em resposta a comutação do acoplamento do barramento de alimentação de memória 504M para o trilho de alimentação lógica 504L, para o trilho de alimentação de saída 206. A este respeito, o circuito de controle de queda de diodo 600 está configurado para receber um sinal de comutador de trilho de potência de alimentação 603 indicando um estado de comutação de trilho de potência de alimentação ao trilho de alimentação de alimentação lógico 504L. Em resposta ao sinal de comutador de trilho de energia de alimentação 603 indicando um estado de habilitação de trilho de potência de alimentação para o trilho de alimentação de alimentação lógico 504L, o circuito de controle de descarte de diodo 600 estabelece uma conexão de queda de diodo entre o trilho de potência de alimentação de memória 504M e o trilho de alimentação de saída 506 em um modo de operação de queda de diodo.

[0052] Mais especificamente, neste exemplo, o circuito de controle de queda de diodo 600 inclui uma entrada de queda de diodo 604 acoplada a uma primeira entrada de seleção de trilho de alimentação 606 de um primeiro circuito de interruptor de energia 608. O circuito de controle de queda de diodo 600 também inclui uma entrada de controle de queda de diodo 610 acoplada à porta G do transistor PMOS 602 configurado para receber o sinal de comutador de alimentação

de energia 603 de um circuito de seleção de barramento de alimentação 612. O circuito de controle de queda de diodo 600 também inclui uma saída de queda de diodo 614 acoplada ao dreno D do transistor de PMOS 602 e acoplada a uma primeira saída de potência 616 do circuito comutador de energia 608. O circuito de controle de queda de diodo 600 é configurado para estabelecer uma conexão de queda de diodo em um modo de operação de queda de diodo entre a entrada de seleção de barramento de alimentação 606 e a saída de potência 616, em resposta ao sinal de comutação de barramento de alimentação 603 indicando que o comutador de alimentação está no trilho de alimentação 504M de alimentação de memória ao trilho de alimentação 504L de alimentação lógica. Um sinal 620 de saída de retenção controla a passagem do sinal 603 do comutador de energia de alimentação para a entrada de queda de diodo 604. Também em resposta ao sinal 603 do comutador do trilho de potência de alimentação indicando o estado de habilitação do comutador de alimentação de energia 504M para o trilho de alimentação de energia lógica 504L, o circuito de seleção de trilho de alimentação 612 é desativado para apresentar uma alta impedância ao poder entrar de seleção de trilho 606. Assim, no modo de operação de queda de diodo, a porta G e o dreno D de um transistor PMOS head switch 618 são acoplados em conjunto para colocar o primeiro transistor PMOS head switch 618 em uma configuração de queda de diodo.

[0053] Neste exemplo, a condução cruzada de corrente só pode ocorrer em uma direção entre o trilho de alimentação de alimentação de memória 504M com a maior tensão de memória VDD (M) ao barramento de alimentação de alimentação lógico 504L com a tensão lógica mais baixa V_{DD(L)}.

Assim, o diodo do circuito de controle de queda 600 está configurado para regular a tensão no trilho de alimentação de saída 506 em uma configuração de polarização direta neste exemplo. Por exemplo, com a tensão de memória $V_{DD(M)}$ no trilho de potência de alimentação de memória 504M sendo maior que a tensão lógica $V_{DD(L)}$ no trilho de potência de alimentação lógica 504L, o circuito de controle de queda de diodo 600 estará em uma configuração de polarização direta. O circuito de controle de queda de diodo 600 é configurado para permitir que a corrente flua do trilho de alimentação de alimentação de memória 504M para o trilho de alimentação de saída 506 para manter uma tensão de saída $V_{DD(A)}$ no trilho de alimentação de saída 506. Em um exemplo, o circuito de controle de queda de diodo 600 é configurado para regular a tensão de saída $V_{DD(A)}$ no trilho de alimentação de saída 506 para uma tensão limite do circuito de controle de queda de diodo 600 menor que a tensão de memória $V_{DD(M)}$ a tensão de saída $V_{DD(A)}$ no trilho de alimentação de saída 506 descarrega para a tensão limite do circuito de controle de queda de diodo 600 menor que a tensão de memória $V_{DD(M)}$, o circuito de controle de queda de diodo 600 permitirá que a corrente flua para manter a tensão (por exemplo, 0,8 V) para uma tensão limite (por exemplo, 0,2 V) do circuito de controle de queda de diodo 600 menor que a tensão de memória $V_{DD(M)}$ (por exemplo, 1 V). Desta maneira, a tensão de saída $V_{DD(A)}$ é continuamente fornecida à matriz de memória 508 durante o modo de operação de queda de diodo mesmo quando se conecta o acoplamento do trilho de alimentação de fonte de memória 504M ao trilho de alimentação de fonte lógica 504L, ao trilho de alimentação de saída 506, mas sem criar um caminho de condução cruzada.

de corrente entre o trilho de alimentação de alimentação de memória 504M ao trilho de alimentação de alimentação lógico 504L. Para reduzir o consumo de energia durante o modo de operação de queda de diodo, o arranjo de memória 508 pode ser configurado para estar em um estado de retenção ou consumo de energia reduzido onde apenas correntes de fuga são retiradas do trilho de alimentação de saída 506 em um exemplo não limitativo.

[0054] Após a comutação do acoplamento do trilho de alimentação de alimentação de memória 504M para o trilho de alimentação de alimentação lógico 504L, para o trilho de alimentação de saída 506, o modo de operação de queda de diodo pode ser descontinuado. A este respeito, o sinal 603 do comutador de alimentação de energia é controlado para indicar um estado de desativação do comutador de alimentação de energia. Em resposta, o circuito de controle de queda de diodo 600 encerra a conexão de queda de diodo entre o trilho de potência de alimentação de memória 504M e o trilho de alimentação de saída 506. Um caminho de condução cruzada atual não é criado quando o modo de operação de queda de diodo é descontinuado, porque somente o indicador de intensidade do atuador de memória 518M ou o indicador de intensidade de acionamento lógico 518L é controlado para estar em um estado de habilitação de seleção de barramento de alimentação para selecionar apenas o circuito de memória de comutador de energia 514M ou o circuito de comutação de energia lógica 514L para acoplar o trilho de alimentação de memória ou lógica 504M, 504L ao trilho de alimentação de saída 506 a qualquer momento fora do modo de operação de queda do diodo.

[0055] A Figura 7 é um diagrama de blocos do circuito de controle 522 que pode ser incluído no sistema de multiplexação de potência 500 da Figura 5 para controlar de forma adaptativa a intensidade de acionamento de um circuito de seleção de alimentação de memória ativa ou lógica 512M, 512L e o circuito de controle de queda de diodo 600 o circuito de multiplexação de energia 502 na Figura 6. O circuito de controle 522 é configurado para fornecer os modos operacionais ilustrados em uma tabela lógica 800 na Figura 8. Ambos serão discutidos em conjunto um com o outro abaixo.

[0056] Com referência à Figura 7, o indicador de intensidade do acionamento de memória 518M é fornecido como uma saída 700 de um circuito multiplexador 702. O circuito multiplexador 702 inclui uma primeira entrada 704 configurada para receber um primeiro indicador de intensidade de acionamento de bypass 706, e uma segunda entrada 708 configurada para receber um indicador de intensidade de acionamento adaptável de memória 710. O circuito multiplexador 702 controlado para passar o indicador de intensidade de bypass 706 para o indicador de intensidade do acionamento de memória 518M se for desejado realizar bypass sobre a operação de intensidade de acionamento adaptativa do circuito de multiplexação de potência 502 ao ligar o barramento de alimentação de memória 504M do trilho de potência de saída 506 na Figura 6. Por exemplo, o indicador de intensidade de bypass 706 pode ser uma configuração fixa para cada um dos sinais de seleção de comutador de energia 520M (1) a 520M (T) como todos ativados (por exemplo, todos lógicos '0') por exemplo ou qualquer outro fixo configuração. Desta maneira, a intensidade do

atuador da tensão de memória $V_{DD(M)}$ não é variada. O circuito multiplexador 702 também é configurado para ser controlado para passar o indicador de intensidade da unidade adaptável à memória 710 para o indicador de intensidade do acionamento de memória 518M se for desejado controlar de forma adaptável a operação de intensidade de acionamento do circuito de multiplexação de potência 502 ao acoplar o barramento de alimentação de memória 504M para o trilho de alimentação de saída 506 na Figura 6. Por exemplo, o indicador 710 de intensidade da unidade adaptável à memória pode ser a saída do contador do indicador de intensidade do acionamento de memória 218 (1) no circuito de controle 222 (1) na Figura 4A como um exemplo. O indicador 710 de intensidade de acionamento adaptável à memória controlará os sinais de seleção do comutador de energia de memória 520M (1) a 520M (T) para controlar quais transistores PMOS 516M (1) a 516M (T) na Figura 5 são ativados.

[0057] Continuando a referência à Figura 7, o circuito multiplexador 702 também inclui uma entrada de seleção 712 configurada para receber um sinal de seleção de modo adaptativo 714 para controlar se o indicador de intensidade de acionamento de bypass 706 da primeira entrada 704 ou o indicador de intensidade de acionamento adaptável de memória 710 da segunda entrada 708 é passada para a saída 700 como o indicador de intensidade da unidade de memória 518M. A este respeito, se o sinal de seleção do modo adaptativo 714 estiver em um estado de desativação do modo adaptativo, o circuito do multiplexador 702 passa o indicador de intensidade do acionamento de bypass 706 da primeira entrada 704 para a saída 700. Se o sinal de seleção de modo

adaptativo 714 estiver em um estado de ativação de modo adaptativo, o circuito de multiplexação 702 passa o indicador de intensidade de acionamento adaptável de memória 710 da segunda entrada 708 para a saída 700. Se o sinal de seleção do modo adaptativo 714 é lógico baixo (isto é, lógico '0'), isto faz com que o circuito multiplexador 702 emita o indicador de intensidade do acionamento de bypass 706 da primeira entrada 704 para a saída 700 como o indicador de intensidade do acionamento de memória 518M. Se o sinal de seleção do modo adaptativo 714 for lógico alto (isto é, T lógico) neste exemplo, o sinal de seleção do modo adaptativo 714 está num estado de ativação do modo adaptativo neste exemplo para proporcionar controle adaptativo da intensidade do acionamento.

[0058] Para controlar a operação do modo de queda de diodo explicada no circuito de controle 522 na Figura 6, o circuito de controle 522 na Figura 7 é também configurado para controlar a geração do sinal de saída de retenção 620. Como discutido anteriormente na Figura 6, o sinal de saída de retenção 620 é configurado para controlar se o sinal 603 do comutador de energia de alimentação é passado. Se o sinal de seleção do modo adaptativo 714 é lógico baixo (isto é, lógico '0') para fazer com que o circuito multiplexador 702 emita o indicador de intensidade do acionamento de bypass 706 da primeira entrada 704 para a saída 700 como o indicador de intensidade do acionamento de memória 518M, uma retenção sinal de entrada 716 e sinal de habilitação de multiplexação de potência adaptativa (APM) 718 estão em estados de não preocupação (x), porque uma porta 720 baseada em AND na Figura 7 passará o sinal de entrada de

retenção 716 para uma saída 722 para o sinal de saída de retenção 620. Isto também é mostrado na tabela lógica 800 na Figura 8 para o estado "Bypass de ASR", em que o sinal de seleção do modo adaptativo 714 é lógico '0'. Assim, o sinal de entrada de retenção 716 controlará se o sinal 603 do comutador de alimentação de energia é passado para o circuito de controle de queda de diodo 600.

[0059] Em um estado de "Colapso" como mostrado na tabela lógica 800 na Figura 8, o sinal de seleção do modo adaptativo 714 é definido para um lógico "1" para estar no estado de ativação do modo adaptativo com o sinal de ativação APM 718 e o sinal de entrada de retenção 716 definido como lógico '0'. Isto faz com que o circuito multiplexador 702 forneça o indicador de intensidade de acionamento de bypass 706 desde a primeira entrada 704 para a saída 700 como o indicador de intensidade do acionamento de memória 518M. Uma porta 724 baseada em "OU" irá gerar um lógico '0' na sua saída 726 para uma porta 720 baseada em AND para gerar um lógico '0' para o sinal de saída de retenção 620 para desativar a operação de queda de diodo do circuito 600 de controle de queda de diodos.

[0060] Como mostrado na Figura 8, para configurar, de forma adaptativa, o controle da potência de acionamento da potência de memória multiplexada $V_{DD(M)}$ no trilho de potência de saída 506 na Figura 5, um estado "ASR Habilitado" permite que o sinal de seleção de modo adaptável 714 seja definido para um lógico '1' para estar no estado de ativação do modo adaptativo. Isto faz com que o circuito multiplexador 702 forneça o indicador de intensidade de acionamento de bypass 706 desde a primeira entrada 704 para

a saída 700 como o indicador de intensidade do acionamento de memória 518M. O sinal de habilitação APM 718 é ajustado para um valor lógico '0' e o sinal de entrada de retenção 716 é ajustado para um valor lógico '1'. Isto faz com que a porta baseada em AND 720 emita um lógico '0' como o sinal de saída de retenção 620 para desabilitar a operação do modo de queda de diodo do circuito de controle de queda de diodo 600. Então, como mostrado na Figura 8, para um estado "Habilitado" para controlar de forma adaptativa os sinais de seleção da comutador de alimentação de memória 520M (1) a 520M (T) para controlar quais transistores PMOS 516M (1) a 516M (T) na Figura 5 são ativados para controlar a intensidade de acionamento da tensão de memória $V_{DD(M)}$ do trilho de alimentação de alimentação de memória 504M acoplado ao barramento de alimentação de saída 506, o sinal de seleção de modo adaptativo 714 é ajustado para um lógico '1' para estar no estado habilitado de modo adaptável. Isto faz com que o circuito multiplexador 702 forneça o indicador de intensidade de acionamento de bypass 706 desde a primeira entrada 704 para a saída 700 como o indicador de intensidade do acionamento de memória 518M. O sinal de habilitação APM 718 é ajustado para um T lógico e o sinal de entrada de retenção 716 é ajustado para um lógico '0'. Isto faz com que a porta baseada em 'E' 720 emita um lógico '0' como o sinal de saída de retenção 620 para desabilitar a operação do modo de queda de diodo do circuito de controle de queda de diodo 600.

[0061] Como mostrado na Figura 8, no estado 504M, 504L de "Comutação Entre Trilhos de alimentação de Abastecimento", o sinal de seleção de modo adaptativo 714 é

ajustado para um lógico '1' para estar no estado de habilitação de modo adaptativo para controlar de forma adaptável a intensidade de acionamento do inversor da tensão de memória $V_{DD(M)}$ a partir do trilho de potência de alimentação de memória 504M acoplado ao trilho de alimentação de saída 506. Isto faz com que o circuito multiplexador 702 forneça o indicador de intensidade de acionamento de bypass 706 desde a primeira entrada 704 para a saída 700 como o indicador de intensidade do acionamento de memória 518M. O sinal de habilitação APM 718 é ajustado para um lógico '1' e o sinal de entrada de retenção 716 é ajustado para um lógico '1'. Isto faz com que a porta 720 baseada em 'E' emita um lógico '1' como o sinal de saída de retenção 620 para permitir a operação do modo de queda de diodo do circuito 600 de controle de queda de diodos.

[0062] A Figura 9 é um gráfico ilustrando um gráfico exemplificativo 900 de tensão de alimentação num trilho de potência de alimentação transferido para o trilho de alimentação de saída 506 no sistema de multiplexação de potência 500 na Figura 5 como uma função do controle de intensidade de tração do circuito de multiplexação de potência 502. Como mostrado nesta divulgação, a curva de tensão 902 indica um exemplo de tensão de saída multiplexada no trilho de potência de saída 506 como uma função de ativação de comutação de um circuito de seleção de alimentação de memória ou lógica 512 (1) a 512 (N).

[0063] Podem ser proporcionados outros circuitos de controle para monitorar a voltagem de saída 524 do sistema de multiplexação de potência 500 na Figura 5 para controlar de forma adaptativa a intensidade da tensão de

memória $V_{DD(M)}$ do trilho de alimentação de memória 504M acoplado ao trilho de alimentação de saída 506. Por exemplo, a Figura 10 é um diagrama de blocos de um circuito de controle exemplar 1022 configurado para controlar de forma adaptável a intensidade de acionamento de um circuito de seleção de alimentação de memória ativa ou lógica 512M, 512L (Figura 5) no circuito de multiplexação de energia 502 na Figura 5 para ajustar a saída nível de tensão 524 e velocidade de conexão no trilho de alimentação de saída 506. O circuito de controle 1022 na Figura 10 é mostrado como controlando apenas o circuito de seleção de alimentação de memória 512M no circuito de multiplexação de energia 502 (Figura 5), e assim circuitos de controle múltiplos 1022 seriam fornecidos para controlar a intensidade do acionamento de cada circuito de seleção de alimentação 512 (1) a 512 (N).

[0064] A este respeito, a tensão de saída 524 na Figura 10 é acoplada a um primeiro oscilador controlado por tensão (VCO) 1000 (1). Uma voltagem de saída de referência predefinida (Vref) 1002 para o circuito de seleção de alimentação de memória 512M (Figura 6) é fornecida a um segundo VCO 1000 (2). Os VCO 1000 (1), 1000 (2) geram os respectivos sinais de frequência 1004 (1), 1004 (2) indicativos da amplitude da tensão de saída 524 e da tensão de saída de referência 1002. Os sinais de frequência 1004 (1), 1004 (2) são recebidos por uma máquina de estados finitos (FSM) 1006 que compara as frequências dos sinais de frequência 1004 (1), 1004 (2) para determinar se a tensão de saída de referência 1002 é maior que a tensão de saída 524. Com base nesta comparação, o FSM 1006 gera um sinal de saída 1008 para um DAC 1010 para controlar o indicador de

intensidade do drive de memória 518M para controlar a polarização do circuito de seleção de alimentação 512 (1) na Figura 5. O FSM 1006 também gera o indicador de intensidade de acionamento 518 (1) para controlar o indicador de intensidade de acionamento de memória 518M para controlar a intensidade de acionamento do circuito de seleção de alimentação de memória 512M no circuito de multiplexação de potência 502. Como mostrado no processo exemplificativo 1100 na Figura 11 realizado pela FSM 1006 na Figura 10, o DAC 1010 pode ser inicialmente configurado para um código de controle de '0' (bloco 1002). A FSM 1006 determina se o sinal de frequência 1004 (1) tem uma frequência mais alta que o sinal de frequência 1004 (2) (bloco 1104). Caso contrário, o processo 1100 pára sem alterar o indicador de intensidade da unidade de memória 518M (bloco 1106). Em caso afirmativo, o indicador de intensidade do acionamento de memória 518M é incrementado (por exemplo, por um (1) bit menos significativo (LSB)) (bloco 1008).

[0065] A Figura 12 é um diagrama de blocos de um circuito de controle exemplificativo 1222 configurado para controlar de forma adaptativa a intensidade de acionamento de um circuito de seleção de alimentação de memória ativa ou lógica 512M, 512L (Figura 5) no circuito de multiplexação de potência 502 na Figura 5 para ajustar o nível de tensão de saída 524 e velocidade de ligação no trilho de alimentação de saída 506. O circuito de controle 1222 na Figura 12 é mostrado como controlando apenas o circuito de seleção de alimentação de memória 512M, e assim múltiplos circuitos de controle 1222 seriam fornecidos para

controlar a intensidade de acionamento de cada circuito de seleção de alimentação 512 (1) a 512 (N).

[0066] A este respeito, a voltagem de saída 524 na Figura 12 é acoplada a um primeiro VCO 1000 (1). Uma voltagem de saída de referência predefinida (Vref) 1002 para o circuito de seleção de alimentação de memória 512M (Figura 6) é fornecida a um segundo VCO 1000 (2). Os VCO 1000 (1), 1000 (2) geram os respectivos sinais de frequência 1004 (1), 1004 (2) indicativos da amplitude da tensão de saída 524 e da tensão de saída de referência 1002. Os sinais de frequência 1004 (1), 1004 (2) são recebidos por um detector de frequência de fase (PFD) 1206 que compara as frequências dos sinais de frequência 1004 (1), 1004 (2) para determinar se a tensão de saída de referência 1002 é maior que a tensão de saída 524. Com base nesta comparação, o PFD 1206 gera sinais de saída 1208 (1), 1208 (2) para uma bomba de carga (CP) 1210 para controlar o indicador de intensidade do acionamento de memória 518M para controlar a intensidade do acionamento do circuito de seleção de alimentação de memória 512M na Figura 6.

[0067] A Figura 13 ilustra um exemplo do circuito de rampa lenta 530 na Figura 5 que pode ser utilizado para fornecer gradualmente o sinal de seleção de comutador de energia de memória 520M ao circuito de multiplexação de energia 502 no mesmo. A figura 13 mostra apenas a rampa de um único sinal 520 de seleção do comutador de energia da memória do indicador 518M de intensidade do acionamento de memória (Figura 5), mas deve notar-se que podem ser fornecidos vários circuitos de rampa lenta 530 como mostrado na Figura 13 para cada seleção de comutador de

energia de memória sinal 520M (1) a 520M (T). Para aumentar gradualmente o sinal de seleção do comutador de alimentação de memória 520, é fornecida uma tensão de saída V, em que a tensão de saída V é aumentada para a tensão de memória $V_{DD(M)}$. Para conseguir esta subida gradual da tensão de saída V da energia de memória com o sinal de seleção de comutação 520, é fornecido um circuito head switch 1306 que está configurado para fornecer a tensão de saída V ao circuito de multiplexação de potência 502. O circuito head switch 1306 inclui uma entrada de tensão 1308 que é acoplada a uma entrada de tensão 1310 e configurada para receber a tensão de memória VDD (M). O circuito head switch 1306 também inclui uma saída de tensão 1312 que é acoplada a uma saída de tensão 1314 e configurado para fornecer o sinal de seleção de comutador de energia de memória 520 da tensão de saída V ao circuito de multiplexação de energia 502. O circuito head switch 1306 é configurado para fornecer o sinal de seleção de comutador de potência 520 da tensão de saída V ao circuito de multiplexação de potência 502 em resposta a um sinal de controle 1316 recebido numa entrada de controle 1318. O sinal de controle 1316 é gerado por um circuito de controle head switch 1320 em resposta ao sinal de seleção do comutador de potência de memória 520M. Um circuito dissipador de corrente 1324 é configurado para controlar uma taxa de rampa (ramping rate) da tensão de saída V do sinal de seleção de comutador de energia 520 gerado pelo circuito head switch 1306, permitindo assim que o circuito head switch 1306 forneça a tensão de memória total VDD (M) ao circuito de multiplexação de energia 502 de uma maneira controlada para reduzir ou evitar o ruído de alimentação relacionado com a corrente de

pico no circuito de multiplexação de potência 502. O controle da taxa de rampa corresponde a ativação gradual (isto é, conectando gradualmente) o circuito head switch 1306 ao longo do tempo, em que a quantidade de tensão de memória $V_{DD(M)}$ permitida através do circuito head switch 1306 é limitada pelo seu nível de ativação.

[0068] Continuando a referência à figura 13, neste aspecto, o circuito de comutação de comutação 1306 pode ser controlado pelo circuito de dissipação de corrente 1324 quando o circuito de controle head switch 1320 gera o sinal de controle 1316 em resposta aos sinais de seleção de comutador de alimentação de memória 520M recebidos em uma entrada habilitada 1326. O sinal de controle 1316 indica que a tensão de memória $V_{DD(M)}$ deve ser transferida para o circuito de multiplexação de energia 502. Componentes dentro do circuito de rampa lenta 530 podem empregar vários elementos de circuito para alcançar a funcionalidade descrita acima. Neste aspecto, o circuito head switch1306 emprega um transistor PMOS 1328 que inclui uma fonte S acoplada à entrada de tensão 1308, uma porta G acoplada à entrada de controle 1318 e um dreno D acoplado à saída de tensão 1312. Adicionalmente, neste aspecto, o circuito dissipador de corrente 1324 inclui um transistor NMOS 1330 que inclui uma fonte S acoplada a uma fonte de aterramento 1332, um dreno D acoplado à porta G do transistor PMOS 1328 do circuito head switch1306 (ou seja, a entrada de controle 1318), e uma porta G. A porta G do transistor NMOS 1330 neste aspecto é acionada por uma fonte de tensão constante 1334. O circuito de controle head switch 1320 neste exemplo emprega um transistor de PMOS 1336 que inclui uma fonte S acoplada à

tensão de memória VDD (M), uma porta G configurada para receber o sinal de seleção de comutador de energia de memória 520M e um dreno D acoplado à porta G do transistor PMOS 1328 do circuito de comutação de cabeça 1306 e o dreno D do transistor NMOS 1330 do circuito de dreno de corrente 1324.

[0069] Como o sinal de seleção do comutador de energia 520M é acoplado à porta G do transistor PMOS 1336 do circuito de controle head switch 1320, o transistor PMOS 1336 é ativado (isto é, ligado) enquanto o sinal de seleção do comutador de energia 520M tem um valor lógico baixo '0'. Além disso, a tensão de memória $V_{DD(M)}$ é fornecida à porta G do transistor PMOS 1328 do circuito head switch 1306 enquanto o transistor PMOS 1336 é ativado. Proporcionar a tensão de memória $V_{DD(M)}$ à porta G do transistor PMOS 1328 desativa (isto é, desliga) o transistor PMOS 1328 e evita que a tensão de memória $V_{DD(M)}$ seja fornecida ao circuito de multiplexação de potência 502.

[0070] Em resposta ao sinal de seleção de comutador de energia 520M transitando para um valor lógico alto '1', o transistor PMOS 1336 do circuito de controle do comutador de cabeça 1320 é desativado, o que evita que a tensão de memória $V_{DD(M)}$ seja fornecida à porta G do Transistor PMOS 1328 do circuito de comutação da cabeça 1306. No entanto, embora a porta G do transistor PMOS 1328 não esteja mais recebendo a tensão de memória $V_{DD(M)}$, a tensão de memória $V_{DD(M)}$ permanece na porta G do transistor PMOS 1328, como uma capacidade de porta associada à porta G do transistor PMOS 1328 é carregado com a tensão de memória $V_{DD(M)}$ enquanto que o sinal de seleção de comutador de energia de memória 520M tem um valor lógico baixo '0'.

[0071] Continuando a referência à figura 13, porque a tensão de memória $V_{DD(M)}$ fornecida pelo circuito de controle de comutação de comando 1320 já não desativa o transistor de PMOS 1328 do circuito de comutação de comutação 1306, o transistor de PMOS 1328 pode ser ativado de modo a fornecer a saída voltagem V ao circuito de multiplexação de energia 502. Contudo, em vez de ativar completamente o transistor PMOS 1328 de uma maneira substancialmente instantânea, o circuito dissipador de corrente 1324 é configurado para ativar gradualmente o transistor PMOS 1328 ao longo do tempo de modo que a tensão de saída V do sinal de seleção de comutação de energia 520 fornecida pelo circuito head switch 1306 aumenta com o tempo. A porta G do transistor NMOS 1330 do circuito dissipador de corrente 1324 é acionada pela fonte de tensão constante 1334 neste exemplo, de modo a ativar o transistor NMOS 1330 a um nível que causa a tensão na porta G do transistor PMOS 1328 do circuito head switch 1306 para descarregar gradualmente através do transistor NMOS 1330 para a fonte de terra 1332.

[0072] Continuando a referência à Figura 13, à medida que a tensão na porta G do transistor PMOS 1328 descarrega, o transistor PMOS 1328 é ativado gradualmente. Notavelmente, o nível da tensão de saída V do sinal de seleção de comutador de energia de memória 520 para o circuito de multiplexação de energia 502 pelo circuito head switch 1306 corresponde ao nível no qual o transistor de PMOS 1328 é ativado. Em outras palavras, como o circuito dissipador de corrente 1324 descarrega a tensão na porta G do transistor de PMOS 1328, a tensão na porta G do transistor PMOS 1328 atravessa uma tensão limite do transistor PMOS

1328. Como a tensão na porta G do transistor PMOS 1328 ultrapassa a tensão limite, o transistor PMOS 1328 liga-se e fornece uma voltagem de saída progressivamente maior V do sinal de seleção de comutador de energia 520 ao circuito de multiplexação de potência 502. Desta forma, a tensão de saída V do sinal de seleção de comutador de energia 520 fornecido ao circuito de multiplexação de potência 502 gradualmente acelera até à tensão de memória total $V_{DD(M)}$ à medida que a tensão na porta G do transistor PMOS 1328 ultrapassa a tensão limite.

[0073] Os sistemas de multiplexação de potência que são configurados para controlar de forma adaptativa a intensidade de multiplexação de potência dos trilhos de potência de alimentação em um sistema de multiplexação de potência para um circuito energizado, de acordo com os aspectos nesta divulgação, também podem incluir um primeiro meio de alimentação para conduzir seletivamente uma primeira tensão em um primeiro trilho de alimentação de energia para um trilho de alimentação de saída com uma primeira intensidade de acionamento baseada em um primeiro indicador de intensidade de acionamento em resposta a um primeiro indicador de seleção de trilho de alimentação de energia indicando um primeiro estado de habilitação de seleção de barramento de alimentação. Tais sistemas de multiplexação de potência podem também incluir um segundo meio de alimentação para conduzir seletivamente uma segunda tensão em um segundo trilho de alimentação ao trilho de potência de saída em uma segunda intensidade de unidade baseada em um segundo indicador de intensidade de acionamento em resposta a um segundo indicador de seleção de trilho de alimentação

indicando um estado de habilitação de seleção de trilho de alimentação de segunda fonte. Tais sistemas de multiplexação de energia podem também incluir meios para monitorar uma tensão de saída do trilho de potência de saída. Tais sistemas de multiplexação de potência podem também incluir um meio para comparar um nível de tensão da tensão de saída no trilho de potência de saída a um primeiro nível de tensão de referência associado a um primeiro circuito de seleção de alimentação, em resposta ao primeiro indicador de seleção de trilho de alimentação indicando o primeiro estado habilitado de seleção de trilho de alimentação de potência. Tais sistemas de multiplexação de potência podem também incluir um meio para gerar seletivamente o primeiro indicador de intensidade de acionamento baseado nos meios para comparar o nível de tensão da tensão de saída no barramento de potência de saída ao primeiro nível de tensão de referência, em resposta ao primeiro barramento de alimentação indicador de seleção indicando o estado de habilitação da primeira seleção do barramento de alimentação. Tais sistemas de multiplexação de potência podem também incluir um meio para comparar o nível de tensão da tensão de saída no trilho de potência de saída a um segundo nível de tensão de referência associado a um segundo circuito de seleção de alimentação em resposta ao segundo indicador de seleção de trilho de alimentação indicando o segundo estado habilitado de seleção de trilho de alimentação de potência. Tais sistemas de multiplexação de potência podem também incluir um meio para gerar seletivamente o segundo indicador de intensidade de acionamento baseado nos meios para comparar o nível de tensão da tensão de saída no barramento de saída ao segundo nível

de referência em resposta à segunda seleção de fonte de alimentação indicador indicando o segundo estado habilitado de seleção do trilho de alimentação de potência.

[0074] Os sistemas de multiplexação de potência que são configurados para controlar, de forma adaptável, a potência de multiplexação de alimentação dos trilhos de alimentação em um sistema de multiplexação de potência para um circuito energizado, de acordo com os aspectos nesta divulgação, podem ser fornecidos ou integrados em qualquer dispositivo baseado em processador. Exemplos, sem limitação, incluem um decodificador, uma unidade de entretenimento, um dispositivo de navegação, um dispositivo de comunicações, uma unidade de dados de localização fixa, uma unidade de dados de localização móvel, um dispositivo de sistema de posicionamento global (GPS), um telefone celular, um smartphone, um telefone de Protocolo de Iniciação de Sessão (SIP), um tablet, um phablet, um servidor, um computador, um computador portátil, um dispositivo de computação móvel, um dispositivo de computação vestível (por exemplo, um relógio inteligente, ou monitor de saúde, fitness, óculos, etc.), um computador de mesa, um assistente digital pessoal (PDA), um monitor, um monitor de computador, uma televisão, um sintonizador, um rádio, um rádio via satélite, um reproduutor de música, um reproduutor de música digital, um leitor de música portátil, um reproduutor de vídeo digital, um reproduutor de vídeo, um reproduutor de acionamento de vídeo digital (DVD), um reproduutor de vídeo digital portátil, um automóvel, um componente de veículo, sistemas avionicos, um drone e um multicóptero.

[0075] Neste sentido, a Figura 14 ilustra um exemplo de um sistema baseado em processador 1400 que inclui um sistema de multiplexação de potência 1401 configurado para controlar o acoplamento seletivo de um dos trilhos de alimentação de memória e lógica 1404M, 1404L para um domínio de memória 1405, tal como reduzir a capacidade de desacoplamento intencional em um domínio lógico de acordo com qualquer um dos aspectos particulares discutidos acima. O sistema de multiplexação de potência 1401 inclui um circuito de multiplexação de potência 1402 que inclui controle de intensidade de acionamento adaptável. Por exemplo, o circuito de multiplexação de potência 1402 pode ser qualquer um dos circuitos de multiplexação de potência 202, 502 nas Figuras 2 e 5, respectivamente, como exemplos. Neste exemplo, o domínio de memória 1405 inclui uma memória cache 1408 que está incluída em um processador 1410 e acoplada a uma ou mais unidades centrais de processamento (CPUs) 1412 para acesso rápido a dados temporariamente armazenados. O sistema de multiplexação de potência 1401 tem uma entrada de energia de memória 1416M acoplada ao trilho de potência de alimentação de memória 1404M e uma entrada de energia lógica 1416L acoplada ao trilho de energia de alimentação lógica 1404L. O sistema de multiplexação de potência 1401 tem uma saída de energia 1418 acoplada a um trilho de energia de saída 1406 configurado para fornecer energia ao domínio de memória 1405. O sistema de multiplexação de potência 1401 é configurado para multiplexar a tensão lógica $V_{DD(L)}$ no trilho de energia de alimentação lógica 1404L ao trilho de potência de saída 1406 quando a tensão lógica $V_{DD(L)}$ é igual ou superior à tensão de

operação mínima do domínio de memória 1405. O sistema de multiplexação de potência 1401 é configurado para multiplexar a tensão de memória $V_{DD(M)}$ do trilho de alimentação de alimentação de memória 1404M no trilho de alimentação de saída 1406 quando a tensão lógica $V_{DD(L)}$ está abaixo da tensão operacional mínima do domínio de memória 1405. Quaisquer das características e exemplos descritos acima em relação aos circuitos de multiplexação de potência 202, 502 podem ser fornecidos no sistema de multiplexação de potência 1401.

[0076] Neste exemplo, o sistema baseado em processador 1400 também inclui um ou mais processadores 1410, cada um incluindo uma ou mais CPUs 1412. Os processadores 1410 incluem a memória cache 1408 acoplada à(s) CPU(s) 1412 para acesso rápido a dados temporariamente armazenados. Os processadores 1410 são acoplados a um barramento de sistema 1422 e podem intercalar dispositivos mestre e escravo incluídos no sistema baseado em processador 1400. Como é bem conhecido, os processadores 1410 se comunicam com estes outros dispositivos através da troca de endereço, controle e informação de dados através do barramento de sistema 1422. Por exemplo, os processadores 1410 podem comunicar pedidos de transação de barramento para um controlador de memória 1424 num sistema de memória 1426 como um exemplo de um dispositivo escravo. Embora não ilustrado na Figura 14, podem ser fornecidos vários barramentos do sistema 1422, em que cada barramento do sistema 1422 constitui uma malha diferente. Neste exemplo, o controlador de memória 1424 é configurado para fornecer solicitações de acesso à memória

para uma ou mais matrizes de memória 1428 no sistema de memória 1426.

[0077] Outros dispositivos podem ser conectados ao barramento do sistema 1422. Como ilustrado na Figura 14, estes dispositivos podem incluir um ou mais dispositivos de entrada 1430, um ou mais dispositivos de saída 1432, um ou mais dispositivos de interface de rede 1434 e um ou mais controladores de visualização 1436, como exemplos. Os dispositivos de entrada 1430 podem incluir qualquer tipo de dispositivo de entrada, incluindo, entre outros, chaves de entrada, comutadores, processadores de voz, etc. O(s) dispositivo(s) de saída 1432 pode(m) incluir qualquer tipo de dispositivo de saída, incluindo, mas não se limitando a, áudio, vídeo, outros indicadores visuais, etc. Os dispositivos de interface de rede 1434 podem ser quaisquer dispositivos configurados para permitir a troca de dados de e para uma rede 1438. A rede 1438 pode ser qualquer tipo de rede, incluindo, mas não limitada a uma rede com ou sem fio, uma rede pública ou privada, uma rede local (LAN), uma rede local sem fio (WLAN), uma rede de longa distância (WAN), uma rede BLUETOOTH™ e a Internet. Os dispositivos de interface de rede 1434 podem ser configurados para suportar qualquer tipo de protocolo de comunicações desejado.

[0078] Os processadores 1410 podem também ser configurados para acessar o(s) controlador(es) de exibição 1436 através do barramento de sistema 1422 para controlar as informações enviadas para um ou mais visores 1440. O(s) controlador(es) de exibição 1436 envia(m) informação para o(s) mostrador(es) 1440 a ser exibido através de um ou mais processadores de vídeo 1442, que processam a informação a

ser exibida em um formato adequado para o(s) mostrador(es) 1440. O(s) mostrador(es) 1440 podem incluir qualquer tipo de exibição, incluindo, mas não limitado a, um tubo de raios catódicos (CRT), um mostrador de cristal líquido (LCD), um mostrador de plasma, etc.

[0079] Os peritos na técnica apreciarão ainda que os vários blocos lógicos ilustrativos, módulos, circuitos e algoritmos descritos em ligação com os aspectos divulgados nesta invenção podem ser implementados como hardware eletrônico, instruções armazenadas na memória ou em outro suporte legível por computador e executados por um processador ou outro dispositivo de processamento, ou combinações de ambos. Os dispositivos mestre e escravo descritos nesta divulgação podem ser empregados em qualquer circuito, componente de hardware, circuito integrado (IC) ou chip IC, como exemplos. A memória divulgada nesta divulgação pode ser de qualquer tipo e tamanho de memória e pode ser configurada para armazenar qualquer tipo de informação desejada. Para ilustrar claramente essa permutabilidade, vários componentes ilustrativos, blocos, módulos, circuitos e etapas foram descritos acima em termos gerais em termos de sua funcionalidade. Como tal funcionalidade é implementada depende da aplicação particular, escolhas de projeto e/ou restrições de projeto impostas ao sistema como um todo. Os especialistas na técnica podem implementar a funcionalidade descrita de maneiras variadas para cada aplicação em particular, mas tais decisões de implementação não devem ser interpretadas como causadoras de desvio do escopo da presente divulgação.

[0080] Os vários blocos lógicos ilustrativos, módulos e circuitos descritos em conexão com os aspectos revelados nesta invenção podem ser implementados ou executados com um processador, um Processador de Sinal Digital (DSP), um Circuito Integrado de Aplicação Específica (ASIC), um Arranjo de Porta Programável de Campo (FPGA) ou outro dispositivo lógico programável, porta discreta ou lógica do transistor, componentes de hardware discretos ou qualquer combinação destes concebidos para desempenhar as funções descritas na presente invenção. Um processador pode ser um microprocessador, mas, em alternativa, o processador pode ser qualquer processador convencional, controlador, microcontrolador ou máquina de estado. Um processador pode também ser implementado como uma combinação de dispositivos de computação, por exemplo, uma combinação de um DSP e um microprocessador, uma pluralidade de microprocessadores, um ou mais microprocessadores em conjunto com um núcleo de DSP, ou qualquer outra configuração deste tipo.

[0081] Os aspectos divulgados nesta invenção podem ser incorporados em hardware e em instruções que são armazenados em hardware e podem residir, por exemplo, em memória de acesso aleatório (RAM), memória flash, memória somente leitura (ROM), ROM eletricamente programável (EPROM), ROM Programável Apagável Eletricamente (EEPROM), registrador, um acionamento rígido, um acionamento removível, um CD-ROM ou qualquer outra forma de meio legível por computador conhecido no estado da técnica. Um suporte de armazenamento exemplificativo é acoplado ao processador de tal modo que o processador possa ler informação e gravar informação no meio de armazenamento. Em alternativa, o meio

de armazenamento pode ser parte integrante do processador. O processador e o meio de armazenamento podem residir em um ASIC. O ASIC pode residir em uma estação remota. Em alternativa, o processador e o meio de armazenamento podem residir como componentes discretos em uma estação remota, estação base ou servidor.

[0082] É também notado que as etapas operacionais descritas em qualquer um dos aspectos exemplares descritos nesta divulgação são descritos para fornecer exemplos e discussões. As operações descritas podem ser realizadas em numerosas sequências diferentes das sequências ilustradas. Além disso, as operações descritas em uma única etapa operacional podem, na verdade, ser executadas em várias etapas diferentes. Adicionalmente, uma ou mais etapas operacionais discutidas nos aspectos exemplares podem ser combinados. Deve ser entendido que as etapas operacionais ilustradas nos diagramas de fluxograma podem estar sujeitos a numerosas modificações diferentes, como será prontamente aparente para um especialista na técnica. Os especialistas na técnica também compreenderão que a informação e os sinais podem ser representados usando qualquer uma das várias tecnologias e técnicas diferentes. Por exemplo, dados, instruções, comandos, informações, sinais, bits, símbolos e chips que podem ser referenciados ao longo da descrição acima podem ser representados por tensões, correntes, ondas eletromagnéticas, campos ou partículas magnéticas, campos ópticos ou partículas, ou qualquer combinação destes.

[0083] A descrição anterior da divulgação é fornecida para permitir que qualquer especialista na técnica faça ou use a divulgação. Várias modificações à divulgação

serão prontamente evidentes para os especialistas na técnica, e os princípios genéricos definidos na técnica podem ser aplicados a outras variações sem se afastar do espírito ou escopo da divulgação. Assim, a divulgação não se destina a ser limitada aos exemplos e desenhos descritos no presente documento, mas deve ser-lhe atribuído o mais amplo escopo consistente com os princípios e características inovadoras descritas na presente invenção.

REIVINDICAÇÕES

1. Sistema de multiplexação de potência, caracterizado pelo fato de que compreende:

um circuito de multiplexação de potência (202, 502), compreendendo:

um primeiro circuito de seleção de alimentação (212(1), 512M) acoplado entre um primeiro trilho de potência de alimentação (204(1), 504M) tendo uma primeira tensão e um trilho de potência de saída (206, 506) acoplado a pelo menos um circuito energizado (208, 508);

o primeiro circuito de seleção de alimentação configurado para acionar, seletivamente, a primeira tensão no primeiro trilho de potência de alimentação para o trilho de potência de saída em uma primeira intensidade de acionamento com base em um primeiro indicador de intensidade de acionamento em resposta a um primeiro indicador de seleção de trilho de potência de alimentação indicando um primeiro estado habilitado de seleção de trilho de potência de alimentação; e

um segundo circuito de seleção de alimentação (212(N), 516M(T)) acoplado entre um segundo trilho de potência de alimentação (204(N)) tendo uma segunda tensão e o trilho de potência de saída;

o segundo circuito de seleção de alimentação configurado para acionar, seletivamente, a segunda tensão no segundo trilho de potência de alimentação para o trilho de potência de saída em uma segunda intensidade de acionamento com base em um segundo indicador de intensidade de acionamento em resposta a um segundo indicador de seleção de trilho de potência de alimentação indicando um segundo estado

habilitado de seleção de trilho de potência de alimentação; e

ao menos um circuito de controle (222, 522, 1022, 1222) configurado para:

monitorar uma tensão de saída do trilho de potência de saída;

em resposta ao primeiro indicador de seleção de trilho de potência de alimentação indicando o primeiro estado habilitado de seleção de trilho de potência de alimentação:

comparar um nível de tensão da tensão de saída no trilho de potência de saída com um primeiro nível de tensão de referência associado ao primeiro circuito de seleção de alimentação; e

gerar, seletivamente, o primeiro indicador de intensidade de acionamento com base na comparação do nível de tensão da tensão de saída no trilho de potência de saída com o primeiro nível de tensão de referência; e

em resposta ao segundo indicador de seleção de trilho de potência de alimentação indicando o segundo estado habilitado de seleção de trilho de potência de alimentação:

comparar o nível de tensão da tensão de saída no trilho de potência de saída com um segundo nível de tensão de referência associado com o segundo circuito de seleção de alimentação; e

gerar, seletivamente, o segundo indicador de intensidade de acionamento com base na comparação do nível de tensão da tensão de saída no trilho

de potência de saída com o segundo nível de tensão de referência, e em que:

o primeiro circuito de seleção de alimentação compreende um primeiro circuito comutador de potência (214(1), 514M) acoplado entre o primeiro trilho de potência de alimentação e o trilho de potência de saída acoplado ao pelo menos um circuito energizado, o primeiro circuito comutador de potência configurado para:

receber o primeiro indicador de seleção de trilho de potência de alimentação;

receber o primeiro indicador de intensidade de acionamento; e

acionar, seletivamente, a primeira tensão no primeiro trilho de potência de alimentação para o trilho de potência de saída na primeira intensidade de acionamento com base no primeiro indicador de intensidade de acionamento em resposta ao primeiro indicador de seleção de trilho de potência de alimentação indicando o primeiro estado habilitado de seleção de trilho de potência de alimentação; e

o segundo circuito de seleção de alimentação compreende um segundo circuito comutador de potência (214(N), 514L) acoplado entre o segundo trilho de potência de alimentação e o trilho de potência de saída, o segundo circuito comutador de potência configurado para:

receber o segundo indicador de seleção de trilho de potência de alimentação;

receber o segundo indicador de intensidade de acionamento; e

acionar, seletivamente, a segunda tensão no segundo trilho de potência de alimentação para o trilho de potência de saída na segunda intensidade de acionamento com base no segundo indicador de intensidade de acionamento em resposta ao segundo indicador de seleção de trilho de potência de alimentação indicando o segundo estado habilitado de seleção de trilho de potência de alimentação; e

o primeiro circuito comutador de potência (214(1), 514M) compreende uma primeira pluralidade de head switches de potência tendo, cada qual, uma intensidade de acionamento associada e acoplado entre o primeiro trilho de potência de alimentação e o trilho de potência de saída, cada um dentre a primeira pluralidade de head switches de potência sendo configurados para:

receber um primeiro sinal de seleção de comutador de potência associado do primeiro indicador de intensidade de acionamento; e

acionar, seletivamente, a primeira tensão no primeiro trilho de potência de alimentação para o trilho de potência de saída em resposta ao primeiro sinal de seleção de comutador de potência associado recebido indicando um primeiro estado habilitado de seleção de comutador de potência; e

o segundo circuito comutador de potência (214(N), 514L) compreende uma segunda pluralidade de head switches de potência tendo, cada qual, uma intensidade de acionamento associada e acoplado entre o segundo trilho de potência de alimentação e o trilho de potência de saída,

cada um dentre a segunda pluralidade de head switches de potência sendo configurado para:

receber um segundo sinal de seleção de comutador de potência associado do segundo indicador de intensidade de acionamento; e

acionar, seletivamente, a segunda tensão no segundo trilho de potência de alimentação para o trilho de potência de saída em resposta ao segundo sinal de seleção de comutador de potência associado recebido indicando um segundo estado habilitado de seleção de comutador de potência; e

em que o primeiro circuito de seleção de alimentação (212(1), 512M) compreende adicionalmente um circuito de controle de queda de diodo (600, 618) configurado para estabelecer uma primeira conexão de queda de diodo entre o primeiro trilho de potência de alimentação e o trilho de potência de saída, em resposta a um sinal de comutador de trilho de potência de alimentação (603) indicando um estado habilitado de comutador de trilho de potência de alimentação.

2. Sistema de multiplexação de potência, de acordo com a reivindicação 1, caracterizado pelo fato de que:

a primeira pluralidade de head switches de potência (216(1), 516M) compreende uma primeira pluralidade de transistores compreendendo, cada qual, um primeiro dreno, uma primeira fonte, e uma primeira porta configurados para receber o primeiro sinal de seleção de comutador de potência associado, cada qual configurado para acionar a primeira tensão no primeiro trilho de potência de alimentação para o trilho de potência de saída em resposta a uma tensão do

primeiro sinal de seleção de comutador de potência associado aplicado à primeira porta; e

a segunda pluralidade de head switches de potência (216(N), 516L) compreende uma segunda pluralidade de transistores, compreendendo, cada qual, um segundo dreno, uma segunda fonte, e uma segunda porta configurados para receber o segundo sinal de seleção de comutador de potência associado, cada qual configurado para acionar a segunda tensão no segundo trilho de potência de alimentação para o trilho de potência de saída em resposta a uma tensão do segundo sinal de seleção de comutador associado aplicado à segunda porta.

3. Sistema de multiplexação de potência, de acordo com a reivindicação 1, caracterizado pelo fato de que o circuito de controle de queda de diodo (600, 618) é configurado adicionalmente para desconectar a primeira conexão de queda de diodo entre o primeiro trilho de potência de alimentação e o trilho de potência de saída, em resposta ao sinal de comutador de trilho de potência de alimentação indicando um estado desabilitado de comutador de trilho de potência de alimentação.

4. Sistema de multiplexação de potência, de acordo com a reivindicação 1, caracterizado pelo fato de que, em resposta à primeira tensão ser maior do que a segunda tensão, o circuito de controle de queda de diodo (600, 618) é configurado adicionalmente para manter uma tensão de uma tensão limite abaixo da primeira tensão no trilho de potência de saída, em resposta ao sinal de comutador de trilho de potência de alimentação indicando o estado habilitado de comutador de trilho de potência de alimentação.

5. Sistema de multiplexação de potência, de acordo com a reivindicação 1, caracterizado pelo fato de que, em resposta à primeira tensão ser menor do que a segunda tensão, o circuito de controle de queda de diodo (600, 618) é configurado adicionalmente para prevenir ou reduzir o fluxo de corrente a partir do trilho de potência de saída para o primeiro trilho de potência de alimentação, em resposta ao sinal de comutador de trilho de potência de alimentação indicando o estado habilitado de comutador de trilho de potência de alimentação.

6. Sistema de multiplexação de potência, de acordo com a reivindicação 1, caracterizado pelo fato de que o circuito de controle de queda de diodo (600, 618) compreende:

uma entrada de queda de diodo (604) acoplada a uma primeira entrada de seleção de trilho de potência (606) do primeiro circuito de seleção de alimentação;

uma entrada de controle de queda de diodo (610) configurada para receber o sinal de comutador de trilho de potência de alimentação (603); e

uma saída de queda de diodo (614) acoplada a uma primeira saída de potência (616);

o circuito de controle de queda de diodo sendo configurado para estabelecer a primeira conexão de queda de diodo entre a primeira entrada de seleção de trilho de potência e a primeira saída de potência, em resposta ao sinal de comutador de trilho de potência de alimentação indicando o estado habilitado de comutador de trilho de potência de alimentação.

7. Sistema de multiplexação de potência, de acordo com a reivindicação 1, caracterizado pelo fato de que o pelo menos um circuito de controle compreende um primeiro circuito de seleção de modo adaptativo configurado para:

prover, seletivamente, o primeiro indicador de intensidade de acionamento como um primeiro indicador de intensidade de acionamento bypass em resposta a um primeiro sinal de seleção de modo adaptativo indicando um estado desabilitado de modo adaptativo; e

prover, seletivamente, o primeiro indicador de intensidade de acionamento como um primeiro indicador de intensidade de acionamento adaptativo em resposta ao primeiro sinal de seleção de modo adaptativo indicando um estado habilitado de modo adaptativo.

8. Sistema de multiplexação de potência, de acordo com a reivindicação 7, caracterizado pelo fato de que ao menos um circuito de controle compreende adicionalmente um segundo circuito de seleção de modo adaptativo configurado para:

prover, seletivamente, o segundo indicador de intensidade de acionamento como um segundo indicador de intensidade de acionamento de bypass em resposta a um segundo sinal de seleção de modo adaptativo indicando um estado desabilitado de modo adaptativo; e

prover, seletivamente, o segundo indicador de intensidade de acionamento como um segundo indicador de intensidade de acionamento adaptativo em resposta ao segundo sinal de seleção de modo adaptativo indicando um estado habilitado de modo adaptativo.

9. Sistema de multiplexação de potência, de acordo com a reivindicação 7, caracterizado pelo fato de que o primeiro circuito de seleção de modo adaptativo compreende um primeiro circuito multiplexador, compreendendo:

uma primeira entrada configurada para receber o primeiro indicador de intensidade de acionamento de bypass;

uma segunda entrada configurada para receber o primeiro indicador de intensidade de acionamento adaptativo;

uma entrada de seleção configurada para receber o primeiro sinal de seleção de modo adaptativo; e

uma saída configurada para prover o primeiro indicador de intensidade de acionamento;

o primeiro circuito multiplexador configurado para:

prover, seletivamente, o primeiro indicador de intensidade de acionamento de bypass a partir da primeira entrada para a saída em resposta ao primeiro sinal de seleção de modo adaptativo a partir da entrada de seleção indicando o estado desabilitado de modo adaptativo; e

prover, seletivamente, o primeiro indicador de intensidade de acionamento adaptativo a partir da segunda entrada para a saída em resposta ao primeiro sinal de seleção de modo adaptativo a partir da entrada de seleção indicando o estado habilitado de modo adaptativo.

10. Sistema de multiplexação de potência, de acordo com a reivindicação 1, caracterizado pelo fato de que o pelo menos um circuito de controle compreende:

um circuito comparador configurado para gerar um sinal de saída de comparação indicativo de uma comparação em

nível de tensão entre a tensão de saída e uma tensão de saída de referência; e

um circuito de contador configurado para atualizar um valor de contagem de um indicativo de contador do nível de tensão com base no sinal de saída de comparação, e gerar um indicador de intensidade de acionamento indicativo do nível de tensão da tensão de saída;

o pelo menos um circuito de controle configurado para gerar o primeiro indicador de intensidade de acionamento compreendendo o indicador de intensidade de acionamento em resposta ao primeiro indicador de seleção de trilho de potência de alimentação indicando o primeiro estado habilitado de seleção de trilho de potência de alimentação.

11. Sistema de multiplexação de potência, de acordo com a reivindicação 10, caracterizado pelo fato de que o pelo menos um circuito de controle compreende adicionalmente um circuito conversor digital/análogo (DAC) configurado para gerar a tensão de saída de referência com base em uma palavra de código recebida.

12. Sistema de multiplexação de potência, de acordo com a reivindicação 1, caracterizado pelo fato de que o pelo menos um circuito de controle compreende:

um primeiro oscilador controlado por tensão, VCO (1000(1)) configurado para gerar uma primeira tensão de controle em uma primeira frequência com base em uma tensão de referência (1002);

um segundo VCO (1000(1)) configurado para gerar uma segunda tensão de controle em uma segunda frequência com base na tensão de saída no trilho de potência de saída; e

um circuito de máquina de estado (1006) configurado para:

gerar o primeiro indicador de intensidade de acionamento (610, 710) com base em uma comparação entre a primeira frequência da primeira tensão de controle com a segunda frequência da segunda tensão de controle em resposta ao primeiro indicador de seleção de trilho de potência de alimentação indicando o primeiro estado habilitado de seleção de trilho de potência de alimentação.

13. Sistema de multiplexação de potência, de acordo com a reivindicação 1, caracterizado pelo fato de que comprehende adicionalmente um circuito de rampa lenta (530) configurado para:

em resposta ao primeiro sinal de seleção de comutador de potência associado recebido indicando o primeiro estado habilitado de seleção de comutador de potência:

receber o primeiro indicador de intensidade de acionamento; e

controlar uma taxa de rampa do primeiro indicador de intensidade de acionamento; e

em resposta ao segundo sinal de seleção de comutador de potência associado recebido indicando o segundo estado habilitado de seleção de comutador de potência;

receber o segundo indicador de intensidade de acionamento; e

controlar uma taxa de rampa do segundo indicador de intensidade de acionamento.

14. Sistema de multiplexação de potência, de acordo com a reivindicação 1, caracterizado pelo fato de que:

o primeiro trilho de potência de alimentação compreende um trilho de potência de alimentação de memória (504M) configurado para receber uma tensão de memória como a primeira tensão a partir de uma alimentação de potência de memória em um domínio de memória;

o segundo trilho de potência de alimentação compreende um trilho de potência de alimentação lógico (504L) configurado para receber uma tensão lógica como a segunda tensão a partir de uma alimentação de potência lógica em um domínio lógico; e

o pelo menos um circuito energizado compreende ao menos um arranjo de memória (508);

o primeiro circuito de seleção de alimentação é configurado para acionar, seletivamente, a tensão de memória no trilho de potência de alimentação de memória para o trilho de potência de saída na primeira intensidade de acionamento com base no primeiro indicador de intensidade de acionamento em resposta ao primeiro indicador de seleção de trilho de potência de alimentação indicando o primeiro estado habilitado de seleção de trilho de potência de alimentação em resposta à tensão lógica sendo um nível de tensão menor que um nível de tensão limite para retenção de dados no pelo menos um arranjo de memória; e

o segundo circuito de seleção de alimentação é configurado para acionar, seletivamente, a tensão lógica para o trilho de potência de saída na segunda intensidade de acionamento com base no segundo indicador de intensidade de

acionamento em resposta ao segundo indicador de seleção de trilho de potência de alimentação indicando o segundo estado habilitado de seleção de trilho de potência de alimentação em resposta à tensão lógica sendo um nível de tensão igual ou maior que o nível de tensão limite para retenção de dados em ao menos um arranjo de memória.

15. Método de controle adaptativo de intensidade de acionamento de potência multiplexada a partir de trilhos de potência de alimentação em um circuito de multiplexação de potência (202, 502) para um circuito energizado (208, 508), caracterizado pelo fato de que compreende:

monitorar uma tensão de saída de um trilho de potência de saída (206, 506);

em resposta a um primeiro indicador de seleção de trilho de potência de alimentação indicando um primeiro estado habilitado de seleção de trilho de potência de alimentação:

comparar um nível de tensão da tensão de saída do trilho de potência de saída com um primeiro nível de tensão de referência associado a um primeiro circuito de seleção de alimentação (212(1), 512M);

gerar, seletivamente, um primeiro indicador de intensidade de acionamento com base na comparação do nível de tensão da tensão de saída no trilho de potência de saída com o primeiro nível de tensão de referência; e

acionar, seletivamente, uma primeira tensão em um primeiro trilho de potência de alimentação (204(1), 504M) para o trilho de potência de saída em uma primeira intensidade de acionamento com base no primeiro indicador de intensidade de acionamento;

em resposta a um segundo indicador de seleção de trilho de potência de alimentação indicando um segundo estado habilitado de seleção de trilho de potência de alimentação:

comparar o nível de tensão da tensão de saída no trilho de potência de saída com um segundo nível de tensão de referência associado a um segundo circuito de seleção de alimentação (212(N), 512L);

gerar, seletivamente, um segundo indicador de intensidade de acionamento com base na comparação do nível de tensão da tensão de saída no trilho de potência de saída com um segundo nível de tensão de referência; e

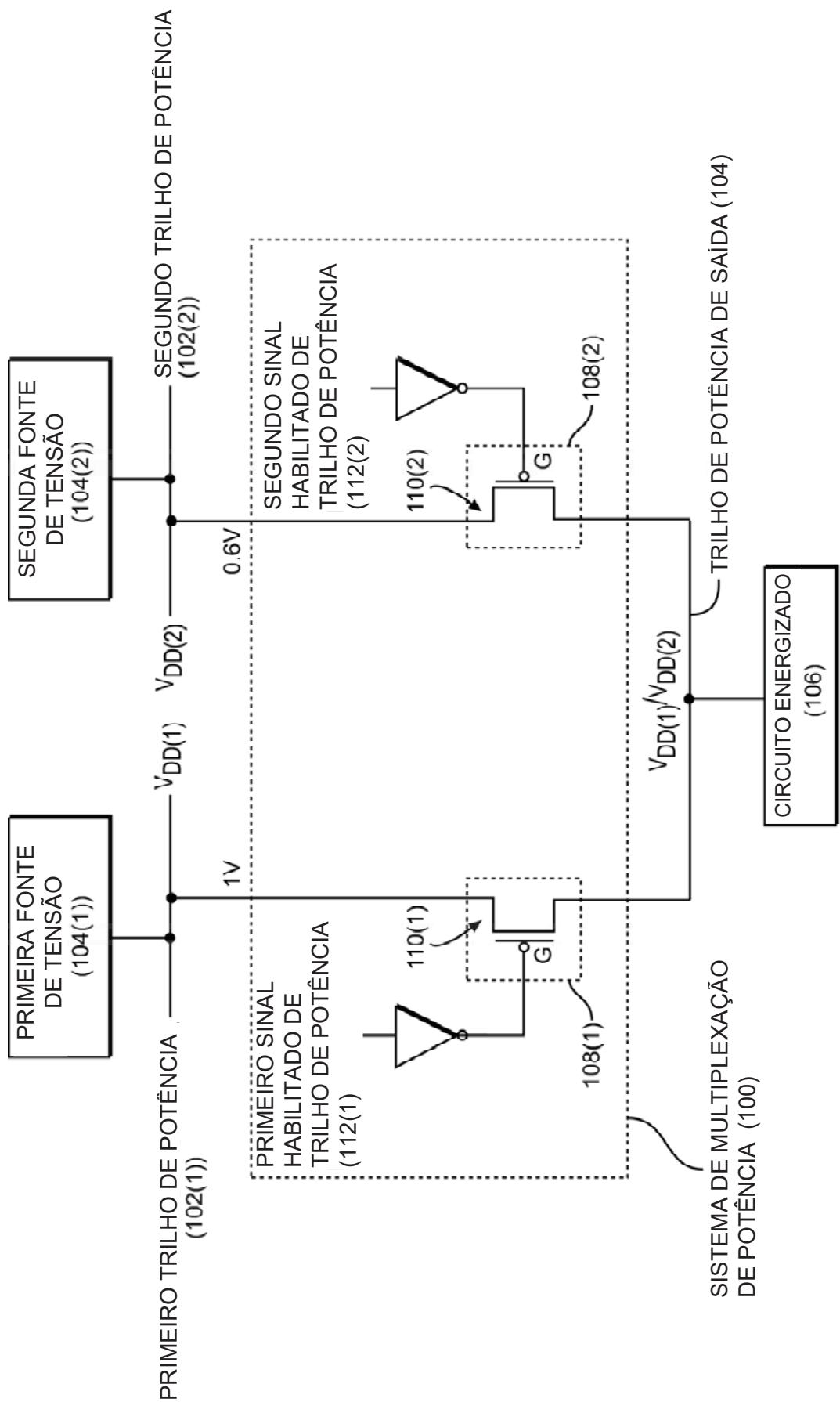
acionar, seletivamente, uma segunda tensão em um segundo trilho de potência de alimentação (204(N), 504L) para o trilho de potência de saída em uma segunda intensidade de acionamento com base no segundo indicador de intensidade de acionamento,

em que acionar, seletivamente, a primeira tensão no primeiro trilho de potência de alimentação comprehende acionar, seletivamente, um ou mais head switches de potência de uma primeira pluralidade de head switches de potência, cada qual tendo uma intensidade de acionamento associada e acoplado entre o primeiro trilho de potência de alimentação e o trilho de potência de saída, com base no primeiro indicador de intensidade de acionamento; e

acionar, seletivamente, a segunda tensão no segundo trilho de potência de alimentação comprehende acionar, seletivamente, um ou mais head switches de potência de uma segunda pluralidade de head switches de potência, cada qual tendo uma intensidade de acionamento associada e acoplados entre o segundo trilho de potência de alimentação

e o trilho de potência de saída, com base no segundo indicador de intensidade de acionamento;

o método compreendendo adicionalmente estabelecer uma conexão de queda de diodo entre o primeiro trilho de potência de alimentação e o trilho de potência de saída, em resposta a um sinal de comutador de trilho de potência de alimentação (603) indicando um estado habilitado de comutador de trilho de potência.

**FIG. 1**

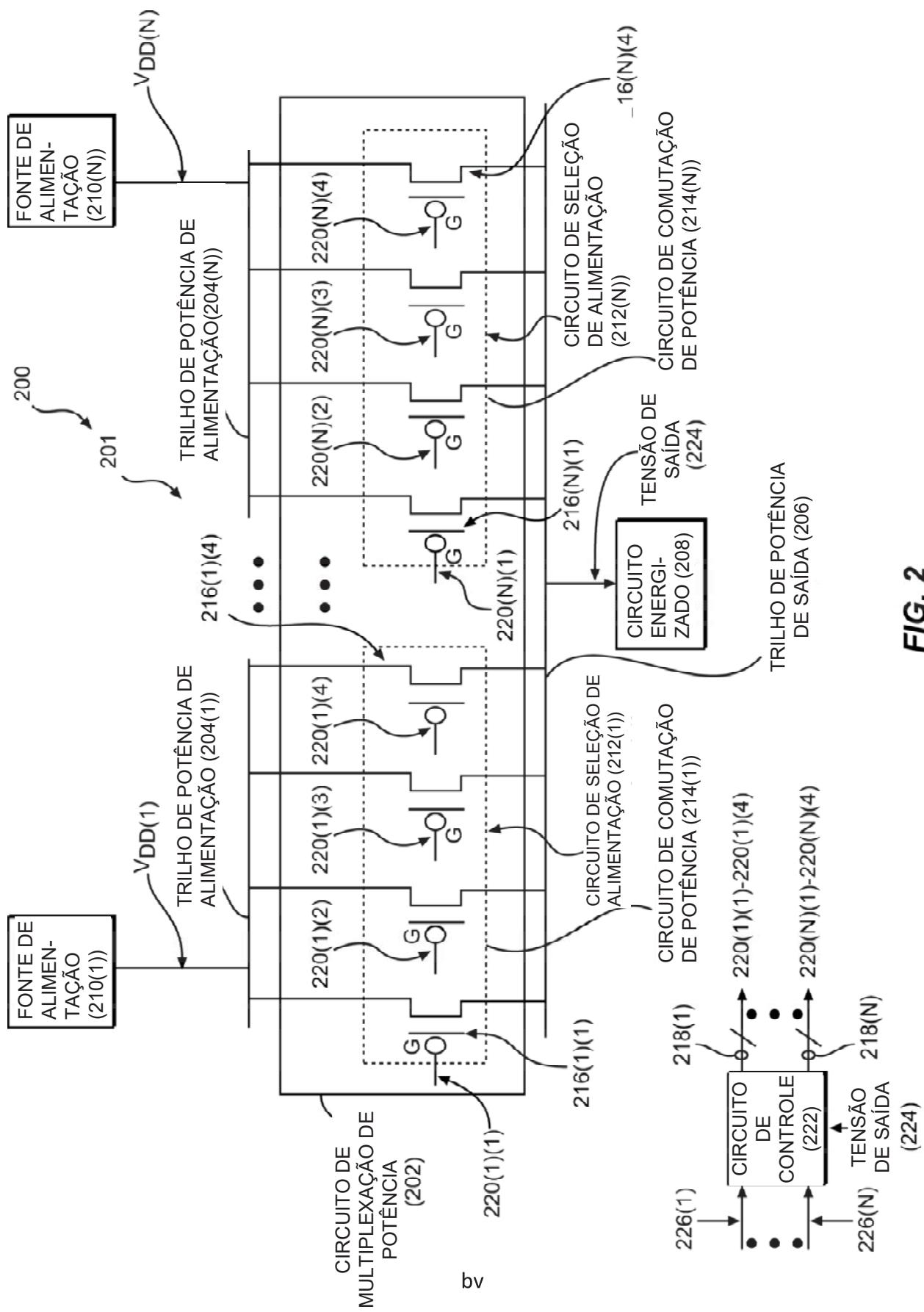
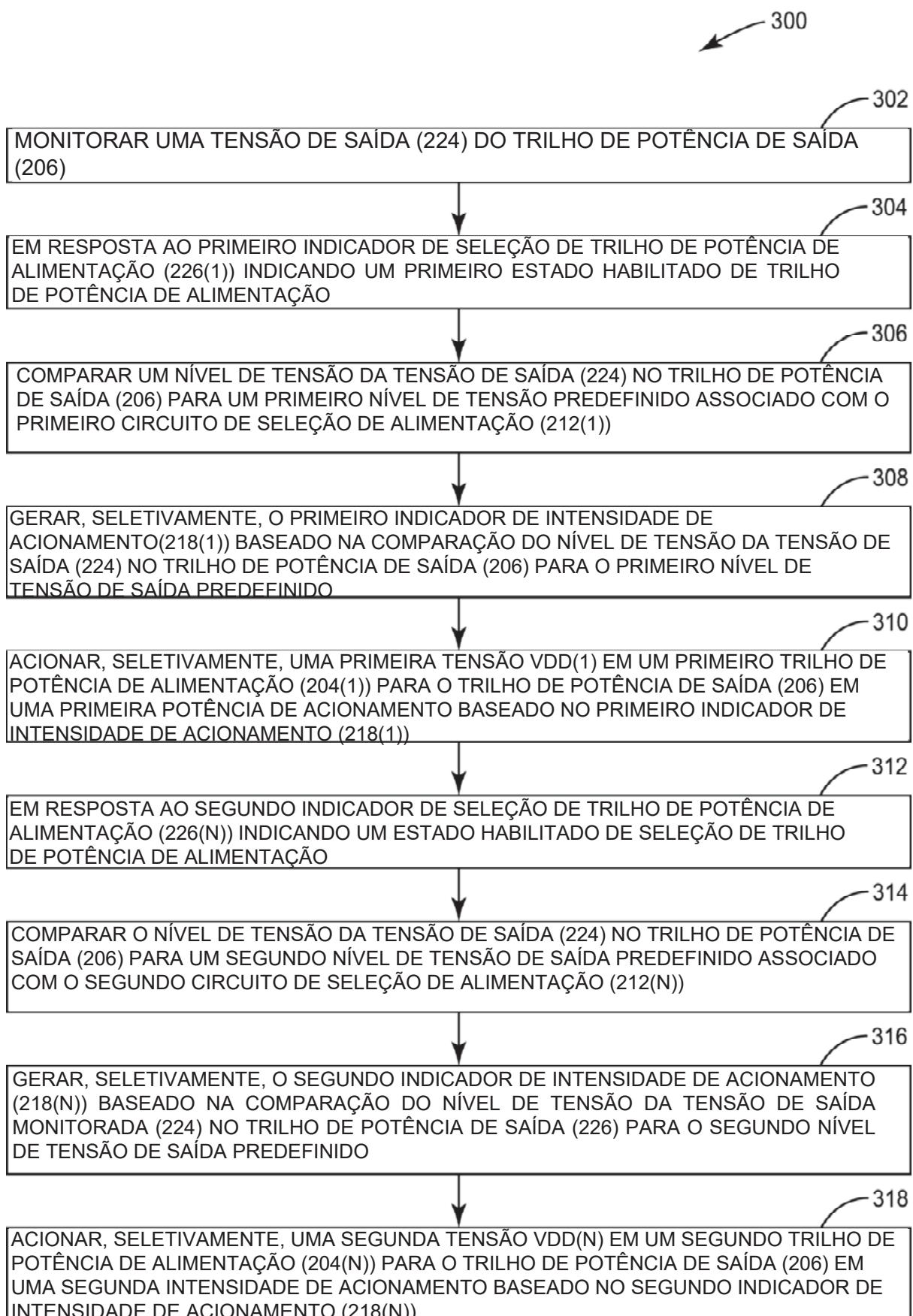
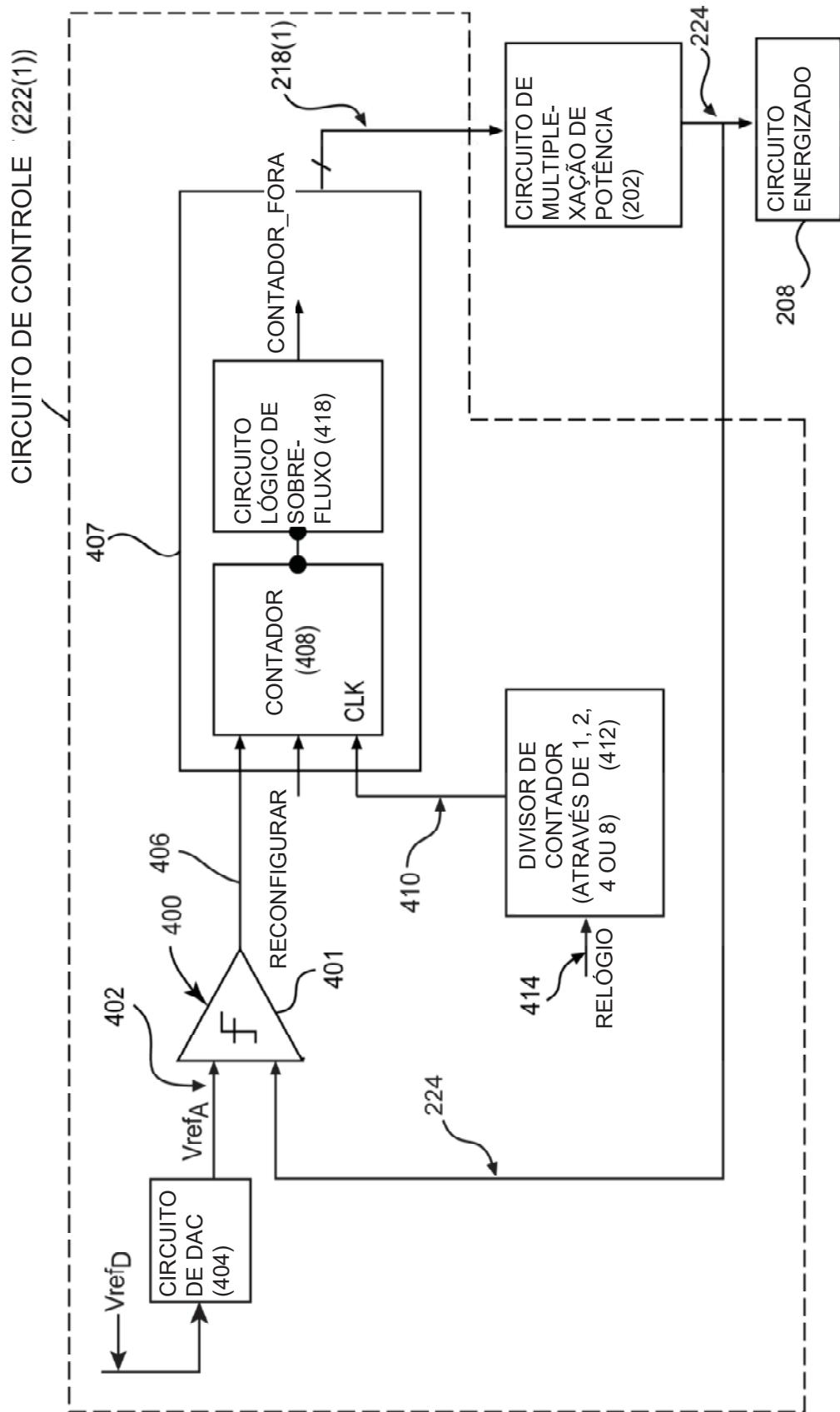
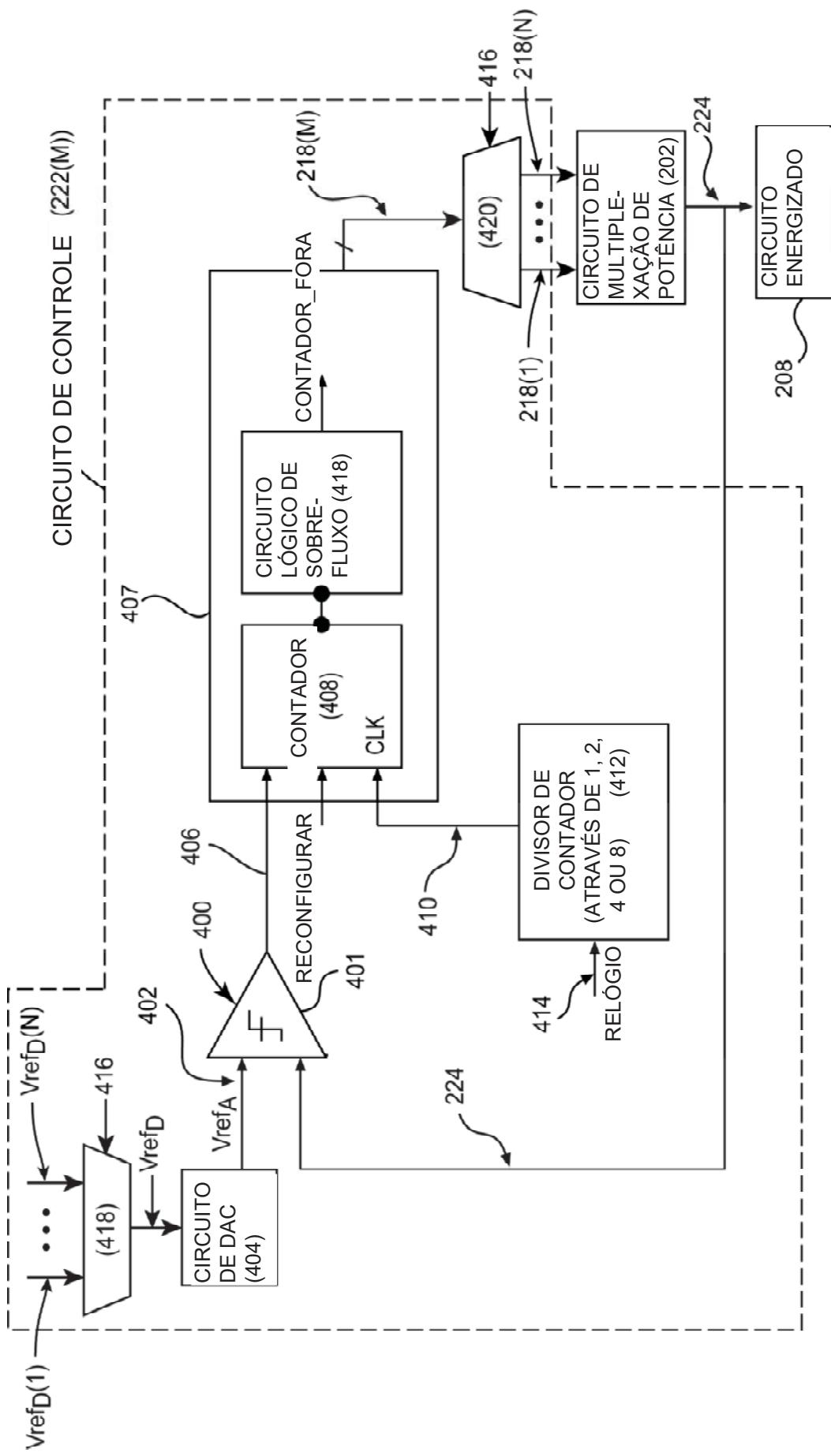
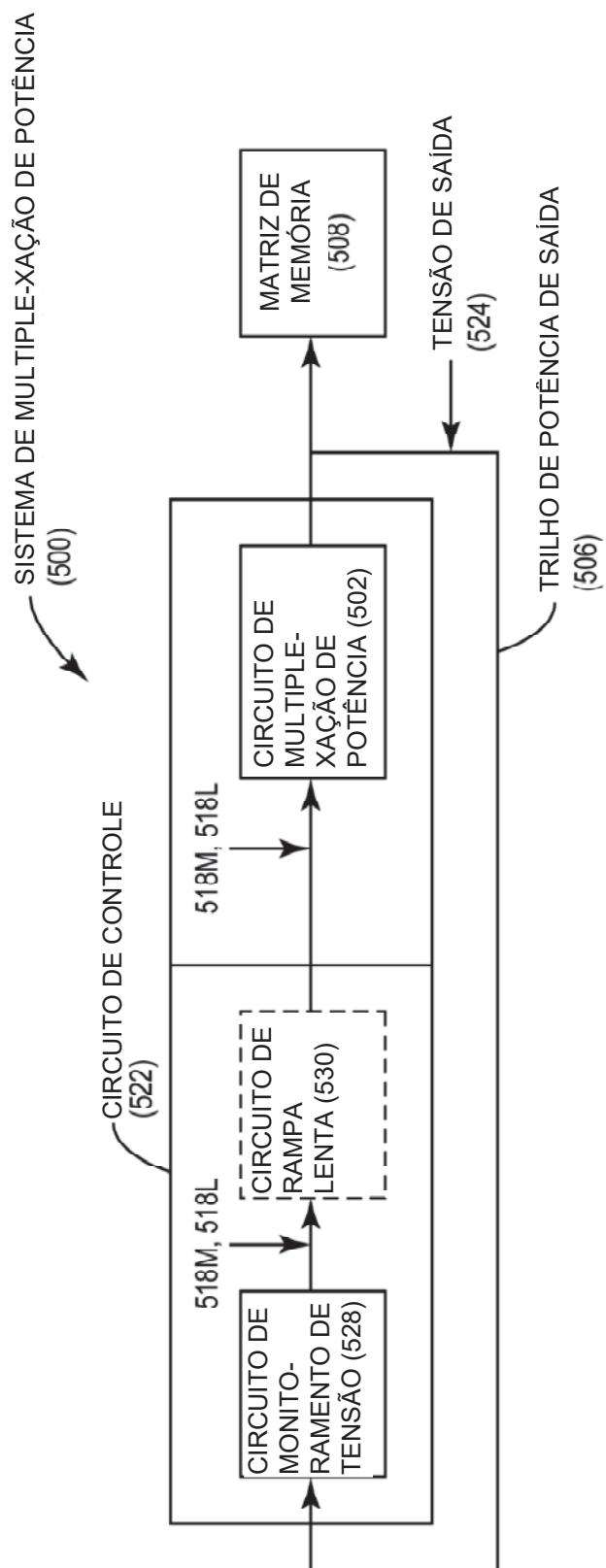


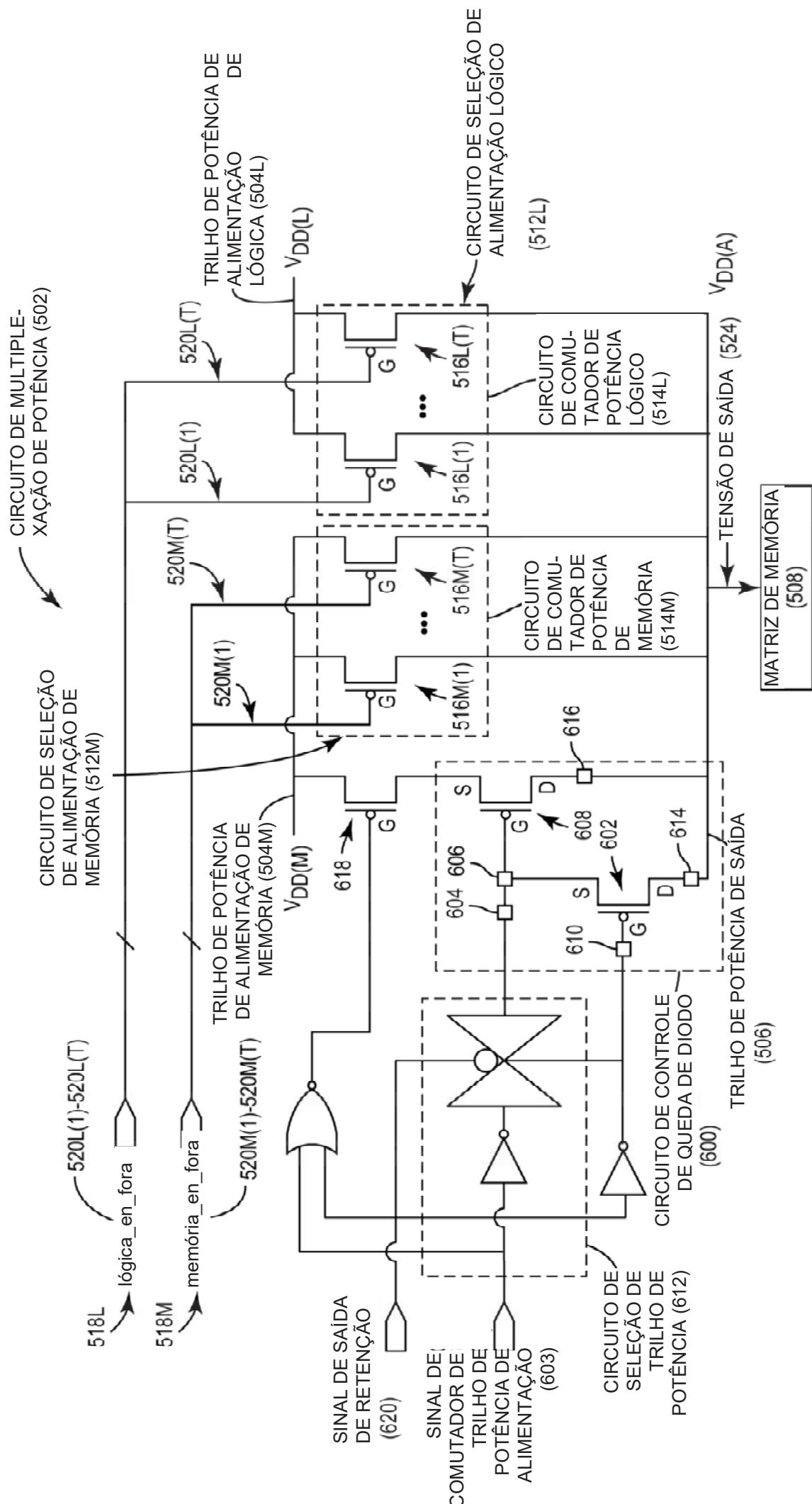
FIG. 2

**FIG. 3**

**FIG. 4A**

**FIG. 4B**

**FIG. 5**

**FIG. 6**

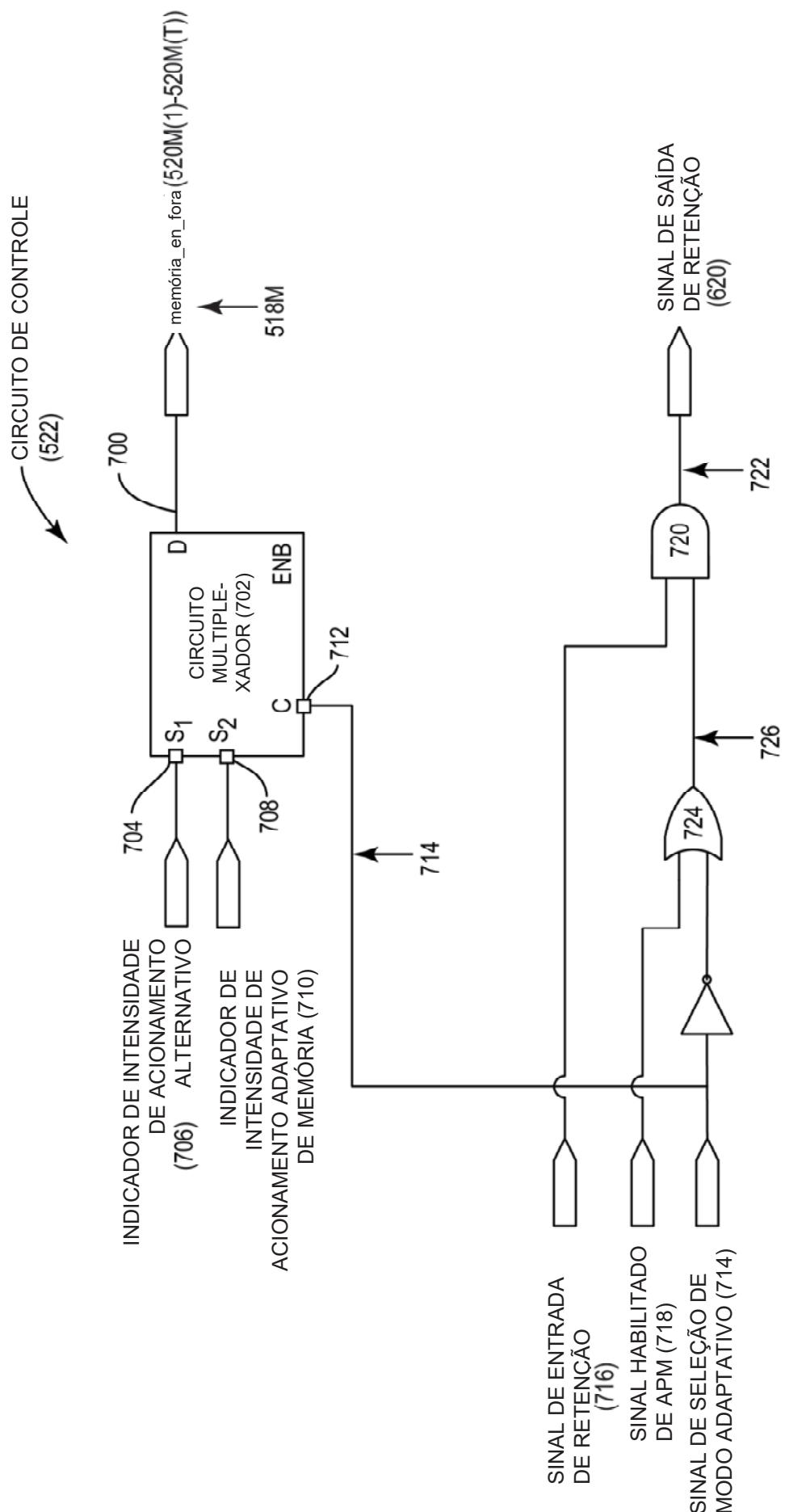


FIG. 7

800

entradas->	SINAL DE SELEÇÃO DE MODO ADAPTATIVO (714)	SINAL HABILITADO DE APM (718)	SINAL DE ENTRADA DE RETENÇÃO (716)	SINAL DE SAÍDA DE RETENÇÃO (620)	INDICADOR DE INTENSIDADE DE ACIONAMENTO DE MEMÓRIA (518M)
Estado	0	x	x	0	INDICADOR DE INTENSIDADE DE ACIONAMENTO ALTERNATIVO (706)
ASR Alternativo	1	0	0	0	INDICADOR DE INTENSIDADE DE ACIONAMENTO ADAPTATIVO DE MEMÓRIA(710)
Colapso	1	0	1	0	INDICADOR DE INTENSIDADE DE ACIONAMENTO ADAPTATIVO DE MEMÓRIA(710)
ASR Habilido	1	1	0	0	INDICADOR DE INTENSIDADE DE ACIONAMENTO ADAPTATIVO DE MEMÓRIA(710)
Funcional	1	1	0	0	INDICADOR DE INTENSIDADE DE ACIONAMENTO ADAPTATIVO DE MEMÓRIA(710)
Trilhos de Potência de Alimentação Entre Comutadores (504M, 504L)	1	1	1	1	INDICADOR DE INTENSIDADE DE ACIONAMENTO ADAPTATIVO DE MEMÓRIA(710)

FIG. 8

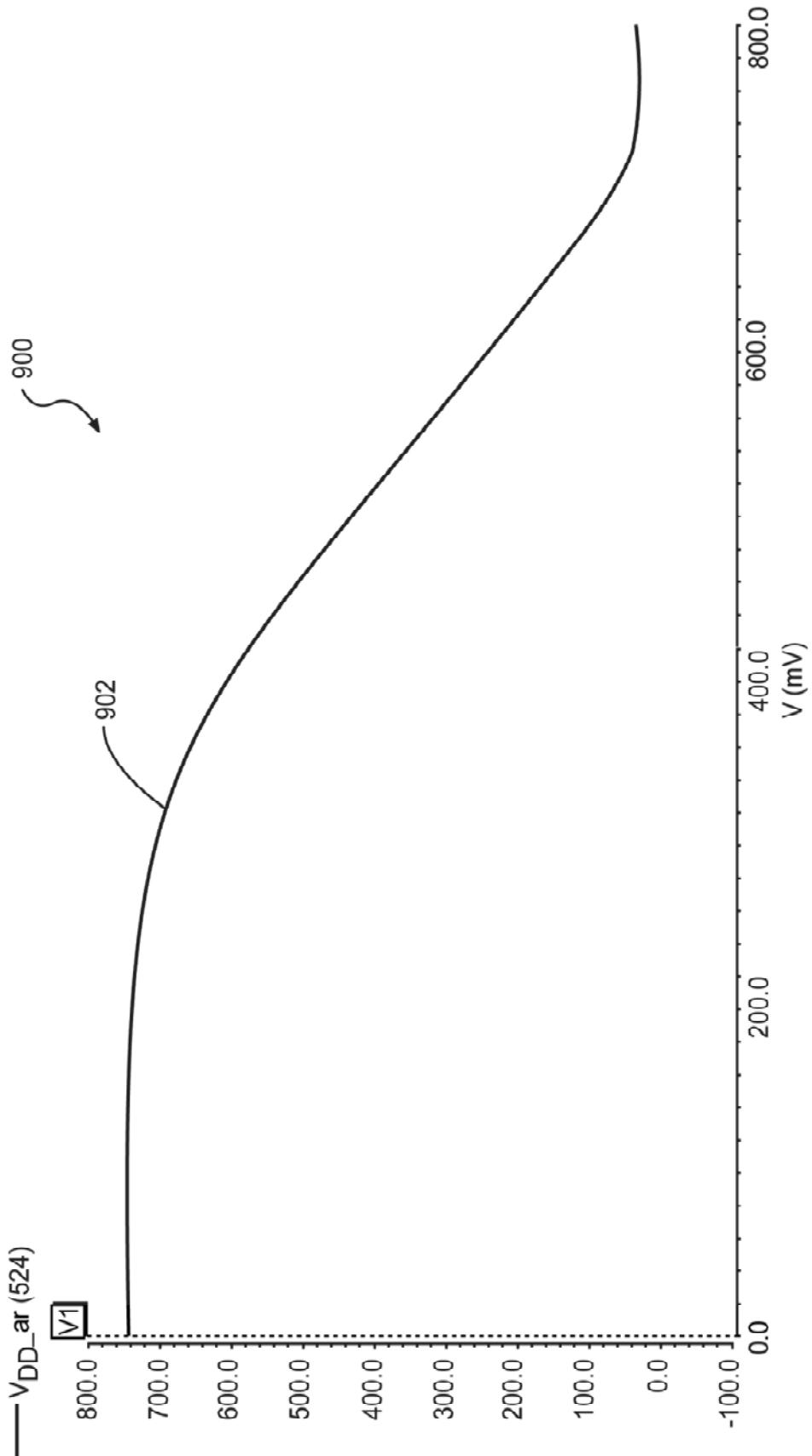


FIG. 9

CIRCUITO DE CONTROLE (1022)

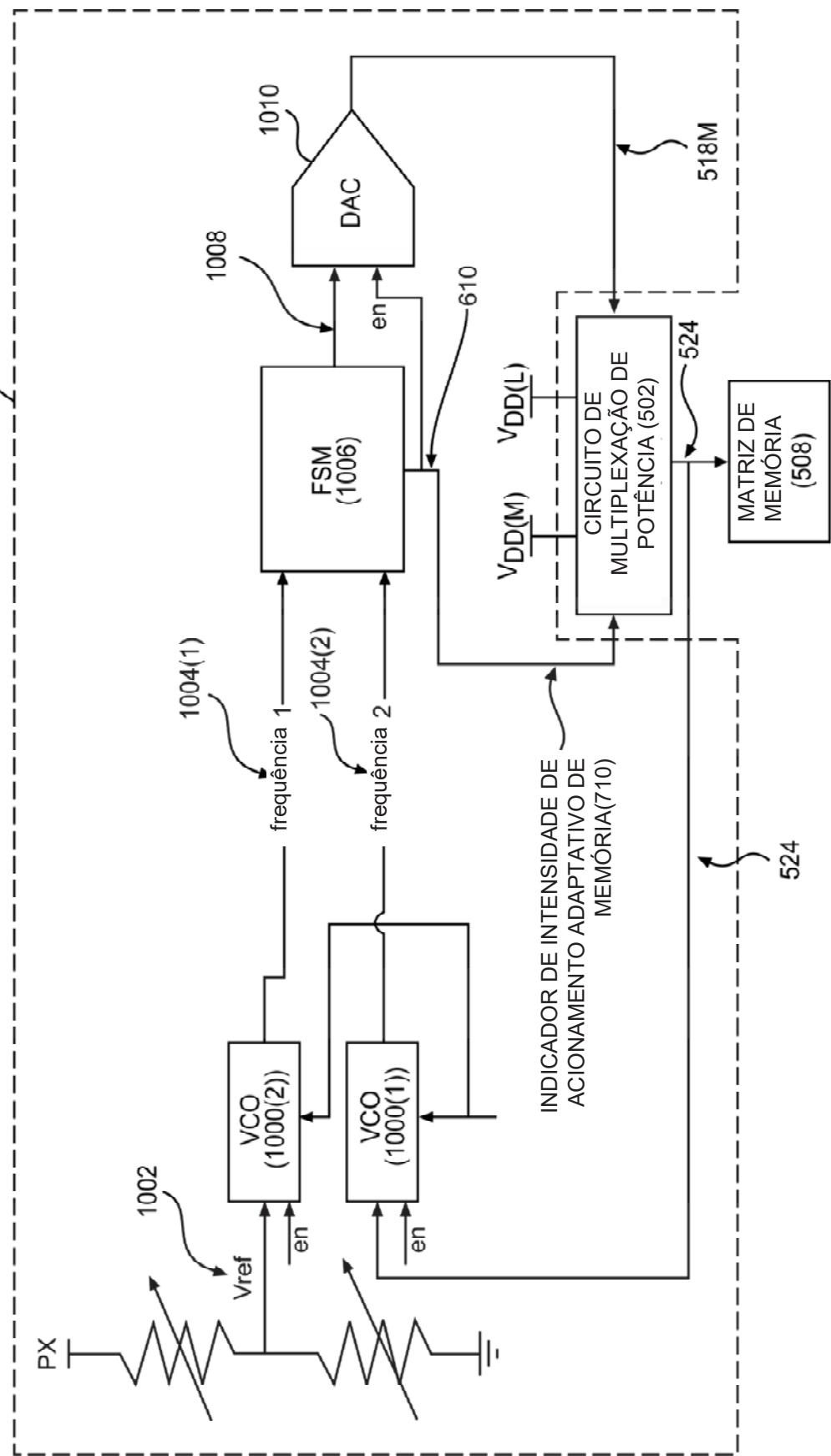


FIG. 10

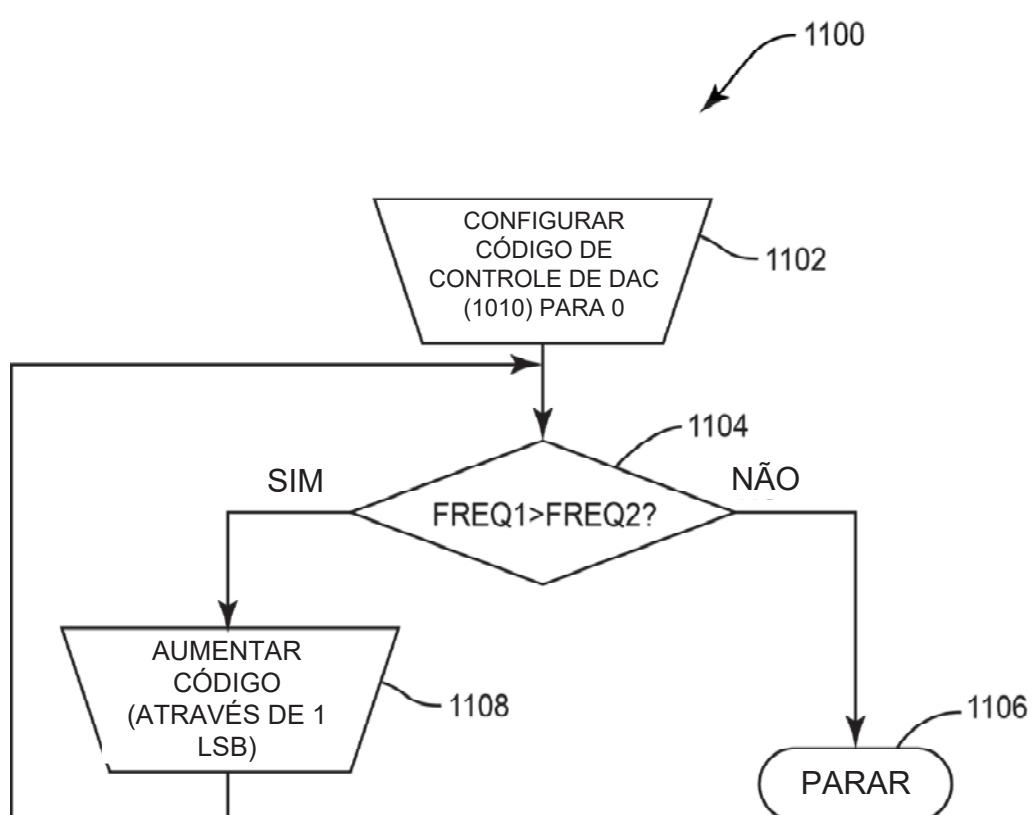


FIG. 11

CIRCUITO DE CONTROLE (1222)

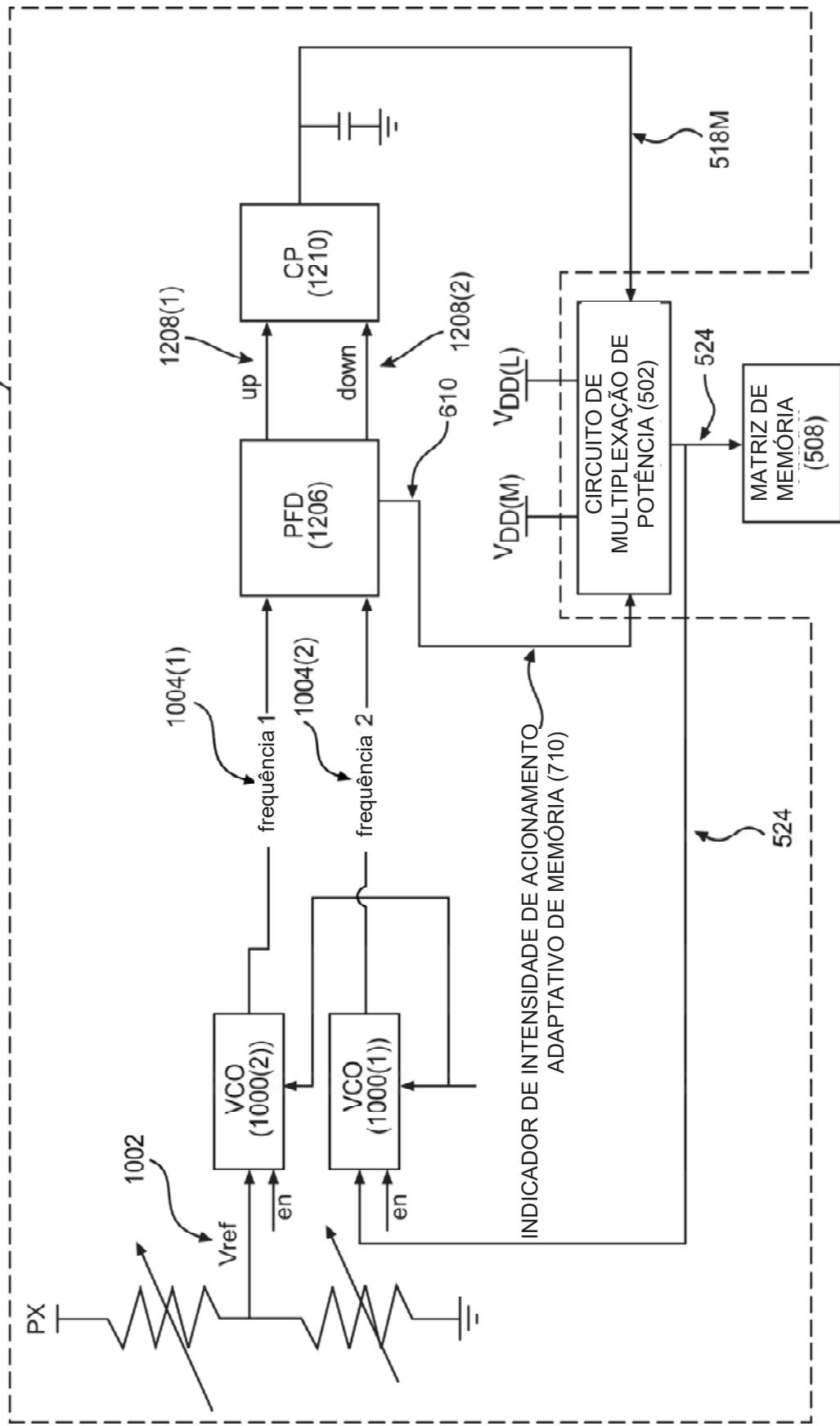
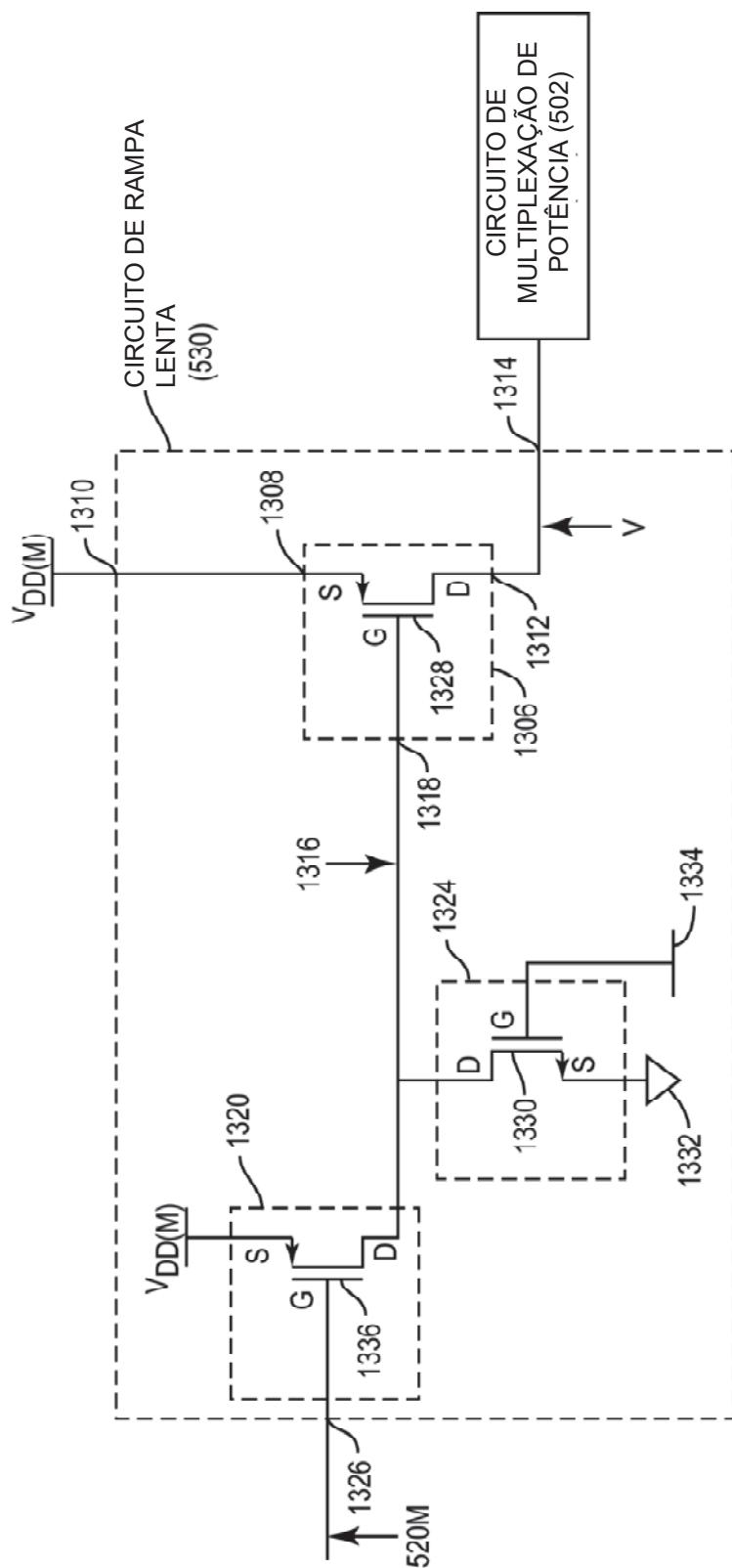
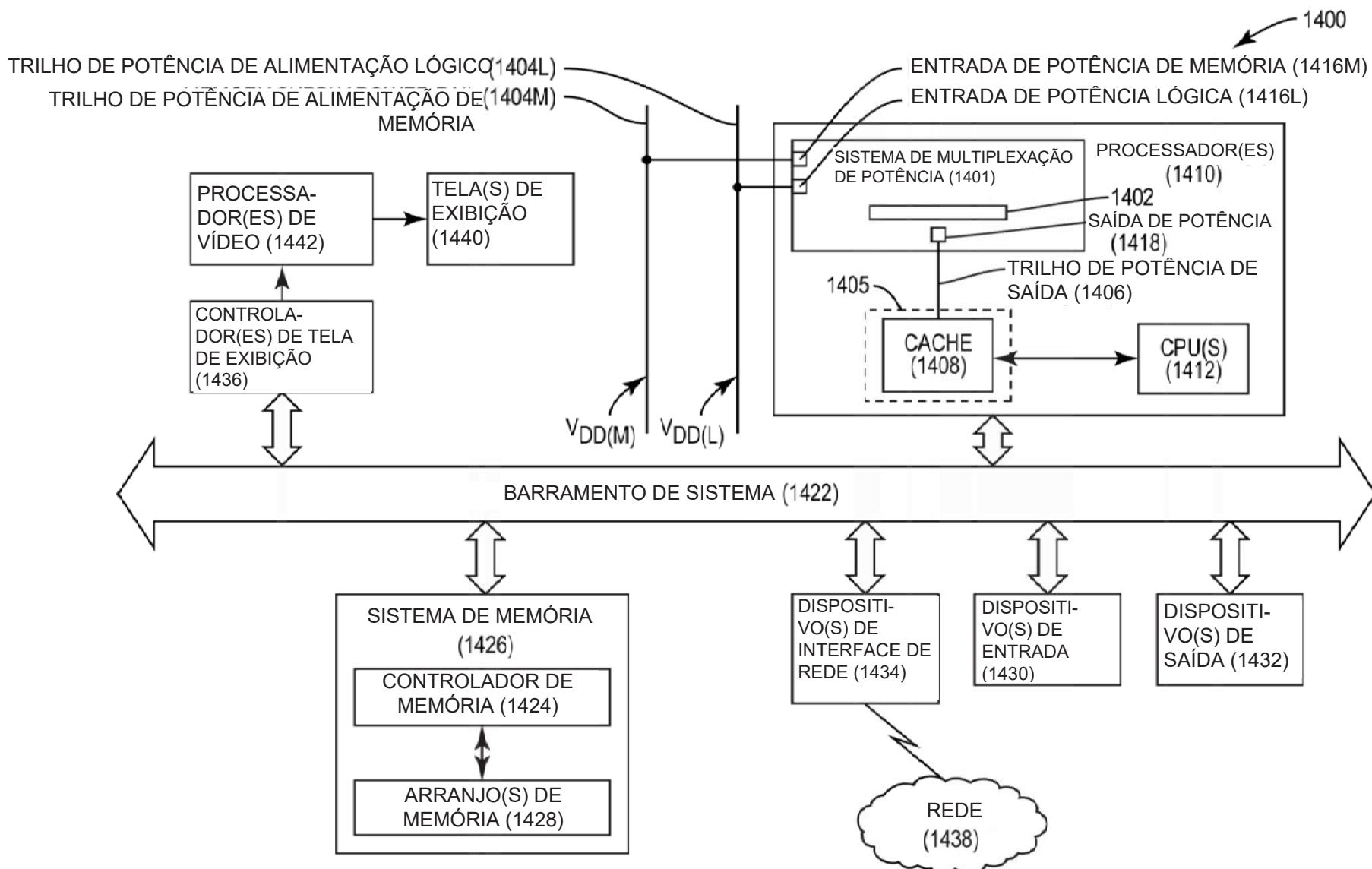


FIG. 12

**FIG. 13**

**FIG. 14**