



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 03.04.80 (21) 2902292/18-24

с присоединением заявки № -

(23) Приоритет -

Опубликовано 07.07.82, Бюллетень № 25

Дата опубликования описания 07.07.82

(11) 941994

[51] М. Кл.³

G 06 F 7/00

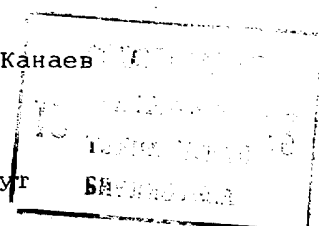
[53] УДК 681.3
(088.8)

(72) Авторы
изобретения

А. Н. Мелихов, Л. С. Берштейн и М. М. Канаев

(71) Заявитель

Таганрогский радиотехнический институт
им. В. Д. Калмыкова



(54) ЯЧЕЙКА ОДНОРОДНОЙ СТРУКТУРЫ

1

Изобретение относится к цифровой вычислительной технике и предназначено для использования в однородных вычислительных структурах, для реализации распылчатых логических формул.

Известна ячейка однородной вычислительной матрицы, содержащая триггер и элементы И, ИЛИ, НЕ, которая позволяет реализовать четыре режима работы: запись, чтение, ассоциативный поиск и поиск максимума [1].

Однако эта ячейка не позволяет реализовать операции над распылчатыми высказываниями и выполнять преобразования над распылчатыми логическими формулами в полном объеме.

Наиболее близким к предлагаемому по технической сущности является устройство для сравнения двоичных чисел, содержащее первый регистр, выход которого подключен к шине блока сравнения, второй регистр, выход которого подключен к элементу И, дешифратор, вход которого подключен к входным шинам, а выход к элементу И, выходы элемента И подходят к элементу ИЛИ далее в третий регистр [2].

Недостатком известного устройства являются ограниченные функциональные возможности, в частности, на нем не-

2

возможно реализовать основные операции над распылчатыми высказываниями. Это, в свою очередь, не позволяет строить из таких ячеек однородную структуру для реализации распылчатых алгоритмов управления производством или технологическим процессом. Вместе с тем, при разработке специализированных параллельных вычислителей для управления производством или технологическими процессами все большую роль играют распылчатые алгоритмы, отображающие качественный характер решений, принимаемых оператором ввиду сложности управляемых процессов, наличия в структуре управления людей и неполноте априорных знаний. Основным элементом распылчатых алгоритмов являются распылчатые высказывания и формулы, для реализации которых требуется расширить функциональные возможности устройства.

Целью изобретения является расширение функциональных возможностей за счет обеспечения возможности преобразования распылчатых логических формул, что является основной процедурой при реализации распылчатых алгоритмов управления.

Поставленная цель достигается тем, что в ячейку однородной структуры, содержащую три регистра, схему сравнения, первую группу элементов И, элементы ИЛИ и дешифратор, введены коммутаторы, четвертый регистр и вторая группа элементов И, причем группы выходов первого, второго и третьего регистров соединены с первыми группами информационных входов первого, второго и третьего коммутаторов соответственно, группы выходов которых соединены с входами элементов ИЛИ соответственно, выходы которых подключены к выходам ячейки соответственно, группа выходов первого коммутатора соединена с первыми группами информационных входов второго и третьего регистров и первой группой входов схемы сравнения, группа выходов второго коммутатора соединена с второй группой информационных входов третьего регистра и второй группой входов схемы сравнения, группа выходов третьего коммутатора соединена с третьей группой входов схемы сравнения, группа выходов схемы сравнения соединена с первыми входами элементов И первой группы соответственно, вторые входы которых соединены с первым выходом четвертого регистра, выходы элементов И второй группы соединены с управляющими входами первого и второго коммутаторов, первый выход четвертого регистра подключен к управляющим входам первого и второго регистров, второй выход четвертого регистра соединен с первыми входами элементов И второй группы, вторые входы которых соединены с выходами дешифратора соответственно, выходы элементов И первой группы соединены с вторыми группами информационных входов первого и второго коммутаторов, второй группой информационных входов второго регистра и третьей группой информационных входов третьего регистра, группа информационных входов первого регистра и третья группа информационных входов второго регистра соединены с информационными входами ячейки, вход четвертого регистра и входы дешифратора соединены с управляющими входами ячейки.

На фиг. 1 показана функциональная схема ячейки однородной структуры; на фиг. 2 - часть однородной структуры, состоящая из ячеек.

Каждая ячейка однородной структуры связана с соседними ячейками с помощью четырех восьмиразрядных информационных шин (информационные входы), из которых две являются входными и две выходными для данной ячейки, кроме того, имеются горизонтальные и вертикальные шины настройки (управ-

ляющие входы), которые соединены со всеми ячейками параллельно.

Ячейка содержит (фиг.1) регистр 1, коммутатор 2, регистр 3, коммутатор 4, регистр 5, коммутатор 6, схему 7 сравнения, группу элементов И 8, регистр 9, дешифратор 10, группу элементов И 11, группу элементов ИЛИ 12, информационные 13 и управляющие 14 входы, выходы 15. Ячейки 16 объединяются в однородную структуру, как показано на фиг. 2.

Выходы трех регистров 1, 3 и 5 соединены с информационными входами трех коммутаторов 2, 4 и 6 соответственно, выходы всех трех коммутаторов 2, 4 и 6 соединены через элементы ИЛИ 12 с выходами 15 ячейки. Кроме того, выходы коммутатора 2 соединены с информационными входами регистров 3 и 5 соответственно и с входами схемы 7 сравнения, выходы коммутатора 4 соединены с информационными входами регистра 5 и с входными шинами схемы 7 сравнения, выходы коммутатора 6 соединены с входами схемы 7 сравнения, выходы которой соединены с одними из входов элементов И 8, а другие входы соединены с выходом регистра 9. Выходы элементов И соединены с входами коммутаторов 2 и 4, с входами регистров 3 и 5, выход регистра 9 соединен также с управляющими входами коммутатора 6, регистров 1 и 3, а другой выход соединен с первыми входами элементов И 11, вторые входы которых соединены с выходами дешифратора, выходы элементов И 11 соединены с управляющими входами коммутаторов 2 и 4.

Ячейка предназначена для реализации микропрограмм обработки простых расплывчатых высказываний и для образования однородной структуры, позволяющей выполнять операции записи, чтения и ассоциативного поиска информации, а также обработку расплывчатых логических формул, образованных из простых расплывчатых высказываний.

Расплывчатым высказыванием называется предложение, относительно которого можно судить о степени его истинности или ложности в настоящее время. Степень истинности каждого расплывчатого высказывания принимает значения из интервала 0,1. Примерами расплывчатых высказываний являются "Четыре - небольшое число", "На перекрестке много машин", "Эта книга очень интересная". Степень истинности первого расплывчатого высказывания положим равной 0,9, второго - 0,6, третьего - 0,2. Если обозначить первое высказывание $\tilde{a}$, а второе $\tilde{b}$, а третье $\tilde{c}$, то $\tilde{a} = 0,9$; $\tilde{b} = 0,6$; $\tilde{c} = 0,2$.

Если $\tilde{a}$ и $\tilde{b}$ - некоторые расплывчатые высказывания, то составные расплывчатые высказывания образуются из простых с помощью логических операций:

- 1) отрицание $\neg \tilde{a} = 1 - \tilde{a}$,
- 2) конъюнкция $\tilde{a} \wedge \tilde{b} = \min(\tilde{a}, \tilde{b})$;
- 3) дизъюнкция $\tilde{a} \vee \tilde{b} = \max(\tilde{a}, \tilde{b})$;
- 4) импликация $\tilde{a} \rightarrow \tilde{b} = \max(1 - \tilde{a}, \tilde{b})$;
- 5) эквивалентность $\tilde{a} \leftrightarrow \tilde{b} = \min(\max(1 - \tilde{a}, \tilde{b}), \max(\tilde{a}, 1 - \tilde{b}))$.

Если заданы степени истинности простых расплывчатых высказываний, используя (1) - (5), можно найти степень истинности составного расплывчатого высказывания, а также решать расплывчатые логические уравнения.

Рассмотрим пояснения расплывчатых высказывательных переменных и расплывчатых логических формул. Расплывчатой высказывательной переменной $\tilde{x}$ называется расплывчатое высказывание, степень истинности которого может принимать произвольные значения из $[0, 1]$. Расплывчатой логической формулой $\tilde{A}(\tilde{x}_1, \dots, \tilde{x}_n)$ ($n \geq 1$) называется: а) любая расплывчатая переменная или константа из $[0, 1]$; б) если $\tilde{A}_1(\tilde{x}_1, \dots, \tilde{x}_n)$ и $\tilde{A}_2(\tilde{x}_1, \dots, \tilde{x}_n)$ - расплывчатые формулы, то применение к ним конечного числа раз логических операций ($\neg, \wedge, \vee, \rightarrow, \leftrightarrow$) приводит к получению расплывчатой логической формулы; в) других расплывчатых логических формул не существует.

Функциональные назначения элементов, образующих ячейку.

Регистр 1 предназначен для параллельного приема, хранения и выдачи в прямом или в инверсном кодах эталонного значения расплывчатого высказывания на схему сравнения, на выходные шины и на регистры 3 и 5. Регистр имеет восемь информационных входов, по которым поступают значения расплывчатого высказывания, восемь прямых и восемь инверсных информационных выходов и два управляющих входа "Запись" и "Сброс".

Регистр 3 предназначен для параллельного приема, хранения и выдачи в прямом или инверсном кодах текущего значения расплывчатого высказывания на схему сравнения, на выходные шины ячейки или на регистр 5. Регистр имеет восемь информационных входов, по которым поступает на вход информация, восемь прямых и восемь инверсных выходов для выдачи информации и два управляющих входа "Запись" и "Сброс".

Регистр 5 предназначен для параллельного приема, хранения и выдачи в прямом коде промежуточного значения расплывчатого высказывания на выходные шины или на схему сравнения. Регистр имеет восемь входов и восемь

выходов информационных и два управляющих входа "Запись" и "Сброс".

Разрядность каждого регистра - 1 байт.

Коммутатор 2 предназначен для коммутации прямых и инверсных выходов регистра 1 на входные шины схемы сравнения, на выходные шины ячейки и на информационные входы регистра 3 или 5. Коммутатор состоит из шести двухвходовых элементов И, каждая группа включает в себя по восемь элементов, т.е. по одной схеме на каждый разряд регистра. Одни из входов элементов И каждой группы соединены с прямыми или инверсными выходами регистра, а другие входы этой группы объединяются и образуют управляющий вход. Таким образом, коммутатор имеет две восьмиразрядных входных информационных шины, четыре восьмиразрядных выходных информационных шины и 6 управляющих входов. Выходы некоторых пар групп элементов И поразрядно объединены элементами ИЛИ.

Коммутатор 4 предназначен для коммутации прямых или инверсных выходов регистра 3 на входные шины схемы сравнения, на выходные шины ячейки и на информационные входы регистра 5. По составу и функционированию аналогичен коммутатору 2.

Коммутатор 6 предназначен для коммутации выходов регистра 5 на входы схемы сравнения или на выходные шины ячейки и состоит из двух групп двухвходовых элементов И. Одни из входов элементов И каждой группы соединены с прямыми выходами регистра, а другие входы элементов И каждой группы объединены и образуют управляющие входы. Таким образом, коммутатор имеет восьмиразрядную входную и две восьмиразрядных выходных информационных шины и два управляющих входа.

Схема 7 сравнения предназначена для параллельного сравнения двух кодов восьмиразрядных положительных чисел на равенство, больше или меньше, т.е. реализует следующие функции: если А и В два числа, то

$$H_1(A, B) = \begin{cases} 1, & \text{при } A = B \\ 0, & \text{при } A \neq B \end{cases}$$

$$H_2(A, B) = \begin{cases} 1, & \text{при } A \geq B \\ 0, & \text{при } A < B \end{cases}$$

Схема построена как классическая схема сравнения на комбинационных элементах. На входные шины А и В схемы сравнения поступают коды чисел, на выходе имеем признаки H_1 , H_2 или $\bar{H}_1$, $\bar{H}_2$, которые выдают соответствующие триггера. Работу схемы не сложно проследить, задавая раз-

личные коды чисел. Схема сравнения имеет две восьмиразрядных входных шины и четыре выходных шины признаков.

Сдвиговой регистр 9 предназначен для формирования серии последовательных управляющих сигналов, необходимых для функционирования ячейки.

Дешифратор 10 предназначен для дешифрации кода выполняемой операции.

Первая группа элементов И 11 предназначена для формирования сигналов управления для коммутаторов 2 и 4 в зависимости от кода выполняемой операции. Одни входы элементов И соединены с выходами дешифратора 10, а другие входы соединены с различными выходами сдвигового регистра 9. Выходы элементов И соединены с управляющими входами коммутаторов 2 и 4.

Вторая группа элементов И 8 предназначена для формирования необходимых управляющих сигналов для регистров 3 и 5 и коммутаторов 2 и 4. Одни входы элементов И второй группы соединены с выходами схемы сравнения, а другие входы каждого элемента И соединены с различными выходами регистра 9. Выходы элементов И 8 соединены с управляющими входами регистров 3, 5 и коммутаторов 2 и 4.

Рассмотрим работу ячейки при выполнении наиболее сложной операции — эквивалентности.

В начале по коду сброса с выхода дешифратора осуществляется обнуление всех регистров и триггеров (цепи обнуления не показаны, как принято для регулярных цепей).

На первом такте сдвигающий регистр 9 формирует сигнал записи на регистр 1. В результате действия этого сигнала на регистр 1 осуществляется запись эталонного значения расплывчатого высказывания, например $\tilde{a} = 0,6$, с входных шин ячейки. На втором такте сдвигающий регистр 9 формирует сигнал записи на регистр 3 текущего значения расплывчатого высказывания, например $\tilde{b} = 0,7$, которое также поступает с входных шин.

Дешифратор 10 дешифрирует код операции эквивалентности и тем самым возбуждает один из выходов дешифратора — выход операции эквивалентности. Возбужденный выход дешифратора и третий тактовый сигнал с регистра 9 поступают на вход одной из схем И первой группы, а сигнал с выхода этой схемы поступает на коммутаторы 2 и 4, как сигнал разрешения выдачи на входные шины схемы сравнения содержимого первого регистра в инверсном коде, в данном случае $1 - \tilde{a} = 0,4$, а содержимого регистра 3 в прямом коде, т.е. $\tilde{b} = 0,7$. Схема сравнения сравнивает значения $\tilde{a}$ и $\tilde{b}$ и возбуждает выход $\tilde{H}_2$, подтверждающий,

что $\tilde{a} < \tilde{b}$. Сигнал с четвертого такта регистра 9 совместно с возбужденным выходом $\tilde{H}_2$ схемы сравнения поступает на одну из схем И второй группы, которая, в свою очередь, формирует сигнал в коммутатор 4 и на регистр 5. Управляющий сигнал в коммутаторе 4 коммутирует выходы регистра 3 с входами регистра 5, а сигнал на регистре 5 разрешает запись значения $\tilde{b} = 0,7$ на регистр 5.

Сигнал с пятого такта регистра 9 поступает на один из входов схемы И первой группы, а второй вход этой схемы И соединен с возбужденным выходом дешифратора 10. Сигнал с выхода этой схемы И поступает на коммутаторы 2 и 4. Коммутатор 2 коммутирует выход регистра 1 на схему сравнения в прямом коде, т.е. $\tilde{a} = 0,6$, а коммутатор 4 коммутирует выход регистра 3 в инверсном коде, т.е. $\tilde{b} = 1 - \tilde{b} = 0,3$.

Схема сравнения сравнивает значения $\tilde{a}$ и $\tilde{b}$, возбуждает выход $\tilde{H}_2$, т.е. $\tilde{a} > \tilde{b}$. Сигналы с шестого такта регистра 9 и с возбужденного выхода $\tilde{H}_2$ схемы сравнения поступают на вход одной из схем И второй группы, сигнал с выхода этой схемы И поступает на коммутатор 2 и на регистр 3. В коммутаторе 2 осуществляется коммутация выхода регистра 1 на вход регистра 3, а на регистр 3 разрешает запись значения содержимого регистра 1, т.е. $\tilde{a} = 0,6$ переписывается на регистр 3.

Сигнал седьмого такта с регистра 9 поступает на управляющий вход коммутатора 6 и на один из входов схемы И первой группы, второй вход этой схемы И соединен с возбужденным выходом дешифратора 10. Сигнал с выхода этой схемы И поступает на один из управляющих входов коммутатора 4. На этом рабочем такте коммутатор 6 коммутирует выходы регистра 5 на входные шины схемы сравнения для выдачи на схему сравнения значения $\tilde{b} = 0,7$, находящиеся на регистре 5, а коммутатор 4 коммутирует выходы регистра 3 с вторыми входными шинами схемы сравнения для выдачи на схему сравнения значения $\tilde{a} = 0,6$. Причем в схеме сравнения выходы коммутатора 4 соединены с одними из входных шин схемы сравнения, а выходы коммутаторов 2 и 6 объединяются через схему ИЛИ и соединены с другими входными шинами.

В результате сравнения на выходе схемы сравнения возбуждается выход $\tilde{H}_2$, так как код содержимого регистра 3 в данном случае $\tilde{a} = 0,6$ меньше, чем код, находящийся в регистре 5, в данном случае $\tilde{b} = 0,7$. Сигнал

с восьмого такта регистра 9 совместно с возбужденным выходом $\bar{H}_2$ поступает на вход одной из схем И второй группы. Сигнал с выхода этой схемы И поступает на коммутатор 4 и тем самым соединяет прямые выходы регистра 3 с выходными шинами ячейки. На этом выполнение операции эквивалентности над распывчатыми высказываниями завершается.

Другие операции выполняются аналогично различным частям операции эквивалентности, так как входят в ее состав.

Ячейка однородной структуры работает следующим образом.

В начале работы необходимо установить в нулевое состояние все регистры, что осуществляется с помощью единичного потенциала, который формирует дешифратор 10 (фиг.2), по коду сброса, поступающего по управляющим шинам 14 на вход дешифратора.

После сброса осуществляется запись информации или значения распывчатых высказываний $\bar{a}$ и $\bar{b}$ на регистры 1 и 3 соответственно под действием совместных выходных сигналов регистра 9 и дешифратора через группу элементов И 11. Информация, необходимая для записи, поступает по входной информационной шине 13.

Настройка ячейки на выполнение конкретной операции производится по коду, поступающему по управляющим шинам на дешифратор.

После настройки ячейки на операцию начинается процесс реализации микропрограмм.

Микропрограммы операции чтения и инверсии наиболее простые и завершаются выдачей на выход в прямом и инверсном коде соответственно содержимого регистров 1 или 3.

Микропрограммы операций конъюнкции, дизъюнкции, импликации и ассоциативного поиска очень близки между собой и выполняются за одинаковое количество микротактов.

Микропрограмма операции дизъюнкции (конъюнкции).

1. Сброс.
2. Запись значения на регистры 1 и 3.
3. Выдать на схему сравнения содержимое регистров 1 и 3.
4. Сравнение, выдать на выход наибольшее (наименьшее) из сравниваемых значений.
5. Конец.

Микропрограмма операции импликации.

1. Сброс.
2. Запись значения на регистры 1 и 3.
3. Выдать на схему сравнения содержимое регистра 1 в прямом коде, а регистра 3 в инверсном коде.
4. Сравнение, выдать на выход наибольшее из сравниваемых значений.

5. Конец.

Микропрограмма операции ассоциативного поиска.

1. Сброс.
2. Запись значения на регистры 1 и 3.
3. Выдать на схему сравнения содержимое регистров 1 и 3.
4. Сравнение, при равенстве выдать на выход одно из сравниваемых значений.
5. Конец.

При реализации этих микропрограмм с помощью коммутаторов 2 и 4 осуществляется выдача на схему сравнения содержимого регистров 1 и 3 в прямом, инверсном или прямом и инверсном кодах.

Следующий такт регистра 9 совместно с выходными сигналами схемы сравнения формирует управляющий потенциал, который осуществляет выдачу на выход содержимого регистра 1 или 3, для чего коммутатор 2 и 4 подключает выходы регистра 1 или 3 к выходным шинам 13, через группу элементов ИЛИ 12.

Микропрограмма операции эквивалентности наиболее сложная и выполняется в три этапа.

Микропрограмма операции эквивалентности.

1. Сброс.
2. Запись значения на регистры 1 и 3.
3. Выдать на схему сравнения содержимое регистра 1 в прямом коде и регистра 3 в инверсном коде.
4. Сравнение, запись на регистр 3 наибольшего значения из сравниваемых значений регистров 1 и 3.
5. Выдать на схему сравнения содержимое регистра 1 в инверсном коде, а регистра 3 в прямом коде.
6. Сравнение, если значения регистра 1 больше значения регистра 3, то запись на регистр 3 содержимого регистра 1, в противном случае регистр 3 сохраняет первоначальное значение.
7. Выдать на схему сравнения содержимое регистров 1 и 3.
8. Сравнение, выдать на выход наименьшее из сравниваемых значений.
9. Конец.

На первых двух этапах реализации этой микропрограммы повторяются последовательно два раза действия операции импликации и результаты операции запоминают регистры 3 и 5 соответственно.

На третьем этапе реализации микропрограммы в результате действия управляющего сигнала регистра 9 на коммутаторы 4 и 6 осуществляется выдача на схему сравнения содержимых регистров 3 и 5.

Завершается микропрограмма тем, что, в результате совместных действий двух сигналов с регистра 9 и схемы

7 сравнения на коммутатор 4 или 6, подключаются выходы регистра 3 или 5 соответственно к выходным шинам ячейки 13 через группу элементов ИЛИ 12.

Введение новых узлов позволяет на основе аналогичных ячеек построить однородную вычислительную структуру для реализации расплывчатых алгоритмов, которые работают в режиме принятия решения в сложных условиях, что является особенно актуальным в управлении сложными технологическими процессами, в робототехнике, а также в моделировании деятельности человека при принятии решений в условиях неопределенности или расплывчатости входной информации.

Формула изобретения

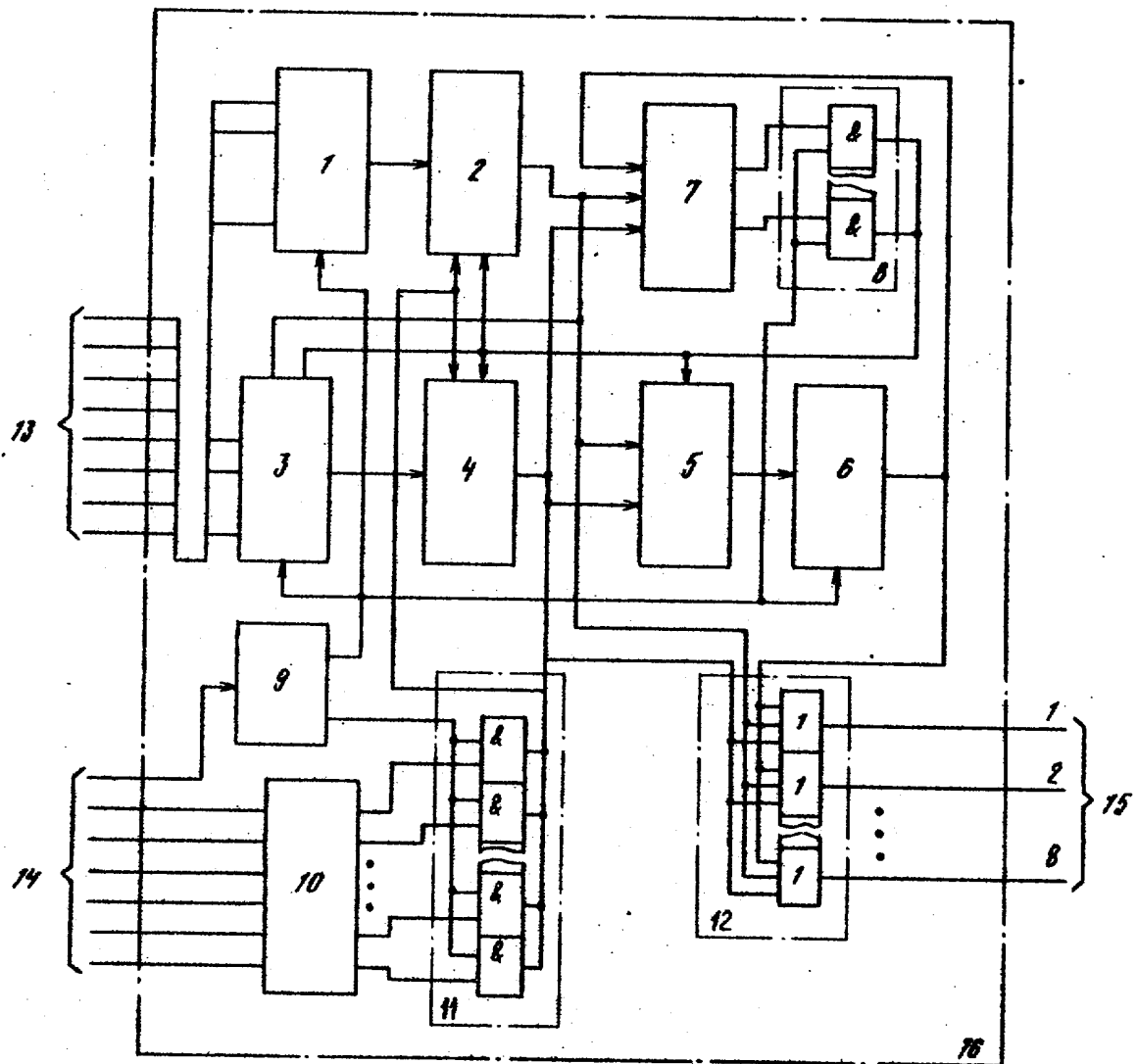
Ячейка однородной структуры, содержащая три регистра, схему сравнения, первую группу элементов И, элементы ИЛИ и дешифратор, отличающаяся тем, что, с целью расширения ее функциональных возможностей за счет обеспечения возможности преобразования расплывчатых логических формул, в нее введены коммутаторы, четвертый регистр и вторая группа элементов И, причем группы выходов первого, второго и третьего регистров соединены с первыми группами информационных входов первого, второго и третьего коммутаторов соответственно, группы выходов которых соединены с выходами элементов ИЛИ соответственно, выходы которых подключены к выходам ячейки соответственно, группа выходов первого коммутатора соединена с первыми группами информационных входов второго и третьего регистров

и первой группой входов схемы сравнения, группа выходов второго коммутатора соединена с второй группой информационных входов третьего регистра и второй группой входов схемы сравнения, группа выходов третьего коммутатора соединена с третьей группой входов схемы сравнения, группа выходов схемы сравнения соединена с первыми входами элементов И первой группы соответственно, вторые входы которых соединены с первым выходом четвертого регистра, выходы элементов И второй группы соединены с управляющими входами первого и второго коммутаторов, первый выход четвертого регистра подключен к управляющим входам первого и второго регистров, второй выход четвертого регистра соединен с первыми входами элементов И второй группы, вторые входы которых соединены с выходами дешифратора соответственно, выходы элементов И первой группы соединены с вторыми группами информационных входов первого и второго коммутаторов, второй группой информационных входов второго регистра и третьей группой информационных входов третьего регистра, группа информационных входов первого регистра и третья группа информационных входов второго регистра соединены с информационными входами ячейки, вход четвертого регистра и входы дешифратора соединены с управляющими входами ячейки.

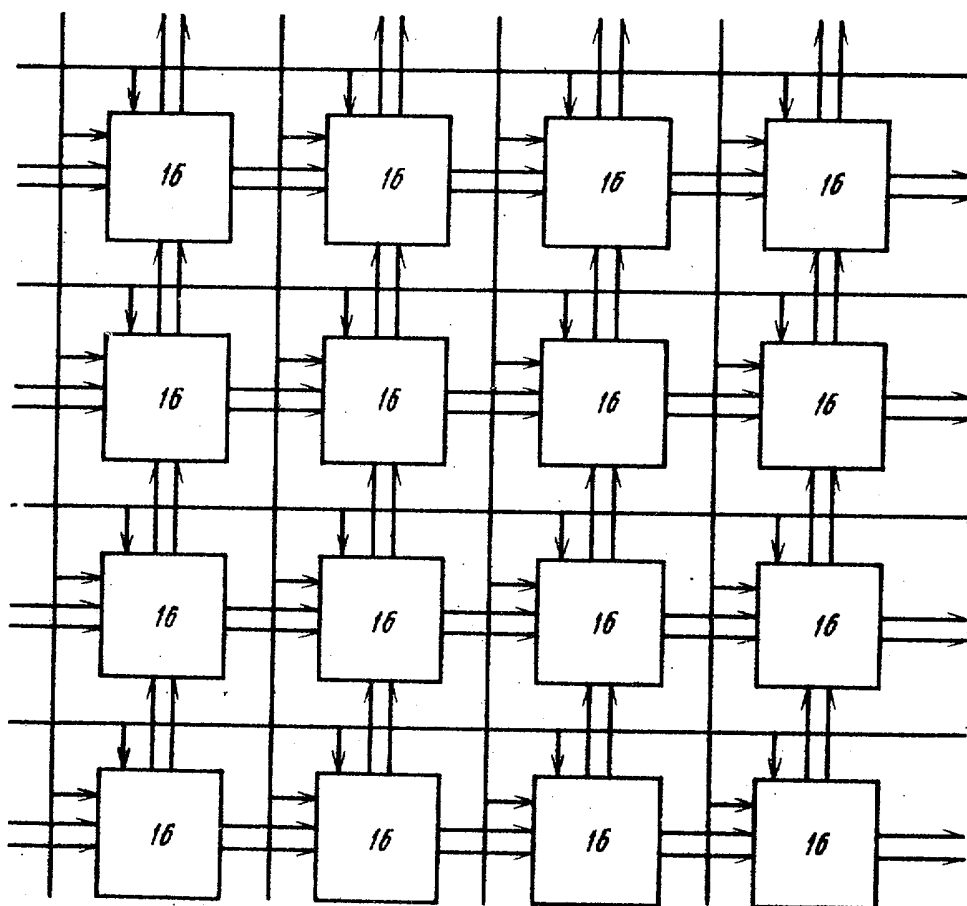
Источники информации, принятые во внимание при экспертизе

1. Авторское свидетельство СССР № 478297, кл. G 06 F 1/00, 1975.

2. Авторское свидетельство СССР № 634268, кл. G 06 F 7/06, 1978 (прототип).



Фиг. 1



Фиг. 2

Составитель В. Кайданов
 Редактор И. Николайчук Техред Л. Пекарь Корректор М. Муска

Заказ 4840/38 Тираж 731 Подписное

ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

филиал ППП "Патент", г. Ужгород, ул. Проектная, 4