



(12) 发明专利申请

(10) 申请公布号 CN 119173996 A

(43) 申请公布日 2024. 12. 20

(21) 申请号 202380039083.2

(22) 申请日 2023.03.30

(30) 优先权数据

FR2202900 2022.03.30 FR

(85) PCT国际申请进入国家阶段日

2024.11.07

(86) PCT国际申请的申请数据

PCT/EP2023/058282 2023.03.30

(87) PCT国际申请的公布数据

W02023/187050 FR 2023.10.05

(71) 申请人 SOITEC公司

地址 法国贝尔尼

(72) 发明人 R·考米隆 F·阿利贝尔

I·贝特朗

(74) 专利代理机构 北京戈程知识产权代理有限公司 11314

专利代理师 程伟 李琳

(51) Int.Cl.

H01L 21/762 (2006.01)

H03H 9/02 (2006.01)

H10N 30/079 (2006.01)

H10N 30/00 (2006.01)

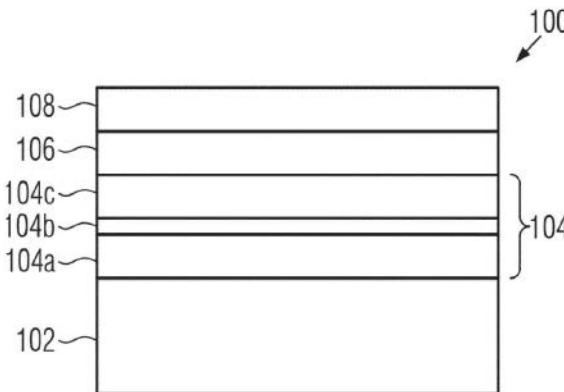
权利要求书1页 说明书5页 附图4页

(54) 发明名称

绝缘体上压电 (POI) 衬底及生产绝缘体上压电 (POI) 衬底的方法

(57) 摘要

本发明公开了一种绝缘体上压电 (POI) 衬底,其包括:载体衬底 (102),特别是基于硅的衬底;压电层 (108),特别是钽酸锂 (LT0) 层或铌酸锂 (LN0) 层;介电层 (106),特别是硅氧化物层,其夹在压电层 (108) 和衬底 (102) 之间;俘获结构 (104),其夹在介电层 (106) 和载体衬底 (102) 之间。POI衬底的特征在于,所述俘获结构 (104) 包括至少两个俘获层 (104a、104c),这些层分别通过介电中间层 (104b) 分隔。本发明还公开了一种用于生产绝缘体上压电 (POI) 衬底的方法。



1. 绝缘体上压电 (POI) 衬底, 其包括:

- 支撑衬底 (102), 特别是基于硅的衬底,
- 压电层 (108), 特别是钽酸锂 (LTO) 层或铌酸锂 (LNO) 层,
- 介电层 (106), 特别是硅氧化物层, 其夹在压电层 (108) 和支撑衬底 (102) 之间,
- 俘获结构 (104), 其夹在介电层 (106) 和支撑衬底 (102) 之间,

其特征在于,

所述俘获结构 (104) 包括至少两个俘获层 (104a、104c), 所述俘获层 (104a、104c) 通过介电中间层 (104b) 彼此分隔开, 并且所述至少两个俘获层 (104a、104c) 中的至少两个具有不同的物理性质, 特别是晶粒尺寸。

2. 根据权利要求1所述的绝缘体上压电 (POI) 衬底, 其中, 所述俘获层 (104a、104c) 基于多晶硅和/或非晶硅和/或多孔硅和/或基于硅碳化物 (SiC)。

3. 根据权利要求1或2所述的绝缘体上压电 (POI) 衬底, 其中, 所述介电中间层 (104b) 是硅氧化物层, 特别是天然硅氧化物层, 或者是通过化学气相沉积 (CVD) 而沉积的层或通过热氧化而获得的层。

4. 根据权利要求1至3中任一项所述的绝缘体上压电 (POI) 衬底, 其中, 所述介电中间层 (104b) 具有等于或小于5nm, 特别地等于或小于1nm的厚度。

5. 根据权利要求1至4中任一项所述的绝缘体上压电 (POI) 衬底, 其中, 每个俘获层 (104a、104c) 具有相同的厚度。

6. 根据权利要求1至5中任一项所述的绝缘体上压电 (POI) 衬底, 其中, 至少一个俘获层 (304a) 具有与其它俘获层 (304c、304e) 不同的厚度, 特别是直接设置在支撑衬底上的俘获层 (304a) 比其它俘获层更厚。

7. 根据权利要求1至6中至少一项所述的绝缘体上压电 (POI) 衬底, 其中, 所述俘获结构 (104) 具有等于或小于5 μm , 优选等于或小于2 μm 的厚度。

8. 用于制造根据权利要求1至7中任一项所述的绝缘体上压电 (POI) 衬底的方法, 所述方法包括以下阶段:

- 提供支撑衬底, 特别是基于硅的衬底,
- 提供包括压电层的衬底, 特别是包括钽酸锂 (LTO) 或铌酸锂 (LNO) 的衬底,
- 在支撑衬底的上方形成俘获结构,
- 在包括压电层的衬底的上方和/或俘获结构的上方形成介电层, 特别是硅氧化物层,
- 将包括压电层的衬底与支撑衬底组装, 以使介电层和俘获结构夹在压电层和支撑衬底之间,

其特征在于, 形成俘获结构的阶段包括

形成第一俘获层, 在第一俘获层上形成介电中间层以及在介电中间层上形成第二俘获层, 两个俘获层具有不同的物理性质, 特别是晶粒尺寸。

9. 根据权利要求8所述的用于制造压电衬底的方法, 所述方法进一步包括以下阶段:

- 在压电层的内部形成弱化区, 以及
- 沿着弱化区进行断裂, 以便在组装阶段后将压电层的一部分与包括压电层的衬底的其余部分分离, 从而将压电层的一部分转移到支撑衬底上。

绝缘体上压电 (POI) 衬底及生产绝缘体上压电 (POI) 衬底的方法

技术领域

[0001] 本发明涉及一种绝缘体上压电 (POI) 衬底,其依次包括支撑衬底、俘获结构、介电层和压电层,还涉及一种用于制造这种POI衬底的方法。

背景技术

[0002] 这种衬底在现有技术中是已知的。诸如传感器或滤波器的器件是在压电层中和/或压电层上生产的。

[0003] 俘获结构可以减少支撑衬底和介电层之间的界面处与副作用相关的损耗。这是因为在支撑衬底和介电层之间插入的俘获层用于降低自由载流子的密度并防止费米能级的变化。这导致支撑衬底具有更高且恒定的电阻率,从而可以减少副作用,例如信号的衰减,谐波信号的产生或直接耦合。

[0004] 然而,据观察,在制造POI衬底时或之后的热处理过程中,压电层的金属元素(例如锂)可能会穿过介电层和俘获结构扩散到与支撑衬底的界面。这些金属元素的积累降低了俘获结构的性能品质,从而对副作用的抑制产生负面影响。

[0005] 因此,本发明的目的是减少金属元素扩散穿过POI衬底结构的有害影响。

发明内容

[0006] 本发明的目的是通过一种绝缘体上压电 (POI) 衬底来实现的,其包括:支撑衬底,特别是基于硅的衬底;压电层,特别是钽酸锂 (LT0) 层或铌酸锂 (LN0) 层;介电层,特别是硅氧化物层,其夹在压电层和支撑衬底之间;俘获结构,其夹在介电层和支撑衬底之间,其特征在于,所述俘获结构包括至少两个俘获层,所述俘获层通过介电中间层而彼此分隔开。将俘获结构分离为至少两个俘获层,在两个俘获层之间具有介电层,使得可以在俘获层与中间层之间的界面处隔离金属元素的一部分污染,从而降低俘获结构与支撑结构之间的界面处金属元素的累积水平。因此,可以有效地减少副作用。支撑衬底可以优选具有大于或等于 $500\ \Omega\cdot\text{cm}$ 的电阻率。

[0007] 根据一个实施方案,POI衬底的俘获层可以基于多晶硅或非晶硅或多孔硅或者基于硅碳化物 (SiC)。这些层有效地减少了副作用。

[0008] 根据一个实施方案,POI衬底的介电中间层可以是硅氧化物层,特别是天然硅氧化物层,或者是通过化学气相沉积 (CVD) 而沉积的层或通过热氧化而获得的层。硅氧化物易于生产,同时在俘获结构的中间层的界面处可以观察到扩散的金属元素的积累。

[0009] 根据一个实施方案,POI衬底的介电中间层可以具有等于或小于5nm,特别地等于或小于1nm的厚度。即使是如此低厚度的层也显示出对减少副作用的影响。

[0010] 根据一个实施方案,至少两个俘获层中的至少两个可以具有一种或更多种不同的物理性质,特别是晶粒尺寸。因此,可以进一步改善对副作用的抑制。

[0011] 根据一个实施方案,POI衬底的每个俘获层可以具有相同的厚度。根据一种可替代

方案,P0I衬底的至少一个俘获层可以具有与其它俘获层不同的厚度。这使得可以优化P0I衬底的性能。

[0012] 根据一个实施方案,P0I衬底的俘获结构可以具有等于或小于 $5\mu\text{m}$,优选等于或小于 $2\mu\text{m}$ 的厚度。因此,即使使用比现有技术更薄的俘获结构,也可以令人满意地减少副作用。

[0013] 本发明的目的还通过用于制造上述绝缘体上压电(P0I)衬底的方法来实现,所述方法包括以下阶段:提供支撑衬底,特别是基于硅的衬底;提供包括压电层的衬底,特别是包括钽酸锂(LTO)或铌酸锂(LNO)的衬底;在支撑衬底的上方形成俘获结构;在包括压电层的衬底的上方和/或俘获结构的上方形成介电层,特别是硅氧化物层;将包括压电层的衬底与支撑衬底组装,以使介电层和俘获结构夹在压电层和支撑衬底之间,其特征在于,形成俘获结构的阶段包括形成第一俘获层、在第一俘获层上形成介电中间层以及在介电中间层上形成第二俘获层。通过这种方法,可以获得一种衬底,其可以有效地减少金属元素向支撑衬底扩散的负面影响。

[0014] 根据一个实施方案,用于制造压电衬底的方法可以另外包括以下阶段:在压电层的内部形成弱化区;以及沿着弱化区进行断裂,以便在组装阶段后将压电层的一部分与包括压电层的衬底的其余部分分离,从而将压电层的一部分转移到支撑衬底上。该方法使得可以在工业上制造根据本发明的P0I衬底。

附图说明

[0015] 本发明及其优点将随后借助于作为示例给出的有利实施方案并在以下附图(其中附图标记表明本发明的特征)的支持下更详细地解释。

[0016] [图1]示意性地表示了根据本发明第一实施方案的绝缘体上压电(P0I)衬底。

[0017] [图2]示意性地表示了根据本发明第二实施方案的绝缘体上压电(P0I)衬底。

[0018] [图3]示意性地表示了根据本发明第三实施方案的绝缘体上压电(P0I)衬底。

[0019] [图4]示意性地表示了根据本发明第四实施方案的用于制造绝缘体上压电(P0I)衬底的方法。

具体实施方式

[0020] 所描述的实施方案仅构成可能的配置,应当记住,在本发明的实施过程中,上述各个特征可以彼此独立提供,或者可以完全省略。

[0021] [图1]示意性地表示了根据本发明第一实施方案的绝缘体上压电(P0I)衬底100。

[0022] 绝缘体上压电衬底100包括支撑衬底102。在该第一实施方案中,支撑衬底102是基于硅的衬底,特别是单晶硅晶圆。支撑衬底优选地具有大于或等于 $500\Omega\cdot\text{cm}$ 的电阻率。

[0023] 在支撑衬底102的上方布置有俘获结构104。俘获结构104可以与支撑衬底102直接接触。俘获结构104具有等于或小于 $5\mu\text{m}$,优选地等于或小于 $2\mu\text{m}$ 的厚度。

[0024] 根据第一实施方案,俘获结构104包括三个层:第一俘获层104a、介电中间层104b和第二俘获层104c。

[0025] 俘获层104a、104c基于多晶硅或非晶硅或多孔硅或者基于硅碳化物(SiC)。优选地,它们是通过低压化学气相沉积(LPCVD)而沉积的层。在该实施方案中,两个俘获层104a、104c具有相同的厚度。

[0026] 介电中间层104b可以为硅氧化物层,优选为天然硅氧化物层。根据可替代形式,介电中间层也可以通过化学气相沉积(CVD)或热氧化而形成。介电中间层104b优选具有比俘获层104a、104b更小的厚度,特别地等于或小于5nm,尤其等于或小于1nm的厚度。

[0027] 介电层106布置在俘获结构104的上方,特别是直接布置在俘获结构104的上面。介电层106优选为基于硅氧化物的层。介电层106优选具有100nm至1 μ m之间,特别地在200nm至700nm之间的厚度。介电层106可以通过CVD沉积或任何其它适当的沉积工艺来形成。

[0028] 压电层108布置在介电层106的上方,特别是直接布置在介电层106的上面。其优选为钽酸锂(LTO)层或铌酸锂(LNO)层。压电层108通常具有200nm至1 μ m之间的厚度。

[0029] 根据可替代的形式,两个俘获层104a和104c可以具有一种或更多种不同的物理性质,例如晶粒尺寸。

[0030] 将俘获结构104分隔为至少两个俘获层104a、104c,在两个俘获层104a、104c之间具有介电中间层104b,使得可以在俘获层104a、104c与中间层104b之间的界面处隔离金属元素的一部分污染,从而降低俘获结构104与支撑结构102之间的界面处金属元素的浓度。因此,对副作用抑制的减少得到了补偿。

[0031] [图2]示意性地表示了根据本发明第二实施方案的绝缘体上压电(POI)衬底200。

[0032] 绝缘体上压电衬底200包括第一实施方案的支撑衬底102、介电层106和压电层108。省略了对这些层及其特性的全新描述,并参考上述与第一实施方案相关的它们的描述。

[0033] 第一实施方案和第二实施方案之间的唯一区别在于使用另一种俘获结构204。

[0034] 在第二实施方案中,俘获结构204总共包括五个俘获层204a、204c、204e、204g和204i。在两个俘获层之间分别插入中间介电层204b、204d、204f和204h。

[0035] 俘获层204a、204c、204e、204g和204i以与第一实施方案的俘获层104a和104c相同的方式产生,并且它们具有与这些层相同的物理性质。它们特别地都具有相同的厚度,尤其都具有0.2 μ m或更小的厚度。

[0036] 同样,介电中间层204b、204d、204f和204h以与第一实施方案的介电中间层104b相同的方式产生,并且它们具有与该层相同的物理性质。它们特别地都具有相同的厚度,尤其都具有几十纳米(几埃),特别地一纳米或更小(10埃或更小)的厚度。

[0037] 通过在俘获结构204中增加界面,可以进一步降低第一俘获层204a与支撑衬底102之间的界面处的金属元素(特别是锂)的浓度,因为金属元素被俘获在每个界面处。因此,到达与支撑衬底102的界面的金属元素的量低于具有较少界面的结构。

[0038] 根据可替代的形式,根据对于给定应用可接受的金属元素的浓度水平,可以在俘获结构中设置更多或更少的俘获层和介电中间层。

[0039] [图3]示意性地表示了根据本发明第三实施方案的绝缘体上压电(POI)衬底300。

[0040] 绝缘体上压电衬底300包括第一实施方案的支撑衬底102、介电层106和压电层108。将不再描述这些层和它们的性质,但参考第一实施方案中对它们的描述。

[0041] 第一实施方案和第三实施方案之间的唯一区别在于使用另一种俘获结构304。

[0042] 在该实施方案中,俘获结构304包括数个俘获层304a、304c、304e、304g、304i和304k,与第二实施方案中一样,这些俘获层通过介电中间层304b、304d、304f、304h和304j分隔开。

[0043] 介电中间层304b、304d、304f、304h和304j如在第一实施方案或第二实施方案中一样产生,并且具有相同的厚度,例如几十纳米(几埃),特别地1纳米或更小(10埃或更小)。

[0044] 另一方面,数个薄俘获层304c、304e、304g、304i和304k都具有相同的厚度,例如0.1 μm 或更小,而俘获层304a更厚,特别地厚度为0.5 μm 或更大。

[0045] 通过在俘获结构304中增加界面,可以降低第一俘获层304a与支撑衬底102之间界面处的金属元素(特别是锂)的浓度,如在第二实施方案中一样。在与支撑衬底102的界面处的层304a较厚,因此保留其俘获特性。

[0046] 根据可替代的形式,根据对于给定应用可接受的金属元素的累积水平,可以在俘获结构中设置更多或更少的俘获层和介电中间层。

[0047] [图4]示意性地表示了根据本发明第四实施方案的用于制造绝缘体上压电(POI)衬底的方法,以获得如上文结合图1描述的根据第一实施方案的POI衬底100。在图1的POI衬底100的描述中已经使用的附图标记被重复用于该方法的描述。

[0048] 用于制造绝缘体上压电(POI)衬底100的方法始于提供支撑衬底102(特别是基于硅的衬底,尤其是单晶硅晶圆)的阶段I)。

[0049] 根据本发明的该第四实施方案,阶段II)提供在支撑衬底102的自由表面120上形成俘获结构104。

[0050] 俘获结构104的形成始于通过低压化学气相沉积(LPCVD)产生的第一俘获层104a的形成。根据可替代的形式,可以通过热生长技术或物理气相沉积(PVD)来形成。

[0051] 在支撑衬底102上形成的俘获层104a是基于多晶硅、非晶硅或多孔硅的层或者是基于硅碳化物的层。俘获层104a的厚度等于或小于2.5 μm ,特别地等于或小于1 μm 。

[0052] 随后,在第一俘获层104a上形成介电中间层104b。介电中间层104b可以为硅氧化物层,优选为天然硅氧化物层。根据一种可替代的形式,介电中间层通过化学气相沉积(CVD)或热氧化形成。介电中间层104b优选具有比第一俘获层104a更小的厚度,特别地小于5nm,尤其小于1nm的厚度。

[0053] 为了完成俘获结构104的形成,以与第一俘获层104a相同的方式并且特别地以相同的厚度在介电中间层104b上形成第二俘获层104c。

[0054] 根据可替代的形式,两个俘获层104a和104c可以形成为具有一种或更多种不同的物理性质,例如晶粒尺寸。根据另一种可替代的形式,两个俘获层104a和104c可以基于上述材料中的不同材料。例如,层104a可以由多孔硅制成并且层104c由多晶硅制成。

[0055] 在阶段III)期间,在第二俘获层104c的自由表面122上形成介电层106a。介电层106a优选为通过化学气相沉积(CVD)或物理气相沉积(PVD)形成的硅氧化物层。根据可替代的形式,层106a通过多晶硅的氧化而形成。

[0056] 介电层106a优选具有等于或小于1 μm ,特别地等于或小于700nm的厚度。

[0057] 可以在沉积介电层106a后进行热处理以使其致密化。

[0058] 在阶段IV)期间,提供包括压电层126的衬底124,特别是包括钽酸锂(LTO)或铌酸锂(LNO)的衬底124。在该实施方案中,在基础衬底126的上方布置压电层124。在可替代的形式中,压电层126是体层并且整体形成衬底124。

[0059] 在阶段V)期间,在压电层126的自由表面130上产生第二介电层106b,特别是硅氧化物层。该层以与阶段III)期间形成的介电层106a相同的方式产生。选择厚度以使两个介

电层106a和106b的厚度之和在100nm至1 μ m之间,特别地在200nm至700nm之间。

[0060] 根据可替代的形式,可以在形成介电层106b之前对包括压电层的衬底124的自由表面130进行一个或更多个阶段的表面处理。例如,可以进行表面活化处理,例如等离子体处理和/或基于臭氧的处理。

[0061] 在阶段VI)期间,将在阶段V)之后获得的衬底124与在组装阶段III)中获得的支撑衬底102组装在一起,以形成支撑衬底-包括压电层组件132的衬底。

[0062] 进行组装,以使介电层106a和106b直接接触。优选通过分子粘附进行组装。

[0063] 一旦两个衬底组装好,就进行减薄组件132的阶段VII),以便获得具有更薄压电层108的POI衬底100,如图1所示。

[0064] 例如,减薄阶段可以通过铣削或在组装阶段VI)之前在压电层126中形成弱化区的阶段来进行,从而界定待转移到支撑衬底102上的压电层108,并进行断裂。形成弱化区的该阶段通过将原子实体或离子实体注入压电层126中进行。可以进行原子注入或离子注入以使弱化区位于压电层126的内部并界定待从压电层126的其余部分转移的压电层108。随后,通过在压电层126的弱化区提供热能和/或机械能,随后进行使组件132断裂的阶段,以获得绝缘体上压电(POI)衬底100。

[0065] 根据可替代的形式,还可以在俘获结构104与介电层106b之间(即不进行阶段III))或介电层106a与压电层126之间进行支撑衬底102与衬底124之间的结合。

[0066] 在产生上述一个或更多个层之前,可以对直接在下方的表面进行清洁、洗刷或抛光的一个或更多个阶段,以去除颗粒和灰尘的存在。

[0067] 该方法还可以用于获得分别结合图2和图3描述的本发明第二和第三实施方案的POI衬底200和300。

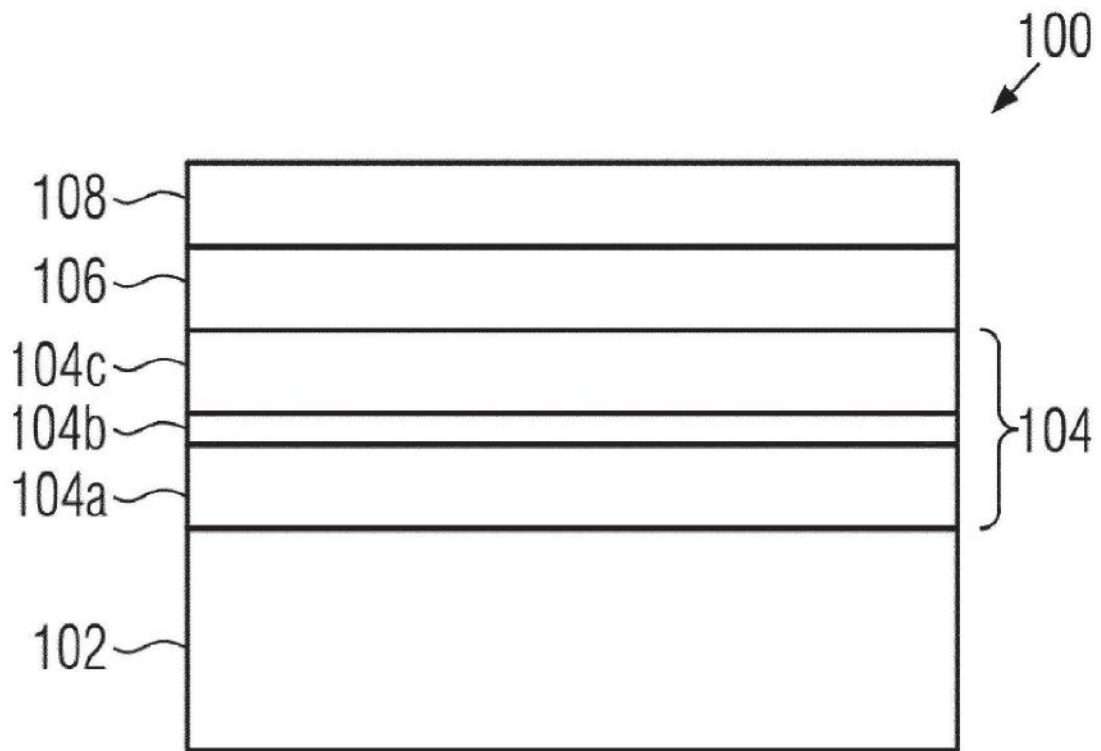


图1

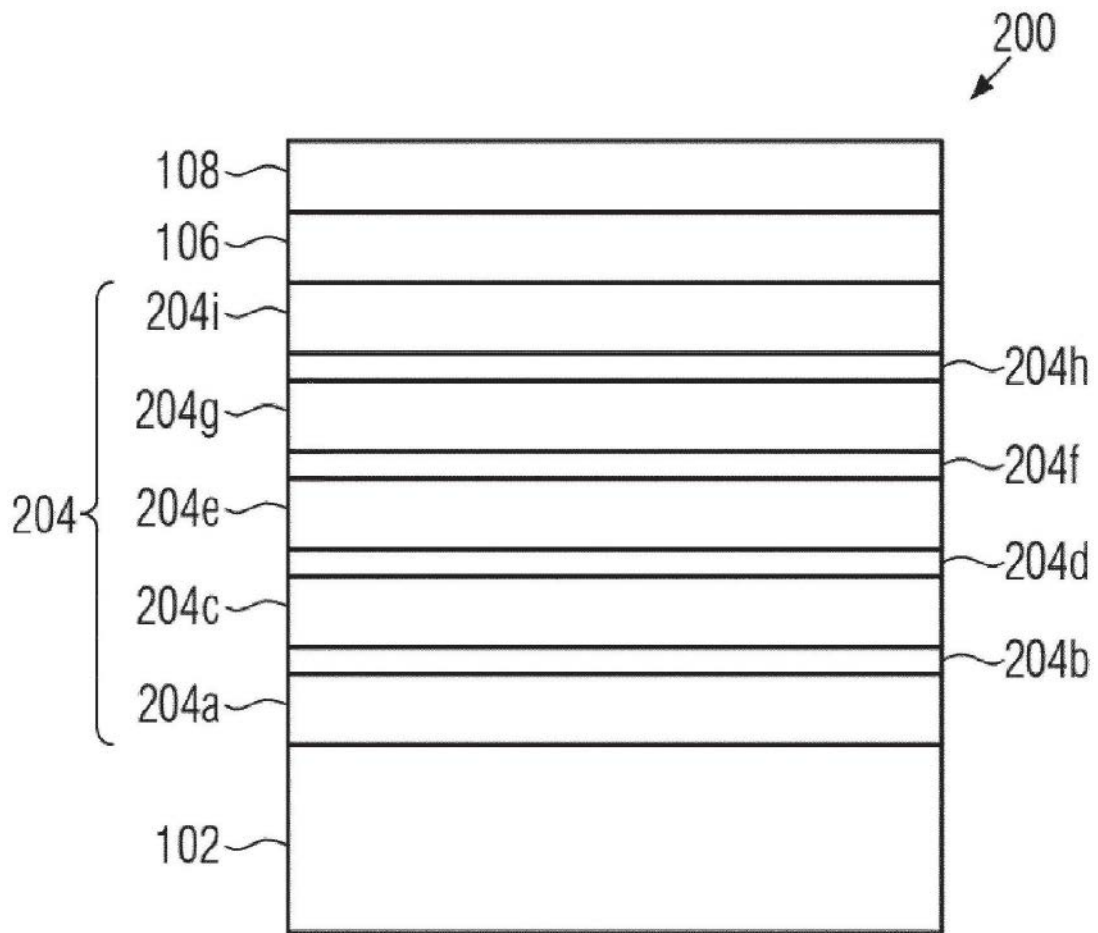


图2

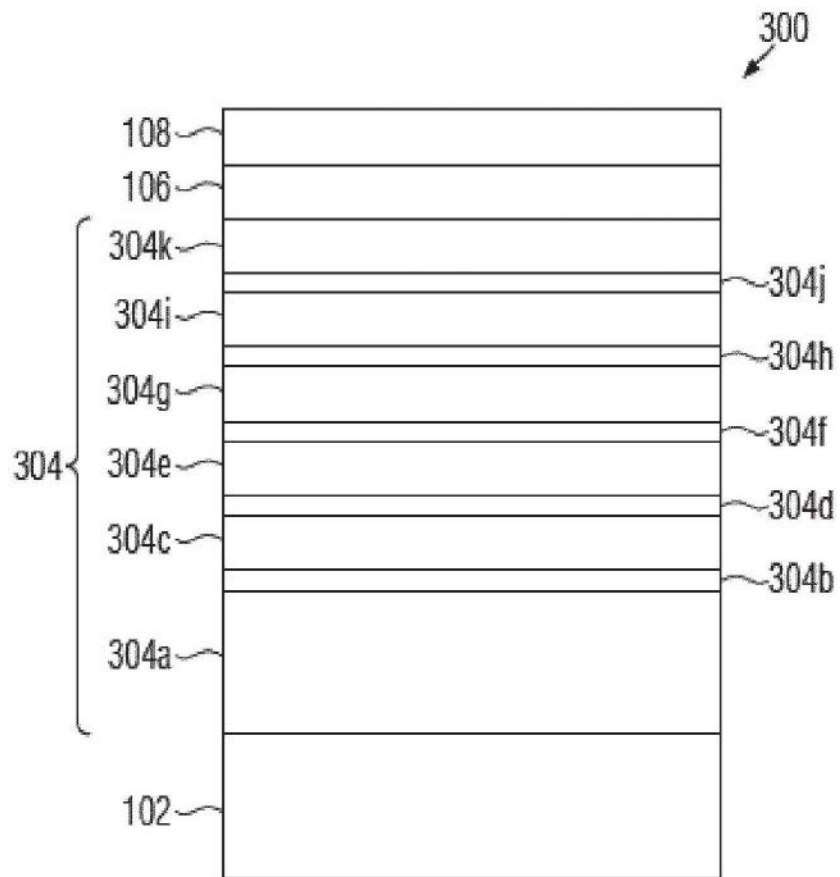


图3

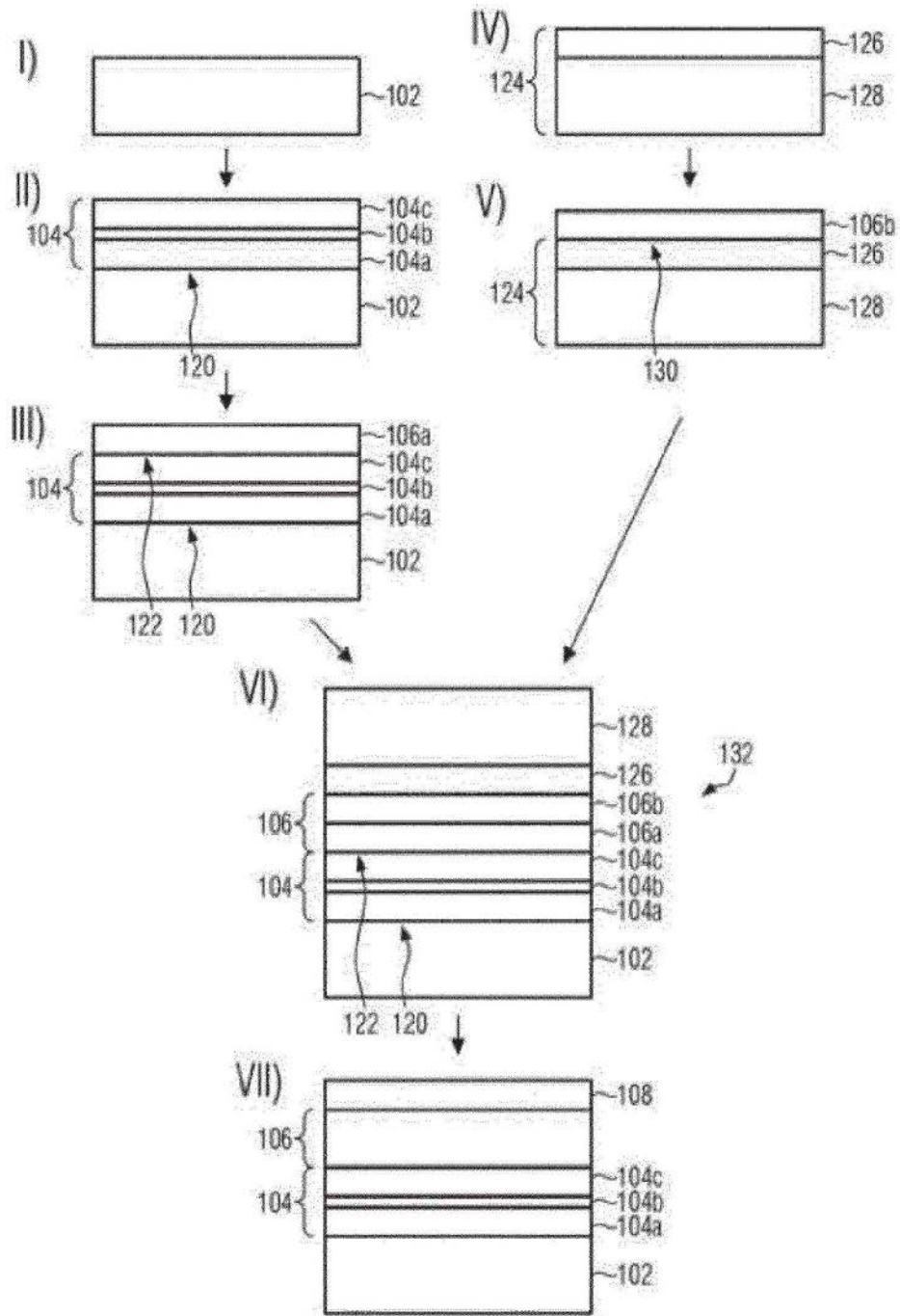


图4