



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I543336 B

(45)公告日：中華民國 105 (2016) 年 07 月 21 日

(21)申請案號：103107662

(22)申請日：中華民國 103 (2014) 年 03 月 06 日

(51)Int. Cl. : H01L27/092 (2006.01)

H01L21/336 (2006.01)

(30)優先權：2013/03/07 美國

13/788,224

(71)申請人：高通公司(美國) QUALCOMM INCORPORATED (US)

美國

(72)發明人：杜洋 DU, YANG (US)

(74)代理人：李世章

(56)參考文獻：

TW 201115734A

US 2010/0259296A1

審查人員：彭大慶

申請專利範圍項數：37 項 圖式數：4 共 34 頁

(54)名稱

半導體積體電路的單片式三維整合

MONOLITHIC THREE DIMENSIONAL INTEGRATION OF SEMICONDUCTOR INTEGRATED CIRCUITS

(57)摘要

一種三維積體電路，包括形成於 CMOS 電晶體的底層上的頂層奈米線電晶體，其具有層間過孔、層內過孔和金屬層，用以將複數個 CMOS 電晶體和奈米線電晶體連接在一起。頂層首先開始作為第一晶圓上的輕摻雜區，氧化物層形成於該區上。氫離子注入形成分離介面。翻轉第一晶圓，並將其氧化物接合到具有 CMOS 裝置的第二晶圓，並且熱活化分離介面，以使得一部分輕摻雜區保持接合到底層。在頂層內形成奈米線電晶體。借助在外延生長程序中進行原位摻雜來形成頂層奈米線電晶體的源極和漏極。在氧化物接合後，在低溫下執行剩餘的處理步驟，以免損害金屬互連。

A three-dimensional integrated circuit comprising top tier nanowire transistors formed on a bottom tier of CMOS transistors, with inter-tier vias, intra-tier vias, and metal layers to connect together the various CMOS transistors and nanowire transistors. The top tier first begins as lightly doped regions on a first wafer, with an oxide layer formed over the regions. Hydrogen ion implantation forms a cleavage interface. The first wafer is flipped and oxide bonded to a second wafer having CMOS devices, and the cleavage interface is thermally activated so that a portion of the lightly doped regions remains bonded to the bottom tier. Nanowire transistors are formed in the top tier layer. The sources and drains for the top tier nanowire transistors are formed by in-situ doping during epitaxial growth. After oxide bonding, the remaining process steps are performed at low temperatures so as not to damage the metal interconnects.

指定代表圖：

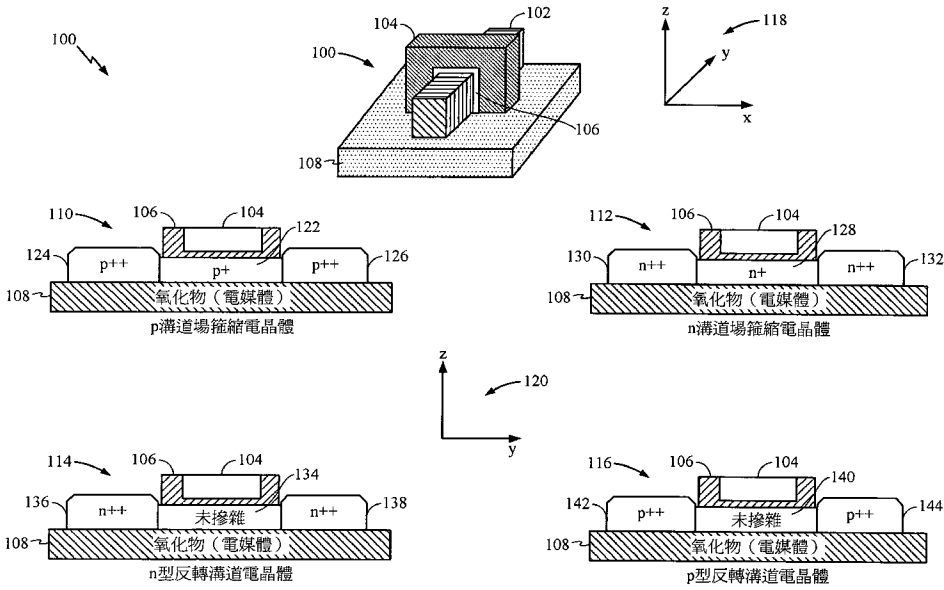


圖1

- 符號簡單說明：
- 100 . . . 奈米線電晶體
 - 102 . . . 源極-溝道-漏極區
 - 104 . . . 柵極
 - 106 . . . 介電質
 - 108 . . . 介電質膜
 - 110 . . . p 溝道場效縮奈米線電晶體
 - 112 . . . n 溝道場效縮奈米線電晶體
 - 114 . . . n 型反轉溝道奈米線電晶體
 - 116 . . . p 型反轉溝道奈米線電晶體
 - 118 . . . 座標系
 - 120 . . . 座標系
 - 122 . . . 溝道
 - 124 . . . 源極區
 - 126 . . . 漏極區
 - 128 . . . 溝道
 - 130 . . . 源極區
 - 132 . . . 漏極區
 - 134 . . . 溝道
 - 136 . . . 源極區
 - 138 . . . 漏極區
 - 140 . . . 溝道
 - 142 . . . 源極區
 - 144 . . . 漏極區

發明摘要

公告本

※ 申請案號：103107662

※ 申請日：2014 年 03 月 06 日

※IPC 分類：

【發明名稱】（中文/英文）

半導體積體電路的單片式三維整合

MONOLITHIC THREE DIMENSIONAL INTEGRATION OF
SEMICONDUCTOR INTEGRATED CIRCUITS

H01L 21/1092 (2006.01)

H01L 21/336 (2006.01)

【中文】

一種三維積體電路，包括形成於CMOS電晶體的底層上的頂層奈米線電晶體，其具有層間過孔、層內過孔和金屬層，用以將複數個CMOS電晶體和奈米線電晶體連接在一起。頂層首先開始作為第一晶圓上的輕摻雜區，氧化物層形成於該區上。氫離子注入形成分離介面。翻轉第一晶圓，並將其氧化物接合到具有CMOS裝置的第二晶圓，並且熱活化分離介面，以使得一部分輕摻雜區保持接合到底層。在頂層內形成奈米線電晶體。借助在外延生長程序中進行原位摻雜來形成頂層奈米線電晶體的源極和漏極。在氧化物接合後，在低溫下執行剩餘的處理步驟，以免損害金屬互連。

【英文】

A three-dimensional integrated circuit comprising top tier nanowire transistors formed on a bottom tier of CMOS transistors, with inter-tier vias, intra-tier vias, and metal layers to connect together the various CMOS transistors

and nanowire transistors. The top tier first begins as lightly doped regions on a first wafer, with an oxide layer formed over the regions. Hydrogen ion implantation forms a cleavage interface. The first wafer is flipped and oxide bonded to a second wafer having CMOS devices, and the cleavage interface is thermally activated so that a portion of the lightly doped regions remains bonded to the bottom tier. Nanowire transistors are formed in the top tier layer. The sources and drains for the top tier nanowire transistors are formed by in-situ doping during epitaxial growth. After oxide bonding, the remaining process steps are performed at low temperatures so as not to damage the metal interconnects.

【代表圖】

【本案指定代表圖】：第（ 1 ）圖。

【本代表圖之符號簡單說明】

- 100 奈米線電晶體
- 102 源極-溝道-漏極區
- 104 柵極
- 106 介電質
- 108 介電質膜
- 110 p 溝道場箝縮奈米線電晶體
- 112 n 溝道場箝縮奈米線電晶體
- 114 n 型反轉溝道奈米線電晶體

116 p 型反轉溝道奈米線電晶體

118 座標系

120 座標系

122 溝道

124 源極區

126 漏極區

128 溝道

130 源極區

132 漏極區

134 溝道

136 源極區

138 漏極區

140 溝道

142 源極區

144 漏極區

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體積體電路的單片式三維整合

MONOLITHIC THREE DIMENSIONAL INTEGRATION OF
SEMICONDUCTOR INTEGRATED CIRCUITS

【技術領域】

【0001】本發明係關於微電子製造，具體地，係關於半導體裝置的單片式三維整合。

【先前技術】

【0002】在過去40年中，積體電路(IC)的功能和效能有了顯著增長，主要是由於縮放，其中借助相繼的每一代技術減小(縮放)了IC內的部件尺寸。借助縮放，通常改善了電晶體效能和密度，但將電晶體連接在一起的線路(互連)使得效能劣化。線路常常支配IC的效能、功能和功耗。

【0003】半導體晶片(晶粒)的連續3D(三維)整合是解決線路效能的一個途徑。藉由在三維而不是在二維中佈置電晶體，可以將IC電晶體彼此放置得更為接近。此減小了線路長度，並減小了信號延遲。但對於3D整合晶片的實際實現方式存在許多阻礙。一個此類阻礙是IC中的電晶體構造通常需要高溫(高於約700°C)，而在低溫(低於約450°C)構成佈線層。當暴露於高於約500°C的溫度時，銅或鋁佈線層會受損。因而，3D整合IC製造造成了幾個難題。

【發明內容】

【0004】本發明的實施例針對用於半導體積體電路的三維整合的系統和方法。

【0005】在一個實施例中，一種方法，包括以下步驟：將離子注入到第一半導體晶圓中以促進熱分離（thermal cleavage），及將該第一半導體晶圓氧化物接合到第二半導體晶圓。將第一半導體晶圓加熱到等於或小於450℃的溫度以導致熱分離，從而留下第一半導體晶圓的氧化物接合到第二半導體晶圓的部分。藉由在等於或小於450℃的溫度下的外延生長程序中原位摻雜來形成第一半導體晶圓的氧化物接合到第二半導體晶圓的該部分中的複數個奈米線電晶體的源極和漏極。

【0006】在另一個實施例中，一種裝置，包括：矽基板；和頂層（top tier），頂層氧化物接合到該矽基板，該頂層包括複數個奈米線電晶體，其中該複數個奈米線電晶體中的每一個奈米線電晶體皆包括源極、漏極和溝道，該溝道具有小於源極和漏極的摻雜濃度。

【0007】在另一個實施例中，一種裝置，包括：矽基板；底層，底層形成於該矽基板上，該底層包括複數個電晶體；頂層，頂層氧化物接合到該底層，該頂層包括複數個奈米線電晶體，其中該複數個奈米線電晶體中的每一個奈米線電晶體皆包括源極、漏極和溝道，該溝道具有小於源極和漏極的摻雜濃度；及用於連接的手段，該用於連接的手段將該底層中的複數個電晶體中的至少一個電晶體連接到該頂層中的複數個奈米線電晶體中的至少一個奈米線電晶體。

【0008】在另一個實施例中，一種方法，包括以下步驟：用

於注入離子的手段，該用於注入離子的手段促進第一半導體晶圓中的熱分離；用於接合的手段，該用於接合的手段將該第一半導體晶圓氧化物接合到第二半導體晶圓，該第二半導體晶圓包括電晶體的底層；用於加熱的手段，該用於加熱的手段將第一半導體晶圓加熱到等於或小於 450°C 的溫度以導致熱分離，從而留下第一半導體晶圓的氧化物接合到該底層的部分；及用於摻雜的手段，該用於摻雜的手段在等於或小於 450°C 的溫度下的外延生長程序中原位摻雜，以形成第一半導體晶圓的氧化物接合到該底層的該部分中的複數個奈米線電晶體的源極和漏極。

【圖式簡單說明】

【0009】 提供了附圖以有助於對本發明實施例的說明，該等附圖僅僅是爲了對實施例進行舉例說明而提供的，而並非對實施例進行限制。

【0010】 圖1圖示根據實施例的各種奈米線電晶體。

【0011】 圖2A和2B圖示根據實施例的製程流程中的各個結構和步驟。

【0012】 圖3圖示根據實施例的製程流程中的各個步驟。

【0013】 圖4圖示實施例可以應用於其中的無線通訊系統。

【實施方式】

【0014】 在以下的說明和相關附圖中針對本發明的特定實施例揭示本發明的方案。在不脫離本發明的範圍的情況下，可以設計可替換的實施例。另外，將不詳細說明或將省略本發明的公知的元件，以免使得本發明的相關細節模糊不清。

【0015】本文所用的詞語「示例性的」表示「充當實例、例子或舉例說明」。本文說明為「示例性」的任何實施例皆不必然解釋為相對於其他實施例是較佳的或有優勢的。類似的，短語「本發明的實施例」不要求本發明的所有實施例皆包括述及之特徵、優點或操作模式。

【0016】本文所用的詞語僅是爲了說明特定實施例，而並非意欲限制本發明的實施例。如本文使用的，單數形式「一」和「該」意欲也包括複數形式，除非上下文明確表明並非如此。會進一步理解，本文使用的詞語「包括」及/或「包含」指明述及之特徵、整數、步驟、操作、元件及/或部件的存在，但並不排除一或多個其他特徵、整數、步驟、操作、元件、部件及/或以上各者的組合的存在或添加。

【0017】此外，按照例如由計算設備的元件所執行的操作的順序說明了許多實施例。會認識到，特定電路（例如特殊應用積體電路（ASIC））、執行程式指令的一或多個處理器，或者二者的組合，可以執行本文述及之各個操作。另外，本文述及之該等操作序列可以認為是整體包含在任何形式的電腦可讀取儲存媒體中，在其中儲存了相應的電腦指令集，電腦指令集在執行時會使得相關處理器執行本文述及之功能。因此，本發明的各個方案可以包含在多個不同形式中，各個方案全部設想為在所要求標的的範圍內。另外，對於本文述及之每一個實施例，任何此類實施例的相應形式在本文中皆可以描述為例如「邏輯，被配置為」執行所述操作。

【0018】實施例包括奈米線電晶體的一或多個頂部主動層，

頂部主動層相鄰於主動CMOS（互補金屬氧化物半導體）裝置的底部層形成。頂部層（top layer）可以稱為頂層，底部層可以稱為底層。在最終的元件中，底部層或底層相鄰於底部層或底層形成於其上的晶圓基板，並相比於頂部層或頂層與晶圓基板最接近。

【0019】奈米線電晶體是少結型電晶體。參考圖1，圖示簡化透視圖100，包括源極-溝道-漏極區102、柵極104和佈置在柵極104與源極-溝道-漏極區102之間的介電質106。介電質106可以是高K介電質。結構顯示為整合在介電質膜108上。取決於如何對源極-溝道-漏極區102進行摻雜，可以獲得各種類型的奈米線電晶體：p溝道場箝縮（p-channel field pinched）奈米線電晶體110、n溝道場箝縮奈米線電晶體112、n型反轉溝道奈米線電晶體114和p型反轉溝道奈米線電晶體116。用於該等奈米線電晶體中每一個的半導體材料可以是矽（Si），柵極可以是金屬或多晶矽。

【0020】由奈米線電晶體110、112、114和116所指示的視圖是奈米線電晶體100的簡化橫截面圖。藉由指出座標系118代表奈米線電晶體100的定向，座標系120代表奈米線電晶體110、112、114和116的定向來指示該等視圖間的關係，以使得後者奈米線電晶體的視圖表示在奈米線電晶體100的y-z平面中的一個切片。

【0021】奈米線電晶體110和112以累積模式工作，奈米線電晶體114和116以反轉模式工作。奈米線電晶體110的溝道122是輕摻雜（p⁺）p型半導體，其中典型的摻雜濃度可以約為

10^{18}cm^{-3} 。其他實施例可以具有不同的摻雜濃度，例如，小於 10^{18}cm^{-3} 的摻雜濃度。源極和漏極區 124 和 126 是高摻雜（p++）p 型，其中典型的摻雜濃度可以約為 10^{20}cm^{-3} 。其他實施例可以具有不同的摻雜濃度，例如，大於 10^{20}cm^{-3} 的摻雜濃度。奈米線電晶體 112 的溝道 128 是輕摻雜（n+）n 型，其中典型的摻雜濃度可以約為 10^{18}cm^{-3} 。其他實施例可以具有不同的摻雜濃度，例如，小於 10^{18}cm^{-3} 的摻雜濃度。源極和漏極區 130 和 132 是高摻雜（n++）n 型，其中典型的摻雜濃度可以約為 10^{20}cm^{-3} 。其他實施例可以具有不同的摻雜濃度，例如，大於 10^{20}cm^{-3} 的摻雜濃度。

【0022】奈米線電晶體 114 的溝道 134 未摻雜（中性或 0 施體濃度）；源極和漏極區 136 和 138 是高摻雜（n++）n 型，其中典型的摻雜濃度可以約為 10^{20}cm^{-3} 。其他實施例可以具有不同的摻雜濃度，例如，大於 10^{20}cm^{-3} 的摻雜濃度。奈米線電晶體 116 的溝道 140 未摻雜；及源極和漏極區 142 和 144 是高摻雜（p++）p 型，其中典型的摻雜濃度可以約為 10^{20}cm^{-3} 。其他實施例可以具有不同的摻雜濃度，例如，大於 10^{20}cm^{-3} 的摻雜濃度。

【0023】作為奈米線電晶體基礎的物理學一直是活躍的研究領域，在此無需為了理解和實踐揭示的實施例而詳細論述奈米線電晶體操作。

【0024】圖 2A 和 2B 表示根據實施例的製程流程。在步驟 200 中，借助遮罩離子注入法來摻雜矽晶圓 202，以形成包括 n 型和 p 型區的主動層（頂層）。為了易於說明，圖 2A 中僅圖示兩個此種區域：n 型區 204 和 p 型區 206。介電質沉積或氧化在主

動層之上形成薄氧化物層208。在約1000℃執行高溫、熱活化退火。

【0025】包括n型區204和p型區206的主動層會在最終的3D積體電路中形成頂層部分264（見圖2B）。更準確地，主動層的包括區域204和206的部分會形成頂層部分264，如稍後述及之。n型區204和p型區206是輕摻雜的，例如在大約 10^{18}cm^{-3} 的施體濃度。該等區域會形成用於頂層264中的奈米線電晶體的溝道，以及用於該等奈米線電晶體的源極和漏極的部分。

【0026】在步驟210中，執行離子注入，以限定分離介面212。介面212在包括區域204和208的主動區內。對於一些實施例，離子可以是氫離子。

【0027】在步驟214中，將晶圓202翻轉並氧化物接合到晶圓216。在相對低的溫度下執行氧化物接合，例如在等於或小於400℃的溫度下。為了易於舉例說明，步驟214實際上沒有顯示出接合到晶圓216的晶圓202，但在接合程序中，晶圓202中的氧化物層208接合到晶圓216中的氧化物層218。晶圓216充當用於最終3D積體電路的基板，因此會被稱為基板216。

【0028】在晶圓216中形成的是CMOS主動層，包括pMOSFET（金屬氧化物半導體場效應電晶體）和nMOSFET裝置，具有金屬層和過孔，用於建立到該等CMOS裝置的源極、漏極和柵極的電連接。例如，圖示出三個形成於基板216上的CMOS裝置，其中例如一個CMOS裝置221包括源極和漏極區220和222、溝道224、柵極228和佈置在柵極228與溝道224之間的介電質226。形成於基板216上的CMOS積體電路的其他特徵是一或

多個金屬層，例如金屬層230；和將裝置端子連接到一或多個金屬層的過孔，例如過孔232。在基板216上的CMOS主動層是最終的3D積體電路中的底層233。

【0029】到達步驟234，將接合的晶圓加熱到相對低的溫度，例如等於或小於 300°C ，以使得晶圓可以在分離介面212處分離。當去除晶圓202的在分離介面212之上的部分時，形成於晶圓202之上的包括區域204和206的主動層的薄膜（之前稱為「部分」）現在保持接合到基板216上的氧化物208。

【0030】在圖2B的步驟236中，在頂層主動層中形成氧化物隔離槽。例如，在步驟236中圖示四個氧化物隔離槽238、240、242和244。結果，將p型區206的在熱分離後保留在基板216上的部分隔離到p型區246和p型區248中；將剩餘的n型區204的部分隔離到n型區250中。

【0031】因為最初形成於晶圓202上並接合到氧化物層208的主動區的部分非常薄，該部分基本上是透明的，因此在步驟236中所示的對準用於形成氧化物槽的多個遮罩以及在頂層製造中的剩餘步驟中形成的特徵時使用光學對準是切實可行的。

【0032】在CMP（化學機械拋光）平面化後，在步驟252中，執行柵極介電質和電極沉積，之後是柵極界定和間隔體形成。在等於或小於 450°C 的溫度下，執行在外延生長程序中的原位摻雜，用於選擇性源極和漏極形成。例如，在步驟252中，顯示了p溝道場箍縮奈米線電晶體110，電晶體110具有源極和漏極區124和126、柵極104和柵極介電質106。

【0033】步驟252包括多個製造步驟，用以完成3D整合，例如形成層間過孔，例如層間過孔254；形成到奈米線電晶體的源極、漏極和柵極的過孔，例如過孔256；和一或多個金屬層，用以形成互連，例如金屬層258和260。亦形成了氧化物層262，氧化物層262包封金屬層和奈米線電晶體。氧化物層262亦可以充當接合表面，用於額外的頂級層（top tier layer），在此重複前述的步驟。

【0034】對於一些實施例，修改步驟200，其中晶圓202中的在最終積體電路中作為頂層部分的主動層是未摻雜的，或者包括多個未摻雜區。此產生了工作在反轉模式中的奈米線電晶體，例如針對圖1述及之奈米線電晶體114和116。

【0035】圖3圖示了上述的製程流程。在第一晶圓上執行帶遮罩的n型和p型離子注入，以形成n型和p型區，作為頂層中的主動層的部分（302）。n型和p型區是輕摻雜的，將用於為奈米線電晶體形成源極、漏極和溝道。對於一些實施例，不進行摻雜，所以不執行步驟302，或者對於一些實施例，一些區域不摻雜，其他區域輕摻雜。

【0036】在主動區之上形成介電質或氧化層（304），以高溫執行熱活化和退火（306），以修復起因於離子注入的晶體損傷。執行氫離子注入，以界定分離介面（308），在低溫下將第一晶圓氧化物接合到第二晶圓。

【0037】如前所述，第二晶圓已經在其上面形成了整合CMOS電路，在此，CMOS主動層會是3D積體電路的底層233。第二晶圓充當用於3D積體電路的基板。熱活化分離介面，以使得

可以從第二晶圓去除大部分的第一晶圓材料（312），在底層233上留下薄主動層，包括一部分之前形成的n型和p型區，n型和p型區將構成頂層中的奈米線電晶體的源極、漏極和溝道。

【0038】製造用於頂層奈米線電晶體的柵極介電質和電極（314）。在外延生長程序中的低溫原位摻雜（316）用於為頂層奈米線電晶體形成源極和漏極。頂層中的觸點、層內過孔、層間過孔和多個金屬層被完成並由氧化物層包封（318）。

【0039】圖4圖示一種實施例可以應用於其中的無線通訊系統。圖4圖示無線通訊網路402，包括基地台404A、404B和404C。圖4圖示通訊設備，標記為406，通訊設備可以是行動蜂巢通訊設備，例如所謂的智慧型電話、平板，或適合於蜂巢式電話網路的一些其他種類的通訊設備。通訊設備406無需是移動的。在圖4的特定實例中，通訊設備406位於與基地台404C相關聯的細胞服務區內。箭頭408和410分別圖示地表示上行鏈路通道和下行鏈路通道，通訊設備406經由上行鏈路通道和下行鏈路通道與基地台404C通訊。

【0040】實施例可以用於例如與通訊設備406、基地台404C或者二者相關聯的資料處理系統中。圖4僅圖示本文該等實施例可以用於其中的許多應用中的一個應用。

【0041】希望根據該等實施例得到的結構提供1）在沒有TSV（穿矽過孔）區域的不利或增大的互連信號延遲的情況下，在三維電路中組裝並連接電晶體；2）減小用於每一個電晶體層的平均金屬互連層，從而減小總互連RC延遲（此是以習知

TSV方法難以實現的)；3)減輕晶圓(晶粒)接合對準的問題，從而允許穿過多層(半導體層)的非常準確的高密度過孔連接；4)實現許多核心分散式記憶體架構，該架構利用幾千個或甚至幾百萬個過孔(此借助習知TSV寬I/O方法不易於實現)；5)三維IC和在每一層中具有高效能基本裝置的架構；和6)藉由削減金屬層使用、降低缺陷密度、增大產量並降低測試成本而減小電晶體整合成本。

【0042】已經說明了此類實施例，其中底級層包括CMOS裝置。但實施例不限於在CMOS裝置的底層之上形成的奈米線電晶體的頂層。底層可以包括其他類型的電晶體，例如雙極型裝置。而且，對於一些實施例，無需存在裝置的底層，而是奈米線電晶體可以氧化物接合到基板，在此用於接合的氧化物充當絕緣體。

【0043】本領域技藝人士會意識到，可以使用任意各種不同技術和製程來表示資訊和信號。例如，在以上說明中通篇提及的資料、指令、命令、資訊、信號、位元、符號和晶片可以由電壓、電流、電磁波、磁場或粒子、光場或粒子，或者以上各者的任何組合來表示。

【0044】此外，本領域技藝人士會意識到，結合本文揭示的實施例說明的多個說明性邏輯區塊、模組、電路和演算法步驟可以實現為電子硬體、電腦軟體，或二者的組合。為了清楚地示出硬體和軟體的該可互換性，以上一般按照硬體和軟體的功能說明了複數個說明性的部件、方塊、模組、電路和步驟。此功能是實現為硬體還是實現為軟體取決於施加在整

體系統上的特定應用和設計約束。技藝人士可以以針對每一個特定應用的不同方式來實現述及之功能，但此種實現方式決策不應解釋為導致脫離本發明的範圍。

【0045】結合本文揭示內容的實施例說明的方法、順序及/或演算法可以直接體現為硬體、由處理器執行的軟體模組或二者的組合。軟體模組可以常駐在RAM記憶體、快閃記憶體、ROM記憶體、EPROM記憶體、EEPROM記憶體、暫存器、硬碟、可移除磁碟、CD-ROM，或者本領域中已知的任何其他形式的儲存媒體中。示例性儲存媒體耦合到處理器，以使得處理器可以從儲存媒體讀取資訊並向儲存媒體寫入資訊。可替換地，儲存媒體可以整合到處理器。

【0046】因此，本發明的實施例可以包括電腦可讀取媒體，該實施例包含一種方法，用於在當前技術水平的微型製造環境中，在單一基板之上一層接一層地順序整合電晶體和IC元件。因此，本發明不限於所示的實例，用於執行本文所述功能的任何手段皆包括在本發明的實施例中。

【0047】儘管前述揭示內容顯示了本發明的示例性實施例，但應注意，在不脫離由所附申請專利範圍定義的本發明的範圍的情況下，可以在此做出各種變化和修改。無需以任何特定循序執行根據本文述及之本發明的實施例的方法請求項的功能、步驟及/或操作。而且，儘管以單數形式說明或要求了本發明的元件，但也可以設想複數的情況，除非明確表述為限制為單數。

【符號說明】

【 0048 】

- 100 奈米線電晶體
- 102 源極-溝道-漏極區
- 104 柵極
- 106 介電質
- 108 介電質膜
- 110 p 溝道場箝縮奈米線電晶體
- 112 n 溝道場箝縮奈米線電晶體
- 114 n 型反轉溝道奈米線電晶體
- 116 p 型反轉溝道奈米線電晶體
- 118 座標系
- 120 座標系
- 122 溝道
- 124 源極區
- 126 漏極區
- 128 溝道
- 130 源極區
- 132 漏極區
- 134 溝道
- 136 源極區
- 138 漏極區
- 140 溝道
- 142 源極區
- 144 漏極區

- 200 步驟
- 202 矽晶圓
- 204 n 型區
- 206 p 型區
- 208 薄氧化物層
- 210 步驟
- 212 介面
- 214 步驟
- 216 晶圓
- 218 氧化物層
- 220 源極區
- 221 CMOS 裝置
- 222 漏極區
- 224 溝道
- 226 介電質
- 228 柵極
- 230 金屬層
- 232 過孔
- 233 底層
- 234 步驟
- 236 步驟
- 238 氧化物隔離槽
- 240 氧化物隔離槽
- 242 氧化物隔離槽

244 氧化物隔離槽

246 p 型區

248 p 型區

250 n 型區

252 步驟

254 層間過孔

256 過孔

258 金屬層

260 金屬層

262 氧化物層

264 頂層部分

302 步驟

304 步驟

306 步驟

310 步驟

308 步驟

312 步驟

314 步驟

316 步驟

318 步驟

402 無線通訊網路

404A 基地台

404B 基地台

404C 基地台

406 通訊設備

408 箭頭

410 箭頭

【生物材料寄存】

國內寄存資訊【請依寄存機構、日期、號碼順序註記】

無

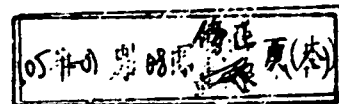
國外寄存資訊【請依寄存國家、機構、日期、號碼順序註記】

無

【序列表】(請換頁單獨記載)

無

申請專利範圍



1. 一種製造具有奈米線電晶體的一積體電路的方法，該方法包括以下步驟：

將離子注入到一第一半導體晶圓中以促進熱分離；

將該第一半導體晶圓氧化物接合到一第二半導體晶圓；

將該第一半導體晶圓加熱到等於或小於 450°C 的一溫度以導致熱分離，從而留下該第一半導體晶圓的氧化物接合到該第二半導體晶圓的一部分；及

在等於或小於 450°C 的溫度下的外延生長程序中進行原位摻雜，以便在該第一半導體晶圓的氧化物接合到該第二半導體晶圓的該部分中形成複數個奈米線電晶體的源極和漏極。

2. 根據請求項1述及之方法，其中該第二半導體晶圓包括一底層，該底層包括複數個電晶體，其中將該第一半導體晶圓加熱到等於或小於 450°C 的一溫度以導致熱分離的步驟留下了該第一半導體晶圓的氧化物接合到該底層的該部分。

3. 根據請求項2述及之方法，其中該複數個電晶體包括pMOSFET(p型金屬氧化物半導體場效應電晶體)和nMOSFET

4. 根據請求項3述及之方法，其中該複數個奈米線電晶體中的每一個奈米線電晶體皆具有一未摻雜的溝道，並工作在一

反轉模式中。

5. 根據請求項1述及之方法，其中該複數個奈米線電晶體中的每一個奈米線電晶體皆具有一未摻雜的溝道，並工作在一反轉模式中。

6. 根據請求項5述及之方法，其中該原位摻雜進一步包括將該源極和該漏極摻雜到等於或大於 10^{20}cm^{-3} 的一摻雜濃度。

7. 根據請求項1述及之方法，其中該原位摻雜進一步包括將該源極和該漏極摻雜到等於或大於 10^{20}cm^{-3} 的一摻雜濃度。

8. 根據請求項1述及之方法，進一步包括：

將離子注入到該第一半導體晶圓中，以形成摻雜區，該摻雜區包括該第一半導體晶圓的氧化物接合到該第二半導體晶圓的該部分。

9. 根據請求項8述及之方法，其中該第二半導體晶圓包括一底層，該底層包括複數個電晶體，其中將該第一半導體晶圓加熱到等於或小於 450°C 的一溫度以導致熱分離的步驟留下了該第一半導體晶圓的氧化物接合到該底層的該部分。

10. 根據請求項9述及之方法，其中該複數個電晶體包括pMOSFET(p型金屬氧化物半導體場效應電晶體)和nMOSFET

。

11. 根據請求項10述及之方法，其中該等摻雜區包括p型區和n型區。

12. 根據請求項10述及之方法，其中將該等摻雜區摻雜到等於或小於 10^{18}cm^{-3} 的一濃度。

13. 根據請求項12述及之方法，其中該原位摻雜進一步包括將該等源極和該等漏極摻雜到等於或大於 10^{20}cm^{-3} 的一摻雜濃度。

14. 根據請求項10述及之方法，其中將該等摻雜區摻雜到比該等源極和該等漏極的濃度更小的一濃度。

15. 根據請求項8述及之方法，其中該等摻雜區包括p型區和n型區。

16. 根據請求項8述及之方法，其中該等摻雜區包括該複數個奈米線電晶體的溝道。

17. 根據請求項8述及之方法，其中將該等摻雜區摻雜到等於或小於 10^{18}cm^{-3} 的一濃度。

18. 根據請求項17述及之方法，其中該原位摻雜進一步包括將該等源極和該等漏極摻雜到等於或大於 10^{20}cm^{-3} 的一摻雜濃度。

19. 根據請求項8述及之方法，其中將該等摻雜區摻雜到比該等源極和該等漏極的濃度更小的一濃度。

20. 根據請求項19述及之方法，其中該複數個奈米線電晶體工作在一累積模式中。

21. 一種半導體積體電路裝置，包括：

一矽基板；

一底層，該底層位於該矽基板上，該底層包括複數個電晶體，其中該底層中的該複數個電晶體中的每一個電晶體皆包括一源極、一漏極和一閘極，且其中該矽基板具有至少一個底層過孔，該至少一個底層過孔連接至該底層中的該等電晶體之其中至少一者之該源極、該漏極和該閘極之其中至少一者；

一薄氧化物層，該薄氧化物層位於該底層上，該薄氧化物層具有至少一個層間過孔；

一頂層，該頂層氧化物位於該薄氧化物層上，該頂層包括複數個奈米線電晶體，其中該複數個奈米線電晶體中的每一個奈米線電晶體皆包括一源極、一漏極、一閘極和一溝道，其中該頂層具有至少一個頂層過孔，該至少一個頂層過孔

連接至該頂層中的該等奈米線電晶體之其中至少一者之該源極、該漏極和該閘極之其中至少一者，且其中該溝道的一摻雜濃度小於該源極和該漏極的摻雜濃度；及

至少一個互連，該至少一個互連包括該至少一個底層過孔、該至少一個頂層過孔和該至少一個層間過孔，以將該底層中的該等電晶體之其中該至少一者之該源極或該漏極連接到該頂層中的該等奈米線電晶體之其中該至少一者之該源極或該漏極和該頂層中的該等奈米線電晶體之其中至少另一者之該閘極。

22. 根據請求項21述及之裝置，其中借助在等於或小於450°C的一溫度下的原位外延生長來形成該複數個奈米線電晶體中的每一個奈米線電晶體的該源極和該漏極。

23. 根據請求項22述及之裝置，其中該複數個奈米線電晶體中的每一個奈米線電晶體的該源極和該漏極皆具有等於或大於 10^{20}cm^{-3} 的一摻雜濃度。

24. 根據請求項21述及之裝置，其中該複數個奈米線電晶體中的每一個奈米線電晶體的該溝道皆具有一零摻雜濃度。

25. 根據請求項21述及之裝置，其中該複數個奈米線電晶體中的每一個奈米線電晶體的該源極和該漏極皆具有等於或大於 10^{20}cm^{-3} 的一摻雜濃度。

26. 根據請求項25述及之裝置，其中該複數個奈米線電晶體中的每一個奈米線電晶體中的該溝道皆具有等於或小於 10^{18}cm^{-3} 的一摻雜濃度。

27. 根據請求項26述及之裝置，其中該複數個奈米線電晶體中的每一個溝道皆具有一零摻雜濃度。

28. 根據請求項21述及之裝置，進一步包括：

一底層，該底層形成於該矽基板上，其中該頂層被氧化物接合到該底層，該底層包括複數個電晶體；及

複數個互連，該複數個互連將該底層中的該複數個電晶體中的至少一個電晶體連接到該頂層中的該複數個奈米線電晶體中的至少一個奈米線電晶體。

29. 根據請求項28述及之裝置，其中借助在等於或小於 450°C 的一溫度下的原位外延生長來形成該複數個奈米線電晶體中的每一個奈米線電晶體的該源極和該漏極。

30. 根據請求項29述及之裝置，其中該複數個奈米線電晶體中的每一個奈米線電晶體的該源極和該漏極皆具有等於或大於 10^{20}cm^{-3} 的一摻雜濃度。

31. 根據請求項30述及之裝置，其中該複數個奈米線電晶體

中的每一個奈米線電晶體的該溝道皆具有一零摻雜濃度。

32. 根據請求項30述及之裝置，其中該複數個奈米線電晶體中的每一個奈米線電晶體的該溝道皆具有等於或小於 10^{18}cm^{-3} 的一摻雜濃度。

33. 根據請求項28述及之裝置，其中該複數個電晶體包括pMOSFET(p型金屬氧化物半導體場效應電晶體)和nMOSFET。

34. 根據請求項21述及之裝置，進一步包括：

一積體電路，該積體電路包括該矽基板和該頂層；及
一行動電話，該行動電話包括該積體電路。

35. 根據請求項21述及之裝置，進一步包括：

一積體電路，該積體電路包括該矽基板和該頂層；及
一基地台，該基地台包括該積體電路。

36. 一種半導體積體電路裝置，包括：

一矽基板；

一底層，該底層形成於該矽基板上，該底層包括複數個電晶體，其中該底層中的該複數個電晶體中的每一個電晶體皆包括一源極、一漏極和一閘極，且其中該矽基板具有至少一個底層過孔，該至少一個底層過孔連接至該底層中的該等

電晶體之其中至少一者之該源極、該漏極和該閘極之其中至少一者；

一薄氧化物層，該薄氧化物層位於該底層上，該薄氧化物層具有至少一個層間過孔；；

一頂層，該頂層位於該薄氧化物層上，該頂層包括複數個奈米線電晶體，其中該複數個奈米線電晶體中的每一個奈米線電晶體皆包括一源極、一漏極、一閘極和一溝道，其中該頂層具有至少一個頂層過孔，該至少一個頂層過孔連接至該頂層中的該等奈米線電晶體之其中至少一者之該源極、該漏極和該閘極之其中至少一者，且其中該溝道的一摻雜濃度小於該源極和該漏極的摻雜濃度；及

用於連接的一手段，該用於連接的手段包括該至少一個底層過孔、該至少一個頂層過孔和該至少一個層間過孔，以將該底層中的該等電晶體中的該至少一者的該源極或該漏極連接到該頂層中的該至少一個奈米線電晶體的該源極或該漏極和該頂層中的該等奈米線電晶體的其中至少另一者的該閘極。

37. 一種製造具有奈米線電晶體的一積體電路的方法，包括以下步驟：

用於注入離子的一手段，該用於注入離子的手段促進一第一半導體晶圓中的一熱分離；

用於接合的一手段，該用於接合的手段將該第一半導體晶圓氧化物接合到一第二半導體晶圓，該第二半導體晶圓包

括電晶體的一底層；

用於加熱的一手段，該用於加熱的手段將該第一半導體晶圓加熱到等於或小於 450°C 的一溫度以導致熱分離，從而留下該第一半導體晶圓的氧化物接合到該底層的部分；及

用於摻雜的一手段，該用於摻雜的手段在等於或小於 450°C 的溫度下的外延生長程序中進行原位摻雜，以在該第一半導體晶圓的氧化物接合到該底層的該部分中形成複數個奈米線電晶體的源極和漏極。

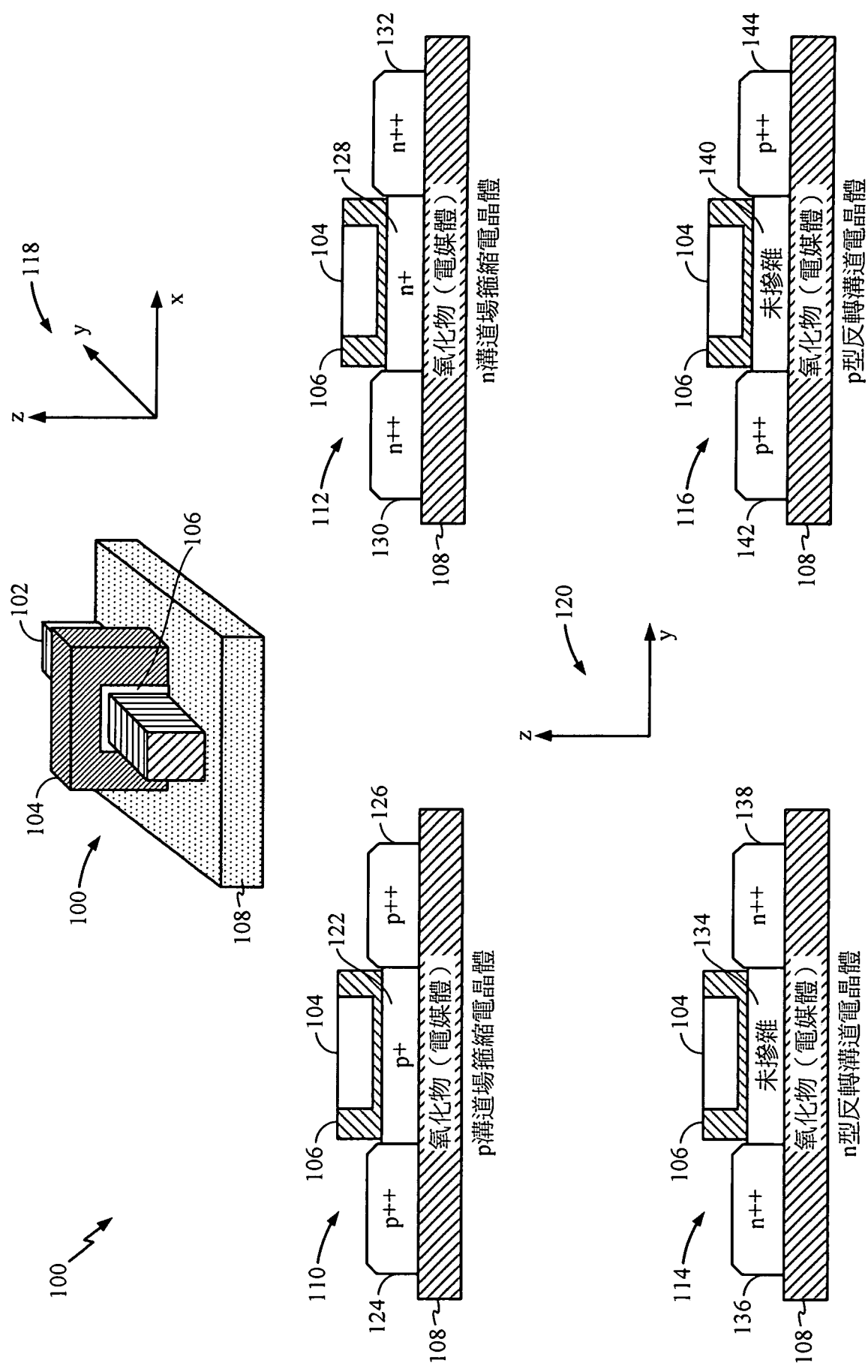


圖1

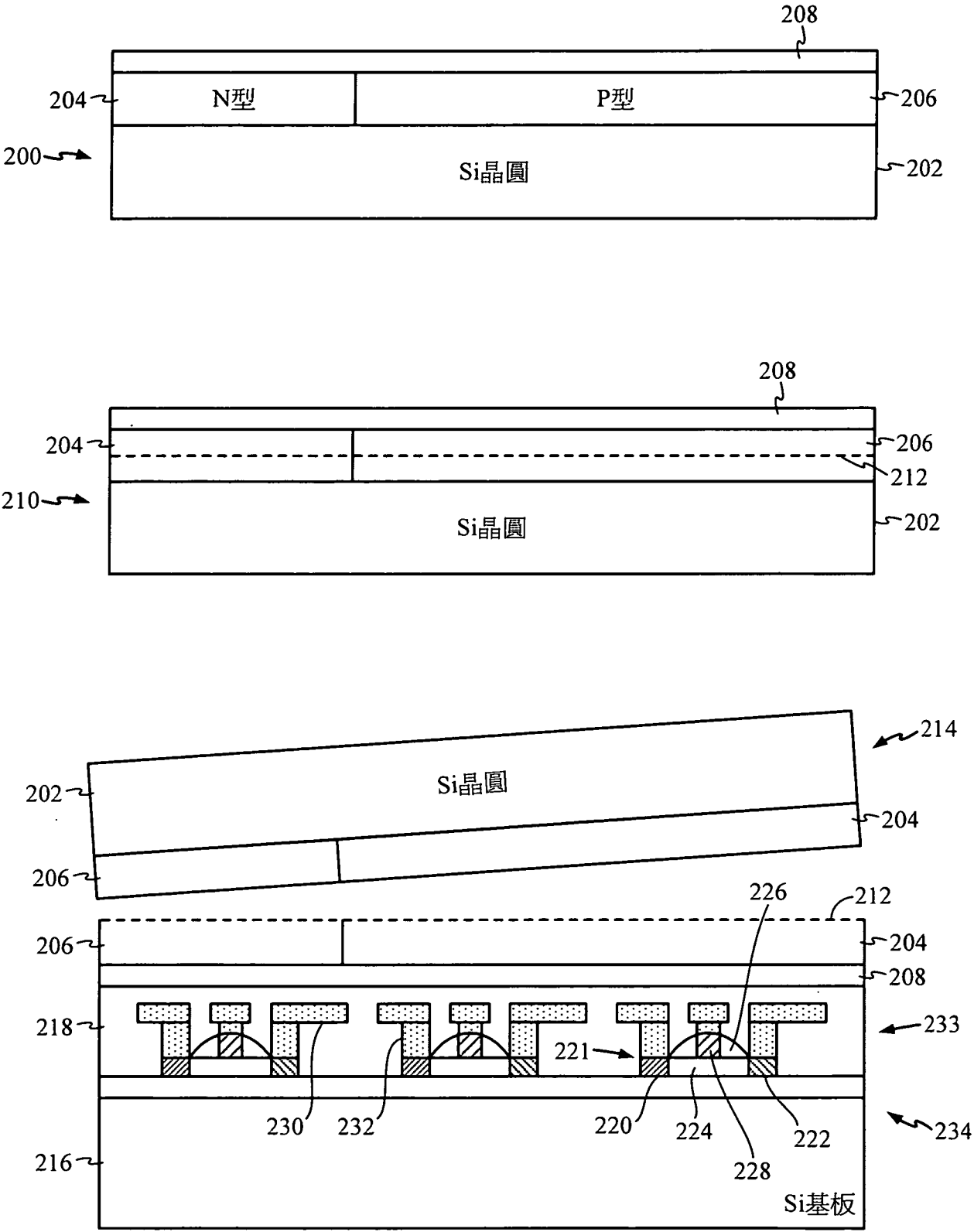


圖2A

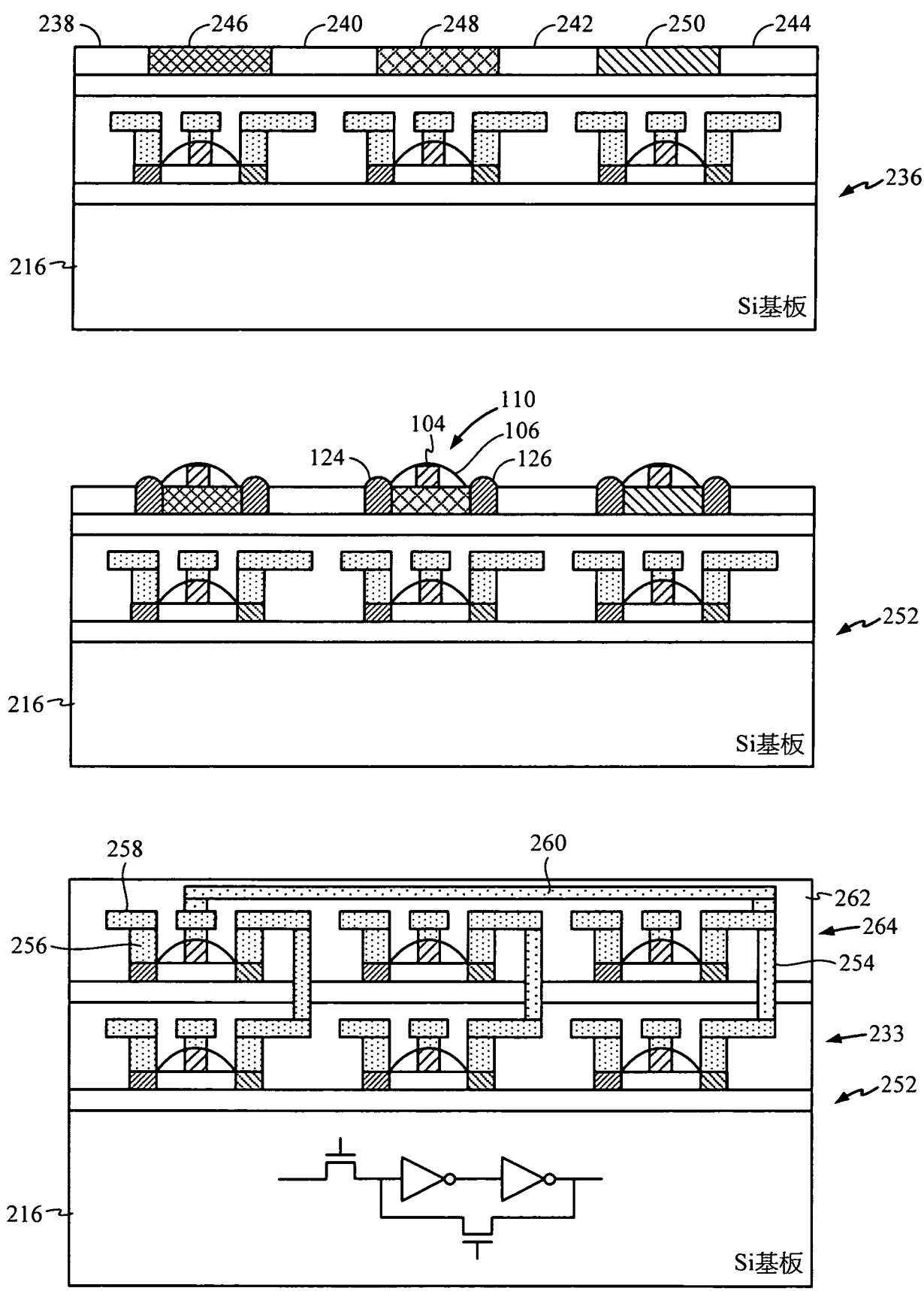


圖2B

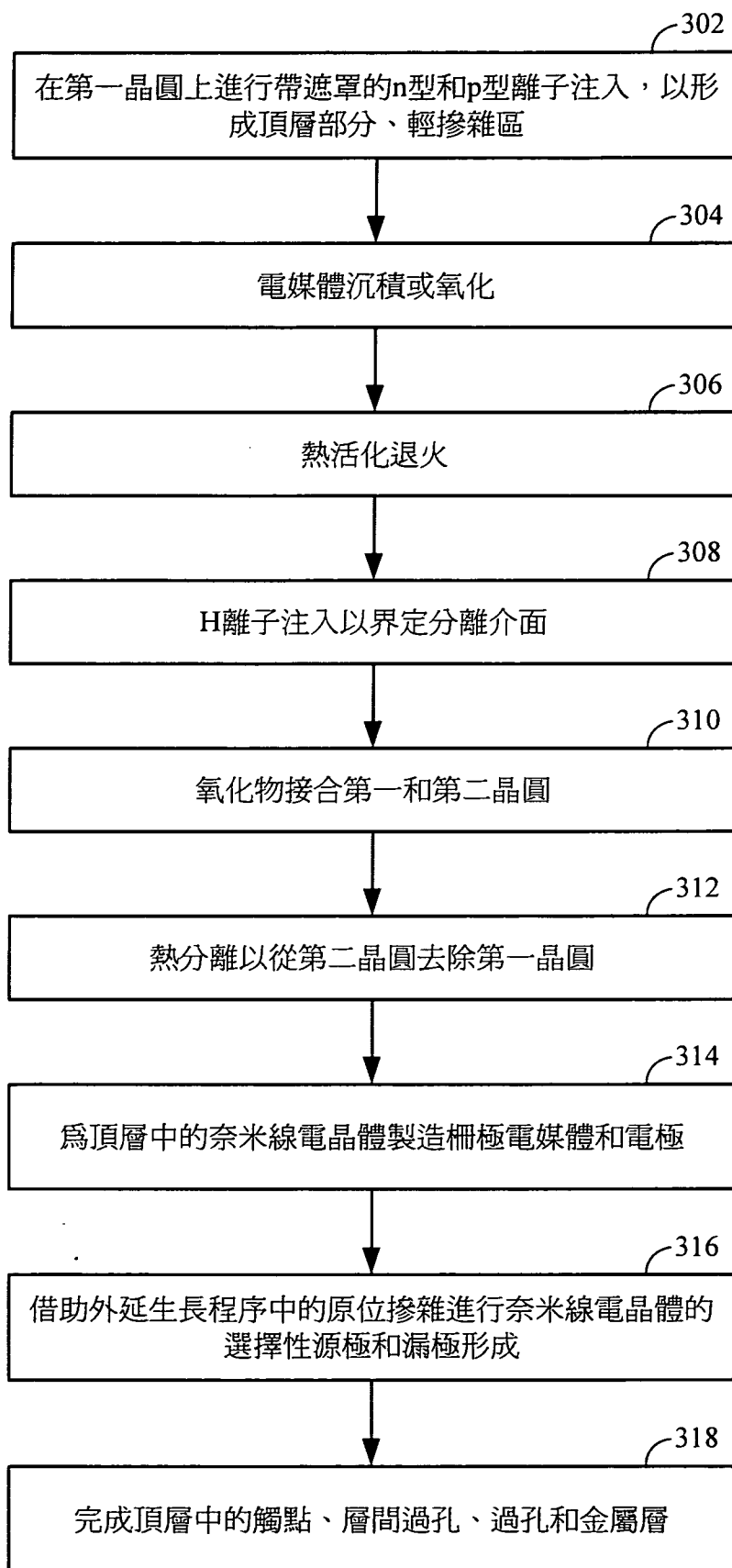


圖3

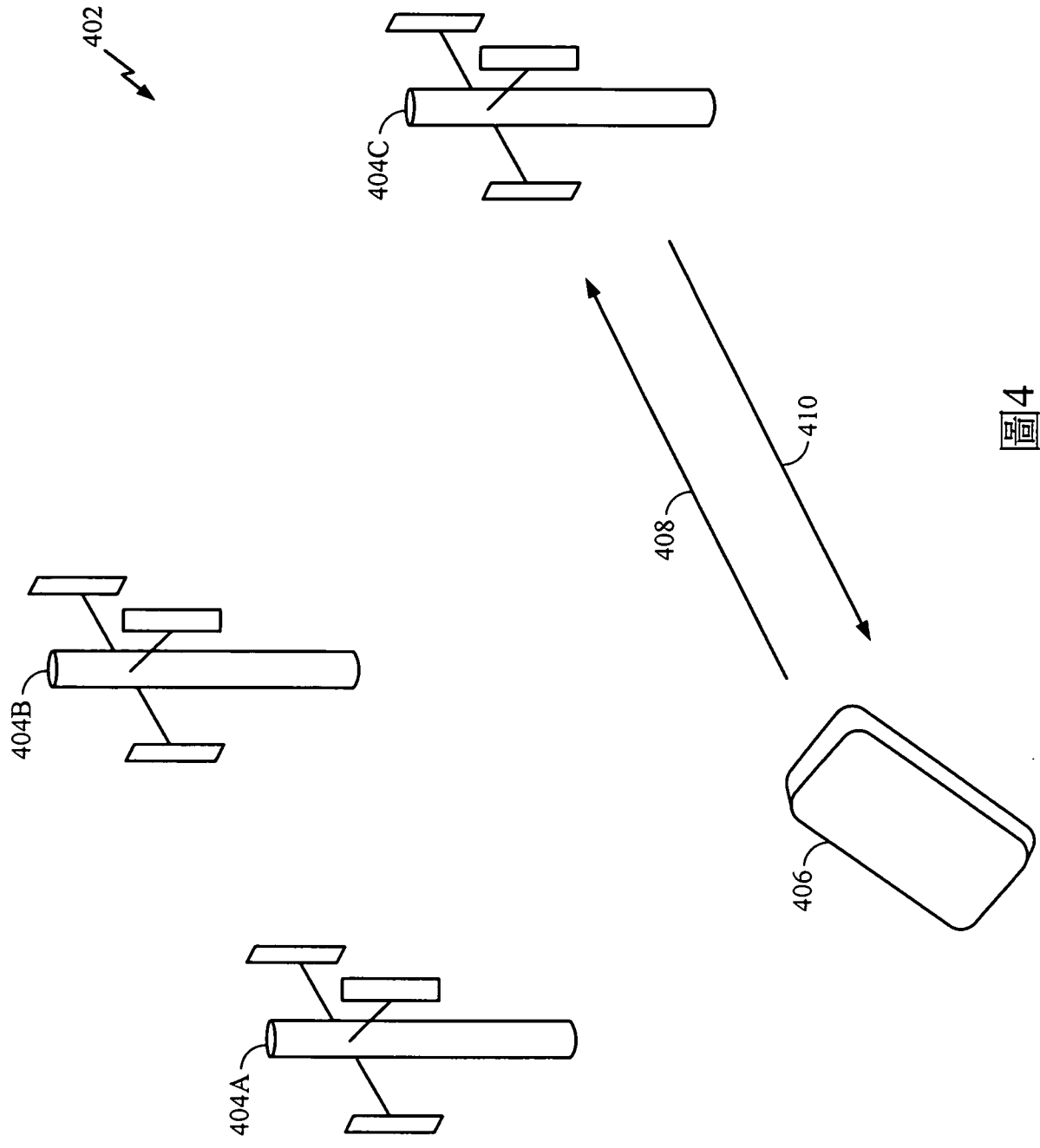


圖4