

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】令和 2 年 12 月 10 日 (2020.12.10)

【公開番号】特開 2020-61429 (P2020-61429A)

【公開日】令和 2 年 4 月 16 日 (2020.4.16)

【年通号数】公開・登録公報 2020-015

【出願番号】特願 2018-190723 (P2018-190723)

【国際特許分類】

H 0 1 L 29/78 (2006.01)

H 0 2 M 1/08 (2006.01)

H 0 1 L 29/739 (2006.01)

H 0 3 K 17/695 (2006.01)

【F I】

H 0 1 L 29/78 6 5 6 A

H 0 2 M 1/08 A

H 0 1 L 29/78 6 5 3 A

H 0 1 L 29/78 6 5 2 K

H 0 1 L 29/78 6 5 2 G

H 0 1 L 29/78 6 5 2 L

H 0 1 L 29/78 6 5 4 Z

H 0 1 L 29/78 6 5 7 G

H 0 1 L 29/78 6 5 5 Z

H 0 3 K 17/695

【手続補正書】

【提出日】令和 2 年 10 月 27 日 (2020.10.27)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

直列接続された第 1 及び第 2 の半導体スイッチング素子を駆動する半導体装置であって

、

前記第 1 の半導体スイッチング素子のオンオフを制御する第 1 の駆動回路と、

前記第 2 の半導体スイッチング素子のオンオフを制御する第 2 の駆動回路とを備え、

前記第 1 の半導体スイッチング素子は、主電極としての第 1 の陽極及び第 1 の陰極と、
第 1 及び第 2 の制御電極を有し、

前記第 2 の半導体スイッチング素子は、主電極としての、前記第 1 の陰極と電氣的に接
続された第 2 の陽極、及び、第 2 の陰極、並びに、第 3 及び第 4 の制御電極を有し、

前記第 1 の駆動回路は、

前記第 1 の陰極に対する前記第 1 の制御電極の電圧を制御する第 1 の駆動回路ユニット
と、

前記第 1 の陽極に対する前記第 2 の制御電極の電圧を制御する第 2 の駆動回路ユニット
とを含み、

前記第 2 の駆動回路は、

前記第 2 の陰極に対する前記第 3 の制御電極の電圧を制御する第 3 の駆動回路ユニット
と、

前記第 2 の陽極に対する前記第 4 の制御電極の電圧を制御する第 4 の駆動回路ユニットとを含み、

前記第 1 から第 4 の駆動回路ユニットの各々は、

前記第 1 及び第 2 の半導体スイッチング素子のオンオフ指令に従って、前記第 1 から第 4 の制御電極のうちの対応する制御電極の電圧指令となるパルス信号を出力する信号処理回路と、

前記信号処理回路からの前記パルス信号に従って、前記第 1 及び第 2 の陽極、並びに、前記第 1 及び第 2 の陰極のうちの対応する主電極に対する、前記対応する制御電極の電圧を駆動する出力回路とを有し、

前記第 1、第 2、及び、第 4 の駆動回路ユニットの各々は、絶縁分離構造を経由して、前記信号処理回路から前記出力回路へ前記パルス信号を伝達するように構成される、半導体装置。

【請求項 2】

前記絶縁分離構造は、前記出力回路と電氣的に接続された n 型領域を含む半導体素子の p n 接合によって構成される、請求項 1 記載の半導体装置。

【請求項 3】

前記第 1、第 2、及び、第 4 の駆動回路ユニットの各々は、前記信号処理回路及び前記出力回路の間に接続されたレベルシフト回路を有し、

前記レベルシフト回路は、

オンオフに応じて前記出力回路への入力電圧を切替えるように接続された電界効果トランジスタを有し、

前記電界効果トランジスタは、

前記パルス信号が入力されるゲートと、

前記ゲートの直下に形成された領域を含む p 型領域と、

前記出力回路と接続されるとともに、前記 p 型領域との間で前記 p n 接合を形成する n 型領域とを有する、請求項 2 記載の半導体装置。

【請求項 4】

前記第 3 の駆動回路ユニットにおいて、前記信号処理回路及び前記出力回路の間は前記絶縁分離構造を経由せずに電氣的に接続される、請求項 1 ~ 3 のいずれか 1 項に記載の半導体装置。

【請求項 5】

前記第 3 の駆動回路ユニットにおいて、前記信号処理回路及び前記出力回路の間は、前記第 4 の駆動回路ユニットと同様の前記絶縁分離構造を経由して接続される、請求項 1 ~ 3 のいずれか 1 項に記載の半導体装置。

【請求項 6】

前記第 3 の駆動回路ユニットにおいて、前記信号処理回路及び前記出力回路の間は、前記第 1、第 2、及び、第 4 の駆動回路ユニットの各々と同様の前記絶縁分離構造を経由して接続される、請求項 1 ~ 3 のいずれか 1 項に記載の半導体装置。

【請求項 7】

前記第 2 の駆動回路ユニットの前記絶縁分離構造の耐電圧は、前記第 4 の駆動回路ユニットの前記絶縁分離構造の耐電圧よりも高い、請求項 1 ~ 6 のいずれか 1 項に記載の半導体装置。

【請求項 8】

前記第 1 から第 4 の駆動回路ユニットの各々の前記信号処理回路は、前記オンオフ指令と、共通のクロック回路から供給されたクロック信号とに基づいて、前記パルス信号を生成する、請求項 1 ~ 7 のいずれか 1 項に記載の半導体装置。

【請求項 9】

前記第 1 から第 4 の駆動回路ユニットの各々の前記信号処理回路には、共通の電源回路から動作電源電圧が供給される、請求項 1 ~ 8 のいずれか 1 項に記載の半導体装置。

【請求項 10】

前記第 1 及び第 2 の駆動回路と、前記第 1 及び第 2 の半導体スイッチング素子とは、一体化構造によって同一モジュールに内蔵される、請求項 1 ～ 9 のいずれか 1 項に記載の半導体装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正の内容】

【0008】

本発明のある局面では、直列接続された第 1 及び第 2 の半導体スイッチング素子を駆動する半導体装置であって、第 1 の半導体スイッチング素子のオンオフを制御する第 1 の駆動回路と、第 2 の半導体スイッチング素子のオンオフを制御する第 2 の駆動回路とを備える。第 1 の半導体スイッチング素子は、主電極としての第 1 の陽極及び第 1 の陰極と、第 1 及び第 2 の制御電極を有する。第 2 の半導体スイッチング素子は、主電極としての、第 2 の陽極、及び、第 2 の陰極、並びに、第 3 及び第 4 の制御電極を有する。第 1 の陰極及び第 2 の陽極は電氣的に接続される。第 1 の駆動回路は、第 1 及び第 2 の駆動回路ユニットを含む。第 1 の駆動回路ユニットは、第 1 の陰極に対する第 1 の制御電極の電圧を制御する。第 2 の駆動回路ユニットは、第 1 の陽極に対する第 2 の制御電極の電圧を制御する。第 2 の駆動回路は、第 3 及び第 4 の駆動回路ユニットを含む。第 3 の駆動回路ユニットは、第 2 の陰極に対する第 3 の制御電極の電圧を制御する。第 4 の駆動回路ユニットは、第 2 の陽極に対する第 4 の制御電極の電圧を制御する。第 1 から第 4 の駆動回路ユニットの各々は、信号処理回路及び出力回路を有する。各信号処理回路は、第 1 及び第 2 の半導体スイッチング素子のオンオフ指令に従って、第 1 から第 4 の制御電極のうちの対応する制御電極の電圧指令となるパルス信号を出力する。各出力回路は、信号処理回路からのパルス信号に従って、第 1 及び第 2 の陽極、並びに、第 1 及び第 2 の陰極のうちの対応する主電極に対する、対応する制御電極の電圧を駆動する。第 1、第 2 及び第 4 の駆動回路ユニットの各々は、絶縁分離構造を経由して、信号処理回路から出力回路へパルス信号を伝達するように構成される。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0022

【補正方法】変更

【補正の内容】

【0022】

例えば、各アームにおいて、予め定められた制御周期毎での P 側 IGBT200 P 及び N 側 IGBT200 N のオンオフ期間比（いわゆる、デューティ比）を制御することで、各相交流電圧の振幅（実効値）及び周波数を制御することができる。これにより、モータ 60 に供給される駆動電力を制御して、モータ 60 の可変速駆動制御を実現することができる。例えば、マイコン 90 からは、当該デューティ比の制御のための、P 側 IGBT200 P 及び N 側 IGBT200 N のオンオフを示す制御指令が出力される。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0027

【補正方法】変更

【補正の内容】

【0027】

低電圧側の電力線 NL が接地されることにより、N 側 IGBT200 N のエミッタ（陰極）は接地されて、ゼロ電圧（GND）を基準電圧として得る。出力ノード No は、N 側 IGBT200 N 又は P 側 IGBT200 P がオンすることにより、電力線 PL の電源電圧 Vcc 及びゼロ電圧（GND）の一方の電圧を、コイル巻線 65 へ出力する。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0067

【補正方法】変更

【補正の内容】

【0067】

同様に、マイコン90のオンオフ指令に従ってN側IGBT200Nをオンオフするための駆動回路100Nは、第1ゲートG1を駆動するための駆動回路ユニット100N-1と、第2ゲートG2を駆動するための駆動回路ユニット100N-2とを有する。駆動回路ユニット100N-1は、信号処理回路111N、出力回路121N、及び、レベルシフト回路131Nを有する。同様に、駆動回路ユニット100N-2は、信号処理回路112N、出力回路122N、及び、レベルシフト回路132Nを有する。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0068

【補正方法】変更

【補正の内容】

【0068】

信号処理回路111N及び112Nは、N側IGBT200Nの第1ゲート電圧Vg1及び第2ゲート電圧Vg2を制御するためのパルス信号をそれぞれ出力する。信号処理回路111N及び112Nからのパルス信号は、信号処理回路111P及び112Pからのパルス信号と同様の2値信号である。信号処理回路111N及び112Nは、信号処理回路111P及び112Pと同様に、マイコン90からのオンオフ指令に従って、N側IGBT200Nがオンオフされるように、第1ゲート電圧Vg1及び第2ゲート電圧Vg2を制御するために上述のパルス信号を生成する。当該パルス信号には、上述のデッドタイムの付加、及び、スイッチング損失又はサージを低減するためのタイミング調整が反映されている。

【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0070

【補正方法】変更

【補正の内容】

【0070】

出力回路122Nは、N側IGBT200Nのコレクタ（陽極）、即ち、出力ノードNoの電圧を基準電圧として引き込んでおり、レベルシフト回路132Nの出力に従って、N側IGBT200Nのコレクタに対する第2ゲート電圧Vg2を「0」及び「+」のいずれかに制御する。

【手続補正 8】

【補正対象書類名】明細書

【補正対象項目名】0095

【補正方法】変更

【補正の内容】

【0095】

本発明に係る半導体装置は、アームを構成する2個の半導体スイッチング素子（例えば、図5のP側IGBT200P及びN側IGBT200N）のそれぞれの2個の駆動回路（例えば、図5の駆動回路100P及び100N）を構成要素とするが、当該2個の駆動回路は、一体化構造とされてもよく、別体で構成されてもよい。又、各駆動回路は、対応の半導体スイッチング素子との一体化構造によってモジュール化されてもよい。或いは、1アーム分の2個の半導体スイッチング素子及び2個の駆動回路が一体化構造によって同一モジュールに内蔵（即ち、1モジュール化）されてもよい。

【手続補正 9】

【補正対象書類名】明細書

【補正対象項目名】0102

【補正方法】変更

【補正の内容】

【0102】

図9を参照して、実施の形態1の変形例に係るレベルシフト回路の第2の構成例では、P側IGBT200Pの第2ゲートG2に対応するレベルシフト回路132Pが、他のレベルシフト回路131P、132Nよりも絶縁耐圧が高くなるように構成される。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0107

【補正方法】変更

【補正の内容】

【0107】

このように、信号処理回路112Pからのパルス信号Sp1の極性（Hレベル/Lレベル）を、図6の構成例からは反転させることで、P側IGBT200Pの第2ゲート電圧Vg2を、図6で説明したのと同様に制御することができる。或いは、図6の構成例と同様のパルス信号をインバータで反転して、フォトカブラ160へ入力することによっても、同様の動作を実現することができる。

【手続補正11】

【補正対象書類名】明細書

【補正対象項目名】0109

【補正方法】変更

【補正の内容】

【0109】

又、電源電圧Vccの変動は、P側IGBT200Pのオンによって、出力ノードNoの電圧変動に伝播する。これにより、P側IGBT200Pの第1ゲート電圧の基準電圧、及び、N側IGBT200Nの第2ゲートの基準電圧も変動する。しかしながら、出力ノードNoに生じる電圧変動は、オン状態のP側IGBT200Pで生じる電圧降下の影響により、電源電圧Vccでの電圧変動よりも軽減されている。

【手続補正12】

【補正対象書類名】明細書

【補正対象項目名】0110

【補正方法】変更

【補正の内容】

【0110】

従って、ダブルゲート構造のIGBT200によって構成されたアームの実動作では、N側IGBT200Nの第2ゲートG2の駆動回路よりも、P側IGBT200Pの第2ゲートG2の駆動回路の方が、高電圧を絶縁する必要が生じる。

【手続補正13】

【補正対象書類名】明細書

【補正対象項目名】0111

【補正方法】変更

【補正の内容】

【0111】

図9の構成例では、P側IGBT200Pの第2ゲートG2に接続されるレベルシフト回路132Pが、NMOSトランジスタ145のpn接合（図7）に加えて、フォトカブラ160を更に配置することにより、即ち、複数の絶縁素子の配置によって、出力回路122P及び信号処理回路112Pの間を電氣的に絶縁分離している。一方で、他のレベル

シフト回路 1 3 1 P , 1 3 2 N は、N M O S トランジスタ 1 4 5 の p n 接合 (図 7) によって、出力回路 1 2 1 P , 1 2 2 N 及び信号処理回路 1 1 1 P , 1 1 2 N の間を電氣的に絶縁分離する。

【手続補正 1 4】

【補正対象書類名】明細書

【補正対象項目名】0 1 1 2

【補正方法】変更

【補正の内容】

【0 1 1 2】

従って、P 側 I G B T 2 0 0 P の第 2 ゲート G 2 に接続されるレベルシフト回路 1 3 2 P の絶縁性能 (即ち、電圧阻止能力) は、他のレベルシフト回路、特に、N 側 I G B T 2 0 0 N の第 2 ゲート G 2 に接続されるレベルシフト回路 1 3 2 N よりも高くなる。これにより、電源電圧 V_{cc} の変動に対して、ダブルゲート構造の I G B T 2 0 0 によって構成されたアームを安定的に動作させることが可能である。

【手続補正 1 5】

【補正対象書類名】明細書

【補正対象項目名】0 1 1 6

【補正方法】変更

【補正の内容】

【0 1 1 6】

図 1 0 は、実施の形態 2 に係るクロック回路の共有構成を説明するブロック図である。

図 1 0 を参照して、クロック回路 1 1 8 は、アームを構成する 2 個の I G B T 2 0 0 の第 1 ゲート G 1 及び第 2 ゲート G 2 にそれぞれ対応して配置される複数の信号処理回路 1 1 1 P , 1 1 2 P , 1 1 1 N , 1 1 2 N の間で共有される。即ち、信号処理回路 1 1 1 P , 1 1 2 P , 1 1 1 N , 1 1 2 N には、クロック回路 1 1 8 からのクロック信号 C L K が共通に入力される。

【手続補正 1 6】

【補正対象書類名】明細書

【補正対象項目名】0 1 1 8

【補正方法】変更

【補正の内容】

【0 1 1 8】

図 1 1 を参照して、例えば、マイコン 9 0 からのオンオフ指令である信号 S i g b t によって、P 側 I G B T 2 0 0 P のターンオフが指示されると、信号処理回路 1 1 1 P は、第 1 ゲート電圧 V_{g1} を「+」から「0」に変化させるために、パルス信号 S p l 1 を L レベルから H レベルへ変化させる。一方で、信号処理回路 1 1 2 P は、第 2 ゲート電圧 V_{g2} を「0」から「+」に変化させるために、パルス信号 S p l 2 を H レベルから L レベルへ変化させる。

【手続補正 1 7】

【補正対象書類名】明細書

【補正対象項目名】0 1 1 9

【補正方法】変更

【補正の内容】

【0 1 1 9】

上述のように、図 3 に示した I G B T 2 0 0 を速やかにターンオフしてスイッチング損失を低減するためには、第 1 ゲート電圧 V_{g1} が「+」から「0」に変化する直前に、第 2 ゲート電圧 V_{g2} を「0」から「+」に変化させることが好ましい。

【手続補正 1 8】

【補正対象書類名】明細書

【補正対象項目名】0 1 2 0

【補正方法】変更

【補正の内容】

【0120】

従って、S i g b tの信号レベルが変化するタイミング t_0 を起点として、信号処理回路112Pは、予め定められた時間長 Td_1 経過後にパルス信号 S_{p12} をHレベルからLレベルへ変化させる。一方で、信号処理回路111Pは、 t_0 から予め定められた時間長 Td_2 ($Td_2 > Td_1$) 経過後にパルス信号 S_{p11} をLレベルからHレベルへ変化させることによって、上述の好ましいターンオフスイッチング動作を実現することができる。この際に、信号処理回路111P及び112Pは、クロック回路118からの共通のクロック信号CLKの周期数に換算して、時間長 Td_1 、 Td_2 の経過を検知することができる。同様に、信号処理回路111P、112P、111N、112Nでは、クロック信号CLKを用いて、デッドタイムの期間長を設定することが可能である。

【手続補正19】

【補正対象書類名】明細書

【補正対象項目名】0121

【補正方法】変更

【補正の内容】

【0121】

従って、信号処理回路111P、112P、111N、112Nの間でクロック回路118を共有化することで、製造コストを抑制できるとともに、共通のクロック信号CLKを用いることで、ゲート電圧制御のタイミング調整の精度を向上することが可能である。

【手続補正20】

【補正対象書類名】明細書

【補正対象項目名】0122

【補正方法】変更

【補正の内容】

【0122】

図12は、実施の形態2に係る電源回路の共有構成を説明するブロック図である。

図12を参照して、電源回路119は、アームを構成する2個のIGBT200の第1ゲートG1及び第2ゲートG2にそれぞれ対応して配置される複数の信号処理回路111P、112P、111N、112Nの間で共有される。即ち、信号処理回路111P、112P、111N、112Nは、共通の電源回路119から動作電源電圧 V_b の供給を受ける。

【手続補正21】

【補正対象書類名】明細書

【補正対象項目名】0123

【補正方法】変更

【補正の内容】

【0123】

このような構成とすることで、信号処理回路111P、112P、111N、112Nの各々で動作電源電圧 V_b を発生させる構成と比較して、電源回路119の配置個数が削減されるので、製造コストを抑制することができる。