

公告本

申請日期	90.3.27
案 號	90107221
類 別	H01L ²⁹ 02

A4
C4

515100

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	碳矽鍺半導體結晶及其製造方法
	日 文	SiGeC 半導体結晶及びその製造方法
二、發明人 創作	姓 名	1. 齋藤 徹 TOHRU SAITOH 2. 神澤 好彦 YOSHIHIKO KANZAWA 3. 能澤 克彌 KATSUYA NOZAWA 4. 久保 實 MINORU KUBO
	國 籍	均日本
三、申請人	住、居所	1. 日本國大阪府攝津市鳥飼新町2-18-14 2. 日本國大阪府門真市御堂町25-3 3. 日本國大阪府大阪市旭區大宮5-4-25-1101 4. 日本國三重縣名張市桔梗丘西一番町125
	姓 名 (名稱)	日商松下電器產業股份有限公司 MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD
	國 籍	日本
	住、居所 (事務所)	日本國大阪府門真市大字門真1006番地
	代 表 人 姓 名	中村 邦夫 KUNIO NAKAMURA

裝

訂

線

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國（地區） 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權
日本 2000年03月27日 特願2000-086154 ☒有 ☐無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

技術領域

本發明係關於一種碳矽鍺半導體結晶及其製造方法，該碳矽鍺半導體結晶可利用以作為雙極電晶體和場效應電晶體。

背景技術

本發明係關於一種為第IV族元素混晶之碳矽鍺半導體結晶，及其製造方法。

自以往以來，一直嘗試著藉由積層矽層與包含以矽為主成份之半導體層而形成雜合，以製作較以往之矽裝置以高速作動之半導體裝置。至於作為與矽層形成雜合之材料，有可能為使用矽與相同第IV族元素之混晶半導體 $\text{Si}_{1-x}\text{Ge}_x$ 和 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 。特別言之，由3種元素組成之 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 混晶半導體，其可藉由改變組成比而獨立地控制帶隙與晶格常數，是以半導體裝置設計之自由度高，故極受矚目。舉例而言，若適當調整 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 之組成比，可進行與矽結晶之晶格匹配。另外，若適當調整 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 之組成比，在矽層與 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 層之不勻界面上，可對傳導帶與價電子帶兩者形成不勻障壁(帶偏差)。舉例而言，日本特開平第10-116919號公報係揭示一種場效應型電晶體，其係利用在矽/碳矽鍺層之界面上所形成之傳導帶側之不勻障壁，而可進行以二維電子氣體為載體之高速作動。

然而，目前於 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 混晶之製作上，係使用化學汽相沉積法(CVD法)、和分子束磊晶生長法(MBE法)等，前者係分解作為各元素矽、鍺及碳來源之各種氣體，而於矽層或矽鍺層上進行磊晶生長，後者係加熱蒸發作為各元素來源之各種氣體，而進行磊晶生長。而為將 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 層

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(2)

用以作為半導體裝置之一部份，必須於 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 層內添加成為摻雜劑之載體用雜質，而控制 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 層之導電型和比電阻。於 $\text{Si}_{1-x}\text{Ge}_x$ 層中，常使用硼(B)作為p型摻雜劑，而常使用磷(P)作為n型摻雜劑，藉由於結晶生長中添加摻雜劑，已知可控制生長層之導電型和比電阻。

解決之課題

為對於 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 層中之摻雜劑進行探討，本申請案之發明人等進行實驗，而實驗結果係示於圖4；圖4為圖示 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 層之比電阻與碳含有率之關聯性之圖。採取數據用之試樣 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 層之製作方式為：使用 Si_2H_6 作為元素矽之原料、 GeH_4 作為元素鍺之原料、 SiH_3CH_3 作為元素碳之原料、 B_2H_6 作為p型雜質(摻雜劑)硼(B)之原料(亦即就地摻雜)，藉由CVD法，行磊晶生長所得之初生長物(as-grown)。於此實驗中，係固定 Si_2H_6 及 GeH_4 之流量、與 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 層生長時之溫度，僅改變 SiH_3CH_3 之流量。如該圖所示，就碳含有率為0.45%以下之試樣而言，即使改變碳含有率，其比電阻亦幾乎一定，且比電阻值較小。相對於此，碳含有率為1.6%之 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 層之比電阻則顯著增大。亦即，可明確得知：以此方法製得之磊晶生長 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 層係具高電阻，而不適於用以作為半導體裝置之活性區域(例如於FET中之溝道層、在雙極電晶體中之基底層等)。

以與採取圖4所示數據用之試樣基本上相同之方法製作圖5之試樣，對其進行二次離子質量分析，其係示於圖5；圖5為圖示 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 層之硼濃度與碳含有率之關聯性之圖。於藉由就地摻雜方式於 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 層導入硼之情況下，硼

五、發明說明(3)

之摻雜效率將隨 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 層之碳含有率而有些許變化，由是為確認圖4所示比電阻是否受硼濃度之影響，而進行此一實驗。但採取圖5之數據用之試樣與採取圖4之數據用之試樣並非同一物。如圖5所示， $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 層中之硼濃度與 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 層之碳含有率有極大的關聯性。而如圖5所示， $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 層碳含有率增大， $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 層中之硼濃度即有增大之傾向，由是可確認：圖4所示硼濃度為1.6%之試樣之比電阻之所以增大，並非因硼濃度不足而起的。

於是本發明之發明人等推定：於 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 層之碳含有率大之區域中，比電阻增大之原因，有可能是因以就地摻雜行磊晶生長時，硼並未經充分地活化之故。以往以CVD法所得之半導體層(矽層和 $\text{Si}_{1-x}\text{Ge}_x$ 層)行磊晶生長時，於就地摻雜摻雜劑之情況下，半導體層行磊晶生長之同時，摻雜硬化即經活化，故與以離子注入法所行雜質摻雜之情況不同，可認為並不需要進行用以活化摻雜劑之熱處理。如圖4所示，於 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 層中，碳含有率為0.45%以下時，初生長狀態下之比電阻亦較小，故可直接使用 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 層作為半導體裝置之活性區域。然而，若 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 層中之碳含有率增大，可認為有可能產生以此種以往之思考方式無法解決之現象。特別言之，當 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 層中之碳含有率超過1%，由經驗可知各種特性將大改變，故雖然無法僅由圖4所示數據加以確認，惟可認為碳含有率在1%的附近有可能為比電阻增大之臨界值。

發明之揭示

本發明之目的在於提供一種碳矽鍺半導體結晶及其製造方法；特別對具有超過約1%之較大碳含有率之

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(4)

$\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 層而言，藉由採取用以活化硼之方式，可將該碳矽鍺半導體結晶利用以作為半導體裝置之活性區域。

本發明碳矽鍺半導體結晶之製造方法係包含下述步驟：
 步驟(a)：於基板上，使碳矽鍺半導體結晶行磊晶生長，該碳矽鍺半導體結晶係具有表為 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ ($0 < x < 1$, $0.01 \leq y < 1$)之組成，其內添加有載體用雜質；以及步驟(b)：施行熱處理，以活化上述碳矽鍺半導體結晶中之載體用雜質。

根據此方法，可由經驗確認碳矽鍺層之比電阻係經降低。以往一直認為經就地摻雜之雜質係於磊晶生長之同時經活化，惟此節並不適用於碳矽鍺層，可推定即使為經就地摻雜之雜質，亦可藉由熱處理而充分地經活化。

上述熱處理之溫度係於 700°C 以上至 1000°C 以下之範圍內，由是特別可有效地活化雜質。

上述磊晶生長為化學汽相沉積法，其係以矽、鍺、碳及硼中至少一材料之氫化物為原料；於此情況下，本發明極具意義。

本發明之碳矽鍺半導體結晶係呈現碳矽鍺半導體結晶之機能，其具有表為 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ ($0 < x < 1$, $0.01 \leq y < 1$)之組成，而其係由2組以上之下述層交互積層所構成者：包含載體用雜質之 $\text{Si}_{1-z}\text{Ge}_z$ ($0 < z < 1$)層；與較該 $\text{Si}_{1-z}\text{Ge}_z$ 層具較低載體用雜質濃度之 $\text{Si}_{1-w}\text{C}_w$ ($0.01 \leq w < 1$)層。

藉此 $\text{Si}_{1-z}\text{Ge}_z$ 層與 $\text{Si}_{1-w}\text{C}_w$ 層係經一體化，而可呈現1個碳矽鍺半導體結晶之機能，同時，於 $\text{Si}_{1-z}\text{Ge}_z$ 層內，即使不進行特別的處理，於初生長之狀態下亦可活化載體用雜質，利用此節可製得具較小比電阻之碳矽鍺半導體結晶，其適

五、發明說明(5)

合利用以作為半導體裝置之活性區域。

上述 $\text{Si}_{1-z}\text{Ge}_z$ 層與 $\text{Si}_{1-w}\text{C}_w$ 層之厚度係較形成離散量化能級之厚度為薄，藉此可更確實地使 $\text{Si}_{1-z}\text{Ge}_z$ 層與 $\text{Si}_{1-w}\text{C}_w$ 層一體化，而呈現碳矽鍺半導體結晶之機能。

具體而言，上述 $\text{Si}_{1-z}\text{Ge}_z$ 層與 $\text{Si}_{1-w}\text{C}_w$ 層較佳係分別具有1.0奈米以下之厚度。

圖式簡單說明

圖1(a)、(b)為於本發明之第1實施型態中摻雜有硼之 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 半導體結晶之製造步驟概略示意截面圖。

圖2係圖示於本發明之製造方法中，相對於RTA溫度之變化，摻雜有硼之 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 半導體結晶之比電阻變化數據。

圖3為於本發明之第2實施型態中摻雜有硼之 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 半導體結晶之構成概略示意截面圖。

圖4係圖示摻雜有硼之 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 層之比電阻與碳含有率之關聯性。

圖5係圖示由二次離子質量分析之結果所得 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 層之硼濃度與碳含有率之關聯性。

最佳之實施型態

以下係參照圖示，以針對根據本發明之碳矽鍺半導體結晶及其製造方法之實施例加以說明。

—第1實施型態—

圖1(a)、(b)為於本發明之第1實施型態中摻雜有硼之 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 半導體結晶之製造步驟概略示意截面圖。圖2係圖示於本發明之製造方法中，相對於RTA溫度之變化，摻雜有硼之 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 半導體結晶之比電阻變化數據。

五、發明說明(6)

首先，於圖1(a)所示步驟中，係於主平面為{001}面之矽基板101上，藉由超高真空化學汽相沉積法(Ultra High Vacuum Chemical Vapor Deposition, UHV-CVD)，以使厚度約為300奈米之摻雜有硼之 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 層102行磊晶生長。其時，於構成 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 層之元素中，係分別使用 Si_2H_6 作為元素矽之原料、 GeH_4 作為元素鍺之原料、 SiH_3CH_3 作為元素碳之原料、 B_2H_6 作為p型雜質(摻雜劑)硼(B)之原料(亦即就地摻雜)。此時，係固定 Si_2H_6 及 GeH_4 之流量、與 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 層生長時之溫度(約 490°C)，僅改變 SiH_3CH_3 之流量。生長壓力約為 $0.133\text{ Pa}(=1 \times 10^{-3}\text{ Torr})$ ，而生長溫度約為 490°C 。藉由x光繞射法評估摻雜有硼之 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 層102中之組成，其結果為：矽含有率為82.5%、鍺含有率為13.2%、碳含有率為1.6%。另外，藉由二次離子質量分析評估 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 層102之結果為：硼濃度為 $2.6 \times 10^{18}\text{ 原子} \cdot \text{cm}^{-3}$ 。

其次，於圖1(b)所示步驟中，係於 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 層102上，利用快速加熱退火(RTA)以施行熱處理，而製成摻雜有硼之 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 結晶層103。此時，於1大氣壓之氮氣(N_2)之環境氣體中，係使熱處理之最高溫度例如約為 950°C ，而使最高溫度之維持時間約為15秒。

圖2係圖示於改變RTA溫度(最高溫度)時，摻雜有硼之 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 結晶層103之比電阻與熱處理溫度(RTA之最高溫度)之關聯性。但圖2所示數據為：使RTA中之最高溫度由 700°C 變化至 1050°C ，而使熱處理時間為固定的15秒。於該圖中，●符號之數據係表示摻雜有硼之 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 結晶層103之比電阻。另外，■符號之數據係

五、發明說明(7)

顯示與發明比較用所形成摻雜有硼之 $\text{Si}_{1-x}\text{Ge}_x$ 層(鍺之含有率為13%)之比電阻與熱處理溫度之關聯性。如該圖所示,於熱處理溫度 700°C 至 900°C 之範圍內,摻雜有硼之 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 結晶層103之比電阻(●符號)係隨熱處理溫度上昇而規律地減少。而於熱處理溫度 900°C 至 1000°C 之範圍中,摻雜有硼之 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 結晶層103之比電阻約為定值,若熱處理溫度超過 1000°C ,則再度增大。但不論於何種情況下,可知藉由於磊晶生長後進行熱處理,可使摻雜有硼之 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 結晶層103之比電阻較初生長狀態為低。另一方面,無論是否進行RTA,摻雜有硼之 $\text{Si}_{1-x}\text{Ge}_x$ 層之比電阻(■符號)均較小,且約為定值。亦即,可知對摻雜有硼之 $\text{Si}_{1-x}\text{Ge}_x$ 層而言,於磊晶生長後為活化而進行熱處理乃完全無意義之舉。

由以上之敘述可知,藉由伴隨著就地摻雜之磊晶生長,以形成 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 層後,藉由對 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 層施行熱處理,可降低 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 層之比電阻。亦即,以往,藉由就地摻雜以行磊晶生長所得含1%以上摻雜劑之 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 層,係存在著比電阻高之問題,惟對此問題,藉由在 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 層之磊晶生長後進行熱處理,可知可抑制比電阻之增大。

如圖2所示,藉由特別於 700°C 至 1020°C 之範圍內進行熱處理(RTA),可獲致確實地降低 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 層比電阻之效果。

再者,於溫度為 900°C 至 1000°C 之範圍內進行過熱處理時,可知 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 層之比電阻確實經降低之效果極顯著。

五、發明說明(8)

於本實施型態中，係針對使用硼(B)作為載體生成用雜質之情況加以說明，惟本發明並不限定於該實施型態，亦可適用於使用磷(P)作為載體生成用雜質之情況。

作為本申請案主張優先權之基礎申請案(日本特願平第2000-086154號)之後文中，文獻(於 $\text{SiH}_4\text{-GeH}_4\text{-CH}_3\text{SiH}_3$ 反應中 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 膜於矽(100)上之磊晶生長，(A.市川等人，固體薄膜，369(2000)167-170))係報告：藉由伴隨著就地摻雜之磊晶生長法所形成之摻雜有磷之 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 層，其比電阻亦較初生長狀態為大，而並未記述如何抑制此一比電阻增大之方式，由是可知，碳含有率較高之摻雜有雜質之 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 層之低電阻化仍未經解決。相對於此，根據本發明，以簡單之處理即可達成摻雜有雜質之 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 層之低電阻化，此點具有極大的意義。

又，於使用 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 結晶以製作場效應電晶體和雙極電晶體等裝置之情況下，可與上述熱處理步驟併用例如源・汲區域之活化步驟、和多晶矽電極之活化步驟等熱處理步驟，亦可獲致相同的效果。

另外，於本實施型態中，雖係藉由UHV-CVD法，使 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 層進行磊晶生長，惟本發明並不限定於該實施型態，對於使用低壓汽相沉積法(LP-CVD)法等其他生長方法所製作之 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 結晶層，亦可獲致相同的效果。

另外，本實施例雖進行以RTA所為之熱處理，惟於爐退火法等所謂之熱處理方法中，亦可獲致相同的效果。

—第2實施型態—

其次，係針對第2實施型態所例示摻雜有硼之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

$\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 結晶層之構造及製造方法加以說明。

圖3為於本發明實施型態所例示半導體超晶格構造之模式性示意截面圖。藉由UHV-CVD法，於矽基板111上，以150週期積層摻雜有硼之矽鍺層113(厚度為1奈米)、與無摻雜物之碳矽層112(厚度為1奈米)，而得超晶格構造104，使其行磊晶生長，其中摻雜有硼之矽鍺層113係含載體用雜質硼(B)，並具有表為 $\text{Si}_{1-z}\text{Ge}_z$ ($0 < z < 1$)之組成，而無摻雜物之碳矽層112之載體用雜質濃度係較摻雜有硼之矽鍺層113為低，並具有表為 $\text{Si}_{1-w}\text{C}_w$ ($0.01 \leq w < 1$)之組成。其時，係分別使用 Si_2H_6 作為元素矽之原料、 GeH_4 作為元素鍺之原料、 SiH_3CH_3 作為元素碳之原料、 B_2H_6 作為p型雜質(摻雜劑)硼(B)之原料(亦即就地摻雜)。此時，生長壓力約為 $0.133 \text{ Pa} (= 1 \times 10^{-3} \text{ Torr})$ ，而生長溫度為 490°C 。藉由X光繞射法評估摻雜有硼之矽鍺層113中之組成，其結果為：鍺含有率為26.4%。另外，藉由X光繞射法評估無摻雜物之碳矽層112中之組成，其結果為：碳含有率為3.2%。另外，藉由二次離子質量分析評估摻雜有硼之矽鍺層113，其結果為：硼濃度為 $5.2 \times 10^{18} \text{ 原子} \cdot \text{cm}^{-3}$ 。又，於無摻雜物之碳矽層112中，雖非有意地摻雜硼，惟由於雜質摻雜用氣體之殘留和擴散，仍會包含低濃度之硼。

根據本實施型態所製作之積層 $\text{Si}_{1-z}\text{Ge}_z/\text{Si}_{1-w}\text{C}_w$ 所得超晶格構造104，由於碳矽層及矽鍺層均薄得不會呈現量子效果，故不會形成離散量子能級。而碳矽層112及矽鍺層113之性質係經平均化(亦即一體化)，而超晶格構造104整體係呈現1個碳矽鍺半導體結晶($0 < x < 1, 0.01 \leq y < 1$)之機能。於此 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 層($\text{Si}_{1-z}\text{Ge}_z/\text{Si}_{1-w}\text{C}_w$ 短週期超晶格)中，平均的矽、鍺、碳及

五、發明說明(10)

硼之濃度分別為約85.2%、約13.2%、約1.6%及約 $2.6 \times 10^{18} \text{cm}^{-3}$ ，可認為其與圖1所示 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 層102係具有相同之組成。

因此，根據本實施型態，可發揮與第1實施型態相同的效果。而且，於本實施型態之碳矽鍺半導體結晶之製造步驟中，毋需如第1實施型態般施行熱處理，係具有在初生長之狀態下即可達成低電阻化之優點。

另外，於超晶格構造104中，僅於矽鍺層113中摻雜硼，而於碳矽層112中則幾乎不含硼。如圖2及圖4所示，矽鍺層113內之硼於初生長之狀態下係經活化為摻雜劑。另外，於製造步驟中，亦可能於矽鍺層113中混雜極微量之碳，惟如圖4所示，存在約達0.45%之碳並不會導致矽鍺層之比電阻增大。

又，於本實施型態中，碳矽層112及矽鍺層113之厚度為1奈米，而使用以150週期積層此二層之超晶格構造，惟本發明並不限定於該實施型態。藉由積層含高度載體用雜質之 $\text{Si}_{1-z}\text{Ge}_z$ 層、與幾乎不含載體用雜質之 $\text{Si}_{1-w}\text{C}_w$ 層，可獲致確實地活化載體用雜質之作用，而可得呈現1個碳矽鍺半導體結晶之機能之積層構造。但若於 $\text{Si}_{1-z}\text{Ge}_z$ 層或 $\text{Si}_{1-w}\text{C}_w$ 層中產生量化能級，則有出現其他特性之虞，故 $\text{Si}_{1-z}\text{Ge}_z$ 層及 $\text{Si}_{1-w}\text{C}_w$ 層之厚度較佳係均薄得不會產生量化能級。

特別言之，當 $\text{Si}_{1-z}\text{Ge}_z$ 層及 $\text{Si}_{1-w}\text{C}_w$ 層之厚度分別為1奈米以下時，可於各層中確實消除量化能級，故各層之厚度較佳為1奈米以下。但 $\text{Si}_{1-z}\text{Ge}_z$ 層及 $\text{Si}_{1-w}\text{C}_w$ 層之厚度互相不同亦可。

於本實施型態中，係藉由UHV-CVD法，使 $\text{Si}_{1-z}\text{Ge}_z$ 層及

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(11)

$\text{Si}_{1-w}\text{C}_w$ 層交互地行磊晶生長，藉此形成 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 層，惟本發明並不限定於該實施型態，對於使用低壓汽相沉積法(LP-CVD)法等其他生長方法所製作之 $\text{Si}_{1-z}\text{Ge}_z$ 層及 $\text{Si}_{1-w}\text{C}_w$ 層所成之 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 層，亦可獲致相同的效果。

產業上利用性

本發明係利用於具有矽/碳矽鍺或矽鍺/碳矽鍺不勻構造之場效應電晶體、和雙極電晶體上。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (11a)

元件符號說明

- 101、111 Si基板
- 102 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 層
- 103 摻雜有B之 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 結晶層
- 104 超晶格構造
- 112 摻雜有B之SiGe層
- 113 無摻雜之SiC層

裝
訂
線

四、中文發明摘要 (發明之名稱： 碳矽鍺半導體結晶及其製造方法)

於矽基板 101 上，係藉由 UHV-CVD 法，使摻雜有硼之 $Si_{1-x-y}Ge_xC_y$ 層 102 ($0 < x < 1, 0.0045 \leq y < 1$) 進行磊晶生長。其時，係使用作為雜質(摻雜劑)硼(B)原料氣體之 B_2H_6 ，以進行原處(in-situ)摻雜。其次，係對 $Si_{1-x-y}Ge_xC_y$ 層 102 施行熱處理，製成摻雜有硼之 $Si_{1-x-y}Ge_xC_y$ 結晶層 103。至於熱處理溫度，此時之熱處理溫度較佳為 700℃ 至 1020℃，更佳為 900℃ 至 1000℃。

日文發明摘要 (發明之名稱： SiGeC 半導体結晶及びその製造方法)

Si 基板 101 上に、UHV-CVD 法により、B ドープ $Si_{1-x-y}Ge_xC_y$ 層 102 ($0 < x < 1, 0.0045 \leq y < 1$) をエピタキシャル成長させる。その際、不純物 (ドーパント) であるボロン (B) の原料ガスとして B_2H_6 を用いて、in-situ ドープを行なう。次に、 $Si_{1-x-y}Ge_xC_y$ 層 102 に熱処理を施して、B ドープ $Si_{1-x-y}Ge_xC_y$ 結晶層 103 とする。熱処理温度は、このとき、熱処理温度を 700℃ - 1020℃ とすることが好ましく、900℃ - 1000℃ とすることがより好ましい。

裝
訂
線

六、申請專利範圍

1. 一種碳矽鍺半導體結晶之製造方法，其係包含下述步驟：
步驟(a)：於基板上，使碳矽鍺半導體結晶進行磊晶生長，該碳矽鍺半導體結晶係具有表為 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ ($0 < x < 1, 0.0045 \leq y < 1$)之組成，其內添加有載體用雜質；
以及
步驟(b)：施行熱處理，以活化上述碳矽鍺半導體結晶中之載體用雜質。
2. 根據申請專利範圍第1項之碳矽鍺半導體結晶之製造方法，其中上述熱處理之溫度係於 700°C 以上至 1020°C 以下之範圍內。
3. 根據申請專利範圍第1或2項之碳矽鍺半導體結晶之製造方法，其中上述磊晶生長為化學汽相沉積法，其係以矽、鍺、碳及硼中至少一材料之氫化物為原料。
4. 一種碳矽鍺半導體結晶，其係呈現碳矽鍺半導體結晶之機能，其具有表為 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ ($0 < x < 1, 0.0045 \leq y < 1$)之組成，
而其係由2組以上之下述層交互積層所構成者：
包含載體用雜質之 $\text{Si}_{1-z}\text{Ge}_z$ ($0 < z < 1$)層；與
較該 $\text{Si}_{1-z}\text{Ge}_z$ 層具較低載體用雜質濃度之 $\text{Si}_{1-w}\text{C}_w$ ($0.01 \leq w < 1$)層。
5. 根據申請專利範圍第4項之碳矽鍺半導體結晶，其特徵在於上述 $\text{Si}_{1-z}\text{Ge}_z$ 層與 $\text{Si}_{1-w}\text{C}_w$ 層之厚度係較形成離散量化能級之厚度為薄。

六、申請專利範圍

6. 根據申請專利範圍第4或5項之碳矽鍺半導體結晶，其中上述 $\text{Si}_{1-z}\text{Ge}_z$ 層與 $\text{Si}_{1-w}\text{C}_w$ 層分別具有1.0奈米以下之厚度。

9.010722/

圖 1(a)

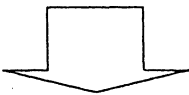
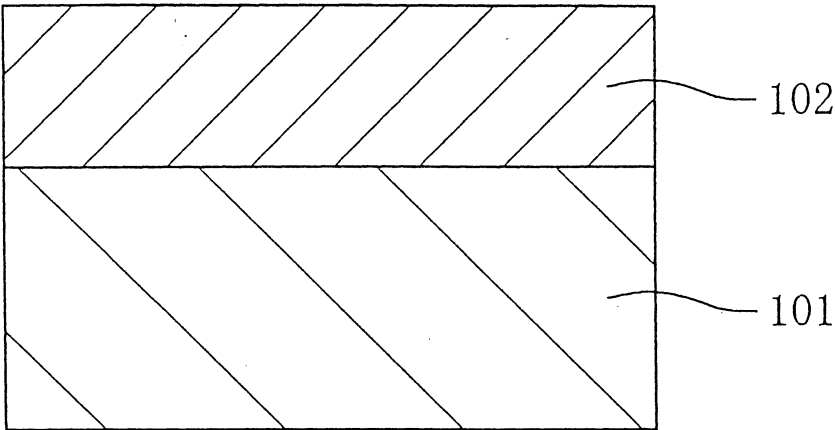


圖 1(b)

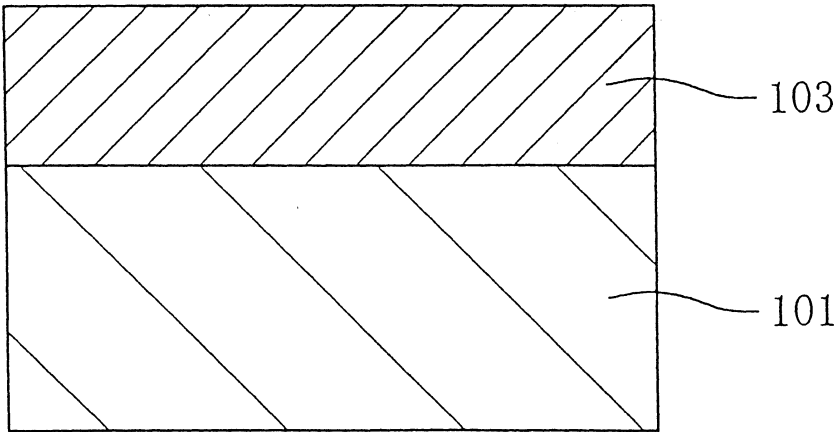


圖 2

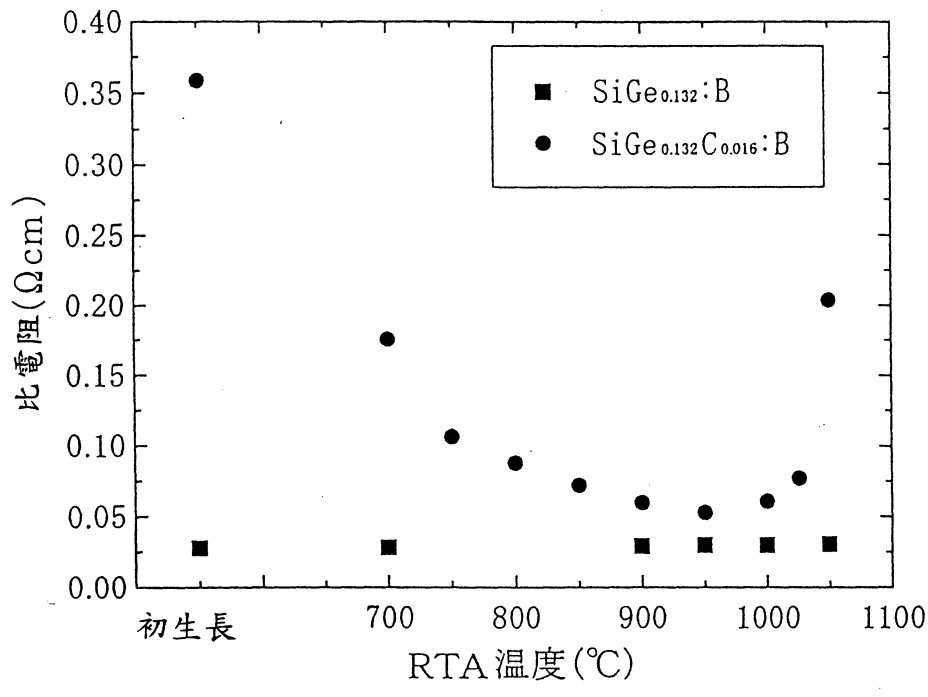


圖 3

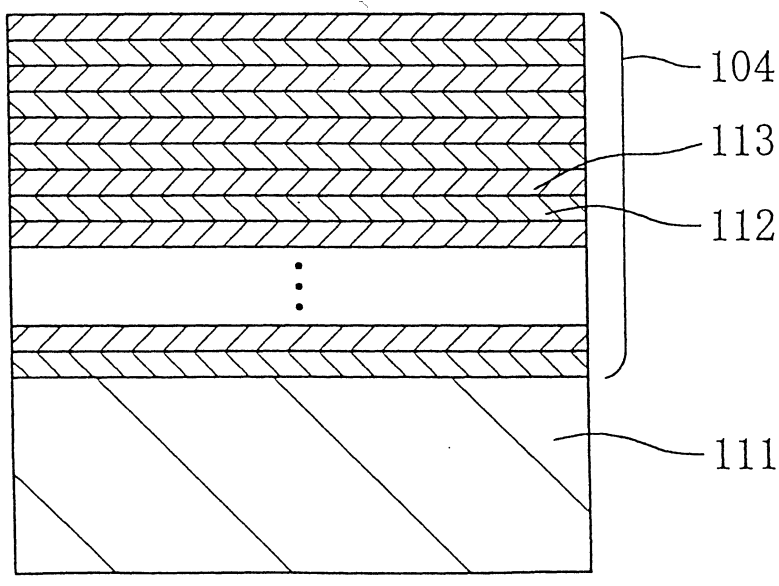


圖 4

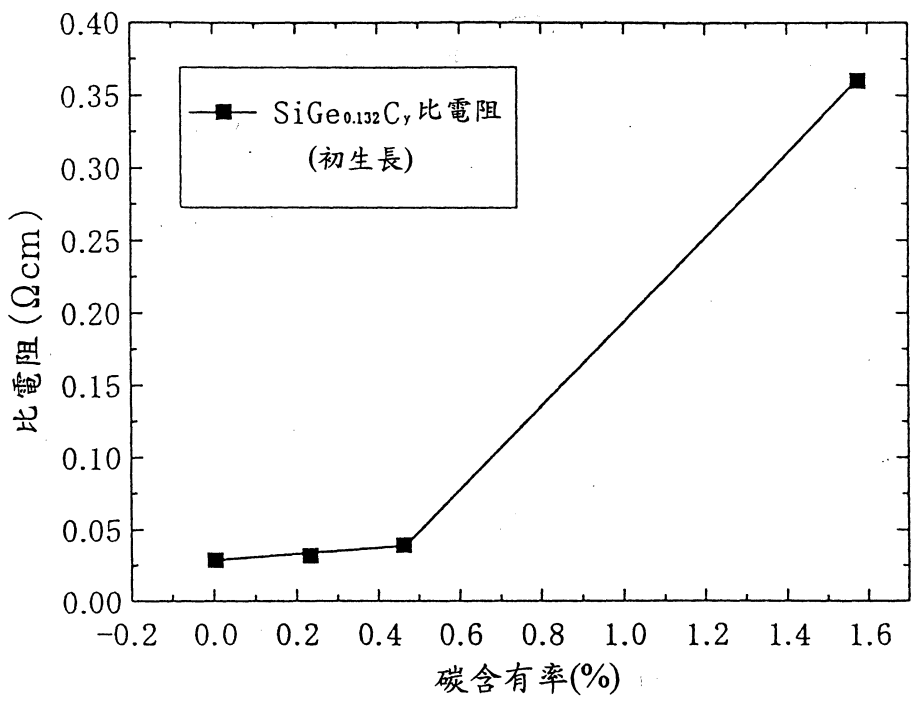


圖 5

