(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2013 년 9 월 12 일 (12.09.2013)

WIPO | PCT

(10) 국제공개번호
WO 2013/133462 A1

(51) 국제특허분류:
G06F 11/26 (2006.01) *G06F 11/10* (2006.01)

(21) 국제출원번호: PCT/KR2012/001715

(22) 국제출원일: 2012 년 3 월 9 일 (09.03.2012)

(25) 출원언어: 한국어

(26) 공개언어: 한국어

(30) 우선권정보:
10-2012-0023871 2012 년 3 월 8 일 (08.03.2012) KR

(71) 출원인 (US 을(를) 제외한 모든 지정국에 대하여): **조선대학교산학협력단 (INDUSTRY-ACADEMIC COOPERATION FOUNDATION CHOSUN UNIVERSITY)** [KR/KR]; 501-759 광주광역시 동구 필문대로 309, Gwangju (KR).

(72) 발명자; 겸
(75) 발명자/출원인 (US 에 한하여): **이정아 (LEE, Jeong A)** [KR/KR]; 121-270 서울특별시 마포구 상암동 휴먼시아 아파트 203 동 102 호, Seoul (KR). **소마순다람나타르잔 (SOMASUNDARAM, Natarajan)** [IN/IN]; 641030 코임바토레 사이트 엔오. 10 비 나가파 콜로니 제 2 크로스 거리 카분담팔라얌, Coimbatore (IN).

(74) 대리인: **특허법인 아이엠 (IAM PATENT FIRM)**; 135-080 서울특별시 강남구 봉은사로 224, 502 호 (역삼동, 혜전빌딩), Seoul (KR).

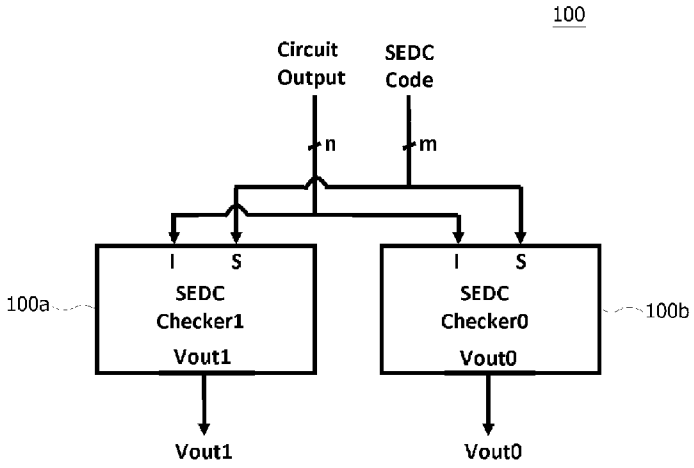
(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,

[다음 쪽 계속]

(54) **Title**: ERROR DETECTION APPARATUS FOR SELF-CHECKING COMPUTATION PROCESSING APPARATUS BASED ON SCALABLE ERROR DETECTION CODE, AND COMPUTATION PROCESSING SYSTEM COMPRISING THE ERROR DETECTION APPARATUS

(54) **발명의 명칭** : 확장형 오류검출코드 기반의 자가검사 연산처리장치를 위한 오류 검출 장치 및 그 오류 검출 장치를 포함하는 연산처리시스템



(57) **Abstract**: The present invention relates to an error detection apparatus for a self-checking computation processing apparatus based on a scalable error detection code, and to a computation processing system comprising the error detection apparatus. More particularly, the present invention relates to an error detection apparatus for a self-checking computation processing apparatus based on a scalable error detection code and to a computation processing system comprising the error detection apparatus, the apparatus and the system of the present invention being capable of continuously detecting, by adding a minimum number of pieces of hardware, errors of the self-checking computation processing apparatus, which performs self-checking based on a scalable error detection code, in computation or in generating an error detection code, the apparatus and the system of the present invention being capable of scaling the error detection code by varying the value of the error detection signal regardless of the length of the binary input data as an object of computation and the length of the binary output data as the result of the computation, the apparatus and the system of the present invention being capable of minimizing the amount of time required to detect errors.

(57) **요약서**:

[다음 쪽 계속]

WO 2013/133462 A1

ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제 21 조(3))

본 발명은 확장형 오류검출코드 기반의 자가검사 연산처리장치를 위한 오류 검출 장치 및 그 오류 검출 장치를 포함하는 연산처리시스템에 관한 것으로, 보다 구체적으로는 확장형 오류검출코드에 기반하여 자가검사를 수행하는 자가검사 연산처리장치의 연산 또는 오류검출코드 생성의 오류를 최소한의 하드웨어 추가로 연속적으로 검출할 수 있고, 연산의 대상인 이진 입력 데이터와 연산의 결과인 이진 출력 데이터의 길이에 관계없이 오류검출신호의 값을 변화시킴으로써 유동적으로 확장할 수 있으며, 오류검출시간을 최소화할 수 있는 본 발명은 확장형 오류검출코드 기반의 자가검사 연산처리장치를 위한 오류 검출 장치 및 그 오류 검출 장치를 포함하는 연산처리시스템에 관한 것이다.

명세서

발명의 명칭: 확장형 오류검출코드 기반의 자가검사 연산처리장치를 위한 오류 검출 장치 및 그 오류 검출 장치를 포함하는 연산처리시스템

기술분야

[1] 본 발명은 확장형 오류검출코드 기반의 자가검사 연산처리장치를 위한 오류 검출 장치 및 그 오류 검출 장치를 포함하는 연산처리시스템에 관한 것으로, 보다 구체적으로는 확장형 오류검출코드에 기반하여 자가검사를 수행하는 자가검사 연산처리장치의 연산 또는 오류검출코드 생성의 오류를 최소한의 하드웨어 추가로 연속적으로 검출할 수 있고, 연산의 대상인 이진 입력 데이터와 연산의 결과인 이진 출력 데이터의 길이에 관계없이 오류검출신호의 값을 변화시킴으로써 유동적으로 확장할 수 있으며, 오류검출시간을 최소화할 수 있는 본 발명은 확장형 오류검출코드 기반의 자가검사 연산처리장치를 위한 오류 검출 장치 및 그 오류 검출 장치를 포함하는 연산처리시스템에 관한 것이다.

[2]

배경기술

[3] 결함허용(fault-tolerance)이란 시스템에서 이나 연산환경에서 결함이 발생하였을 때, 어떠한 제약도 없이 의도된 기능을 수행할 수 있게 하는 능력을 말한다.

[4] 또한, 결함허용을 수행하기 위해서는 기본 연산 블록들(basic computational blocks)이 결함을 인식할 수 있어야하고, 시스템이 기능하는 도중에도 결함을 복구하기 위한 신호를 출력할 수 있어야한다.

[5] 오류검출방법은 크게 Built-In-Self-Test(BIST)기법, 로빙테스트 기법, 중복기법, 논리값 기반의 기법, 오류검출코딩기법 등으로 분류된다.

[6] 먼저, BIST 기법은 별도의 테스트장비를 요구하지 않는 정적오류검출기법으로 동적결함검출 기능을 필요로 하는 재구성가능 내장형 시스템에는 적합하지 않다.

[7] 또한, 로빙테스트 기법은 계산용 데이터의 배열이 동일 크기의 영역으로 분할되며, 이 영역들 중 하나가 BIST를 수행할 수 있도록 구성되며, 나머지 영역들은 본래의 의도된 기능을 수행하도록 구성된다.

[8] 또한, 중복기법은 구조적 또는 시간적 중복성에 기반하여 오류를 검출하며 구조적 중복성을 이용한 오류검출기법은 동일한 기능블럭들을 복수 개로 구성하여 오류를 검출하며, 시간적 중복성을 이용한 오류검출기법은 동일한 기능블럭에서 복수 회 기능을 수행하여 오류를 검출한다. 그러나 이러한 중복기법은 시간적, 공간적 추가비용을 초래하는 단점이 있다.

[9] 또한, 논리값 기반의 기법은 오류를 검출하고자 하는 회로의 넷리스트를 입력으로 하여 논리값 패턴에 대한 회로의 모든 내부 노드들을 탐색하고, 오류의 발생가능성이 있는 회로의 노드패턴이 검색될 경우, 추가적인 검출모듈을 추가하는 방식이다. 그러나, 이러한 논리값 기반의 기법은 모든 오류를 검출할 수 없는 단점이 있다.

[10] 또한, 오류검출코딩기법은 회로의 면적, 동작속도, 검출 오류의 범위 등에서 다른 기법들과 비교하여 매우 효율적이며, 이러한 방법은 에러검출코딩 알고리즘을 이용하여 이진데이터를 코딩함으로써 해당 이진데이터를 표현하는 코드를 검증하여 단방향 오류를 검출해 낼 수 있다.

[11] 또한, 오류검출코딩기법은 패리티코드(parity code), 해밍코드(hamming code), 리드솔로몬코드(Reed-Solomon code), 버저코드(berger code), 보스코드(Bose-lin code) 등과 같이 단방향 오류를 검출해 낼 수 있는 코딩기법들로 연구되어 왔으며, 그중 가장 간단하고 적은 비용으로 오류를 검출할 수 있는 코드는 원래의 이진데이터에 한 비트의 오류확인비트를 추가한 패리티코드이다.

[12] 이러한 패리티코드의 오류확인비트는 전체 데이터 비트에 '1'의 개수가 홀수개인지 짝수개인지에 따라 결정되며 매우 적은 하드웨어의 면적추가만으로도 신속한 오류검출기능을 수행할 수 있다. 그러나 패리티코드는 원래의 이진데이터에서 단 한 비트의 오류가 발생했을 경우와 홀수 비트에서 오류가 발생한 경우 이외에 다른 경우에는 오류검출기능을 수행할 수 없는 단점이 있다.

[13] 또한, 해밍코드는 에러정정기능을 제공하는 최초의 오류검출코드로써, 해밍체크비트를 생성하기 위해 각각 다른 비트들에 패리티코딩을 수행한다. 즉, 해밍코드는 오류정정기능을 수행하기 위한 비트가 추가되므로 패리티코드에 비해 약간의 추가적인 하드웨어가 필요하다. 또한, 패리티코드와 유사하게 단일비트오류와 두 비트의 오류만을 검출할 수 있으므로 모든 이진 데이터들의 단방향 오류들을 검출할 수는 없다.

[14] 또한, 리드솔로몬코드는 오류검출과 오류정정기능을 함께 제공하는 다항식기반의 오류정정기법이다. 이 방법은 해밍코드와 비교하여 더 많은 하드웨어의 추가가 요구되며 이 역시 모든 이진데이터들의 단방향 오류를 검출할 수는 없다.

[15] 또한, 버저코드는 모든 단방향 오류들을 검출할 수는 있으나 오류정정기능을 제공하지 않는다. 이 코딩기법은 원래 이진데이터비트들의 논리 값 '0' 또는 '1'의 개수를 계산하여 그 값을 이진값으로 코딩하여 수행된다.

[16] 또한, 보스코드는 논리값 '0'또는 '1'의 개수를 계수하여 코드를 생성한다는 점에서 버저코드와 유사하나, 단방향 오류를 검출하기 위한 모듈(modulo 4 or modulo 8)로 연산을 수행한다는 점이 서로 다르다. 또한, 보스코드는 t-단방향오류를 검출할 수 있으며, 여기서 't'는 원래 이진데이터의 두 비트 혹은 세 비트 오류를 의미한다. 또한, 보스코드는 버저코드와 마찬가지로,

오류정정기능을 제공하지 않는다.

[17] 이상에서 살펴본 바와 같이 오류검출코드 기법들 중에서 버저코드만이 입력 이진데이터들의 모든 비트에 대해 단방향 오류를 검출할 수 있다. 그러나 이 기법은 카운터회로를 위한 순차논리회로를 구성하는데 추가적인 하드웨어 면적부담이 초래되며 복수의 클록사이클이 필요하며, 긴 임계경로로 인한 계산 지연시간이 초래되는 문제점이 있다.

[18] 따라서, 본 발명자들은 결함 허용 재구성가능(falult-tolerant reconfigurable)하고, 연산 속도나 레이턴시(latency)와 같은 특성을 유지하면서도 입력 데이터의 길이에 따라 오류검출코드를 변경하며 자가검사(self-checking)할 수 있는 불 연산 유닛, 시프트/로테이트 연산 유닛, 대소비교 연산유닛 및 덧셈/뺄셈 연산유닛을 위한 확장형 오류검출코드 기반의 오류 검출 장치들을 개발한바 있다.

[19]

발명의 상세한 설명

기술적 과제

[20] 본 발명자들은 연산처리회로와 오류검출코드 생성기를 포함하여 자가검사할 수 있는 자가검사 연산처리장치의 연산 오류나 오류검출코드의 코드생성 오류를 자가 검사할 수 있는 오류 검출 장치를 개발하기 위해 연구 노력한 결과, 연산처리회로의 연산 기능과 오류검출코드 생성기를 이용한 자가검사기능은 그대로 유지시키되, 연산처리회로에서 출력되는 이진 출력 데이터와 오류검출코드 생성기에서 출력되는 오류검출코드의 길이에 따라 오류검출신호를 변경하며 오류검출을 수행할 수 있는 확장형 오류검출코드 기반의 자가검사 연산처리장치를 위한 오류 검출 장치 및 그 오류 검출 장치를 포함하는 연산처리시스템의 기술적 구성을 개발하게 되어 본 발명을 완성하게 되었다.

[21] 따라서, 본 발명의 목적은 자가검사 연산처리장치의 연산 기능과 자가검사기능은 유지시키되 연산오류나 코드생성오류를 검출할 수 있는 오류 검출 장치를 제공하는 것이다.

[22] 또한, 본 발명의 다른 목적은 자가검사 연산처리장치에서 출력되는 이진 출력 데이터 및 오류검출코드의 길이에 따라 오류검출신호를 변경하며 오류검출을 수행할 수 있는 오류 검출 장치를 제공하는 것이다.

[23] 또한, 본 발명의 또 다른 목적은 상기 오류 검출 장치를 구비하여 확장형 오류검출코드의 코드생성오류를 자가검사할 수 있는 연산 처리 시스템을 제공하는 것이다.

[24]

[25] 본 발명의 목적들은 이상에서 언급한 목적들로 제한되지 않으며, 언급되지 않은 또 다른 목적들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을

것이다.

[26]

과제 해결 수단

[27] 상기의 목적을 달성하기 위하여 본 발명은 입력되는 이진 입력 데이터에 대한 산술 또는 논리 연산을 수행하여 이진 출력 데이터를 출력하는 연산처리회로 및 상기 이진 입력 데이터를 입력받아 상기 이진 입력 데이터의 연산결과에 대한 오류검출코드를 생성하되, 상기 이진 입력 데이터의 길이에 따라 가변하는 확장형 오류검출코드(SEDC:Scalable Error Detection Coding)를 생성하는 오류검출코드 생성기를 포함하는 자가검사 연산처리장치의 오류를 검출하는 오류 검출 장치로써, 상기 이진 출력 데이터 및 상기 오류검출코드를 입력받고, 상기 이진 출력 데이터 및 상기 오류검출코드에 대한 2비트의 오류검출신호를 출력하는 오류검출코드 체크회로로 이루어지고, 상기 오류검출코드 체크회로:는 상기 연산처리회로로부터 상기 이진 입력 데이터의 산술 또는 논리 연산 결과인 이진 출력 데이터 및 상기 오류검출코드를 입력받고 상위비트의 오류검출신호인 제1 오류검출신호를 출력하는 제1 오류검출코드 체크회로; 및 상기 제1 오류검출코드 체크회로와 병렬적으로 상기 이진 출력 데이터 및 상기 오류검출코드를 입력받고 하위비트의 오류검출신호인 제2 오류검출신호를 출력하는 제2 오류검출코드 체크회로;를 포함하며, 상기 오류검출코드 체크회로들은 상기 이진 출력 데이터와 상기 오류검출코드의 길이에 관계없이 각각 1비트의 오류검출신호를 출력하고, 상기 오류검출신호들의 신호 조합에 따라 상기 오류검출코드의 오류발생 여부를 판정하는 오류 검출 장치를 제공한다.

[28] 바람직한 실시예에 있어서, 상기 오류검출코드 체크회로들은 상기 오류검출코드에 오류가 발생하지 않았을 경우 서로 상이한 오류검출신호를 출력하고, 오류가 발생하였을 경우 서로 동일한 오류검출신호를 출력한다.

[29] 바람직한 실시예에 있어서, 상기 이진 입력 데이터가 1비트 입력 데이터일 경우, 상기 연산처리회로는 1비트 출력 데이터($IO_{_1bit}$)를 출력하고, 상기 오류검출코드 생성기는 1비트 데이터 '0' 또는 '1'에 대해 서로 반대의 값을 갖는 1비트의 오류검출코드인 1비트 입력 오류검출코드($SO_{_1bit}$)를 생성하며, 상기 오류검출코드 체크회로는 상기 1비트 출력 데이터($IO_{_1bit}$)와 상기 1비트 입력 오류검출코드($SO_{_1bit}$)를 입력받아 2비트인 1비트 입력 오류검출신호($Vout1_{_1bit}$,$Vout0_{_1bit}$)를 출력하는 1비트 입력 오류검출코드 체크회로를 포함하고, 상기 1비트 입력 오류검출코드 체크회로:는 상기 이진 출력 데이터 및 상기 오류검출코드를 입력받아, 상기 1비트 입력 오류검출신호의 상위 비트인 제1 1비트 입력 오류검출신호($Vout1_{_1bit}$)를 출력하되, 상기 1비트 출력 데이터($IO_{_1bit}$)가 '0'이고, 상기 1비트 입력 오류검출코드($SO_{_1bit}$)가 '0'일 경우, 상기 제1 1비트 입력 오류검출신호($Vout1_{_1bit}$)를 '1'로 출력하고, 상기 1비트 출력 데이터($IO_{_1bit}$

)가 '0'이고, 상기 1비트 입력 오류검출코드($SO_{_1bit}$)가 '1'일 경우, 상기 제1 1비트 입력 오류검출신호($Vout1_{_1bit}$)를 '1'로 출력하고, 상기 1비트 출력 데이터($IO_{_1bit}$)가 '1'이고, 상기 1비트 입력 오류검출코드($SO_{_1bit}$)가 '0'일 경우, 상기 제1 1비트 입력 오류검출신호($Vout1_{_1bit}$)를 '1'로 출력하고, 상기 1비트 출력 데이터($IO_{_1bit}$)가 '1'이고, 상기 1비트 입력 오류검출코드($SO_{_1bit}$)가 '1'일 경우, 상기 제1 1비트 입력 오류검출신호($Vout1_{_1bit}$)를 '0'으로 출력하는 제1 1비트 입력 오류검출코드 체크회로; 및 상기 이진 출력 데이터 및 상기 오류검출코드를 입력받아, 상기 1비트 입력 오류검출신호의 하위 비트인 제2 1비트 입력 오류검출신호($Vout0_{_1bit}$)를 출력하되, 상기 1비트 출력 데이터($IO_{_1bit}$)가 '0'이고, 상기 1비트 입력 오류검출코드($SO_{_1bit}$)가 '0'일 경우, 제2 1비트 입력 오류검출신호($Vout0_{_1bit}$)를 '1'로 출력하고, 상기 1비트 출력 데이터($IO_{_1bit}$)가 '0'이고, 상기 1비트 입력 오류검출코드($SO_{_1bit}$)가 '1'일 경우, 상기 제2 1비트 입력 오류검출신호($Vout0_{_1bit}$)를 '0'으로 출력하고, 상기 1비트 출력 데이터($IO_{_1bit}$)가 '1'이고, 상기 1비트 입력 오류검출코드($SO_{_1bit}$)가 '0'일 경우, 상기 제2 1비트 입력 오류검출신호($Vout0_{_1bit}$)를 '0'으로 출력하고, 상기 1비트 출력 데이터($IO_{_1bit}$)가 '1'이고, 상기 1비트 입력 오류검출코드($SO_{_1bit}$)가 '1'일 경우, 상기 제2 1비트 입력 오류검출신호($Vout0_{_1bit}$)를 '0'으로 출력하는 제2 1비트 입력 오류검출코드 체크회로;를 포함한다.

[30] 바람직한 실시예에 있어서, 상기 제1 1비트 입력 오류검출코드 체크회로:는 상기 1비트 입력 오류검출코드($SO_{_1bit}$)를 게이트 전원으로 입력받고, 소스 단은 드레인 전원(VDD)에 연결되는 제1-1 P채널 MOS소자; 상기 1비트 출력 데이터($IO_{_1bit}$)를 게이트 전원으로 입력받고, 드레인 단은 상기 제1-1 P채널 MOS소자의 드레인 단과 연결되며, 소스 단은 접지되는 제1-1 N채널 MOS소자; 및 소스 단은 상기 드레인 전원(VDD)에 연결되고, 게이트 단은 접지되며, 드레인 단은 상기 제1-1 P채널 MOS소자의 드레인 단과 연결되는 제1-2 P채널 MOS소자;를 포함하여 구성되고, 상기 제1-2 P채널 MOS소자의 드레인 단으로 상기 제1 1비트 입력 오류검출신호($Vout1_{_1bit}$)를 출력한다.

[31] 바람직한 실시예에 있어서, 상기 제2 1비트 입력 오류검출코드 체크회로:는 상기 1비트 입력 오류검출코드($SO_{_1bit}$)를 게이트 전원으로 입력받고, 소스 단은 상기 드레인 전원(VDD)에 연결되는 제2-1 P채널 MOS소자; 상기 1비트 출력 데이터($IO_{_1bit}$)를 게이트 전원으로 입력받고, 드레인 단은 상기 제1-1 P채널 MOS소자의 드레인 단과 연결되며, 소스 단은 접지되는 제2-1 N채널 MOS소자; 및 상기 드레인 전원(VDD)을 게이트 전원으로 입력받고, 드레인 단은 상기 제2-1 P채널 MOS소자의 드레인 단에 연결되고, 소스 단은 접지되는 제2-2 N채널 MOS소자;를 포함하여 구성되고, 상기 제2-2 N채널 MOS소자의 드레인 단으로 상기 제2 1비트 입력 오류검출신호($Vout0_{_1bit}$)를 출력한다.

[32] 바람직한 실시예에 있어서, 상기 이진 입력 데이터가 2비트 입력 데이터일 경우, 상기 연산 처리회로는 2비트 출력 데이터($I1_{_2bit}$,$IO_{_2bit}$)를 출력하고, 상기 오류검출코드 생성기는 2비트의 오류검출코드인 2비트 입력 오류검출코드(S1_

$_{2bit}$,SO$_{_2bit}$)를 생성하되, 상기 2비트 입력 오류검출코드(S1$_{_2bit}$,SO$_{_2bit}$)의 상위 비트(S1$_{_2bit}$)는 2비트 데이터 '00', '01', '10' 또는 '11'에 대해 비트들의 '0'의 개수가 '1'의 개수보다 크거나 같을 경우 '1'로 생성하고, 그 외의 경우에는 '0'으로 생성하며, 하위 비트(SO$_{_2bit}$)는 '0'의 개수와 '1'의 개수가 동일할 경우 '0'으로 생성하고, 그 외의 경우에는 '1'로 생성하거나, 상기 2비트 입력 오류검출코드(S1$_{_2bit}$,SO$_{_2bit}$)의 상위 비트(S1$_{_2bit}$)는 '0'의 개수와 '1'의 개수가 동일할 경우 '0'으로 생성하고, 그 외의 경우에는 '1'로 생성하며, 하위 비트(SO$_{_2bit}$)는 '0'의 개수가 '1'의 개수보다 크거나 같을 경우 '1'로 생성하고, 그 외의 경우에는 '0'으로 생성하며, 상기 오류검출코드 체크회로는 상기 2비트 출력 데이터(I1$_{_2bit}$,IO$_{_2bit}$)와 상기 2비트 입력 오류검출코드(S1$_{_2bit}$,SO$_{_2bit}$)를 입력받아 2비트 입력 오류검출신호(Vout1$_{_2bit}$,Vout0$_{_2bit}$)를 출력하는 2비트 입력 오류검출코드 체크회로를 포함하고, 상기 2비트 입력 오류검출코드 체크회로는 상기 2비트 입력 오류검출신호의 상위비트인 제1 2비트 입력 오류검출신호(Vout1$_{_2bit}$)를 출력하는 제1 2비트 입력 오류검출코드 체크회로 및 상기 2비트 입력 오류검출신호의 하위비트인 제2 2비트 입력 오류검출신호(Vout0$_{_2bit}$)를 출력하는 제2 2비트 입력 오류검출코드 체크회로를 포함하고, 상기 2비트 입력 오류검출코드 체크회로들은 상기 오류검출코드 생성기에서 출력되는 2비트 입력 오류검출코드(S1$_{_2bit}$,SO$_{_2bit}$)가 상기 이진 출력 데이터에 대응하는 2비트 입력 오류검출코드와 서로 동일할 경우, 서로 상이한 오류검출신호를 출력하고, 상기 2비트 입력 오류검출코드(S1$_{_2bit}$,SO$_{_2bit}$)가 상기 이진 출력 데이터에 대응하는 2비트 입력 오류검출코드와 서로 상이할 경우, 서로 동일한 오류검출신호를 출력한다.

[33] 바람직한 실시예에 있어서, 상기 오류검출코드 생성기에서 출력되는 2비트 입력 오류검출코드(S1$_{_2bit}$,SO$_{_2bit}$)가 상기 이진 출력 데이터에 대응하는 2비트 입력 오류검출코드와 서로 동일할 경우, 상기 제1 2비트 입력 오류검출코드 체크회로는 상기 제1 2비트 입력 오류검출신호(Vout1$_{_2bit}$)를 '1'로 출력하고, 상기 제2 2비트 입력 오류검출코드 체크회로는 상기 제2 2비트 입력 오류검출신호(Vout0$_{_2bit}$)를 '0'으로 출력한다.

[34] 바람직한 실시예에 있어서, 상기 제1 2비트 입력 오류검출코드 체크회로:는 상기 2비트 입력 오류검출코드(S1$_{_2bit}$,SO$_{_2bit}$)의 상위 비트(S1$_{_2bit}$)를 게이트 전원으로 입력받고, 소스 단은 드레인 전원(VDD)과 연결되는 제3-1 P채널 MOS소자; 상기 2비트 입력 오류검출코드(S1$_{_2bit}$,SO$_{_2bit}$)의 하위 비트(S0$_{_2bit}$)를 게이트 전원으로 입력받고, 소스 단은 상기 제3-1 P채널 MOS소자의 소스 단과 연결되어 상기 드레인 전원(VDD)이 입력되며, 드레인 단은 상기 제3-1 P채널 MOS소자의 드레인 단과 연결되는 제3-2 P채널 MOS소자; 게이트 단은 접지되고, 소스 단은 상기 제3-2 P채널 MOS소자의 소스 단과 연결되어 상기 드레인 전원(VDD)이 입력되고, 드레인 단은 상기 제3-2 P채널 MOS소자의 드레인 단과 연결되는 제3-3 P채널 MOS소자; 상기 2비트 출력 데이터(I1$_{_2bit}$,IO_

$_{2bit}$)의 상위 비트($I1_{_2bit}$)를 게이트 전원으로 입력받고, 드레인 단은 상기 제3-1 P채널 MOS소자의 드레인 단과 연결되고, 소스 단은 접지되는 제3-1 N채널 MOS소자; 및 상기 2비트 출력 데이터($I1_{_2bit}$,$IO_{_2bit}$)의 하위 비트($I0_{_2bit}$)를 게이트 전원으로 입력받고, 드레인 단은 상기 제3-2 P채널 MOS소자의 드레인 단과 연결되며, 소스 단은 접지되는 제3-2 N채널 MOS소자;를 포함하고, 상기 제3-3 P채널 MOS소자의 드레인 단으로 상기 제1 2비트 입력 오류검출신호($Vout1_{_2bit}$)를 출력한다.

[35] 바람직한 실시예에 있어서, 상기 제2 2비트 입력 오류검출코드 체크회로:는 상기 2비트 입력 오류검출코드($S1_{_2bit}$,$SO_{_2bit}$)의 상위 비트($S1_{_2bit}$)를 게이트 전원으로 입력받고, 소스 단은 상기 드레인 전원(VDD)과 연결되는 제4-1 P채널 MOS소자; 상기 2비트 입력 오류검출코드($S1_{_2bit}$,$SO_{_2bit}$)의 하위 비트($S0_{_2bit}$)를 게이트 전원으로 입력받고, 소스 단은 상기 제4-1 P채널 MOS소자의 소스 단과 연결되어 상기 드레인 전원(VDD)이 입력되며, 드레인 단은 상기 제4-1 P채널 MOS소자의 드레인 단과 연결되는 제4-2 P채널 MOS소자; 상기 2비트 출력 데이터($I1_{_2bit}$,$IO_{_2bit}$)의 상위 비트($I1_{_2bit}$)를 게이트 전원으로 입력받고, 드레인 단은 상기 제4-1 P채널 MOS소자의 드레인 단과 연결되고, 소스 단은 접지되는 제4-1 N채널 MOS소자; 상기 2비트 출력 데이터($I1_{_2bit}$,$IO_{_2bit}$)의 하위 비트($I0_{_2bit}$)를 게이트 전원으로 입력받고, 드레인 단은 상기 제4-2 P채널 MOS소자의 드레인 단과 연결되며, 소스 단은 접지되는 제4-2 N채널 MOS소자; 및 상기 드레인 전원을 게이트 전원으로 입력받고 드레인 단은 상기 제4-2 N채널 MOS소자의 드레인 단과 연결되며, 소스 단은 접지되는 제4-3 N채널 MOS소자;를 포함하고, 상기 제4-3 N채널 MOS소자의 드레인 단으로 상기 제2 2비트 입력 오류검출신호($Vout0_{_2bit}$)를 출력한다.

[36] 바람직한 실시예에 있어서, 상기 이진 입력 데이터가 3비트 입력 데이터일 경우, 상기 연산 처리회로는 3비트 출력 데이터($I2_{_3bit}$,$I1_{_3bit}$,$IO_{_3bit}$)를 출력하고, 상기 오류검출코드 생성기는 2비트의 오류검출코드인 3비트 입력 오류검출코드($S1_{_3bit}$,$SO_{_3bit}$)를 생성하되, 상기 3비트 입력 데이터의 최상위 비트가 '0'인 경우에는 상기 3비트 입력 데이터의 하위 두 비트에 대한 2비트 입력 오류검출코드와 동일하게 생성하고, 상기 3비트 입력 데이터의 최상위 비트가 '1'인 경우에는 상기 3비트 입력 데이터의 하위 두 비트의 논리 부정 값에 대한 2비트 입력 오류검출코드의 논리 부정 값으로 생성하며, 상기 오류검출코드 체크회로는 상기 3비트 출력 데이터($I2_{_3bit}$,$I1_{_3bit}$,$IO_{_3bit}$) 및 상기 3비트 입력 오류검출코드($S1_{_3bit}$,$SO_{_3bit}$)를 입력받아 3비트 입력 오류검출신호($Vout1_{_3bit}$,$Vout0_{_3bit}$)를 출력하는 3비트 입력 오류검출코드 체크회로를 포함하고, 상기 3비트 입력 오류검출코드 체크회로:는 상기 3비트 출력 데이터($I2_{_3bit}$,$I1_{_3bit}$,$IO_{_3bit}$)와 상기 3비트 입력 오류검출코드($S1_{_3bit}$,$SO_{_3bit}$)를 입력받아, 과도 2비트 출력 데이터($I1'_{_3bit}$,$IO'_{_3bit}$) 및 과도 2비트 입력 오류검출코드($S1'_{_3bit}$,$SO'_{_3bit}$)를 출력하는 과도 2비트 입력 오류검출코드 생성기; 및 상기 2비트 입력

오류검출코드 체크회로와 동일하고, 상기 과도 2비트 출력 데이터($I1'_{_3bit}$,$IO'_{_3bit}$)와 상기 과도 2비트 입력 오류검출코드($S1'_{_3bit}$,$SO'_{_3bit}$)를 상기 2비트 출력 데이터($I1_{_2bit}$,$IO_{_2bit}$) 및 2비트 입력 오류검출코드($S1_{_2bit}$,$SO_{_2bit}$)로 하여 상기 2비트 입력 오류검출신호($Vout1_{_2bit}$,$Vout0_{_2bit}$)를 계산하고, 계산된 2비트 입력 오류검출신호($Vout1_{_2bit}$,$Vout0_{_2bit}$)를 상기 3비트 입력 오류검출신호($Vout1_{_3bit}$,$Vout0_{_3bit}$)로 출력하는 3비트용 2비트 입력 오류검출코드 체크회로;를 포함하고, 상기 과도 2비트 출력 데이터($I1'_{_3bit}$,$IO'_{_3bit}$)는 상기 3비트 출력 데이터($I2_{_3bit}$,$I1_{_3bit}$,$IO_{_3bit}$)의 최상위 비트($I1_{_3bit}$)가 '1'일 경우, 상기 3비트 출력 데이터($I2_{_3bit}$,$I1_{_3bit}$,$IO_{_3bit}$)의 하위 두 비트의 1의 보수로 계산되고, 그 외의 경우에는 상기 3비트 출력 데이터($I2_{_3bit}$,$I1_{_3bit}$,$IO_{_3bit}$)의 하위 두 비트와 동일한 값으로 계산되며, 상기 과도 2비트 입력 오류검출코드($S1'_{_3bit}$,$SO'_{_3bit}$)는 상기 3비트 출력 데이터($I2_{_3bit}$,$I1_{_3bit}$,$IO_{_3bit}$)의 최상위 비트($I1_{_3bit}$)가 '1'일 경우, 상기 3비트 입력 오류검출코드($S1_{_3bit}$,$SO_{_3bit}$)의 1의 보수로 계산되고, 그 외의 경우에는 상기 3비트 입력 오류검출코드($S1_{_3bit}$,$SO_{_3bit}$)와 동일한 값으로 계산된다.

[37] 바람직한 실시예에 있어서, 상기 이진 입력 데이터가 4비트 입력 데이터일 경우, 상기 연산 처리회로는 4비트 출력 데이터($I3_{_4bit}$,$I2_{_4bit}$,$I1_{_4bit}$,$IO_{_4bit}$)를 출력하고, 상기 오류검출코드 생성기는 3비트의 오류검출코드인 4비트 입력 오류검출코드($S2_{_4bit}$,$S1_{_4bit}$,$SO_{_4bit}$)를 생성하되, 상기 4비트 입력 오류검출코드($S2_{_4bit}$,$S1_{_4bit}$,$SO_{_4bit}$)의 중간 비트($S1_{_4bit}$)와 최하위 비트($SO_{_4bit}$)는 상기 4비트 입력 데이터의 하위 세 비트에 대한 3비트 입력 오류검출코드와 동일하게 생성하고, 최상위 비트($S2_{_4bit}$)는 상기 4비트 입력 데이터의 최상위 비트의 논리 부정 값으로 생성하며, 상기 오류검출코드 체크회로는 상기 4비트 출력 데이터($I3_{_4bit}$,$I2_{_4bit}$,$I1_{_4bit}$,$IO_{_4bit}$) 및 상기 4비트 입력 오류검출코드($S2_{_4bit}$,$S1_{_4bit}$,$SO_{_4bit}$) 입력받아, 4비트 입력 오류검출신호($Vout1_{_4bit}$,$Vout0_{_4bit}$)를 출력하는 4비트 입력 오류검출코드 체크회로를 포함하고, 상기 4비트 입력 오류검출코드 체크회로:는 상기 1비트 입력 오류검출코드 체크회로와 동일하고 상기 4비트 출력 데이터($I3_{_4bit}$,$I2_{_4bit}$,$I1_{_4bit}$,$IO_{_4bit}$)의 최상위 비트($I3_{_4bit}$)와 상기 4비트 입력 오류검출코드($S2_{_4bit}$,$S1_{_4bit}$,$SO_{_4bit}$)의 최상위 비트($S2_{_4bit}$)를 입력으로 하여 1비트 입력 오류검출신호($Vout1_{_1bit}$,$Vout0_{_1bit}$)를 출력하는 4비트용 1비트 입력 오류검출코드 체크회로; 및 상기 3비트 입력 오류검출코드 체크회로와 동일하고 상기 4비트 출력 데이터($I3_{_4bit}$,$I2_{_4bit}$,$I1_{_4bit}$,$IO_{_4bit}$))의 하위 세 비트($I2_{_4bit}$,$I1_{_4bit}$,$IO_{_4bit}$)와 상기 4비트 입력 오류검출코드($S2_{_4bit}$,$S1_{_4bit}$,$SO_{_4bit}$)의 하위 두 비트를($S1_{_4bit}$,$SO_{_4bit}$)를 입력으로 하여 3비트 입력 오류검출신호($Vout1_{_3bit}$,$Vout0_{_3bit}$)를 출력하는 4비트용 3비트 입력 오류검출코드 체크회로;를 포함하고, 상기 4비트 입력 오류검출신호($Vout1_{_4bit}$,$Vout0_{_4bit}$)의 상위 비트($Vout1_{_4bit}$)는 상기 1비트 입력 오류검출신호($Vout1_{_1bit}$,$Vout0_{_1bit}$)의 상위 비트($Vout1_{_1bit}$)와 상기 3비트 입력 오류검출신호($Vout1_{_3bit}$,$Vout0_{_3bit}$)의 상위 비트($Vout1_{_3bit}$)를 논리 곱한 값으로 출력되고, 상기 4비트 입력 오류검출신호($Vout1_{_4bit}$,$Vout0_{_4bit}$

)의 하위 비트($Vout0_{_4bit}$)는 상기 1비트 입력 오류검출신호($Vout1_{_1bit}$,$Vout0_{_1bit}$)의 하위 비트($Vout0_{_1bit}$)와 상기 3비트 입력 오류검출신호($Vout1_{_3bit}$,$Vout0_{_3bit}$)의 하위 비트($Vout0_{_3bit}$)를 논리 곱한 값으로 출력된다.

[38] 바람직한 실시예에 있어서, 상기 이진 입력 데이터가 n비트 입력 데이터일 경우, 상기 연산 처리회로는 n비트 출력 데이터를 출력하고, 상기 오류검출코드 생성기는 상기 이진 입력 데이터를 b비트 입력 데이터와 3비트 입력 데이터 세트로 구분하고, 상기 2비트 입력 오류검출코드, 상기 3비트 입력 오류검출코드 및 상기 4비트 입력 오류검출코드 중, 상기 b비트 입력 데이터에 대한 어느 하나의 입력 오류 검출코드인 b비트 입력 오류검출코드와 상기 3비트 입력 데이터 세트에 대한 3비트 입력 오류검출코드인 3비트 입력 세트 오류검출코드를 조합하여 n비트 입력 오류검출코드를 생성하고, 상기 오류검출코드 체크회로는 상기 n비트 출력 데이터와 상기 n비트 입력 오류검출코드를 입력받아, n비트 입력 오류검출신호($Vout1_{_nbit}$,$Vout0_{_nbit}$)를 출력하는 n비트 입력 오류검출코드 체크회로를 포함하고, 상기 n비트 입력 오류검출코드 체크회로:는 상기 2비트 입력 오류검출코드 체크회로, 상기 3비트 입력 오류검출코드 체크회로 및 상기 4비트 입력 오류검출코드 체크회로 중, 어느 하나의 입력 오류검출코드 체크회로와 동일하고, 상기 n비트 출력 데이터 중, b비트 출력 데이터($Ibbit_{_nbit}$)와 상기 b비트 입력 오류검출코드($Sbbit_{_nbit}$)와 동에 대한 입력 오류검출신호인 b비트 입력 오류검출신호($Vout1_{_bbit}$,$Vout0_{_bbit}$)를 출력하는 b비트 입력 오류검출코드 체크회로; 및 상기 3비트 입력 오류검출코드 체크회로와 동일하고, 상기 n비트 출력 데이터 중, 상기 b비트 출력 데이터($Ibbit_{_nbit}$)를 제외한 3비트 출력 데이터 세트와 상기 3비트 입력 세트 오류검출코드를 입력으로 하여 3비트 입력 오류검출신호($Vout1_{_3bit}$,$Vout0_{_3bit}$)를 출력하는 n비트용 3비트 입력 세트 오류검출코드 체크회로;를 포함하고, 상기 n비트 입력 오류검출신호($Vout1_{_nbit}$,$Vout0_{_nbit}$)의 상위 비트($Vout1_{_nbit}$)는 상기 b비트 입력 오류검출신호($Vout1_{_bbit}$,$Vout0_{_bbit}$)의 상위 비트($Vout1_{_bbit}$)와 상기 3비트 입력 오류검출신호($Vout1_{_3bit}$,$Vout0_{_3bit}$)의 상위 비트($Vout1_{_3bit}$)를 논리 곱한 값으로 출력되고, 상기 n비트 입력 오류검출신호($Vout1_{_nbit}$,$Vout0_{_nbit}$)의 하위 비트($Vout0_{_nbit}$)는 상기 b비트 입력 오류검출신호($Vout1_{_bbit}$,$Vout0_{_bbit}$)의 하위 비트($Vout0_{_bbit}$)와 상기 3비트 입력 오류검출신호($Vout1_{_3bit}$,$Vout0_{_3bit}$)의 하위 비트($Vout0_{_3bit}$)를 논리 곱한 값으로 출력된다.

[39] 바람직한 실시예에 있어서, 상기 오류검출코드 생성기는 상기 이진 입력 데이터를 상기 b비트 입력 데이터와 복수 개의 3비트 입력 데이터 세트로 구분하여 상기 각 3비트 입력 데이터 세트에 대해 상기 3비트 입력 세트 오류검출코드를 생성하고, 상기 n비트용 3비트 입력 세트 오류검출코드 체크회로는 상기 3비트 입력 데이터 세트들의 연산결과와 대응하는 각 3비트 출력 데이터 세트와 상기 각 3비트 입력 세트 오류검출코드에 대해 3비트 입력 오류검출신호($Vout1_{_3bit}$,$Vout0_{_3bit}$)를 출력하는 복수 개의 n비트용 3비트 입력

세트 오류검출코드 체크회로로 구성되고, 상기 n비트 입력 오류검출신호(Vout1_nbit,Vout0_nbit)의 상위 비트(Vout1_nbit)는 상기 b비트 입력 오류검출신호(Vout1_bbit,Vout0_bbit)의 상위 비트(Vout1_bbit)와 상기 3비트 입력 오류검출신호들(Vout1_3bit,Vout0_3bit)의 상위 비트(Vout1_3bit)를 논리 곱한 값으로 출력되고, 상기 n비트 입력 오류검출신호(Vout1_nbit,Vout0_nbit)의 하위 비트(Vout0_nbit)는 상기 b비트 입력 오류검출신호(Vout1_bbit,Vout0_bbit)의 하위 비트(Vout0_bbit)와 상기 3비트 입력 오류검출신호들(Vout1_3bit,Vout0_3bit)의 하위 비트(Vout0_3bit)를 논리 곱한 값으로 출력된다.

[40] 또한, 본 발명은 상기 오류 검출 장치와 상기 자가검사 연산처리장치가 구비된 확장형 오류검출코드의 자가검사기능이 구비된 연산 처리 시스템을 더 제공한다.

[41] 또한, 본 발명은 컴퓨터를 상기 오류 검출 장치로 기능하게 하는 오류 검출 프로그램이 저장된 컴퓨터로 읽을 수 있는 기록매체를 더 제공한다.

[42] 또한, 본 발명은 상기 오류 검출 프로그램이 저장되고 통신망을 통해 상기 확장형 오류검출 프로그램을 전송할 수 있는 서버 시스템을 더 제공한다.

[43] 또한, 본 발명은 상기 오류 검출 프로그램이 저장되고 상기 오류 검출 프로그램에 의해 상기 오류 검출 장치로 기능하며 온라인으로 상기 자가검사 연산처리장치와의 오류를 검출하는 서버 시스템을 더 제공한다.

[44]

발명의 효과

[45] 본 발명은 다음과 같은 우수한 효과를 가진다.

[46] 먼저, 본 발명의 확장형 오류검출코드 기반의 자가검사 연산처리장치를 위한 오류 검출 장치 및 그 오류 검출 장치를 포함하는 연산처리시스템에 의하면, 연산처리회로에서 출력되는 출력 데이터와 오류검출코드 생성기에서 출력되는 오류검출코드의 길이에 선형적이고 유동적으로 오류검출신호를 생성하여 연산처리회로의 연산오류나 오류검출코드 생성기의 코드생성오류를 자가검사할 수 있는 효과가 있다.

[47] 또한, 본 발명의 확장형 오류검출코드 기반의 자가검사 연산처리장치를 위한 오류 검출 장치 및 그 오류 검출 장치를 포함하는 연산처리시스템에 의하면, 오류검출신호의 생성이 연산처리회로의 연산이나 오류검출코드 생성기의 오류검출코드 생성과는 별개로 이루어지므로 연산의 속도하락이나 레이턴시의 지연과 같은 성능의 하락 없이 결함 허용 가능한 시스템을 구현할 수 있는 장점이 있다.

[48]

도면의 간단한 설명

[49] 도 1은 본 발명의 일 실시예에 따른 오류 검출 장치의 사용례를 보여주는 도면,

[50] 도 2는 본 발명의 일 실시예에 따른 오류 검출 장치를 보여주는 도면,

[51] 도 3은 본 발명의 일 실시예에 따른 1비트 입력 오류검출코드 체크회로의 진리 테이블,

[52] 도 4는 본 발명의 일 실시예에 따른 제1 1비트 입력 오류검출코드 체크회로의 회로도,

[53] 도 5는 본 발명의 일 실시예에 다른 제2 1비트 입력 오류검출코드 체크회로의 회로도,

[54] 도 6은 본 발명의 일 실시예에 따른 2비트 입력 오류검출코드 체크회로의 진리 테이블,

[55] 도 7은 본 발명의 일 실시예에 따른 제1 2비트 입력 오류검출코드 체크회로의 회로도,

[56] 도 8은 본 발명의 일 실시예에 따른 제2 2비트 입력 오류검출코드 체크회로의 회로도,

[57] 도 9는 본 발명의 일 실시예에 따른 3비트 입력 오류검출코드 체크회로를 보여주는 도면,

[58] 도 10은 본 발명의 일 실시예에 따른 4비트 입력 오류검출코드 체크회로를 보여주는 도면,

[59] 도 11은 본 발명의 일 실시예에 따른 n비트 입력 오류검출코드 체크회로를 보여주는 도면이다.

[60] <부호의 설명>

[61] 10:자가검사 연산처리장치 11:연산처리회로

[62] 12:오류검출코드 생성기 100:오류 검출 장치

[63] 110a:제1 오류검출코드 체크회로 100b:제2 오류검출코드 체크회로

[64] 110:1비트 입력 오류검출코드 체크회로

[65] 111:제1 1비트 입력 오류검출코드 체크회로

[66] 112:제2 1비트 입력 오류검출코드 체크회로

[67] 120:2비트 입력 오류검출코드 체크회로

[68] 121:제1 2비트 입력 오류검출코드 체크회로

[69] 122:제2 2비트 입력 오류검출코드 체크회로

[70] 130:3비트 입력 오류검출코드 체크회로

[71] 131:3비트용 2비트 입력 오류검출코드 체크회로

[72] 132:과도 2비트 입력 오류검출코드 생성기

[73] 140:4비트 입력 오류검출코드 체크회로

[74] 141:4비트용 1비트 입력 오류검출코드 체크회로

[75] 142:4비트용 3비트 입력 오류검출코드 체크회로

[76] 150:n비트 입력 오류검출코드 체크회로

[77] 151:b비트 입력 오류검출코드 체크회로

[78] 152-1,152-a:n비트용 3비트 입력 세트 오류검출코드 체크회로

[79]

발명의 실시를 위한 최선의 형태

[80] 본 발명에서 사용되는 용어는 가능한 현재 널리 사용되는 일반적인 용어를 선택하였으나, 특정한 경우는 출원인이 임의로 선정한 용어도 있는데 이 경우에는 단순한 용어의 명칭이 아닌 발명의 상세한 설명 부분에 기재되거나 사용된 의미를 고려하여 그 의미가 파악되어야 할 것이다.

[81] 이하, 첨부한 도면에 도시된 바람직한 실시예들을 참조하여 본 발명의 기술적 구성을 상세하게 설명한다.

[82] 그러나, 본 발명은 여기서 설명되는 실시예에 한정되지 않고 다른 형태로 구체화 될 수도 있다. 명세서 전체에 걸쳐 동일한 참조번호는 동일한 구성요소를 나타낸다.

[83]

[84] 도 1은 본 발명의 일 실시예에 따른 오류 검출 장치의 사용례를 보여주는 도면으로써, 도 1을 참조하면, 본 발명의 일 실시예에 따른 오류 검출 장치(100)는 자가검사 연산처리장치(10)와 연결되어, 상기 자가검사 연산처리장치(10)의 연산오류나 코드생성의 오류를 검출한다.

[85] 또한, 상기 자가검사 연산처리장치(10)는 연산 처리 회로(11)와 오류검출코드 생성기(12)를 포함하여 상기 연산 처리 회로(11)의 연산 오류를 자가검사할 수 있는 장치이다.

[86] 또한, 상기 연산 처리 회로(11)는 불 연산(boolean operation), 시프트/로테이트 연산(shift/rotate operations), 대소 비교 연산(compare operation) 또는 덧셈/뺄셈 연산(add/substract operations)을 포함하는 각종 산술/논리 연산을 수행하는 연산 처리 회로일 수 있고, 입력 데이터에 의해 저장된 특정 데이터를 출력하는 룩업테이블(LUT:look-up-table)일 수 있다.

[87] 또한, 상기 오류검출코드 생성기(12)는 상기 연산 처리 회로(11)로 입력되는 이진 입력 데이터와 상기 연산 처리 회로(11)에서 출력되는 이진 출력 데이터에 대해 각각 오류검출코드를 생성하여 생성된 오류검출코드를 서로 비교함으로써 상기 연산 처리 회로(11)의 연산오류를 검출한다.

[88] 더욱 자세하게는, 상기 오류검출코드는 상기 이진 입력 데이터 및 상기 이진 출력 데이터의 길이에 따라 선형적으로 길이가 가변하거나 값이 가변하는 확장형 오류검출코드(SEDC:Scalable Error Detection Coding)이며, 상기 확장형 오류검출코드에 관한 기술은 한국특허출원 제10-2011-0098730호, 제10-2012-0006065호, 제10-2012-0002924호, 제10-2012-0016622호 및 제10-2012-0021150호에 개시되어 있으며, 실질적으로 동일하므로 참조할 수 있다.

[89] 즉, 본 발명의 일 실시예에 따른 오류 검출 장치(100)는 확장형 오류검출코드의 코드생성에 오류가 발생하였거나, 상기 연산 처리 회로(11)의 연산오류가 발생하였을 경우 오류발생을 검출할 수 있는 장치이다.

[90] 또한, 상기 오류 검출 장치(100)는 상기 자가검사 연산처리장치(10)와 함께 확장형 오류검출코드를 자가검사할 수 있는 하나의 연산 처리 시스템으로 제공될 수 있다.

[91] 또한, 상기 오류 검출 장치(100)는 실질적으로 오류 검출 프로그램에 의해 기능하는 컴퓨터일 수 있고, 상기 오류 검출 프로그램은 컴퓨터로 읽을 수 있는 기록매체나 통신망을 통해 통신가능한 서버 시스템에 의해 상기 컴퓨터로 전송되고, 상기 컴퓨터는 상기 오류 검출 프로그램에 의해 기능하여 오류 검출을 수행할 수 있다.

[92] 또한, 상기 서버 시스템은 상기 오류 검출 프로그램을 다른 컴퓨터로 전송하지 않고, 상기 오류 검출 프로그램에 의해 상기 오류 검출 장치(100)로 동작할 수 있으며, 이 경우, 오류 검출이 필요한 장치와 온라인으로 연결되며, 온라인 상에서 연결된 장치의 오류검출을 수행할 수 있다.

[93]

[94] 이하에서는 본 발명의 일 실시예에 따른 오류 검출 장치(100)의 구성에 대해 상세히 설명하기로 한다.

[95] 도 2는 본 발명의 일 실시예에 따른 오류 검출 장치(100)를 보여주는 도면으로써, 도 2를 참조하면, 상기 오류 검출 장치(100)는 상기 연산 처리 회로(11)로부터 이진 출력 데이터(I)를 입력받고, 상기 오류 검출 코드 생성기(12)로부터 오류검출코드(S)를 입력받아, 2비트의 오류검출신호(Vout1,Vout0)를 출력하는 오류검출코드 체크회로로 이루어진다.

[96] 또한, 설명의 편의를 위해 상기 오류 검출 장치(100)가 상기 오류검출코드 체크회로로 구성되는 것으로 설명하였으나, 상기 오류 검출 장치(100)와 상기 오류검출코드 체크회로는 실질적으로 동일한 구성요소일 수 있다.

[97] 또한, 상기 오류검출신호(Vout1,Vout0)는 상기 오류검출코드에 오류가 발생했는지 여부를 판단할 수 있게 하는 신호이다.

[98] 또한, 상기 오류검출코드 체크회로는 상기 이진 출력 데이터(I)와 상기 오류검출코드(S)를 입력받아 상기 오류검출신호(Vout1,Vout0)의 상위 비트(Vout1)를 출력하는 제1 오류검출코드 체크회로(100a) 및 상기 제1 오류검출코드 체크회로(100a)와 병렬적으로 상기 이진 출력 데이터(I)와 상기 오류검출코드(S)를 입력받고, 상기 오류검출신호(Vout1,Vout0)의 하위 비트(Vout0)를 출력하는 제1 오류검출코드 체크회로(100b)를 포함한다.

[99] 또한, 상기 오류검출코드(S)에 오류가 발생하였는지 여부는 상기 오류검출신호(Vout1,Vout0)의 신호 조합, 즉 비트 조합에 의해 판정된다.

[100] 또한, 상기 오류검출코드(S)의 오류에는 상기 연산 처리 회로(11)에서 연산에 오류가 발생하여 상기 오류검출코드(S)에 오류가 발생한 경우도 포함된다.

[101] 또한, 상기 오류 검출 장치(100)는 상기 오류검출코드 체크회로 이외에 상기 오류검출신호(Vout1,Vout0)를 입력받아 상기 오류검출코드(S)에 오류가 발생하였는지 여부를 판단할 수 있는 오류 판정기(도시하지 않음)를 더 포함할

수 있다.

[102] 또한, 상기 오류검출신호(Vout1,Vout0)는 오류가 발생하였을 경우 '11' 또는 '00'으로 서로 동일한 값으로 출력되고 오류가 발생하지 않았을 경우 '10' 또는 '01'의 서로 다른 값으로 출력된다.

[103] 그러나, 역으로 상기 오류검출신호(Vout1,Vout0)는 오류가 발생하였을 경우 '10' 또는 '01'의 서로 다른 값으로 출력되게 할 수 있고, 오류가 발생하지 않았을 경우 '11' 또는 '00'으로 서로 동일한 값으로 출력되게 할 수 있다.

[104] 즉, 상기 오류검출신호(Vout1,Vout0)는 오류의 발생과 비 발생을 서로 구분할 수 있는 신호라면 충분하다.

[105] 또한, 상기 오류검출코드 체크회로는 상기 이진 출력데이터(I)가 1비트 출력 데이터($IO_{_1bit}$)일 경우 1비트 입력 오류검출신호($Vout1_{_1bit}$,$Vout0_{_1bit}$)를 출력하는 1비트 입력 오류검출코드 체크회로(110), 상기 이진 출력데이터(I)가 2비트 출력 데이터($I1_{_2bit}$,$IO_{_2bit}$)일 경우 2비트 입력 오류검출신호($Vout1_{_2bit}$,$Vout0_{_2bit}$)를 출력하는 2비트 입력 오류검출코드 체크회로(120), 상기 이진 출력데이터(I)가 3비트 출력 데이터($I2_{_3bit}$,$I1_{_3bit}$,$IO_{_3bit}$)일 경우 3비트 입력 오류검출신호($Vout1_{_3bit}$,$Vout0_{_3bit}$)를 출력하는 3비트 입력 오류검출코드 체크회로(130), 상기 이진 출력데이터(I)가 4비트 출력 데이터($I3_{_4bit}$,$I2_{_4bit}$,$I1_{_4bit}$,$IO_{_4bit}$)일 경우 4비트 입력 오류검출신호($Vout1_{_4bit}$,$Vout0_{_4bit}$)를 출력하는 4비트 입력 오류검출코드 체크회로(140) 또는 상기 이진 출력데이터(I)가 n비트 출력 데이터일 경우 4비트 입력 오류검출신호($Vout1_{_nbit}$,$Vout0_{_nbit}$)를 출력하는 n비트 입력 오류검출코드 체크회로(150)를 포함하여 이루어진다.

[106] 또한, 상기 입력 오류검출신호들은 설명의 편의를 위해 상기 이진 출력데이터의 길이에 따라 1비트, 2비트, 3비트, 4비트, n비트로 명명하였으나, 신호의 길이는 실질적으로 모두 '2비트'이다.

[107]

[108] 이하에서는 상기 각 오류검출코드 체크회로들에 대해 상세히 설명하기로 한다.

[109] 상기 1비트 입력 오류검출코드 체크회로(110)는 상기 이진 출력데이터(I)가 1비트 출력 데이터($IO_{_1bit}$)일 경우, 상기 오류검출신호(Vout1,Vout0)와 대응하는 1비트 입력 오류검출신호($Vout1_{_1bit}$,$Vout0_{_1bit}$)를 출력하고, 상기 1비트 입력 오류검출신호($Vout1_{_1bit}$,$Vout0_{_1bit}$)의 상위 비트($Vout1_{_1bit}$)를 출력하기 위한 제1 1비트 입력 오류검출코드 체크회로(111) 및 상기 1비트 입력 오류검출신호($Vout1_{_1bit}$,$Vout0_{_1bit}$)의 하위 비트($Vout0_{_1bit}$)를 출력하기 위한 제2 1비트 입력 오류검출코드 체크회로(112)를 포함한다.

[110] 또한, 상기 이진 출력데이터(I)가 1비트 출력 데이터($IO_{_1bit}$)일 경우, 상기 연산처리회로(11)에는 1비트 입력 데이터가 입력되고, 상기 오류검출코드 생성기(12)는 상기 1비트 입력 데이터 '0' 또는 '1'에 대해 서로 반대의 값을 갖는 1비트의 오류검출코드인 1비트 입력 오류검출코드($SO_{_1bit}$)를 생성한다.

[111] 또한, 도 3은 상기 1비트 입력 오류검출코드 체크회로(110)의 진리 테이블을

보여주는 것으로, 상기 제1 1비트 입력 오류검출코드 체크회로(111)는 상기 1비트 출력 데이터($IO_{_1bit}$) 및 상기 1비트 입력 오류검출코드($SO_{_1bit}$)를 입력받아, 상기 1비트 입력 오류검출신호($Vout1_{_1bit}$,$Vout0_{_1bit}$)의 상위 비트인 제1 1비트 입력 오류검출신호($Vout1_{_1bit}$)를 출력하되, 상기 1비트 출력 데이터($IO_{_1bit}$)가 '0'이고, 상기 1비트 입력 오류검출코드($SO_{_1bit}$)가 '0'일 경우, 상기 제1 1비트 입력 오류검출신호($Vout1_{_1bit}$)를 '1'로 출력하고, 상기 1비트 출력 데이터($IO_{_1bit}$)가 '0'이고, 상기 1비트 입력 오류검출코드($SO_{_1bit}$)가 '1'일 경우, 상기 제1 1비트 입력 오류검출신호($Vout1_{_1bit}$)를 '1'로 출력하고, 상기 1비트 출력 데이터($IO_{_1bit}$)가 '1'이고, 상기 1비트 입력 오류검출코드($SO_{_1bit}$)가 '0'일 경우, 상기 제1 1비트 입력 오류검출신호($Vout1_{_1bit}$)를 '1'로 출력하고, 상기 1비트 출력 데이터($IO_{_1bit}$)가 '1'이고, 상기 1비트 입력 오류검출코드($SO_{_1bit}$)가 '1'일 경우, 상기 제1 1비트 입력 오류검출신호($Vout1_{_1bit}$)를 '0'으로 출력한다.

[112] 또한, 상기 제2 1비트 입력 오류검출코드 체크회로(111)는 상기 제1 1비트 입력 오류검출코드 체크회로(111)와 병렬적으로 상기 1비트 출력 데이터($IO_{_1bit}$) 및 상기 1비트 입력 오류검출코드($SO_{_1bit}$)를 입력받아, 상기 1비트 입력 오류검출신호($Vout1_{_1bit}$,$Vout0_{_1bit}$)의 하위 비트인 제2 1비트 입력 오류검출신호($Vout0_{_1bit}$)를 출력하되, 상기 1비트 출력 데이터($IO_{_1bit}$)가 '0'이고, 상기 1비트 입력 오류검출코드($SO_{_1bit}$)가 '0'일 경우, 제2 1비트 입력 오류검출신호($Vout0_{_1bit}$)를 '1'로 출력하고, 상기 1비트 출력 데이터($IO_{_1bit}$)가 '0'이고, 상기 1비트 입력 오류검출코드($SO_{_1bit}$)가 '1'일 경우, 상기 제2 1비트 입력 오류검출신호($Vout0_{_1bit}$)를 '0'으로 출력하고, 상기 1비트 출력 데이터($IO_{_1bit}$)가 '1'이고, 상기 1비트 입력 오류검출코드($SO_{_1bit}$)가 '0'일 경우, 상기 제2 1비트 입력 오류검출신호($Vout0_{_1bit}$)를 '0'으로 출력하고, 상기 1비트 출력 데이터($IO_{_1bit}$)가 '1'이고, 상기 1비트 입력 오류검출코드($SO_{_1bit}$)가 '1'일 경우, 상기 제2 1비트 입력 오류검출신호($Vout0_{_1bit}$)를 '0'으로 출력한다.

[113] 즉, 상기 1비트 입력 오류검출코드 체크회로(110)는 상기 1비트 입력 오류검출코드($SO_{_1bit}$)에 오류가 없는 경우에는 '10'의 1비트 입력 오류검출신호를 출력하고, 상기 1비트 입력 오류검출코드($SO_{_1bit}$)에 오류가 있는 경우에는 '00' 또는 '11'의 1비트 입력 오류검출신호를 출력하여 오류가 발생하였는지 여부를 판단할 수 있게 한다.

[114] 또한, 도 4는 상기 제1 1비트 입력 오류검출코드 체크회로(111)의 회로도를 보여주는 것으로, 상기 제1 1비트 입력 오류검출코드 체크회로(111)는 상기 1비트 입력 오류검출코드($SO_{_1bit}$)를 게이트 전원으로 입력받고, 소스 단은 드레인 전원(VDD)에 연결되는 제1-1 P채널 MOS소자(111-1), 상기 1비트 출력 데이터($IO_{_1bit}$)를 게이트 전원으로 입력받고, 드레인 단은 상기 제1-1 P채널 MOS소자의 드레인 단과 연결되며, 소스 단은 접지되는 제1-1 N채널 MOS소자(111-2) 및 소스 단은 상기 드레인 전원(VDD)에 연결되고, 게이트 단은 접지되며, 드레인 단은 상기 제1-1 P채널 MOS소자의 드레인 단과 연결되는

제1-2 P채널 MOS소자(111-3)을 포함하고, 상기 제1-2 P채널 MOS소자(111-2)의 드레인 단(공통 드레인 단)으로 상기 제1 1비트 입력 오류검출신호($Vout1_{_1bit}$)를 출력한다.

[115] 또한, 상기 각 MOS소자들(111-1,111-2,111-2)은 'no bulk' 타입의 "MOSFET enh" 소자로 도시하였으나, "MOSFET dep"소자나 "JFET" 소자 등 게이트 전원에 의해 "온/오프"될 수 있는 스위칭 소자라면 어떠한 소자로도 대체가 가능하다.

[116] 또한, 도 5는 상기 제2 1비트 입력 오류검출코드 체크회로(112)의 회로도를 보여주는 것으로, 상기 제2 1비트 입력 오류검출코드 체크회로(112)는 상기 1비트 입력 오류검출코드($SO_{_1bit}$)를 게이트 전원으로 입력받고, 소스 단은 상기 드레인 전원(VDD)에 연결되는 제2-1 P채널 MOS소자(112-1), 상기 1비트 출력 데이터($IO_{_1bit}$)를 게이트 전원으로 입력받고, 드레인 단은 상기 제1-1 P채널 MOS소자의 드레인 단과 연결되며, 소스 단은 접지되는 제2-1 N채널 MOS소자(112-2) 및 상기 드레인 전원(VDD)을 게이트 전원으로 입력받고, 드레인 단은 상기 제2-1 P채널 MOS소자의 드레인 단에 연결되고, 소스 단은 접지되는 제2-2 N채널 MOS소자(112-3)를 포함하여 구성되고, 상기 제2-2 N채널 MOS소자의 드레인 단(공통 드레인 단)으로 상기 제2 1비트 입력 오류검출신호($Vout0_{_1bit}$)를 출력한다.

[117]

[118] 상기 2비트 입력 오류검출코드 체크회로(120)는 상기 이진 출력데이터(I)가 2비트 출력 데이터($I1_{_2bit}$,$IO_{_2bit}$)일 경우, 상기 오류검출신호(Vout1,Vout0)와 대응하는 2비트 입력 오류검출신호($Vout1_{_2bit}$,$Vout0_{_2bit}$)를 출력하고, 상기 2비트 입력 오류검출신호($Vout1_{_2bit}$,$Vout0_{_2bit}$)의 상위 비트($Vout1_{_2bit}$)를 출력하기 위한 제1 1비트 입력 오류검출코드 체크회로(121) 및 상기 2비트 입력 오류검출신호($Vout1_{_2bit}$,$Vout0_{_2bit}$)의 하위 비트($Vout0_{_2bit}$)를 출력하기 위한 제2 2비트 입력 오류검출코드 체크회로(122)를 포함한다.

[119] 또한, 상기 이진 출력데이터(I)가 2비트 출력 데이터($I1_{_2bit}$,$IO_{_2bit}$)일 경우, 상기 연산처리회로(11)에는 2비트 입력 데이터가 입력되고, 상기 오류검출코드 생성기(12)는 상기 2비트 입력 데이터에 대한 2비트의 오류검출코드인 2비트 입력 오류검출코드($S1_{_2bit}$,$SO_{_2bit}$)를 생성한다.

[120] 또한, 상기 오류검출코드 생성기(12)는 상기 2비트 입력 오류검출코드($S1_{_2bit}$,$SO_{_2bit}$)의 두 가지 케이스의 2비트 입력 오류검출코드로 생성될 수 있고, 첫 번째 케이스의 경우, 상기 2비트 입력 오류검출코드($S1_{_2bit}$,$SO_{_2bit}$)의 상위 비트($S1_{_2bit}$)는 2비트 입력 데이터 '00', '01', '10' 또는 '11'에 대해 비트들에 '0'의 개수가 '1'의 개수보다 크거나 같을 경우 '1'로 생성하고, 그 외의 경우에는 '0'으로 생성하며, 하위 비트($SO_{_2bit}$)는 '0'의 개수와 '1'의 개수가 동일할 경우 '0'으로 생성하고, 그 외의 경우에는 '1'로 생성한다.

[121] 또한, 상기 첫 번째 케이스는 아래의 수학식 1에 의해 계산될 수 있다.

[122] 수학식 1

$$S1_{_2bit(case1)} = \begin{cases} 1, & \text{if } number\ of\ \ 0's\ in\ F_{(2bit)} \geq number\ of\ \ 1's\ in\ F_{(2bit)} \\ 0, & otherwise \end{cases}$$

$$S0_{_2bit(case1)} = \begin{cases} 0, & \text{if } number\ of\ \ 0's\ in\ F_{(2bit)} = number\ of\ \ 1's\ in\ F_{(2bit)} \\ 1, & otherwise \end{cases}$$

[123] 여기서, "$F_{(2bit)}$"는 상기 2비트 입력 데이터를 의미한다.

[124] 또한, 상기 2비트 입력 오류검출코드($S1_{_2bit}$,$SO_{_2bit}$)의 두 번째 케이스의 경우에는 아래의 상기 2비트 입력 오류검출코드($S1_{_2bit}$,$SO_{_2bit}$)의 상위 비트($S1_{_2bit}$)는 '0'의 개수와 '1'의 개수가 동일할 경우 '0'으로 생성하고, 그 외의 경우에는 '1'로 생성하며, 하위 비트($SO_{_2bit}$)는 '0'의 개수가 '1'의 개수보다 크거나 같을 경우 '1'로 생성하고, 그 외의 경우에는 '0'으로 생성한다.

[125] 즉, 상기 두 번째 케이스의 2비트 입력 오류검출코드는 상기 첫 번째 케이스의 2비트 입력 오류검출코드의 상위 비트 및 하위 비트 값이 서로 역전된 코드이다.

[126] 또한, 상기 2비트 입력 오류검출코드 체크회로(120)는 상기 오류검출코드 생성기(12)에서 출력되는 2비트 입력 오류검출코드($S1_{_2bit}$,$SO_{_2bit}$)가 상기 2비트 출력 데이터($I1_{_2bit}$,$IO_{_2bit}$)에 대응하는 2비트 입력 오류검출코드와 서로 동일할 경우, 서로 상이한 2비트 입력 오류검출신호들($Vout1_{_2bit}$,$Vout0_{_2bit}$)을 출력하고, 상기 2비트 입력 오류검출코드($S1_{_2bit}$,$SO_{_2bit}$)가 상기 2비트 출력 데이터($I1_{_2bit}$,$IO_{_2bit}$)에 대응하는 2비트 입력 오류검출코드와 서로 상이할 경우, 동일한 2비트 입력 오류검출신호들($Vout1_{_2bit}$,$Vout0_{_2bit}$)을 출력한다.

[127] 다시 말해서, 도 6에 보인 상기 2비트 입력 오류검출코드 체크회로(120)의 진리테이블을 참조하면(상기 오류검출코드 생성기(12)가 상기 첫 번째 케이스의 2비트 입력 오류검출코드를 생성하는 것을 상정하였다), 상기 2비트 입력 오류검출코드 체크회로(120)는 상기 2비트 출력 데이터($I1_{_2bit}$,$IO_{_2bit}$)가 '00'이고 상기 2비트 입력 오류검출코드($S1_{_2bit}$,$SO_{_2bit}$)는 '11'인 경우, 상기 2비트 출력 데이터($I1_{_2bit}$,$IO_{_2bit}$)가 '01'이고 상기 2비트 입력 오류검출코드($S1_{_2bit}$,$SO_{_2bit}$)는 '10'인 경우, 상기 2비트 출력 데이터($I1_{_2bit}$,$IO_{_2bit}$)가 '01'이고 상기 2비트 입력 오류검출코드($S1_{_2bit}$,$SO_{_2bit}$)는 '10'인 경우, 상기 2비트 출력 데이터($I1_{_2bit}$,$IO_{_2bit}$)가 '11'이고 상기 2비트 입력 오류검출코드($S1_{_2bit}$,$SO_{_2bit}$)는 '01'인 경우에는 오류검출코드 생성에 오류가 없으므로 '10'인 값이 서로 다른 2비트 입력 오류검출코드 체크신호들($Vout1_{_2bit}$,$Vout0_{_2bit}$)를 출력하고, 그 외의 경우에는 '11' 또는 '00'인 값이 서로 동일한 2비트 입력 오류검출코드 체크신호들($Vout1_{_2bit}$,$Vout0_{_2bit}$)를 출력하는 것이다.

[128] 또한, 도 7은 상기 제1 2비트 입력 오류검출코드 체크회로(121)의 회로도를 보여주는 것으로, 상기 제 2비트 입력 오류검출코드 체크회로(121)는 상기 2비트 입력 오류검출코드($S1_{_2bit}$,$SO_{_2bit}$)의 상위 비트($S1_{_2bit}$)를 게이트 전원으로 입력받고, 소스 단은 드레인 전원(VDD)과 연결되는 제3-1 P채널 MOS소자(121-1), 상기 2비트 입력 오류검출코드($S1_{_2bit}$,$SO_{_2bit}$)의 하위 비트(S0_

$_{2bit}$)를 게이트 전원으로 입력받고, 소스 단은 상기 제3-1 P채널 MOS소자(121-1)의 소스 단과 연결되어 상기 드레인 전원(VDD)이 입력되며, 드레인 단은 상기 제3-1 P채널 MOS소자(121-1)의 드레인 단과 연결되는 제3-2 P채널 MOS소자(121-2), 게이트 단은 접지되고, 소스 단은 상기 제3-2 P채널 MOS소자(121-2)의 소스 단과 연결되어 상기 드레인 전원(VDD)이 입력되고, 드레인 단은 상기 제3-2 P채널 MOS소자(121-2)의 드레인 단과 연결되는 제3-3 P채널 MOS소자(121-3), 상기 2비트 출력 데이터($I1_{_2bit}$,$IO_{_2bit}$)의 상위 비트($I1_{_2bit}$)를 게이트 전원으로 입력받고, 드레인 단은 상기 제3-1 P채널 MOS소자(121-1)의 드레인 단과 연결되고, 소스 단은 접지되는 제3-1 N채널 MOS소자(121-4) 및 상기 2비트 출력 데이터($I1_{_2bit}$,$IO_{_2bit}$)의 하위 비트($I0_{_2bit}$)를 게이트 전원으로 입력받고, 드레인 단은 상기 제3-2 P채널 MOS소자(121-2)의 드레인 단과 연결되며, 소스 단은 접지되는 제3-2 N채널 MOS소자(121-5)를 포함하고, 상기 제3-3 P채널 MOS소자(121-3)의 드레인 단(공통 드레인 단)으로 상기 제1 2비트 입력 오류검출신호($Vout1_{_2bit}$)를 출력한다.

[129] 또한, 도 8은 상기 제2 2비트 입력 오류검출코드 체크회로(122)의 회로도를 보여주는 것으로, 상기 2비트 입력 오류검출코드($S1_{_2bit}$,$SO_{_2bit}$)의 상위 비트($S1_{_2bit}$)를 게이트 전원으로 입력받고, 소스 단은 상기 드레인 전원(VDD)과 연결되는 제4-1 P채널 MOS소자(122-1), 상기 2비트 입력 오류검출코드($S1_{_2bit}$,$SO_{_2bit}$)의 하위 비트($S0_{_2bit}$)를 게이트 전원으로 입력받고, 소스 단은 상기 제4-1 P채널 MOS소자(122-1)의 소스 단과 연결되어 상기 드레인 전원(VDD)이 입력되며, 드레인 단은 상기 제4-1 P채널 MOS소자(122-1)의 드레인 단과 연결되는 제4-2 P채널 MOS소자(122-2), 상기 2비트 출력 데이터($I1_{_2bit}$,$IO_{_2bit}$)의 상위 비트($I1_{_2bit}$)를 게이트 전원으로 입력받고, 드레인 단은 상기 제4-1 P채널 MOS소자(122-1)의 드레인 단과 연결되고, 소스 단은 접지되는 제4-1 N채널 MOS소자(122-3), 상기 2비트 출력 데이터($I1_{_2bit}$,$IO_{_2bit}$)의 하위 비트($I0_{_2bit}$)를 게이트 전원으로 입력받고, 드레인 단은 상기 제4-2 P채널 MOS소자(122-2)의 드레인 단과 연결되며, 소스 단은 접지되는 제4-2 N채널 MOS소자(122-4) 및 상기 드레인 전원을 게이트 전원으로 입력받고 드레인 단은 상기 제4-2 N채널 MOS소자(122-4)의 드레인 단과 연결되며, 소스 단은 접지되는 제4-3 N채널 MOS소자(122-5)를 포함하고, 상기 제4-3 N채널 MOS소자의 드레인 단(공통 드레인 단)으로 상기 제2 2비트 입력 오류검출신호($Vout0_{_2bit}$)를 출력한다.

[130]

[131] 상기 3비트 입력 오류검출코드 체크회로(130)는 상기 이진 출력데이터(I)가 3비트 출력 데이터($I1_{_3bit}$,$I1_{_3bit}$,$IO_{_3bit}$)일 경우, 상기 오류검출신호(Vout1,Vout0)와 대응하는 3비트 입력 오류검출신호($Vout1_{_3bit}$,$Vout0_{_3bit}$)를 출력한다.

[132] 또한, 상기 이진 출력데이터(I)가 3비트 출력 데이터($I1_{_3bit}$,$I1_{_3bit}$,$IO_{_3bit}$)일 경우, 상기 이진 입력 데이터는 3비트 입력 데이터이고 상기 오류검출코드

생성기(12)는 2비트의 오류검출코드인 3비트 입력 오류검출코드($S1_{_3bit}$,$SO_{_3bit}$)를 생성하되, 상기 3비트 입력 데이터의 최상위 비트가 '0'인 경우에는 상기 3비트 입력 데이터의 하위 두 비트에 대응하는 2비트 입력 오류검출코드와 동일하게 생성하고, 상기 3비트 입력 데이터의 최상위 비트가 '1'인 경우에는 상기 3비트 입력 데이터의 하위 두 비트의 논리 부정 값에 대응하는 2비트 입력 오류검출코드의 논리 부정 값으로 생성한다.

[133] 또한, 상기 3비트 입력 오류검출코드($S1_{_3bit}$,$SO_{_3bit}$)는 아래의 수학식 2에 의해 계산될 수 있다.

[134] 수학식 2

$$(S1_{_3bit},S0_{_3bit})=\begin{cases} SEDC_{2\text{-}in}(F_{1(3bit)},F_{0(3bit)}), & \text{if } F_{2(3bit)}=0 \\ 1\text{'s complement}(SEDC_{2\text{-}in}(\overline{F_{1(3bit)}},\overline{F_{0(3bit)}}), & \text{if } F_{2(3bit)}=1 \end{cases}$$

[135] 여기서, "$F_{2(3bit)}$,$F_{1(3bit)}$,$F_{0(3bit)}$"는 상기 3비트 입력 데이터를 의미하고, "$SEDC_{2\text{-}in}$"는 상기 2비트 입력 오류검출코드를 생성하는 함수를 의미한다.

[136] 또한, 도 9는 상기 3비트 입력 오류검출코드 체크회로(130)를 보여주는 것으로, 도 9를 참조하면, 상기 3비트 입력 오류검출코드 체크회로(130)는 상기 3비트 출력 데이터($I2_{_3bit}$,$I1_{_3bit}$,$IO_{_3bit}$)와 상기 3비트 입력 오류검출코드($S1_{_3bit}$,$SO_{_3bit}$)를 입력받아, 과도 2비트 출력 데이터($I1'_{_3bit}$,$IO'_{_3bit}$) 및 과도 2비트 입력 오류검출코드($S1'_{_3bit}$,$SO'_{_3bit}$)를 출력하는 과도 2비트 입력 오류검출코드 생성기(132)와 상기 과도 2비트 출력 데이터($I1'_{_3bit}$,$IO'_{_3bit}$) 및 과도 2비트 입력 오류검출코드($S1'_{_3bit}$,$SO'_{_3bit}$)를 입력받아 상기 3비트 입력 오류검출신호($Vout1_{_3bit}$,$Vout0_{_3bit}$)로 출력하는 3비트용 2비트 입력 오류검출코드 체크회로(131)를 포함한다.

[137] 또한, 상기 과도 2비트 입력 오류검출코드 생성기(132)는 상기 3비트 출력 데이터($I2_{_3bit}$,$I1_{_3bit}$,$IO_{_3bit}$)의 최상위 비트($I1_{_3bit}$)가 '1'일 경우, 상기 3비트 출력 데이터($I2_{_3bit}$,$I1_{_3bit}$,$IO_{_3bit}$)의 하위 두 비트의 1의 보수를 상기 과도 2비트 출력 데이터($I1'_{_3bit}$,$IO'_{_3bit}$)로 계산하고, 그 외의 경우에는 상기 3비트 출력 데이터($I2_{_3bit}$,$I1_{_3bit}$,$IO_{_3bit}$)의 하위 두 비트와 동일한 값을 상기 과도 2비트 출력 데이터($I1'_{_3bit}$,$IO'_{_3bit}$)로 계산한다.

[138] 또한, 상기 과도 2비트 입력 오류검출코드 생성기(132)는 상기 3비트 출력 데이터($I1_{_3bit}$,$I1_{_3bit}$,$IO_{_3bit}$)의 최상위 비트($I1_{_3bit}$)가 '1'일 경우, 상기 3비트 입력 오류검출코드($S1_{_3bit}$,$SO_{_3bit}$)의 1의 보수로 상기 과도 2비트 입력 오류검출코드($S1'_{_3bit}$,$SO'_{_3bit}$)를 계산하고, 그 외의 경우에는 상기 3비트 입력 오류검출코드($S1_{_3bit}$,$SO_{_3bit}$)와 동일한 값으로 상기 과도 2비트 입력 오류검출코드($S1'_{_3bit}$,$SO'_{_3bit}$)를 계산한다.

[139] 또한, 상기 3비트용 2비트 입력 오류검출코드 체크회로(131)는 상기 과도 2비트 출력 데이터($I1'_{_3bit}$,$IO'_{_3bit}$)와 상기 과도 2비트 입력 오류검출코드($S1'_{_3bit}$,$SO'_{_3bit}$)를 입력받아 2비트 입력 오류검출신호($Vout1_{_2bit}$,$Vout0_{_2bit}$)를 계산하고, 계산된

2비트 입력 오류검출신호($Vout1_{_2bit}$,$Vout0_{_2bit}$)를 상기 3비트 입력 오류검출신호($Vout1_{_3bit}$,$Vout0_{_3bit}$)로 출력한다.

[140] 또한, 상기 3비트용 2비트 입력 오류검출코드 체크회로(131)는 입력되는 데이터만이 다를 뿐, 상기 2비트 입력 오류검출코드 체크회로(120)와 실질적으로 동일한 체크회로이다.

[141]

[142] 상기 4비트 입력 오류검출코드 체크회로(140)는 상기 이진 출력데이터(I)가 4비트 출력 데이터($I2_{_4bit}$,$I1_{_4bit}$,$I1_{_4bit}$,$IO_{_4bit}$)일 경우, 상기 오류검출신호(Vout1,Vout0)에 대응하는 4비트 입력 오류검출신호($Vout1_{_4bit}$,$Vout0_{_4bit}$)를 출력한다.

[143] 또한, 상기 이진 출력데이터(I)가 4비트 출력 데이터($I2_{_4bit}$,$I1_{_4bit}$,$I1_{_4bit}$,$IO_{_4bit}$)일 경우, 상기 이진 입력 데이터는 4비트 입력 데이터이고 상기 오류검출코드 생성기(12)는 3비트의 오류검출코드인 4비트 입력 오류검출코드($S2_{_4bit}$,$S1_{_4bit}$,$SO_{_4bit}$)를 생성하되, 상기 4비트 입력 오류검출코드($S2_{_4bit}$,$S1_{_4bit}$,$SO_{_4bit}$)의 중간 비트($S1_{_4bit}$)와 최하위 비트($SO_{_4bit}$)는 상기 4비트 입력 데이터의 하위 세 비트에 대한 상기 3비트 입력 오류검출코드와 동일하게 생성하고, 최상위 비트($S2_{_4bit}$)는 상기 4비트 입력 데이터의 최상위 비트의 논리 부정 값으로 생성한다.

[144] 또한, 상기 4비트 입력 오류검출코드($S2_{_4bit}$,$S1_{_4bit}$,$SO_{_4bit}$)는 아래의 수학식 3을 이용하여 계산할 수 있다.

[145] 수학식 3

$$(S1_{_4bit}, S0_{_4bit}) = SEDC_{3_in}(F_{2(4bit)}, F_{1(4bit)}, F_{0(4bit)})$$

$$S2_{_4bit} = \overline{F_{3(4bit)}}$$

[146] 여기서, "$F_{3(4bit)}$,$F_{2(4bit)}$,$F_{1(4bit)}$,$F_{0(4bit)}$"는 상기 4비트 입력 데이터를 의미하고, "$SEDC_{3-in}$"는 상기 3비트 입력 오류검출코드를 생성하는 함수를 의미한다.

[147] 또한, 도 10은 상기 4비트 입력 오류검출코드 체크회로(140)를 보여주는 것으로, 도 10를 참조하면, 상기 4비트 입력 오류검출코드 체크회로(140)는 상기 4비트 출력 데이터($I3_{_4bit}$,$I2_{_4bit}$,$I1_{_4bit}$,$IO_{_4bit}$)와 상기 4비트 입력 오류검출코드($S2_{_4bit}$,$S1_{_4bit}$,$SO_{_4bit}$)를 입력받아, 4비트 입력 오류검출신호($Vout1_{_4bit}$,$Vout0_{_4bit}$)를 출력한다.

[148] 또한, 상기 4비트 입력 오류검출코드 체크회로(140)는 상기 1비트 입력 오류검출코드 체크회로(110)와 실질적으로 동일하고 상기 4비트 출력 데이터($I3_{_4bit}$,$I2_{_4bit}$,$I1_{_4bit}$,$IO_{_4bit}$)의 최상위 비트($I3_{_4bit}$)와 상기 4비트 입력 오류검출코드($S2_{_4bit}$,$S1_{_4bit}$,$SO_{_4bit}$)의 최상위 비트($S2_{_4bit}$)를 입력으로 하여 1비트 입력 오류검출신호($Vout1_{_1bit}$,$Vout0_{_1bit}$)를 출력하는 4비트용 1비트 입력 오류검출코드 체크회로(141) 및 상기 3비트 입력 오류검출코드 체크회로(130)와 실질적으로 동일하고 상기 4비트 출력 데이터($I3_{_4bit}$,$I2_{_4bit}$,$I1_{_4bit}$,$IO_{_4bit}$))의 하위

세 비트($I2_{_4bit}$,$I1_{_4bit}$,$IO_{_4bit}$)와 상기 4비트 입력 오류검출코드($S2_{_4bit}$,$S1_{_4bit}$,$SO_{_4bit}$)의 하위 두 비트를($S1_{_4bit}$,$SO_{_4bit}$)를 입력으로 하여 3비트 입력 오류검출신호($Vout1_{_3bit}$,$Vout0_{_3bit}$)를 출력하는 4비트용 3비트 입력 오류검출코드 체크회로(142)를 포함한다.

[149] 또한, 상기 4비트 입력 오류검출코드 체크회로(140)는 상기 1비트 입력 오류검출신호($Vout1_{_1bit}$,$Vout0_{_1bit}$)의 상위 비트($Vout1_{_1bit}$)와 상기 3비트 입력 오류검출신호($Vout1_{_3bit}$,$Vout0_{_3bit}$)의 상위 비트($Vout1_{_3bit}$)를 논리 곱한 값을 상기 4비트 입력 오류검출신호($Vout1_{_4bit}$,$Vout0_{_4bit}$)의 상위 비트($Vout1_{_4bit}$)로 출력하고, 상기 1비트 입력 오류검출신호($Vout1_{_1bit}$,$Vout0_{_1bit}$)의 하위 비트($Vout0_{_1bit}$)와 상기 3비트 입력 오류검출신호($Vout1_{_3bit}$,$Vout0_{_3bit}$)의 하위 비트($Vout0_{_3bit}$)를 논리 곱한 값을 상기 4비트 입력 오류검출신호($Vout1_{_4bit}$,$Vout0_{_4bit}$)의 하위 비트($Vout0_{_4bit}$)로 출력한다.

[150]

[151] 상기 n비트 입력 오류검출코드 체크회로(140)는 상기 이진 출력데이터(I)가 n비트 출력 데이터($Ibbit_{_nbit}$,...,$I3bit_{_nbit}$)일 경우, 상기 오류검출신호(Vout1,Vout0)에 대응하는 n비트 입력 오류검출신호($Vout1_{_nbit}$,$Vout0_{_nbit}$)를 출력한다.

[152] 또한, 상기 이진 출력데이터(I)가 n비트 출력 데이터($Ibbit_{_nbit}$,...,$I3bit_{_nbit}$)일 경우, 상기 이진 입력 데이터는 n비트 입력 데이터이고 상기 오류검출코드 생성기(12)는 먼저, 상기 이진 입력 데이터를 b비트 입력 데이터와 하나 또는 복수 개의 3비트 입력 데이터 세트로 구분한다.

[153] 다음, 상기 오류검출코드 생성기(12)는 상기 2비트 입력 오류검출코드, 상기 3비트 입력 오류검출코드 및 상기 4비트 입력 오류검출코드 중, 상기 b비트 입력 데이터에 대한 어느 하나의 입력 오류 검출코드인 b비트 입력 오류검출코드($Sbbit_{_nbit}$)(여기서, 'bbit'란 상기 b비트 입력 데이터에 대응하는 입력 오류검출코드를 뜻하는 것으로 비트 수는 'bbit'와 일치하지 않을 수 있다)와 상기 3비트 입력 데이터 세트에 대한 3비트 입력 오류검출코드인 3비트 입력 세트 오류검출코드($S2bit_{_nbit}$)를 생성하고, 생성된, b비트 입력 오류검출코드($Sbbit_{_nbit}$)와 3비트 입력 세트 오류검출코드($S2bit_{_nbit}$)를 조합하여 n비트 입력 오류검출코드를 생성한다.

[154] 또한, 상기 n비트 입력 오류검출코드의 길이는 아래의 수학식 4에 의해 계산된다.

[155] 수학식 4

$$m = \lceil \log_2[n+1-(3\times a)] \rceil + (2\times a)$$

[156] 여기서, m은 상기 n비트 입력 오류검출코드의 길이이고, 파라미터 'a'는 '0'에서부터 '∞'까지의 정수 중 어느 하나로써, 아래의 수학식 5에 의해 계산된다.

[157] 수학식 5

$$a=\frac{n - \max(b)}{3}$$

[158] 여기서, n은 상기 이진 입력 데이터의 길이이고, 파라미터 'b'는 '2', '3' 또는 '4'의 정수이며, max(b)는 정수 '2', '3' 및 '4' 중, 상기 파라미터 'a'가 정수가 되게 하는 최대값이다.

[159] 예를 들어, 상기 이진 입력 데이터의 길이가 '8비트'일 경우, 상기 수학식 3의 max(b)는 정수 '2'로 선택되고(즉, 파라미터 'b'는 정수 '2'이다), 상기 파라미터 'a'는 정수 '2'로 계산된다.

[160] 또한, 상기 파라미터 'a'가 정수 '2'로 계산되었으므로, 수학식 2에 대입하면, 가우스 '$\log_2 3$'은 정수 '2'가 되고, 여기에 정수 '4'를 더하면 정수 '6'이 되어, 상기 입력 입력데이터의 길이가 '8비트'일 경우, 상기 n비트 입력 오류검출코드는 '6비트'로 계산되는 것이다.

[161] 또한, 상기 파라미터 'b'는 상기 b비트 입력 오류검출코드를 결정하기 위한 파라미터이고, 상기 파라미터 'a'는 상기 3비트 입력 데이터 세트의 개수를 결정하기 위한 파라미터이다.

[162] 즉, 상기 이진 입력 데이터의 길이가 '8비트'일 경우, 상기 오류검출코드 생성기(12)는 '2비트'입력 데이터에 대한 하나의 2비트 입력 오류검출코드와 두 개의 3비트 입력 데이터 세트에 대한 3비트 입력 오류검출코드들(이하, '3비트 입력 세트 오류검출코드'라 함)을 하나의 입력 오류검출코드로 생성한다.

[163] 또한, 상기 n비트 입력 오류검출코드 체크회로(150)는 하나의 b비트 입력 오류검출코드 체크회로(151) 및 하나 또는 복수 개의 n비트용 3비트 입력 세트 오류검출코드 체크회로(152-1,152-a)를 포함한다.

[164] 또한, 상기 b비트 입력 오류검출코드 체크회로(151)는 상기 2비트 입력 오류검출코드 체크회로(120), 상기 3비트 입력 오류검출코드 체크회로(130) 및 상기 4비트 입력 오류검출코드 체크회로(140) 중, 파라미터 'b'에 대응하는 데이터를 입력받아 입력 오류검출신호를 출력하는 어느 하나의 입력 오류검출코드 체크회로와 실질적으로 동일하고, 상기 n비트 출력 데이터 중 b비트 출력 데이터($Ibbit_{_nbit}$)와 상기 오류검출코드 생성기(12)에서 출력되는 b비트 입력 오류검출코드($Sbbit_{_nbit}$)에 대한 입력 오류검출신호인 b비트 입력 오류검출신호($Vout1_{_bbit}$,$Vout0_{_bbit}$)를 출력한다.

[165] 또한, 상기 n비트용 3비트 입력 세트 오류검출코드 체크회로(152-1,152-a)는 상기 3비트 입력 오류검출코드 체크회로(130)와 실질적으로 동일하고, 상기 n비트 출력 데이터 중, 상기 b비트 출력 데이터($Ibbit_{_nbit}$)를 제외한 3비트 출력 데이터 세트($I3bit_{_nbit}$)와 상기 3비트 입력 세트 오류검출코드($S2bit_{_nbit}$)를 입력으로 하여 3비트 입력 오류검출신호($Vout1_{_3bit}$,$Vout0_{_3bit}$)를 출력한다.

[166] 다시 말해서, 상기 n비트용 3비트 입력 세트 오류검출코드 체크회로(152-1,152-a)는 상기 3비트 출력 데이터 세트의 개수와 동일한 개수로

구비되고, 각각 서로 다른 하나의 3비트 출력 데이터 세트와 3비트 입력 세트 오류검출코드에 대해 비트 입력 오류검출신호($Vout1_{_3bit}$,$Vout0_{_3bit}$)를 생성하여 출력하는 것이다.

[167] 또한, 상기 b비트 입력 오류검출코드 체크회로(151) 상기 b비트 입력 오류검출신호($Vout1_{_bbit}$,$Vout0_{_bbit}$)의 상위 비트($Vout1_{_bbit}$)와 상기 3비트 입력 오류검출신호($Vout1_{_3bit}$,$Vout0_{_3bit}$)의 상위 비트($Vout1_{_3bit}$)를 논리 곱한 값을 상기 n비트 입력 오류검출신호($Vout1_{_nbit}$,$Vout0_{_nbit}$)의 상위 비트($Vout1_{_nbit}$)로 출력하고, 상기 b비트 입력 오류검출신호($Vout1_{_bbit}$,$Vout0_{_bbit}$)의 하위 비트($Vout0_{_bbit}$)와 상기 3비트 입력 오류검출신호($Vout1_{_3bit}$,$Vout0_{_3bit}$)의 하위 비트($Vout0_{_3bit}$)를 논리 곱한 값을 상기 n비트 입력 오류검출신호($Vout1_{_nbit}$,$Vout0_{_nbit}$)의 하위 비트($Vout0_{_nbit}$)로 출력한다.

[168]

[169] 이상에서 살펴본 바와 같이 본 발명은 바람직한 실시예를 들어 도시하고 설명하였으나, 상기한 실시예에 한정되지 아니하며 본 발명의 정신을 벗어나지 않는 범위 내에서 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 다양한 변경과 수정이 가능할 것이다.

[170]

산업상 이용가능성

[171] 확장형 오류검출코드 기반의 자가검사 연산처리장치의 연산 오류 및 코드 생성 오류를 검출할 수 있다.

청구범위

[청구항 1] 입력되는 이진 입력 데이터에 대한 산술 또는 논리 연산을 수행하여 이진 출력 데이터를 출력하는 연산처리회로 및 상기 이진 입력 데이터를 입력받아 상기 이진 입력 데이터의 연산결과에 대한 오류검출코드를 생성하되, 상기 이진 입력 데이터의 길이에 따라 가변하는 확장형 오류검출코드(SEDC:Scalable Error Detection Coding)를 생성하는 오류검출코드 생성기를 포함하는 자가검사 연산처리장치의 오류를 검출하는 오류 검출 장치로써,
상기 이진 출력 데이터 및 상기 오류검출코드를 입력받고, 상기 이진 출력 데이터 및 상기 오류검출코드에 대한 2비트의 오류검출신호를 출력하는 오류검출코드 체크회로로 이루어지고,
상기 오류검출코드 체크회로:는
상기 연산처리회로로부터 상기 이진 입력 데이터의 산술 또는 논리 연산 결과인 이진 출력 데이터 및 상기 오류검출코드를 입력받고 상위비트의 오류검출신호인 제1 오류검출신호를 출력하는 제1 오류검출코드 체크회로; 및
상기 제1 오류검출코드 체크회로와 병렬적으로 상기 이진 출력 데이터 및 상기 오류검출코드를 입력받고 하위비트의 오류검출신호인 제2 오류검출신호를 출력하는 제2 오류검출코드 체크회로;를 포함하며,
상기 오류검출코드 체크회로들은 상기 이진 출력 데이터와 상기 오류검출코드의 길이에 관계없이 각각 1비트의 오류검출신호를 출력하고, 상기 오류검출신호들의 신호 조합에 따라 상기 오류검출코드의 오류발생 여부를 판정하는 오류 검출 장치.

[청구항 2] 제 1 항에 있어서,
상기 오류검출코드 체크회로들은 상기 오류검출코드에 오류가 발생하지 않았을 경우 서로 상이한 오류검출신호를 출력하고, 오류가 발생하였을 경우 서로 동일한 오류검출신호를 출력하는 것을 특징으로 하는 오류 검출 장치.

[청구항 3] 제 2 항에 있어서,
상기 이진 입력 데이터가 1비트 입력 데이터일 경우,
상기 연산처리회로는 1비트 출력 데이터($IO_{_1bit}$)를 출력하고, 상기 오류검출코드 생성기는 1비트 데이터 '0' 또는 '1'에 대해 서로 반대의 값을 갖는 1비트의 오류검출코드인 1비트 입력 오류검출코드($SO_{_1bit}$)를 생성하며,
상기 오류검출코드 체크회로는 상기 1비트 출력 데이터($IO_{_1bit}$)와

상기 1비트 입력 오류검출코드($SO_{_1bit}$)를 입력받아 2비트인 1비트 입력 오류검출신호($Vout1_{_1bit}$,$Vout0_{_1bit}$)를 출력하는 1비트 입력 오류검출코드 체크회로를 포함하고,

상기 1비트 입력 오류검출코드 체크회로:는 상기 1비트 출력 데이터($IO_{_1bit}$) 및 상기 1비트 입력 오류검출코드($SO_{_1bit}$)를 입력받아, 상기 1비트 입력 오류검출신호의 상위 비트인 제1 1비트 입력 오류검출신호($Vout1_{_1bit}$)를 출력하되, 상기 1비트 출력 데이터($IO_{_1bit}$)가 '0'이고, 상기 1비트 입력 오류검출코드($SO_{_1bit}$)가 '0'일 경우, 상기 제1 1비트 입력 오류검출신호($Vout1_{_1bit}$)를 '1'로 출력하고, 상기 1비트 출력 데이터($IO_{_1bit}$)가 '0'이고, 상기 1비트 입력 오류검출코드($SO_{_1bit}$)가 '1'일 경우, 상기 제1 1비트 입력 오류검출신호($Vout1_{_1bit}$)를 '1'로 출력하고, 상기 1비트 출력 데이터($IO_{_1bit}$)가 '1'이고, 상기 1비트 입력 오류검출코드($SO_{_1bit}$)가 '0'일 경우, 상기 제1 1비트 입력 오류검출신호($Vout1_{_1bit}$)를 '1'로 출력하고, 상기 1비트 출력 데이터($IO_{_1bit}$)가 '1'이고, 상기 1비트 입력 오류검출코드($SO_{_1bit}$)가 '1'일 경우, 상기 제1 1비트 입력 오류검출신호($Vout1_{_1bit}$)를 '0'으로 출력하는 제1 1비트 입력 오류검출코드 체크회로; 및

상기 이진 출력 데이터 및 상기 오류검출코드를 입력받아, 상기 1비트 입력 오류검출신호의 하위 비트인 제2 1비트 입력 오류검출신호($Vout0_{_1bit}$)를 출력하되, 상기 1비트 출력 데이터($IO_{_1bit}$)가 '0'이고, 상기 1비트 입력 오류검출코드($SO_{_1bit}$)가 '0'일 경우, 제2 1비트 입력 오류검출신호($Vout0_{_1bit}$)를 '1'로 출력하고, 상기 1비트 출력 데이터($IO_{_1bit}$)가 '0'이고, 상기 1비트 입력 오류검출코드($SO_{_1bit}$)가 '1'일 경우, 상기 제2 1비트 입력 오류검출신호($Vout0_{_1bit}$)를 '0'으로 출력하고, 상기 1비트 출력 데이터($IO_{_1bit}$)가 '1'이고, 상기 1비트 입력 오류검출코드($SO_{_1bit}$)가 '0'일 경우, 상기 제2 1비트 입력 오류검출신호($Vout0_{_1bit}$)를 '0'으로 출력하고, 상기 1비트 출력 데이터($IO_{_1bit}$)가 '1'이고, 상기 1비트 입력 오류검출코드($SO_{_1bit}$)가 '1'일 경우, 상기 제2 1비트 입력 오류검출신호($Vout0_{_1bit}$)를 '0'으로 출력하는 제2 1비트 입력 오류검출코드 체크회로;를 포함하는 것을 특징으로 하는 오류검출 장치.

[청구항 4] 제 3 항에 있어서,

상기 제1 1비트 입력 오류검출코드 체크회로:는

상기 1비트 입력 오류검출코드($SO_{_1bit}$)를 게이트 전원으로 입력받고, 소스 단은 드레인 전원(VDD)에 연결되는 제1-1 P채널 MOS소자;

상기 1비트 출력 데이터($IO_{_1bit}$)를 게이트 전원으로 입력받고, 드레인 단은 상기 제1-1 P채널 MOS소자의 드레인 단과 연결되며, 소스 단은 접지되는 제1-1 N채널 MOS소자; 및
소스 단은 상기 드레인 전원(VDD)에 연결되고, 게이트 단은 접지되며, 드레인 단은 상기 제1-1 P채널 MOS소자의 드레인 단과 연결되는 제1-2 P채널 MOS소자;를 포함하여 구성되고,
상기 제1-2 P채널 MOS소자의 드레인 단으로 상기 제1 1비트 입력 오류검출신호($Vout1_{_1bit}$)를 출력하는 것을 특징으로 하는 오류 검출 장치.

[청구항 5] 제 4 항에 있어서,
상기 제2 1비트 입력 오류검출코드 체크회로:는
상기 1비트 입력 오류검출코드($SO_{_1bit}$)를 게이트 전원으로 입력받고, 소스 단은 상기 드레인 전원(VDD)에 연결되는 제2-1 P채널 MOS소자;
상기 1비트 출력 데이터($IO_{_1bit}$)를 게이트 전원으로 입력받고, 드레인 단은 상기 제1-1 P채널 MOS소자의 드레인 단과 연결되며, 소스 단은 접지되는 제2-1 N채널 MOS소자; 및
상기 드레인 전원(VDD)을 게이트 전원으로 입력받고, 드레인 단은 상기 제2-1 P채널 MOS소자의 드레인 단에 연결되고, 소스 단은 접지되는 제2-2 N채널 MOS소자;를 포함하여 구성되고,
상기 제2-2 N채널 MOS소자의 드레인 단으로 상기 제2 1비트 입력 오류검출신호($Vout0_{_1bit}$)를 출력하는 것을 특징으로 하는 오류 검출 장치.

[청구항 6] 제 3 항 내지 제 5 항 중 어느 한 항에 있어서,
상기 이진 입력 데이터가 2비트 입력 데이터일 경우,
상기 연산 처리회로는 2비트 출력 데이터($I1_{_2bit}$,$IO_{_2bit}$)를 출력하고, 상기 오류검출코드 생성기는 2비트의 오류검출코드인 2비트 입력 오류검출코드($S1_{_2bit}$,$SO_{_2bit}$)를 생성하되, 상기 2비트 입력 오류검출코드($S1_{_2bit}$,$SO_{_2bit}$)의 상위 비트($S1_{_2bit}$)는 2비트 데이터 '00', '01', '10' 또는 '11'에 대해 비트들의 '0'의 개수가 '1'의 개수보다 크거나 같을 경우 '1'로 생성하고, 그 외의 경우에는 '0'으로 생성하며, 하위 비트($SO_{_2bit}$)는 '0'의 개수와 '1'의 개수가 동일할 경우 '0'으로 생성하고, 그 외의 경우에는 '1'로 생성하거나,
상기 2비트 입력 오류검출코드($S1_{_2bit}$,$SO_{_2bit}$)의 상위 비트($S1_{_2bit}$)는 '0'의 개수와 '1'의 개수가 동일할 경우 '0'으로 생성하고, 그 외의 경우에는 '1'로 생성하며, 하위 비트($SO_{_2bit}$)는 '0'의 개수가 '1'의 개수보다 크거나 같을 경우 '1'로 생성하고, 그 외의 경우에는 '0'으로 생성하며,

상기 오류검출코드 체크회로는 상기 2비트 출력 데이터($I1_{_2bit}$,$IO_{_2bit}$)와 상기 2비트 입력 오류검출코드($S1_{_2bit}$,$SO_{_2bit}$)를 입력받아 2비트 입력 오류검출신호($Vout1_{_2bit}$,$Vout0_{_2bit}$)를 출력하는 2비트 입력 오류검출코드 체크회로를 포함하고,

상기 2비트 입력 오류검출코드 체크회로:는 상기 2비트 입력 오류검출신호의 상위비트인 제1 2비트 입력 오류검출신호($Vout1_{_2bit}$)를 출력하는 제1 2비트 입력 오류검출코드 체크회로; 및 상기 2비트 입력 오류검출신호의 하위비트인 제2 2비트 입력 오류검출신호($Vout0_{_2bit}$)를 출력하는 제2 2비트 입력 오류검출코드 체크회로;를 포함하고,

상기 2비트 입력 오류검출코드 체크회로들은 상기 오류검출코드 생성기에서 출력되는 2비트 입력 오류검출코드($S1_{_2bit}$,$SO_{_2bit}$)가 상기 이진 출력 데이터에 대응하는 2비트 입력 오류검출코드와 서로 동일할 경우, 서로 상이한 오류검출신호를 출력하고, 상기 2비트 입력 오류검출코드($S1_{_2bit}$,$SO_{_2bit}$)가 상기 이진 출력 데이터에 대응하는 2비트 입력 오류검출코드와 서로 상이할 경우, 서로 동일한 오류검출신호를 출력하는 것을 특징으로 하는 오류 검출 장치.

[청구항 7] 제 6 항에 있어서,

상기 오류검출코드 생성기에서 출력되는 2비트 입력 오류검출코드($S1_{_2bit}$,$SO_{_2bit}$)가 상기 이진 출력 데이터에 대응하는 2비트 입력 오류검출코드와 서로 동일할 경우, 상기 제1 2비트 입력 오류검출코드 체크회로는 상기 제1 2비트 입력 오류검출신호($Vout1_{_2bit}$)를 '1'로 출력하고, 상기 제2 2비트 입력 오류검출코드 체크회로는 상기 제2 2비트 입력 오류검출신호($Vout0_{_2bit}$)를 '0'으로 출력하는 것을 특징으로 하는 오류 검출 장치.

[청구항 8] 제 7 항에 있어서,

상기 제1 2비트 입력 오류검출코드 체크회로:는

상기 2비트 입력 오류검출코드($S1_{_2bit}$,$SO_{_2bit}$)의 상위 비트($S1_{_2bit}$)를 게이트 전원으로 입력받고, 소스 단은 드레인 전원(VDD)과 연결되는 제3-1 P채널 MOS소자;

상기 2비트 입력 오류검출코드($S1_{_2bit}$,$SO_{_2bit}$)의 하위 비트($S0_{_2bit}$)를 게이트 전원으로 입력받고, 소스 단은 상기 제3-1 P채널 MOS소자의 소스 단과 연결되어 상기 드레인 전원(VDD)이 입력되며, 드레인 단은 상기 제3-1 P채널 MOS소자의 드레인 단과 연결되는 제3-2 P채널 MOS소자;

게이트 단은 접지되고, 소스 단은 상기 제3-2 P채널 MOS소자의

소스 단과 연결되어 상기 드레인 전원(VDD)이 입력되고, 드레인 단은 상기 제3-2 P채널 MOS소자의 드레인 단과 연결되는 제3-3 P채널 MOS소자;

상기 2비트 출력 데이터($I1_{_2bit}$,$IO_{_2bit}$)의 상위 비트($I1_{_2bit}$)를 게이트 전원으로 입력받고, 드레인 단은 상기 제3-1 P채널 MOS소자의 드레인 단과 연결되고, 소스 단은 접지되는 제3-1 N채널 MOS소자; 및

상기 2비트 출력 데이터($I1_{_2bit}$,$IO_{_2bit}$)의 하위 비트($I0_{_2bit}$)를 게이트 전원으로 입력받고, 드레인 단은 상기 제3-2 P채널 MOS소자의 드레인 단과 연결되며, 소스 단은 접지되는 제3-2 N채널 MOS소자;를 포함하고,

상기 제3-3 P채널 MOS소자의 드레인 단으로 상기 제1 2비트 입력 오류검출신호($Vout1_{_2bit}$)를 출력하는 것을 특징으로 하는 오류 검출 장치.

[청구항 9] 제 8 항에 있어서,

상기 제2 2비트 입력 오류검출코드 체크회로;는

상기 2비트 입력 오류검출코드($S1_{_2bit}$,$SO_{_2bit}$)의 상위 비트($S1_{_2bit}$)를 게이트 전원으로 입력받고, 소스 단은 상기 드레인 전원(VDD)과 연결되는 제4-1 P채널 MOS소자;

상기 2비트 입력 오류검출코드($S1_{_2bit}$,$SO_{_2bit}$)의 하위 비트($S0_{_2bit}$)를 게이트 전원으로 입력받고, 소스 단은 상기 제4-1 P채널 MOS소자의 소스 단과 연결되어 상기 드레인 전원(VDD)이 입력되며, 드레인 단은 상기 제4-1 P채널 MOS소자의 드레인 단과 연결되는 제4-2 P채널 MOS소자;

상기 2비트 출력 데이터($I1_{_2bit}$,$IO_{_2bit}$)의 상위 비트($I1_{_2bit}$)를 게이트 전원으로 입력받고, 드레인 단은 상기 제4-1 P채널 MOS소자의 드레인 단과 연결되고, 소스 단은 접지되는 제4-1 N채널 MOS소자;

상기 2비트 출력 데이터($I1_{_2bit}$,$IO_{_2bit}$)의 하위 비트($I0_{_2bit}$)를 게이트 전원으로 입력받고, 드레인 단은 상기 제4-2 P채널 MOS소자의 드레인 단과 연결되며, 소스 단은 접지되는 제4-2 N채널 MOS소자;및

상기 드레인 전원을 게이트 전원으로 입력받고 드레인 단은 상기 제4-2 N채널 MOS소자의 드레인 단과 연결되며, 소스 단은 접지되는 제4-3 N채널 MOS소자;를 포함하고,

상기 제4-3 N채널 MOS소자의 드레인 단으로 상기 제2 2비트 입력 오류검출신호($Vout0_{_2bit}$)를 출력하는 것을 특징으로 하는 오류 검출 장치.

[청구항 10] 제 6 항에 있어서,

상기 이진 입력 데이터가 3비트 입력 데이터일 경우,
상기 연산 처리회로는 3비트 출력 데이터($I2_{_3bit}$,$I1_{_3bit}$,$IO_{_3bit}$)를 출력하고, 상기 오류검출코드 생성기는 2비트의 오류검출코드인 3비트 입력 오류검출코드($S1_{_3bit}$,$SO_{_3bit}$)를 생성하되, 상기 3비트 입력 데이터의 최상위 비트가 '0'인 경우에는 상기 3비트 입력 데이터의 하위 두 비트에 대한 2비트 입력 오류검출코드와 동일하게 생성하고, 상기 3비트 입력 데이터의 최상위 비트가 '1'인 경우에는 상기 3비트 입력 데이터의 하위 두 비트의 논리 부정 값에 대한 2비트 입력 오류검출코드의 논리 부정 값으로 생성하며,
상기 오류검출코드 체크회로는 상기 3비트 출력 데이터($I2_{_3bit}$,$I1_{_3bit}$,$IO_{_3bit}$) 및 상기 3비트 입력 오류검출코드($S1_{_3bit}$,$SO_{_3bit}$)를 입력받아 3비트 입력 오류검출신호($Vout1_{_3bit}$,$Vout0_{_3bit}$)를 출력하는 3비트 입력 오류검출코드 체크회로를 포함하고,
상기 3비트 입력 오류검출코드 체크회로:는 상기 3비트 출력 데이터($I2_{_3bit}$,$I1_{_3bit}$,$IO_{_3bit}$)와 상기 3비트 입력 오류검출코드($S1_{_3bit}$,$SO_{_3bit}$)를 입력받아, 과도 2비트 출력 데이터($I1'_{_3bit}$,$IO'_{_3bit}$) 및 과도 2비트 입력 오류검출코드($S1'_{_3bit}$,$SO'_{_3bit}$)를 출력하는 과도 2비트 입력 오류검출코드 생성기; 및 상기 2비트 입력 오류검출코드 체크회로와 동일하고, 상기 과도 2비트 출력 데이터($I1'_{_3bit}$,$IO'_{_3bit}$)와 상기 과도 2비트 입력 오류검출코드($S1'_{_3bit}$,$SO'_{_3bit}$)를 상기 2비트 출력 데이터($I1_{_2bit}$,$IO_{_2bit}$) 및 2비트 입력 오류검출코드($S1_{_2bit}$,$SO_{_2bit}$)로 하여 상기 2비트 입력 오류검출신호($Vout1_{_2bit}$,$Vout0_{_2bit}$)를 계산하고, 계산된 2비트 입력 오류검출신호($Vout1_{_2bit}$,$Vout0_{_2bit}$)를 상기 3비트 입력 오류검출신호($Vout1_{_3bit}$,$Vout0_{_3bit}$)로 출력하는 3비트용 2비트 입력 오류검출코드 체크회로;를 포함하고
상기 과도 2비트 출력 데이터($I1'_{_3bit}$,$IO'_{_3bit}$)는 상기 3비트 출력 데이터($I2_{_3bit}$,$I1_{_3bit}$,$IO_{_3bit}$)의 최상위 비트($I1_{_3bit}$)가 '1'일 경우, 상기 3비트 출력 데이터($I2_{_3bit}$,$I1_{_3bit}$,$IO_{_3bit}$)의 하위 두 비트의 1의 보수로 계산되고, 그 외의 경우에는 상기 3비트 출력 데이터($I2_{_3bit}$,$I1_{_3bit}$,$IO_{_3bit}$)의 하위 두 비트와 동일한 값으로 계산되며, 상기 과도 2비트 입력 오류검출코드($S1'_{_3bit}$,$SO'_{_3bit}$)는 상기 3비트 출력 데이터($I2_{_3bit}$,$I1_{_3bit}$,$IO_{_3bit}$)의 최상위 비트($I1_{_3bit}$)가 '1'일 경우, 상기 3비트 입력 오류검출코드($S1_{_3bit}$,$SO_{_3bit}$)의 1의 보수로 계산되고, 그 외의 경우에는 상기 3비트 입력 오류검출코드($S1_{_3bit}$,$SO_{_3bit}$)와 동일한 값으로 계산되는 것을 특징으로 하는 오류 검출 장치.

[청구항 11] 제 6 항에 있어서,
상기 이진 입력 데이터가 4비트 입력 데이터일 경우,
상기 연산 처리회로는 4비트 출력 데이터($I3_{_4bit}$,$I2_{_4bit}$,$I1_{_4bit}$,$IO_{_4bit}$

)를 출력하고, 상기 오류검출코드 생성기는 3비트의 오류검출코드인 4비트 입력 오류검출코드($S2_{_4bit}$,$S1_{_4bit}$,$SO_{_4bit}$)를 생성하되, 상기 4비트 입력 오류검출코드($S2_{_4bit}$,$S1_{_4bit}$,$SO_{_4bit}$)의 중간 비트($S1_{_4bit}$)와 최하위 비트($SO_{_4bit}$)는 상기 4비트 입력 데이터의 하위 세 비트에 대한 3비트 입력 오류검출코드와 동일하게 생성하고, 최상위 비트($S2_{_4bit}$)는 상기 4비트 입력 데이터의 최상위 비트의 논리 부정 값으로 생성하며,

상기 오류검출코드 체크회로는 상기 4비트 출력 데이터($I3_{_4bit}$,$I2_{_4bit}$,$I1_{_4bit}$,$IO_{_4bit}$) 및 상기 4비트 입력 오류검출코드($S2_{_4bit}$,$S1_{_4bit}$,$SO_{_4bit}$) 입력받아, 4비트 입력 오류검출신호($Vout1_{_4bit}$,$Vout0_{_4bit}$)를 출력하는 4비트 입력 오류검출코드 체크회로를 포함하고,

상기 4비트 입력 오류검출코드 체크회로:는 상기 1비트 입력 오류검출코드 체크회로와 동일하고 상기 4비트 출력 데이터($I3_{_4bit}$,$I2_{_4bit}$,$I1_{_4bit}$,$IO_{_4bit}$)의 최상위 비트($I3_{_4bit}$)와 상기 4비트 입력 오류검출코드($S2_{_4bit}$,$S1_{_4bit}$,$SO_{_4bit}$)의 최상위 비트($S2_{_4bit}$)를 입력으로 하여 1비트 입력 오류검출신호($Vout1_{_1bit}$,$Vout0_{_1bit}$)를 출력하는 4비트용 1비트 입력 오류검출코드 체크회로; 및 상기 3비트 입력 오류검출코드 체크회로와 동일하고 상기 4비트 출력 데이터($I3_{_4bit}$,$I2_{_4bit}$,$I1_{_4bit}$,$IO_{_4bit}$))의 하위 세 비트($I2_{_4bit}$,$I1_{_4bit}$,$IO_{_4bit}$)와 상기 4비트 입력 오류검출코드($S2_{_4bit}$,$S1_{_4bit}$,$SO_{_4bit}$)의 하위 두 비트를($S1_{_4bit}$,$SO_{_4bit}$)를 입력으로 하여 3비트 입력 오류검출신호($Vout1_{_3bit}$,$Vout0_{_3bit}$)를 출력하는 4비트용 3비트 입력 오류검출코드 체크회로;를 포함하고,

상기 4비트 입력 오류검출신호($Vout1_{_4bit}$,$Vout0_{_4bit}$)의 상위 비트($Vout1_{_4bit}$)는 상기 1비트 입력 오류검출신호($Vout1_{_1bit}$,$Vout0_{_1bit}$)의 상위 비트($Vout1_{_1bit}$)와 상기 3비트 입력 오류검출신호($Vout1_{_3bit}$,$Vout0_{_3bit}$)의 상위 비트($Vout1_{_3bit}$)를 논리곱한 값으로 출력되고, 상기 4비트 입력 오류검출신호($Vout1_{_4bit}$,$Vout0_{_4bit}$)의 하위 비트($Vout0_{_4bit}$)는 상기 1비트 입력 오류검출신호($Vout1_{_1bit}$,$Vout0_{_1bit}$)의 하위 비트($Vout0_{_1bit}$)와 상기 3비트 입력 오류검출신호($Vout1_{_3bit}$,$Vout0_{_3bit}$)의 하위 비트($Vout0_{_3bit}$)를 논리 곱한 값으로 출력되는 것을 특징으로 하는 오류 검출 장치.

[청구항 12] 제 11 항에 있어서,

상기 이진 입력 데이터가 n비트 입력 데이터일 경우,

상기 연산 처리회로는 n비트 출력 데이터를 출력하고, 상기 오류검출코드 생성기는 상기 이진 입력 데이터를 b비트 입력 데이터와 3비트 입력 데이터 세트로 구분하고, 상기 2비트 입력

오류검출코드, 상기 3비트 입력 오류검출코드 및 상기 4비트 입력 오류검출코드 중, 상기 b비트 입력 데이터에 대한 어느 하나의 입력 오류 검출코드인 b비트 입력 오류검출코드와 상기 3비트 입력 데이터 세트에 대한 3비트 입력 오류검출코드인 3비트 입력 세트 오류검출코드를 조합하여 n비트 입력 오류검출코드를 생성하고,

상기 오류검출코드 체크회로는 상기 n비트 출력 데이터와 상기 n비트 입력 오류검출코드를 입력받아, n비트 입력 오류검출신호($Vout1_{_nbit}$,$Vout0_{_nbit}$)를 출력하는 n비트 입력 오류검출코드 체크회로를 포함하고,

상기 n비트 입력 오류검출코드 체크회로:는 상기 2비트 입력 오류검출코드 체크회로, 상기 3비트 입력 오류검출코드 체크회로 및 상기 4비트 입력 오류검출코드 체크회로 중, 어느 하나의 입력 오류검출코드 체크회로와 동일하고, 상기 n비트 출력 데이터 중, b비트 출력 데이터($Ibbit_{_nbit}$)와 상기 b비트 입력 오류검출코드($Sbbit_{_nbit}$)에 대한 입력 오류검출신호인 b비트 입력 오류검출신호($Vout1_{_bbit}$,$Vout0_{_bbit}$)를 출력하는 b비트 입력 오류검출코드 체크회로; 및 상기 3비트 입력 오류검출코드 체크회로와 동일하고, 상기 n비트 출력 데이터 중, 상기 b비트 출력 데이터($Ibbit_{_nbit}$)를 제외한 3비트 출력 데이터 세트($I3bit_{_nbit}$)와 상기 3비트 입력 세트 오류검출코드($S2bit_{_nbit}$)를 입력으로 하여 3비트 입력 오류검출신호($Vout1_{_3bit}$,$Vout0_{_3bit}$)를 출력하는 n비트용 3비트 입력 세트 오류검출코드 체크회로;를 포함하고,

상기 n비트 입력 오류검출신호($Vout1_{_nbit}$,$Vout0_{_nbit}$)의 상위 비트($Vout1_{_nbit}$)는 상기 b비트 입력 오류검출신호($Vout1_{_bbit}$,$Vout0_{_bbit}$)의 상위 비트($Vout1_{_bbit}$)와 상기 3비트 입력 오류검출신호($Vout1_{_3bit}$,$Vout0_{_3bit}$)의 상위 비트($Vout1_{_3bit}$)를 논리곱한 값으로 출력되고, 상기 n비트 입력 오류검출신호($Vout1_{_nbit}$,$Vout0_{_nbit}$)의 하위 비트($Vout0_{_nbit}$)는 상기 b비트 입력 오류검출신호($Vout1_{_bbit}$,$Vout0_{_bbit}$)의 하위 비트($Vout0_{_bbit}$)와 상기 3비트 입력 오류검출신호($Vout1_{_3bit}$,$Vout0_{_3bit}$)의 하위 비트($Vout0_{_3bit}$)를 논리곱한 값으로 출력되는 것을 특징으로 하는 오류 검출 장치.

[청구항 13] 제 12 항에 있어서,

상기 오류검출코드 생성기는 상기 이진 입력 데이터를 상기 b비트 입력 데이터와 복수 개의 3비트 입력 데이터 세트로 구분하여 상기 각 3비트 입력 데이터 세트에 대해 상기 3비트 입력 세트 오류검출코드를 생성하고,

상기 n비트용 3비트 입력 세트 오류검출코드 체크회로는 상기 3비트 입력 데이터 세트들의 연산결과와 대응하는 각 3비트 출력 데이터 세트와 상기 각 3비트 입력 세트 오류검출코드에 대해 3비트 입력 오류검출신호($Vout1_{_3bit}$,$Vout0_{_3bit}$)를 출력하는 복수 개의 n비트용 3비트 입력 세트 오류검출코드 체크회로로 구성되고,

상기 n비트 입력 오류검출신호($Vout1_{_nbit}$,$Vout0_{_nbit}$)의 상위 비트($Vout1_{_nbit}$)는 상기 b비트 입력 오류검출신호($Vout1_{_bbit}$,$Vout0_{_bbit}$)의 상위 비트($Vout1_{_bbit}$)와 상기 3비트 입력 오류검출신호들($Vout1_{_3bit}$,$Vout0_{_3bit}$)의 상위 비트($Vout1_{_3bit}$)를 논리 곱한 값으로 출력되고, 상기 n비트 입력 오류검출신호($Vout1_{_nbit}$,$Vout0_{_nbit}$)의 하위 비트($Vout0_{_nbit}$)는 상기 b비트 입력 오류검출신호($Vout1_{_bbit}$,$Vout0_{_bbit}$)의 하위 비트($Vout0_{_bbit}$)와 상기 3비트 입력 오류검출신호들($Vout1_{_3bit}$,$Vout0_{_3bit}$)의 하위 비트($Vout0_{_3bit}$)를 논리 곱한 값으로 출력되는 것을 특징으로 하는 오류 검출 장치.

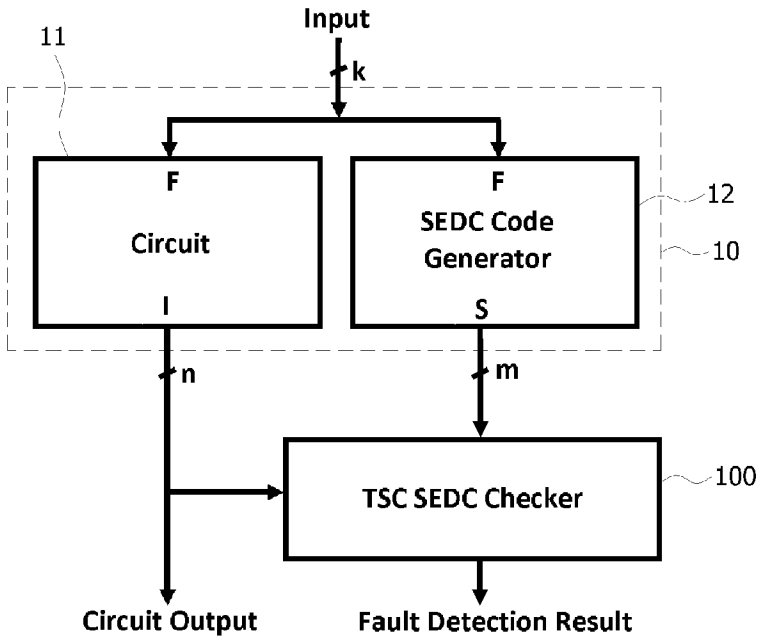
[청구항 14] 제 13 항의 오류 검출 장치와 상기 자가검사 연산처리장치가 구비된 확장형 오류검출코드의 자가검사기능이 구비된 연산 처리 시스템.

[청구항 15] 컴퓨터를 제 13 항의 오류 검출 장치로 기능하게 하는 오류 검출 프로그램이 저장된 컴퓨터로 읽을 수 있는 기록매체.

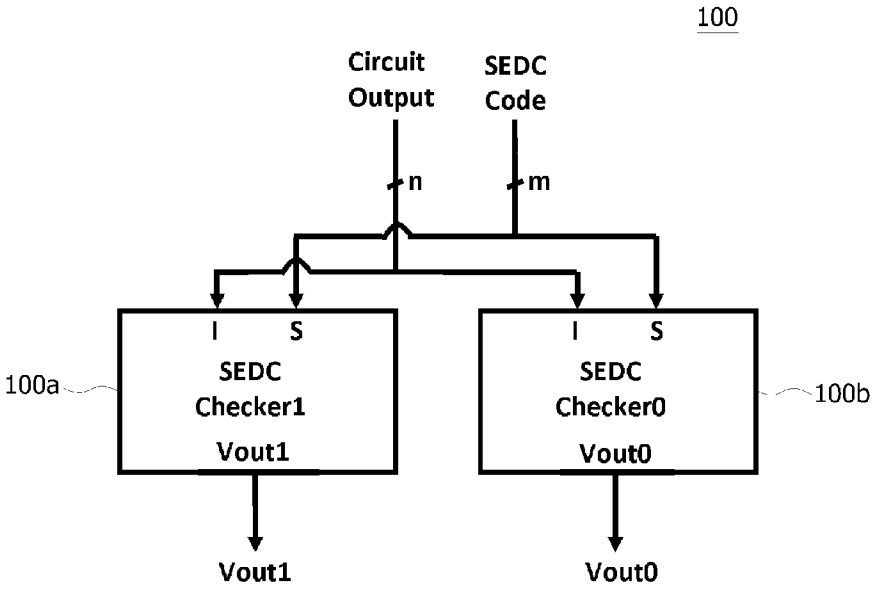
[청구항 16] 제 15 항의 오류 검출 프로그램이 저장되고 통신망을 통해 상기 확장형 오류검출 프로그램을 전송할 수 있는 서버 시스템.

[청구항 17] 제 15 항의 오류 검출 프로그램이 저장되고 상기 오류 검출 프로그램에 의해 상기 오류 검출 장치로 기능하며 온라인으로 상기 자가검사 연산처리장치와의 오류를 검출하는 서버 시스템.

[Fig. 1]



[Fig. 2]

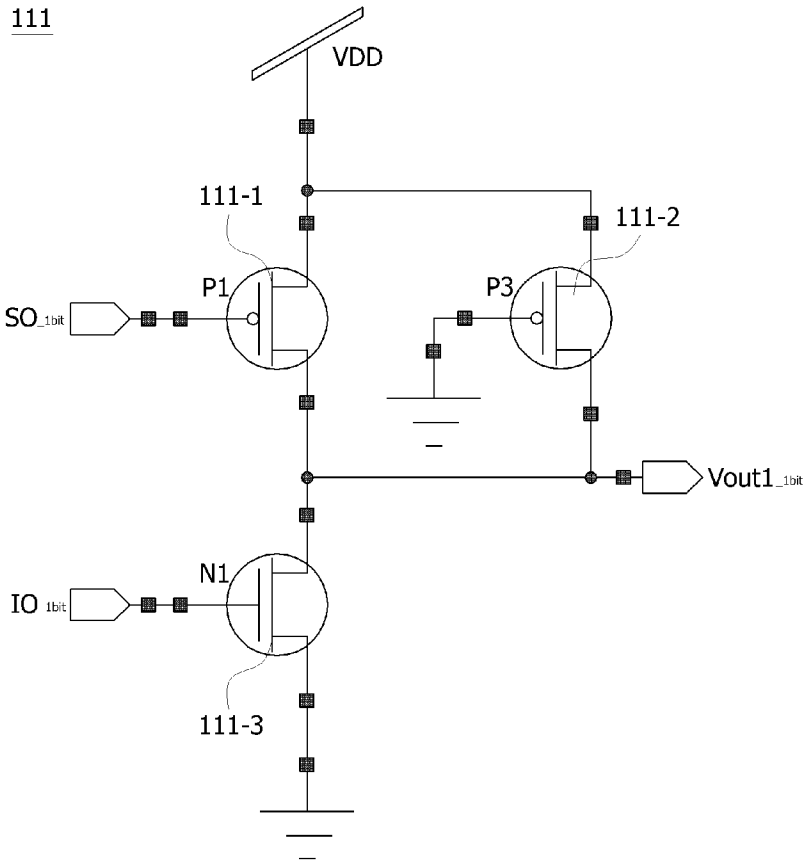


[Fig. 3]

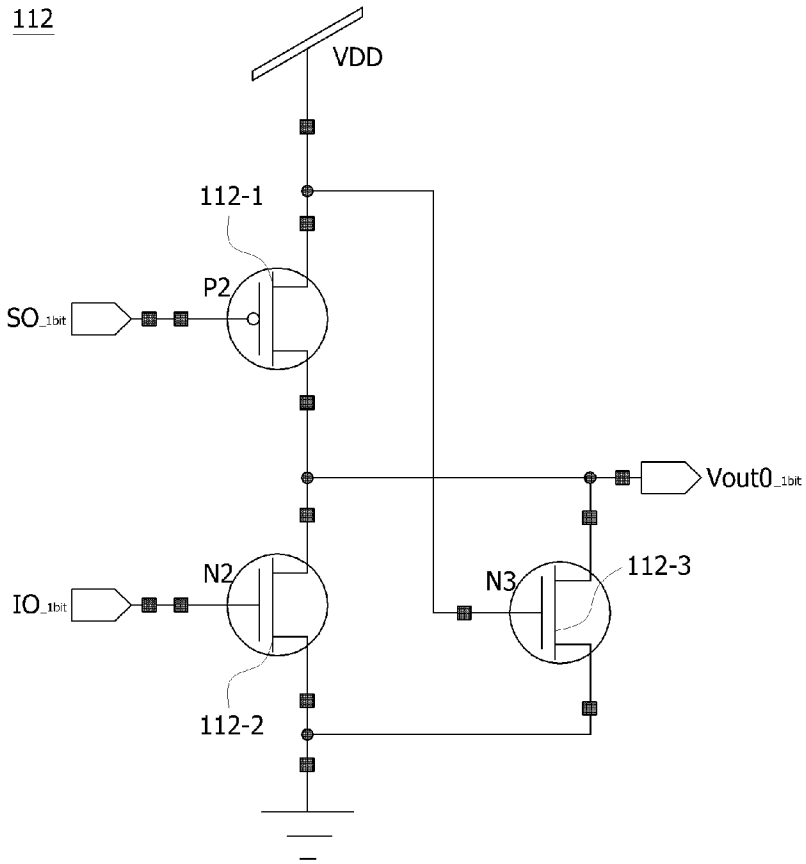
110

$IO_{_1bit}$	$SO_{_1bit}$	$Vout1_{_1bit}$	$Vout0_{_1bit}$
0	0	1	1
0	1	1	0
1	0	1	0
1	1	0	0

[Fig. 4]


111
VDD
111-1
111-2
P1
P3
SO_1bit
Vout1_1bit
N1
IO_1bit
111-3

[Fig. 5]

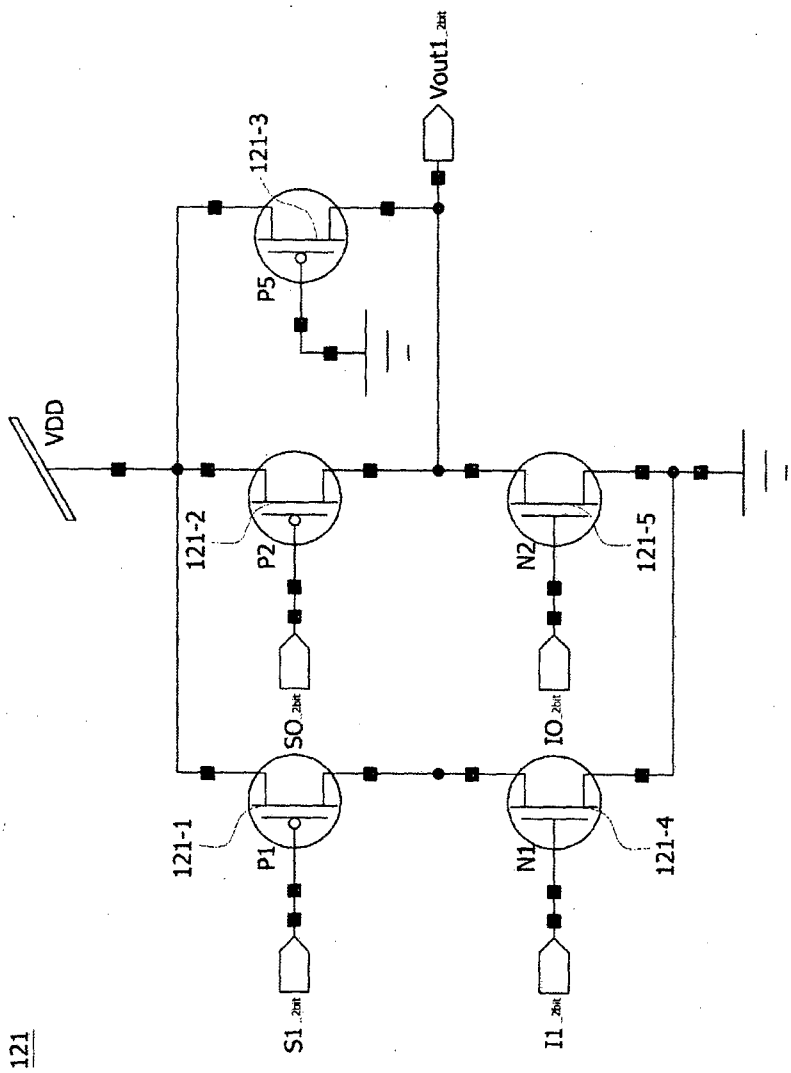

112
VDD
112-1
P2
SO_1bit
Vout0_1bit
N2
N3
112-3
IO_1bit
112-2

[Fig. 6]

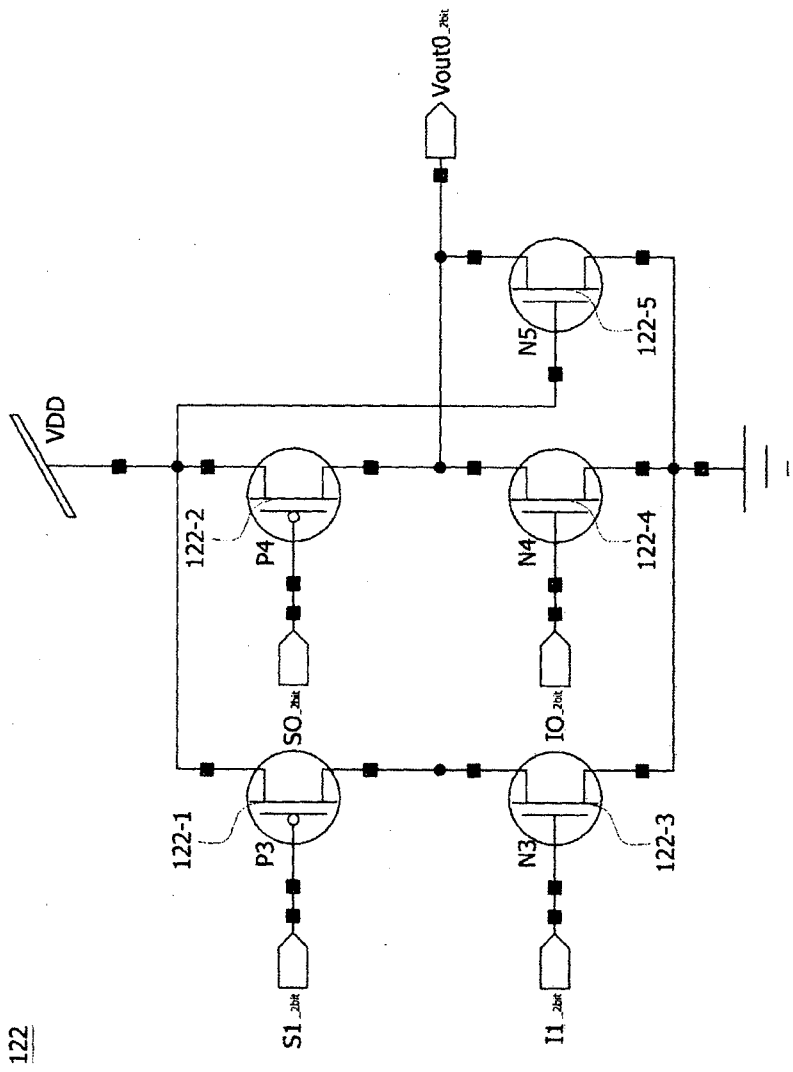
120

$I1_{_2bit}$	$IO_{_2bit}$	$S1_{_2bit}$	$SO_{_2bit}$	$Vout1_{_2bit}$	$Vout0_{_2bit}$
0	0	0	0	1	1
0	0	0	1	1	1
0	0	1	0	1	1
0	0	1	1	1	0
0	1	0	0	1	1
0	1	0	1	1	1
0	1	1	0	1	0
0	1	1	1	0	0
1	0	0	0	1	1
1	0	0	1	1	1
1	0	1	0	1	0
1	0	1	1	0	0
1	1	0	0	1	1
1	1	0	1	1	0
1	1	1	0	0	0
1	1	1	1	0	0

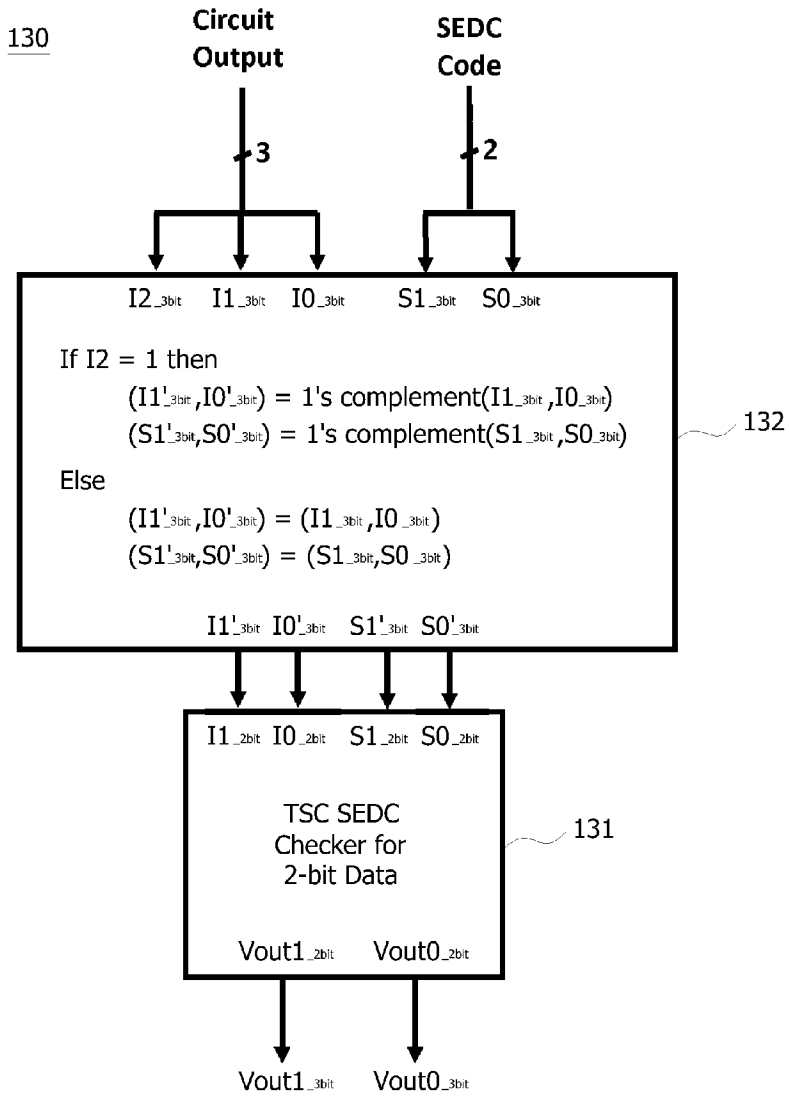
[Fig. 7]


Vout1_2bit
121-3
P5
VDD
121-2
P2
N2
121-5
SO_2bit
IO_2bit
121-1
P1
N1
121-4
S1_2bit
I1_2bit
121

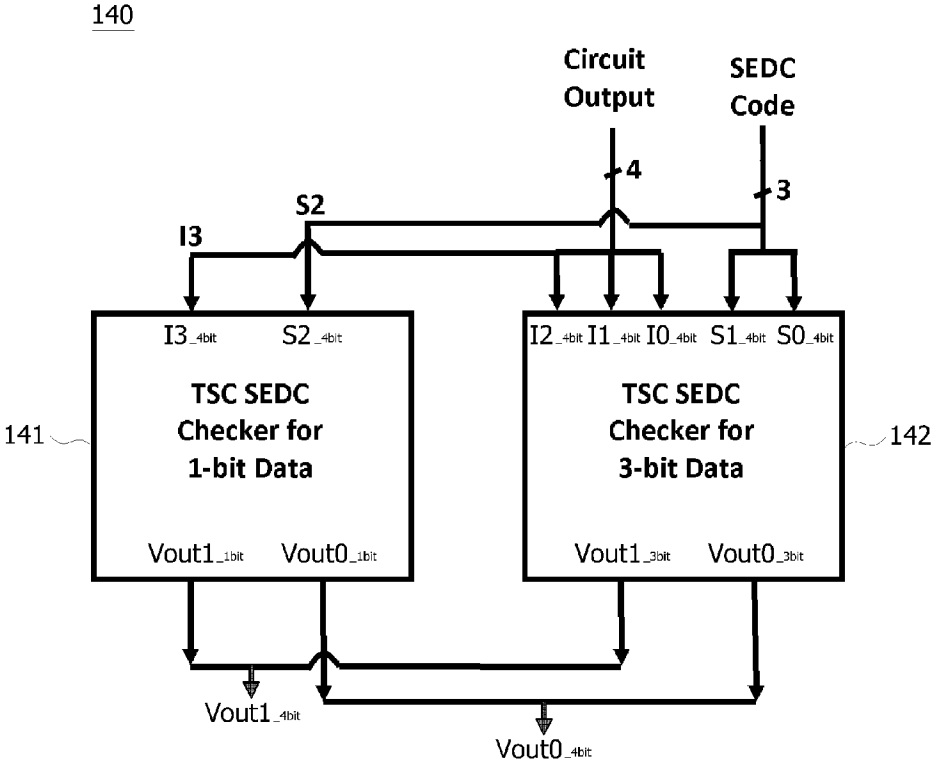
[Fig. 8]


Vout0_2bit
VDD
N5
122-5
122-2
P4
N4
122-4
SO_2bit
IO_2bit
122-1
P3
N3
122-3
S1_2bit
I1_2bit
122

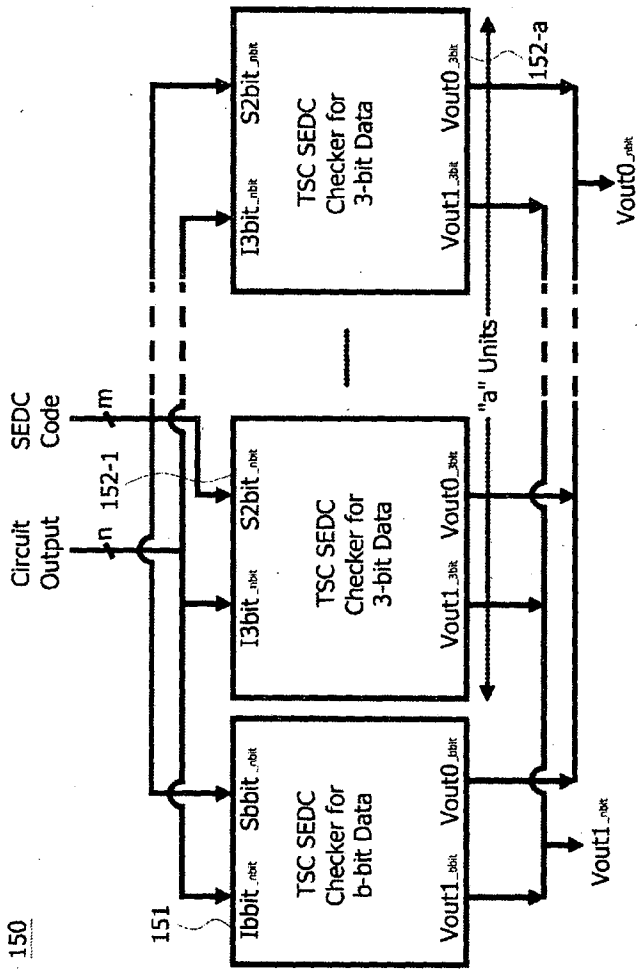
[Fig. 9]


130
Circuit Output
SEDC Code
3
2
I2_3bit I1_3bit I0_3bit S1_3bit S0_3bit
If I2 = 1 then
(I1'_3bit,I0'_3bit) = 1's complement(I1_3bit,I0_3bit)
(S1'_3bit,S0'_3bit) = 1's complement(S1_3bit,S0_3bit)
Else
(I1'_3bit,I0'_3bit) = (I1_3bit,I0_3bit)
(S1'_3bit,S0'_3bit) = (S1_3bit,S0_3bit)
132
I1'_3bit I0'_3bit S1'_3bit S0'_3bit
I1_2bit I0_2bit S1_2bit S0_2bit
TSC SEDC Checker for 2-bit Data
131
Vout1_2bit Vout0_2bit
Vout1_3bit Vout0_3bit

[Fig. 10]


140
Circuit Output
SEDC Code
4
3
S2
I3
I3_4bit S2_4bit
TSC SEDC Checker for 1-bit Data
141
Vout1_1bit Vout0_1bit
I2_4bit I1_4bit I0_4bit S1_4bit S0_4bit
TSC SEDC Checker for 3-bit Data
142
Vout1_3bit Vout0_3bit
Vout1_4bit
Vout0_4bit

[Fig. 11]


150
151
152-1
152-a
Circuit Output
n
SEDC Code
m
Ibbit_nbit
Sbbit_nbit
Vout0_bbit
Vout1_bbit
TSC SEDC Checker for b-bit Data
I3bit_nbit
S2bit_nbit
Vout0_3bit
Vout1_3bit
TSC SEDC Checker for 3-bit Data
"a" Units
Vout0_nbit
Vout1_nbit

INTERNATIONAL SEARCH REPORT

International application No.
PCT/KR2012/001715

A. CLASSIFICATION OF SUBJECT MATTER

G06F 11/26(2006.01)i, G06F 11/10(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: G06F 11/26; H04L 1/00; H03M 13/00; G11B 20/14; G06F 11/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Korean Utility models and applications for Utility models: IPC as above
Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

error detection coding, error detection of error detection code, logical sum

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	KR 10-0292788 B1 (KOREA AEROSPACE RESEARCH INSTITUTE) 15 June 2001 See abstract, claim 1, figures 1-4.	1-2
Y	KR 10-0373333 B1 (ELECTRONICS AND TELECOMMUNICATIONS RESEARCH INSTITUTE et al.) 25 February 2003 See abstract, claim 1.	1-2
A	JP 2009-271965 A (TOSHIBA CORP) 19 November 2009 See abstract, claim 1.	1-17
A	JP 09-069827 A (TOYO COMMUN EQUIP CO LTD) 11 March 1997 See abstract.	1-17

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
12 DECEMBER 2012 (12.12.2012)	**17 DECEMBER 2012 (17.12.2012)**

Name and mailing address of the ISA/KR
Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701, Republic of Korea
Facsimile No. 82-42-472-7140

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/KR2012/001715

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-0292788 B1	15.06.2001	NONE	
KR 10-0373333 B1	25.02.2003	NONE	
JP 2009-271965 A	19.11.2009	CN 101572112 A	04.11.2009
		JP 4399015 B2	13.01.2010
		US 2009-0276688 A1	05.11.2009
		US 7870467 B2	11.01.2011
JP 09-069827 A	11.03.1997	NONE	

국 제 조 사 보 고 서

국제출원번호
PCT/KR2012/001715

A. 발명이 속하는 기술분류(국제특허분류**(IPC)**)

G06F 11/26(2006.01)i, G06F 11/10(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)
IPC : G06F 11/26; H04L 1/00; H03M 13/00; G11B 20/14; G06F 11/00

조사된 기술분야에 속하는 최소문헌 이외의 문헌
한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))
오류검출코드, 오류검출코드에 대한 오류 검출, 논리합

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y	KR 10-0292788 B1 (한국항공우주연구소) 2001.06.15 요약, 청구항 1, 도면 1-4 참조.	1-2
Y	KR 10-0373333 B1 (한국전자통신연구원 외 1명) 2003.02.25 요약, 청구항 1 참조.	1-2
A	JP 2009-271965 A (TOSHIBA CORP) 2009.11.19 요약, 청구항 1 참조.	1-17
A	JP 09-069827 A (TOYO COMMUN EQUIP CO LTD) 1997.03.11 요약 참조.	1-17

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

"A" 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

"E" 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

"L" 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

"O" 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

"P" 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

"T" 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

"X" 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

"Y" 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

"&" 동일한 대응특허문헌에 속하는 문헌

국제조사의 실제 완료일	국제조사보고서 발송일
2012년 12월 12일 (12.12.2012)	**2012년 12월 17일 (17.12.2012)**

ISA/KR의 명칭 및 우편주소
대한민국 특허청
(302-701) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)
팩스 번호 82-42-472-7140

심사관
이정은
전화번호 82-42-481-5391

국 제 조 사 보 고 서
대응특허에 관한 정보

국제출원번호
PCT/KR2012/001715

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-0292788 B1	2001.06.15	없음	
KR 10-0373333 B1	2003.02.25	없음	
JP 2009-271965 A	2009.11.19	CN 101572112 A	2009.11.04
		JP 4399015 B2	2010.01.13
		US 2009-0276688 A1	2009.11.05
		US 7870467 B2	2011.01.11
JP 09-069827 A	1997.03.11	없음	