

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6539992号  
(P6539992)

(45) 発行日 令和1年7月10日(2019.7.10)

(24) 登録日 令和1年6月21日(2019.6.21)

(51) Int.Cl.	F I	
HO 1 L 23/12 (2006.01)	HO 1 L 23/12	N
HO 5 K 1/11 (2006.01)	HO 5 K 1/11	N
HO 1 L 21/3205 (2006.01)	HO 1 L 21/88	J
HO 1 L 21/768 (2006.01)	HO 5 K 3/40	K
HO 1 L 23/522 (2006.01)	HO 5 K 3/46	N

請求項の数 14 (全 17 頁) 最終頁に続く

(21) 出願番号	特願2014-231842 (P2014-231842)	(73) 特許権者	000003193 凸版印刷株式会社 東京都台東区台東1丁目5番1号
(22) 出願日	平成26年11月14日(2014.11.14)	(74) 代理人	110001276 特許業務法人 小笠原特許事務所
(65) 公開番号	特開2016-96262 (P2016-96262A)	(72) 発明者	今吉 孝二 東京都台東区台東1丁目5番1号 凸版印刷株式会社内
(43) 公開日	平成28年5月26日(2016.5.26)	審査官	豊島 洋介
審査請求日	平成29年10月19日(2017.10.19)		

最終頁に続く

(54) 【発明の名称】 配線回路基板、半導体装置、配線回路基板の製造方法、半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項 1】

貫通孔を有する基材と、前記基材上に積層され、且つ導通ビアを形成した絶縁性樹脂層と、前記絶縁性樹脂層上に積層された配線群とを有する配線回路基板であって、

前記貫通孔内に形成される第1の無機密着層と、

前記第1の無機密着層上に第1の導電層を積層することによって形成される中空状の貫通電極と、

金属粉と樹脂材料との混合物を前記貫通電極内に充填することによって形成される穴埋め樹脂と、

前記貫通電極の上下端を被覆する第2の導電層とを備える、配線回路基板

10

【請求項 2】

前記貫通電極と前記第2の導電層との間に設けられる第2の無機密着層と、

前記第2の無機密着層の上に設けられ、ランドと配線とを有する第1の配線群を更に備える、請求項1に記載の配線回路基板。

【請求項 3】

前記第1の配線群を被覆する前記絶縁性樹脂層の熱膨張率が、前記第1の導電層及び前記第2の導電層の形成材料の熱膨張率より高いことを特徴とする、請求項2に記載の配線回路基板。

【請求項 4】

前記穴埋め樹脂の熱伝導率が1 W / m · k 以上であることを特徴とする、請求項1から

20

3のいずれか1項に記載の配線回路基板。

【請求項5】

前記第1の無機密着層が、酸化錫、酸化インジウム、酸化亜鉛、ニッケル、ニッケルリン、クロム、酸化クロム、チッ化アルミ、チッ化銅、酸化アルミ、タンタル、チタン、銅からなる群より選ばれる1種類の材料よりなる単層膜、もしくは、2種類以上の材料よりなる単層膜、または、2種類以上の材料を積層した積層膜であることを特徴とする、請求項1から4のいずれか1項に記載の配線回路基板。

【請求項6】

前記第1の導電層及び前記第2の導電層を形成する導電性材料が、銅、銀、金、ニッケル、白金、パラジウム、ルテニウム、錫、錫銀、錫銀銅、錫銅、錫ビスマス、錫鉛よりなる群から選ばれるいずれかの単体金属、または、二つ以上の化合物であることを特徴とする、請求項1から5のいずれか1項に記載の配線回路基板。

10

【請求項7】

前記穴埋め樹脂が、銅、銀、金、ニッケル、白金、パラジウム、ルテニウム、錫、錫銀、錫銀銅、錫銅、錫ビスマス、錫鉛からなる群より選ばれる少なくとも一つの金属粉と、エポキシ/フェノール系樹脂、ポリイミド樹脂、シクロオレフィン、PBO樹脂からなる群より選ばれるいずれかの樹脂材料との混合物よりなることを特徴とする、請求項1から6のいずれか1項に記載の配線回路基板

【請求項8】

前記絶縁性樹脂層が、エポキシ/フェノール系樹脂、ポリイミド樹脂、シクロオレフィン、PBO樹脂からなる群より選ばれる1種類以上の材料よりなる、請求項1から7のいずれか1項に記載の配線回路基板。

20

【請求項9】

前記基材がガラスからなることを特徴とする、請求項1から8のいずれか1項に記載の配線回路基板。

【請求項10】

請求項1から9のいずれか1項に記載の配線回路基板と、

前記配線回路基板に実装された半導体素子とを備えることを特徴とする、半導体装置。

【請求項11】

配線回路基板の製造方法であって、

基材に貫通孔を形成する工程と、

前記基材の両面と前記貫通孔の内周面とに無機材料からなる第1の無機密着層を形成する工程と、

30

前記第1の無機密着層の上に導電性材料からなる第1の導電層を積層することによって、前記貫通孔内に中空状の貫通電極を形成する工程と、

前記貫通電極内に、金属粉と樹脂材料との混合物よりなる穴埋め樹脂を充填する工程と、

前記基材の両面に積層された前記第1の導電層を肉薄化する工程と、

前記貫通孔内の前記第1の導電層の両端部を覆うように、導電性材料よりなる第2の導電層を形成し、前記貫通電極の上下端を被覆するとともに第1の配線群を形成する工程と

40

前記第1の配線群を被覆する絶縁性樹脂層を形成する工程と、

前記第1の配線群上にある前記絶縁性樹脂層の一部にビア孔を形成する工程と、

前記絶縁性樹脂層上に導電性物質よりなる第2の配線群及び導通ビアを形成する工程とを備える、配線回路基板の製造方法。

【請求項12】

配線回路基板の製造方法であって、

基材に貫通孔を形成する貫通孔形成工程と、

前記基材の両面と前記貫通孔の内周面とに無機材料からなる第1の無機密着層を形成する工程と、

50

前記第 1 の無機密着層の上に導電性材料からなる第 1 の導電層を積層することによって、前記貫通孔内に中空状の貫通電極を形成する工程と、

前記貫通電極内に、金属粉と樹脂材料との混合物よりなる穴埋め樹脂を充填する工程と、

前記基材の両面に積層された前記第 1 の無機密着層及び前記第 1 の導電層を除去する工程と、

前記基材の両面と前記貫通電極上とに無機材料からなる第 2 の無機密着層を形成する工程と、

前記第 2 の無機密着層上に導電性材料からなる第 2 の導電層を形成し、前記貫通電極の上下端を被覆するとともに第 1 の配線群を形成する工程と、

前記第 1 の配線群を被覆する絶縁性樹脂層を形成する工程と、

前記第 1 の配線群上にある前記絶縁性樹脂層の一部にビア孔を形成する工程と、

前記絶縁性樹脂層上に導電性物質よりなる第 2 の配線群及び導通ビアを形成する工程とを備える、配線回路基板の製造方法。

【請求項 1 3】

前記基材がガラスからなること特徴とする、請求項 1 1 または 1 2 に記載の配線回路基板の製造方法。

【請求項 1 4】

半導体装置の製造方法であって、

請求項 1 1 から 1 3 のいずれか 1 項に記載の配線回路基板の製造方法により、配線回路基板を形成する配線回路基板形成工程と、

前記配線回路基板に導通パッドを形成する導通パッド形成工程と、

前記導通パッド上に半導体素子を固定する半導体素子固定工程とを備えることを特徴とする、半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、配線回路基板（インターポージャー）や半導体装置、特に、パッケージ基板と半導体素子との間に介在する配線回路基板や、半導体素子を接続するための配線回路基板を備える半導体装置に関するものである。

【背景技術】

【0002】

従来、ファインピッチの半導体素子をデータボード等の外部基板と接続するために、パッケージ基板が用いられている。パッケージ基板の材料としては、セラミックまたは樹脂が用いられている。

【0003】

ここで、セラミックパッケージ基板は、焼成したメタライズを用いるため、抵抗値が高くなる。さらに、セラミックの誘電率は高く、高周波、高性能の半導体素子を搭載することが難しい。一方、樹脂製パッケージ基板は、めっきによる銅配線を用いるため、配線抵抗を下げるのが可能であり、樹脂の誘電率は低く、高周波、高性能の半導体素子を搭載することが相対的に容易である。

【0004】

ここで、パッケージ基板と半導体素子との間にインターポージャー（配線回路基板）を介在させる技術として、例えば、特許文献 1 ~ 特許文献 4 の技術がある。また、近年では、ハイエンド向けのインターポージャーとして、基板の材質にシリコンやガラスを用いたインターポージャーの研究が活発に行われるようになり、大きな注目が集まっている。

【0005】

基材としてシリコンやガラスを用いたインターポージャーでは、内部に貫通穴を形成し、その貫通穴を導電性物質で充填する TSV (Through-Silicon Via) や、TGV (Through-Glass Via) と呼ばれる技術が用いられることが

10

20

30

40

50

大きな特徴である。この技術により形成された貫通電極は、表裏を最短距離で接続することで配線長が短縮され、信号伝送速度の高速化等、優れた電気特性が期待されている。

【0006】

また、線膨張係数が半導体素子と同等、もしくは、半導体素子に近い値となるため、加熱時の基板寸法変化が小さくなり、より高密度な実装・高密度配線を実現する可能性がある。さらに、貫通電極を採用することで、多ピン並列接続が可能となり、LSI自体を高速化させるが必要無く、優れた電気特性が得られるため、低消費電力化の実現が期待されている。

【0007】

特に、近年では、ガラスを基板の材質として用いたガラスインターポザーに大きな注目が集まっている。また、ガラスインターポザーへの大きな関心の一つとして、低コスト化の実現が挙げられる。それは、シリコンインターポザーが、ウエハサイズでしか製造できないのに対し、ガラスインターポザーは、大型パネルでの大量処理が可能であると考えられており、これまでハイエンド向けのインターポザーで大きな課題とされていた、コストの問題を解決できる可能性があるためである。

10

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特開2001-102479号公報

【特許文献2】特開2002-373962号公報

20

【特許文献3】特開2002-261204号公報

【特許文献4】特開2000-332168号公報

【発明の概要】

【発明が解決しようとする課題】

【0009】

しかしながら、ガラスインターポザーを設計するにあたり、いくつかの克服すべき課題も多い。その課題の一つとして、ガラス基板は熱伝導性が低く、またガラスと密着が得られる導電材料が限られるため、半導体素子の発熱の放熱が不十分となり半導体素子の駆動が阻害されるという問題や、半導体素子とガラスインターポザーの構成材料とのCTE (Coefficient of Thermal Expansion: 熱膨張率) 差により、導通破壊をおこしてしまうという問題がある。また実装時の高温プロセスや信頼性試験の温度サイクル等により、銅等からなる導電層パターンが、ガラス面から剥離してしまうという現象が発生する。

30

【0010】

本発明は、このような問題点を解決しようとするものであり、半導体素子からの発熱を効率的に放熱し、ガラス基板と導電層パターンの密着力を向上することで、十分な信頼性を有することが可能な配線回路基板、半導体装置、配線回路基板の製造方法、半導体装置の製造方法を提供することを目的とする。

【課題を解決するための手段】

【0011】

40

本発明に係る配線回路基板は、貫通孔を有する基材と、基材上に積層され、且つ導通ビアを形成した絶縁性樹脂層と、絶縁性樹脂層上に積層された配線群とを有するものであって、貫通孔内に形成される無機密着層と、無機密着層上に第1の導電層を積層することによって形成される中空状の貫通電極と、金属粉と樹脂材料との混合物を貫通電極内に充填することによって形成される穴埋め樹脂と、貫通電極の上下端を被覆する第2の導電層とを備える。

【0012】

貫通電極と第2の導電層との間に設けられる第2の無機密着層と、第2の無機密着層の上に設けられ、ランドと配線とを有する第1の配線群を更に備えても良い。

【0013】

50

また、第1の配線群を被覆する絶縁性樹脂層の熱膨張率が、第1の導電層及び第2の導電層の形成材料の熱膨張率より高いが好ましい。

【0014】

また、穴埋め樹脂の熱伝導率が $1\text{ W/m}\cdot\text{K}$ 以上であることが好ましい。

【0015】

また、無機密着層が、酸化錫、酸化インジウム、酸化亜鉛、ニッケル、ニッケルリン、クロム、酸化クロム、チッ化アルミ、チッ化銅、酸化アルミ、タンタル、チタン、銅からなる群より選ばれる1種類の材料よりなる単層膜、もしくは、2種類以上の材料よりなる単層膜、または、2種類以上の材料を積層した積層膜であることが好ましい。

【0016】

また、第1の導電層及び第2の導電層を形成する導電性材料が、銅、銀、金、ニッケル、白金、パラジウム、ルテニウム、錫、錫銀、錫銀銅、錫銅、錫ビスマス、錫鉛よりなる群から選ばれるいずれかの単体金属、または、二つ以上の化合物であることが好ましい。

【0017】

また、穴埋め樹脂が、銅、銀、金、ニッケル、白金、パラジウム、ルテニウム、錫、錫銀、錫銀銅、錫銅、錫ビスマス、錫鉛からなる群より選ばれる少なくとも一つの金属粉と、エポキシ/フェノール系樹脂、ポリイミド樹脂、シクロオレフィン、PBO樹脂からなる群より選ばれるいずれかの樹脂材料との混合物よりなることが好ましい。

【0018】

また、絶縁性樹脂層が、エポキシ/フェノール系樹脂、ポリイミド樹脂、シクロオレフィン、PBO樹脂からなる群より選ばれる1種類以上の材料よりなることが好ましい。

【0019】

また、基材がガラスからなることが好ましい。

【0020】

本発明に係る半導体装置は、上記のいずれかの配線回路基板と、配線回路基板に実装された半導体素子とを備える。

【0021】

本発明に係る配線回路基板の製造方法は、基材に貫通孔を形成する工程と、基材の両面と貫通孔の内周面とに無機材料からなる第1の無機密着層を形成する工程と、第1の無機密着層の上に導電性材料からなる第1の導電層を積層することによって、貫通孔内に中空状の貫通電極を形成する工程と、貫通電極内に、金属粉と樹脂材料との混合物よりなる穴埋め樹脂を充填する工程と、基材の両面に積層された第1の導電層を肉薄化する工程と、貫通孔内の第1の導電層の両端部を覆うように、導電性材料よりなる第2の導電層を形成し、貫通電極の上下端を被覆するとともに第1の配線群を形成する工程と、第1の配線群を被覆する絶縁性樹脂層を形成する工程と、第1の配線群上にある絶縁性樹脂層の一部にビア孔を形成する工程と、絶縁性樹脂層上に導電性物質よりなる第2の配線群及び導通ビアを形成する工程とを備える。

【0022】

あるいは、本発明に係る配線回路基板の製造方法は、基材に貫通孔を形成する貫通孔形成工程と、基材の両面と貫通孔の内周面とに無機材料からなる第1の無機密着層を形成する工程と、第1の無機密着層の上に導電性材料からなる第1の導電層を積層することによって、貫通孔内に中空状の貫通電極を形成する工程と、貫通電極内に、金属粉と樹脂材料との混合物よりなる穴埋め樹脂を充填する工程と、基材の両面に積層された第1の無機密着層及び第1の導電層を除去する工程と、基材の両面と貫通電極上とに無機材料からなる第2の無機密着層を形成する工程と、第2の無機密着層上に導電性材料からなる第2の導電層を形成し、貫通電極の上下端を被覆するとともに第1の配線群を形成する工程と、第1の配線群を被覆する絶縁性樹脂層を形成する工程と、第1の配線群上にある絶縁性樹脂層の一部にビア孔を形成する工程と、絶縁性樹脂層上に導電性物質よりなる第2の配線群及び導通ビアを形成する工程とを備えても良い。

【0023】

10

20

30

40

50

上記の配線回路基板の製造方法において、基材がガラスからなることが好ましい。

【0024】

また、本発明に係る半導体装置の製造方法は、上記のいずれかの配線回路基板の製造方法により、配線回路基板を形成する工程と、配線回路基板に導通パッドを形成する工程と、導通パッド上に半導体素子を固定する工程とを備える。

【発明の効果】

【0025】

本発明によれば、半導体素子の発熱を配線回路基板経由で効率よく放熱することで半導体素子の温度上昇を抑え、駆動を安定化することができる。さらに、熱膨張、熱収縮による導電層パターンとの剥離を防止することで十分な信頼性を有することが可能な、配線回路基板、半導体装置、配線回路基板の製造方法、半導体装置の製造方法を提供することが可能となる。

10

【図面の簡単な説明】

【0026】

【図1】本発明の第一実施形態の配線回路基板の構成を示す断面図

【図2】本発明の第一実施形態の半導体装置の構成を示す断面図

【図3】本発明の第一実施形態の配線回路基板の製造方法を示す図

【図4】本発明の第一実施形態の配線回路基板の製造方法を示す図

【図5】本発明の第一実施形態の配線回路基板の製造方法を示す図

【図6】本発明の第一実施形態の配線回路基板の製造方法を示す図

20

【図7】本発明の第一実施形態の配線回路基板の製造方法を示す図

【図8】本発明の第一実施形態の配線回路基板の製造方法を示す図

【図9】本発明の第一実施形態の配線回路基板の製造方法を示す図

【図10】本発明の第二実施形態の配線回路基板の製造方法を示す図

【図11】本発明の第二実施形態の配線回路基板の製造方法を示す図

【図12】本発明の第二実施形態の配線回路基板の製造方法を示す図

【図13】本発明の第二実施形態の印刷回路基板の製造方法を示す図

【図14】本発明の第二実施形態の印刷回路基板の製造方法を示す図

【図15】本発明の第二実施形態の印刷回路基板の製造方法を示す図

【図16】本発明の第二実施形態の印刷回路基板の製造方法を示す図

30

【図17】比較例の印刷回路基板の製造方法を示す図

【図18】比較例の印刷回路基板の製造方法を示す図

【図19】比較例の印刷回路基板の製造方法を示す図

【図20】比較例の印刷回路基板の製造方法を示す図

【図21】比較例の印刷回路基板の製造方法を示す図

【図22】比較例の配線回路基板の製造方法を示す図

【図23】比較例の配線回路基板の製造方法を示す図

【発明を実施するための形態】

【0027】

以下、本発明の実施形態について、図面を参照しつつ説明する。

40

【0028】

(第一実施形態)

以下、本発明の第一実施形態について、図1～9を参照しつつ説明する。

【0029】

(配線回路基板100の構成)

図1に示すように、配線回路基板(ガラスインターポザー)100は、基材1と、貫通電極3と、無機密着層4a及び4bと、導電層5a及び5b(導電層パターン)と、ランド6と、絶縁性樹脂層7と、配線群8と、導通ビア9と、穴埋め樹脂14を備えている。また、貫通電極3として、電気的導通を確保する為の貫通孔と、熱を伝導する為のサーマルビアを形成した。貫通電極3を形成する為の貫通孔13の径は特に規定しないが、サ

50

ーマルビアの径は配線回路基板の設計で許される範囲で大きく形成することが望ましい。

【0030】

基材1は、 $\text{SiO}_2$ を主成分とする、ガラスからなる基板（ガラス基板）であり、貫通孔13を有している。

【0031】

ガラス基板は熱伝導率 $0.55 \sim 0.75 \text{ W/m}\cdot\text{k}$ 、絶縁樹脂は $0.6 \text{ W/m}\cdot\text{k}$ 以下と熱伝導性が低い。導電層5に使用するCuは熱伝導率 $80 \sim 400 \text{ W/m}\cdot\text{k}$ と熱伝導性が低い。本発明の穴埋め樹脂14の熱伝導率は $1 \sim 20 \text{ W/m}\cdot\text{k}$ と絶縁樹脂の2倍から40倍の熱伝導効果が得られる。なお、熱伝導率の測定は、JIS: R1611やR1650-3, H7801に従い、レーザフラッシュ法熱定数測定装置にて測定した値である。

10

【0032】

また、基材1の熱膨張率は、低膨張ガラスで $3 \sim 4 \text{ ppm/}$ 、ソーダガラスで $8 \sim 9 \text{ ppm/}$ であり、製造方法や、Na等の金属成分の添加により、 $3 \sim 9 \text{ ppm/}$ の制御が可能である。なお、熱膨張率は、JIS: R3102やJIS: K7197に従い、TMA（熱機械分析）にて測定した値である。

【0033】

基材1に貫通孔13を形成する方法としては、例えば、 $\text{CO}_2$ レーザーやUVレーザー、ピコ秒レーザーやフェムト秒レーザー、エキシマレーザーや放電加工、感光性ガラスやブラスト加工等を使用可能であり、基材1の厚さや貫通孔13の孔径で選択すれば良い。なお、感光性ガラスは紫外線を照射することで内部に金属コロイドが形成されフッ酸への溶解性が向上する。この非照射部とのガラス分解液への溶解性の差を用いて貫通孔を形成することができる材料である。

20

【0034】

また、無機密着層4a及び4bの材料としては、基材1と導電性材料との密着性が高い材料である、酸化錫、酸化インジウム、酸化亜鉛、ニッケル（熱膨張率： $15 \text{ ppm/}$ ）、ニッケルリン、クロム（熱膨張率： $8 \text{ ppm/}$ ）、酸化クロム、チッ化アルミ、チッ化銅、酸化アルミ、タンタル（熱膨張率： $6 \text{ ppm/}$ ）、チタン（熱膨張率： $9 \text{ ppm/}$ ）、銅（熱膨張率： $16 \text{ ppm/}$ ）等の材料が使用可能である。

【0035】

また、無機密着層4a及び4bは、上記の材料を、単体、または、ITO膜（熱膨張率： $9 \text{ ppm/}$ ）のように、二種類以上の複合材料を単層にて使用する事が可能である。また、無機密着層4は、クロム/銅、チタン/銅のように、二種類以上の複合材料を2層以上の積層膜にて使用することが可能である。

30

【0036】

無機密着層4a及び4bを設けることにより、基材1と、貫通電極3（導電層5a）及び導電層5bとの間の密着力を向上させることが可能となる。これに加え、無機密着層4a及び4bが基材1に比べて熱膨張率が高い事で、貫通電極3（導電層5a）及び導電層5bと基材1との線膨張係数の差によって発生する、層間にかかる応力を低減することが可能となる。

40

【0037】

また、無機密着層4a及び4bの膜厚は特に規定しないが、 $0.1 \mu\text{m}$ 以上 $1 \mu\text{m}$ 以下の範囲内であれば、基材1との密着性と、熱膨張率の差を緩和する効果を得ることが可能である。また、無機密着層4a及び4bの形成方法は特に規定しないが、スパッタ成膜法、無電解めっき法等を用いることが可能である。

【0038】

尚、無機密着層4aが第1の無機密着層に相当し、無機密着層4bが第2の無機密着層に相当する。

【0039】

貫通電極3は、導電性材料で形成されている。貫通電極3は、貫通孔13内の無機密着

50

層4 a上に形成された導電層5 aよりなり、中空形状を有している。貫通電極3を形成する導電性材料としては、例えば、銅、銀、金、ニッケル、白金、パラジウム、ルテニウム、錫、錫銀、錫銀銅、錫銅、錫ビスマス、錫鉛のうちいずれかの単体金属、または、いずれかの単体金属の積層や化合物が使用可能であり、無機密着層4との密着性や、電氣的に接続安定性の高い材料を選定すれば良い。

【0040】

尚、貫通電極3を導電層5 aにより形成する代わりに、無機密着層4を形成した後に、無機密着層4の内部に上述した第1の導電層5 aの形成材料の少なくとも1つの金属粉と樹脂材料との混合物を充填した穴埋め樹脂により形成することも可能である。

【0041】

導電層5 aを形成する方法としては、無電解めっき法や電解めっき法を用いて、コンフォーマルめっき形態で形成すればよい。半導体装置の高密度化により、配線や貫通電極3の径が微細化され、貫通電極3が高アスペクト比になりフィルドめっき形態が不可能な領域が存在する。高アスペクト比の領域ではコンフォーマルめっき形態で貫通電極3を形成すれば良い。また低いアスペクト比の領域はフィルドめっき形態で貫通電極3を形成すれば良い。

【0042】

なお、めっき法で形成するコンフォーマルめっき形態では、貫通孔13の中央にスルーホール状の孔が残っており、この中央のスルーホール状の孔は穴埋め樹脂14をスクリーン印刷法で充填すれば良い。

【0043】

なお、フィルドめっき形態では、基材1の両面に積層される導電層5 a(第1の導電層)の膜厚が厚くなるので、基材1上に微細配線を形成する為に、基材1の両面に積層された導電層5 aを肉薄化すればよい。この際、基材1の表面まで研磨して貫通電極3の上下端を露出させた後、基材1上に無機密着層4 b(第2の無機密着層)と導電層5 b(第2の導電層)を積層し配線群を形成する構成が可能である(図3~9参照)。

【0044】

導電層5 bは、導電性材料で形成されており、無機密着層4 bを介して、基材1の両面に形成されている。導電層5 bを形成する導電性材料としては、例えば、銅、銀、金、ニッケル、白金、パラジウム、ルテニウム、錫、錫銀、錫銀銅、錫銅、錫ビスマス、錫鉛のうちいずれかの単体金属、または、いずれかの単体金属の積層や化合物が使用可能であり、無機密着層4 bとの密着性や、電氣的に接続安定性の高い材料を選定すれば良い。

【0045】

また、導電層5 bを形成する導電性材料としては、例えば、上述した材料のうち少なくとも一つの金属粉と樹脂材料との混合物である導電性ペーストも使用可能である。また、導電層5を形成する方法としては、特に規定しないが、無電解めっき法や電解めっき法を用いることが可能である。

【0046】

ランド6は、導電層5 bを挟んで貫通電極3の上下端ないし貫通電極3より引き回した配線上に形成されている。ランド6の形状は、例えば、基材1の表面と同じ高さで形成する形状や、基材1の表面よりも数ミクロン高く形成する形状とすることが可能である。

【0047】

配線群は、図3~9に示すように、貫通孔13の内部を穴埋め樹脂14で充填した後、基材1の両面に積層された導電層5 bと貫通孔13内に充填した穴埋め樹脂14とを基材1の表面まで研磨除去して貫通電極3の上下端を露出させた後、基材1に無機密着層4 b(第2の無機密着層)と導電層5 b(第2の導電層5)を積層することによって形成することが可能である。配線群を形成する方法は特に規定しないが、導電層5 bを形成した後、配線回路となる部分を感光性レジストにて被覆し、非被覆部分をエッチング除去して形成すれば良い。また、無機密着層4 bを形成した後、感光性レジストにて配線回路となる部分を開口し、開口部に導電層5 bを形成した後、感光性レジストと無機密着層4 bを除

10

20

30

40

50



去して形成すれば良い。

【0048】

絶縁性樹脂層7は、導電層5b上に形成されている。また、絶縁性樹脂層7は、必要な層数が積層されている。なお、絶縁性樹脂層7の層数は、例えば、製品の設計により設定すれば良い。

【0049】

また、絶縁性樹脂層7の材料としては、エポキシ/フェノール系樹脂、ポリイミド樹脂、シクロオレフィン、PBO樹脂のうちいずれか一つの方法、または、少なくとも二つの材料を組み合わせた複合材料を用いることが可能である。この場合、例えば、絶縁性樹脂層7の材料を、熱膨張率が30~100ppm/と導電性材料よりも高く、かつ弾性率

10

【0050】

また、絶縁性樹脂層7の材料としては、例えば、ドライフィルムや液レジが使用可能であり、特に規定するものではない。

【0051】

また、配線群8は、必要な層数が積層されている。なお、配線群8の層数は、例えば、製品の設計により設定すれば良い。配線群8の形成方法は特に規定しないが、無電解めっき、または、スパッタ膜をシード層として、電解めっきにて厚付けし、セミアディティブ法やサブトラクティブ法によりパターン形成する方法を用いてもよい。

20

【0052】

導通ビア9は、絶縁性樹脂層7に形成されており、導電層5と配線群8を、電氣的に接続させている。導通ビア9は、絶縁性樹脂層7に形成したビア孔内に、コンフォーマルめっき等、導電性物質を充填する加工を行って形成する。

【0053】

絶縁性樹脂層7にビア孔を形成する方法は、例えば、絶縁性樹脂層7の材料により選択すれば良く、絶縁性樹脂層7の材料が熱硬化性樹脂であれば、CO<sub>2</sub>レーザーやUVレーザー等を用いた加工により形成可能であり、レーザー加工の後は、レーザー加工で発生したスミアを除去する為にデスミア処理を行えば良い。また、絶縁性樹脂層7の材料が感光性レジストの場合は、フォトリソ法にて形成すれば良い。

30

【0054】

以上により、本実施形態の配線回路基板100は、多層構造の貫通電極付きインターポザーである。また、本実施形態の配線回路基板100であれば、基材1の両面に形成した配線群8の間で、高い導通信頼性を実現することが可能となる。なお、図1に示す絶縁性樹脂層7及び配線群8の必要層数や、導通パッド部の金属層の形状や高さは、一例であり、特に規定するものではない。

【0055】

(半導体装置200の構成)

図2に示すように、半導体装置200は、配線回路基板100と、半導体素子11を備えている。配線回路基板100は、ハンダボール14を用いて、図示しないプリント基板に搭載する。

40

【0056】

半導体素子11は、図示しないハンダボールを用いて、配線回路基板100の片面(図2中では、上側の面)に搭載する。なお、図2に示す半導体素子11の形状や、半導体素子11と配線回路基板100との接続方式は、一例であり、特に規定するものではない。

【0057】

以上により、本実施形態の半導体装置200であれば、接続対象である半導体素子11や配線回路基板100との間で貫通電極3内の穴埋め樹脂14の材料を最適化することで、半導体素子11の発熱を配線回路基板100の貫通電極3を介してプリント基板側への高い放熱効果を得るとともに、実装時の配線群8が基板1からの剥離破断を回避し、高い

50

接続信頼性を実現することが可能となる。

【0058】

(第二実施形態)

以下、本発明の第二実施形態について、図10～16を参照しつつ説明する。

【0059】

本実施形態に係る配線回路基板は、図10～16に示すように、貫通孔13の内部を穴埋め樹脂14で充填した後、第1の導電層5と貫通孔13内に充填した穴埋め樹脂14とを研磨除去して導電層5aを肉薄化した後、基材1に導電層5c(第2の導電層)を積層することによって形成したものである。配線群を形成する方法は特に規定しないが、導電層5cを形成した後、配線回路となる部分を感光性レジストにて被覆し、非被覆部分をエッチング除去して形成すれば良い。尚、導電層5cの形成方法及び形成材料は、上述した導電層5a及び5bと同じである。また、他の各層の形成方法及び形成材料は、第一実施形態と同じであるので、繰り返しの説明を省略する。

10

【実施例】

【0060】

本発明の実施例について、配線回路基板の製造方法と、半導体装置の製造方法を含めて説明する。

【0061】

(実施例1)

以下、実施例1について、図1及び図2を参照しつつ、図3から図9を用いて説明する。

20

【0062】

実施例1に係る配線回路基板100の製造方法は、貫通孔形成工程と、無機密着層形成工程と、導電層・貫通電極形成工程と、ランド形成工程と、絶縁性樹脂層形成工程と、ビア形成工程と、配線群・導通ビア形成工程とを含む。

【0063】

まず、貫通孔形成工程では、図3に示すように、基板1に対し、ピコ秒レーザーにて貫通孔13を形成した。基板1には、厚さが0.3mm、大きさが200mm×200mmの矩形状の低膨張ガラス(熱伝導率:0.7W/m·k)を使用した。貫通孔13として、電気導電性を目的とする穴と、熱の導電を目的とするサーマルビアとを形成し、各々の穴径はTop50μmと100μmとした。

30

【0064】

無機密着層形成工程では、図4に示すように、基材1の表面に、0.05μm厚のスパッタTi膜と、0.2μm厚のスパッタCu膜とを連続して成膜し、基材1の表面と貫通孔13内に、無機密着層4a(第1の無機密着層)を形成した。

【0065】

導電層・貫通電極形成工程では、図5に示すように、導電層5aを形成した。より詳細には、基材1の両面の無機密着層4aの上に、導電性材料を用いて電解銅めっき(熱伝導率:40W/m·k)により導電層5aを形成した。これに加え、貫通孔13内に、コンフォーマル銅めっきにより、貫通孔13内に貫通電極3(導電層5a)を形成した。導電層5aは、6μmの膜厚とした。また、貫通電極3のスルーホール内部には、銀と銅粉と有機樹脂の混合材料からなる導電性ペースト(熱伝導率:10W/m·k)を真空印刷にて充填した後、硬化させることにより、穴埋め樹脂14を形成した。

40

【0066】

ランド形成工程では、まず、図6に示すように、基板1のガラス面をストッパー層としてケミカルポリッシュにて基板1の両面を研磨し、基材1の両面に形成した導電層5aと、無機密着層4aと、貫通孔13から突出した導電性ペースト(穴埋め樹脂14)とを除去した。次に、貫通電極3のスルーホールに充填した穴埋め樹脂14の蓋として機能するめっき(導電層5b)を形成した。より詳細には、基板1の両面に、無機密着層4aと同様に、0.05μm厚のスパッタTi膜と、0.2μm厚のスパッタCu膜とを連続して

50

成膜して、無機密着層 4 b (第 2 の無機密着層) を形成した。セミアディティブ法によりランドパタン部 6 が開口した感光性レジストパターンを形成し、基材 1 に電解銅めっき (導電層 5 b) を厚さ 5  $\mu\text{m}$  で形成した。その後、図 7 に示すように、感光性レジストを剥離し、基材 1 の表面のランドパタン部 6 以外にある無機密着層 4 b の Ti 及び Cu の積層膜をウェットエッチングして、基材 1 に貫通電極 3 を配置したコア基板 10 を形成した。

【 0 0 6 7 】

絶縁性樹脂層形成工程及びビア形成工程では、図 8 に示すように、コア基板 10 の両面にエポキシ系樹脂からなる A B F フィルム (味の素ファインテクノ社製) をラミネートして絶縁性樹脂 7 を形成した。ラミネート後、貫通電極 3 上の絶縁性樹脂層 7 に UV - Y A G レーザーにてビア孔を形成した。ここで、ビア孔の径は、貫通電極 3 の径よりも小径とした。また、UV - Y A G レーザー加工にて生じたビア孔内の塵を、アルカリ水溶液系の処理液でデスマアしてクリーニングした。

10

【 0 0 6 8 】

次に、配線群・導通ビア形成工程において、導通ビア 9 は、絶縁性樹脂 7 に形成したビア孔内をコンフォーマル銅めっきにより充填することにより形成した。配線群 8 は、絶縁性樹脂 7 の上に、シード層として無電解銅めっきを形成し、シード層の上にネガ形レジストにて配線群 8 (図 9 参照) に対応する部分が開口したレジストパターンを形成し、セミアディティブ法により、導電性材料として電解銅めっきを 6  $\mu\text{m}$  厚で形成した後、レジスト及び不要部分のシード層を除去することによって形成した。配線群の L S (ラインスペース) 値は、6  $\mu\text{m}$  とした。

20

【 0 0 6 9 】

その後、必要な配線層数に応じて、図 8 及び図 9 で説明した工程を繰り返し、図 9 に示すように、基材 1 上に、配線群 8 と絶縁性樹脂 7 とが接続され、配線群 8 同士が導通ビア 9 で電氣的に接続された多層配線層を形成した。

【 0 0 7 0 】

また、実施例 1 の半導体装置 200 の製造方法としては、上述した配線回路基板の製造方法で製造された配線回路基板 100 に導通パッド 13 を形成する導通パッド形成工程と、導通パッド上に半導体素子 11 を固定する半導体素子固定工程を含む方法を用いた。

【 0 0 7 1 】

導通パッド形成工程では、基板 1 へ感光性のソルダーレジスト 12 を積層して露光及び現像を行い、Ni / Au めっきにて導通パッド 13 を形成した。

30

【 0 0 7 2 】

半導体素子固定工程では、ハンダにより、導通パッド 13 上に半導体素子 11 を固定した。

【 0 0 7 3 】

なお、実施例 1 では、片面の配線群 8 の層数を 2 層とし、表面の被覆層をソルダーレジスト 12 とし、導通パッド 13 表面の表面処理を Ni / Au としたが、これらの構成は、特に限定するものではない。

【 0 0 7 4 】

(実施例 2)

以下、本発明例 2 について、図 1 及び図 2 と、図 10 から図 16 を用いて説明する。

40

【 0 0 7 5 】

実施例 2 の配線回路基板 100 の製造方法は、貫通孔形成工程と、無機密着層形成工程と、導電層・貫通電極形成工程と、ランド形成工程と、絶縁性樹脂層工程と、ビア形成工程と、配線群・導通ビア形成工程とを含む。

【 0 0 7 6 】

まず、貫通孔形成工程では、図 10 に示すように、基板 1 に対し、ピコ秒レーザーにて貫通孔 13 を形成した。基板 1 は、厚さが 0.3 mm、大きさが 200 mm x 200 mm の矩形状の低膨張ガラス (熱伝導率: 0.7 W / m · k) で形成した。図 10 に示すように、貫通孔 13 として、電気導電性を目的とする穴と、熱の導電を目的とするサーマルビ

50

アとを形成し、各々の穴径は $Top\ 50\ \mu m$  と $100\ \mu m$  とした。

【0077】

次に、無機密着層形成工程では、図11に示すように、基材1の両面に対し、 $0.05\ \mu m$ 厚のスパッタ $Ti-Ni-Cu$ の合金膜と $0.2\ \mu m$ 厚スパッタ $Cu$ 膜とを連続して成膜し、基材1の表面と貫通孔13内に、無機密着層4aを形成した。

【0078】

次に、導電層・貫通電極形成工程では、図12に示すように、導電層5aを形成した。より詳細には、基材1の両面に対し、無機密着層4aの上に、導電性材料を用いて電解銅めっき（熱伝導率： $40\ W/m\cdot k$ ）により導電層5aを形成した。これに加え、貫通孔13内に銅めっきを充填したコンフォーマルめっき構成により、貫通孔13内に貫通電極3（導電層5a）を形成した。導電層5aは、 $8\ \mu m$ の膜厚とした。また、貫通電極3のスルーホール内部には、銀と銅粉と有機樹脂の混合材料からなる導電性ペースト（熱伝導率： $10\ W/m\cdot k$ ）を真空印刷にて充填した後に硬化させ、穴埋め樹脂14を形成した。

10

【0079】

次に、ランド形成工程では、ケミカルポリッシュにて基材1上の積層の厚さが $3\ \mu m$ になるまで研磨して貫通孔13から突出した導電性ペーストを除去した後、図13に示すように、スルーホール部の導電性ペーストの蓋として機能するめっきとして、基材1の表面に電解銅めっきにより導電層5cを厚さ $5\ \mu m$ で形成した。さらに、ランド形成工程では、図14に示すように、貫通電極3の両端にランド6を形成するために、サブトラクティブ法にて、感光性レジストでランド6を被覆したレジストパターンを形成し、基材1の表面のランド6以外の部分の銅めっき（導電層5c）と、無機密着層4bの $Ti-Ni-Cu$ の合金膜とをウエットエッチングして、基材1に貫通電極3を配置したコア基板10を形成した。

20

【0080】

次に、絶縁性樹脂層工程及びビア形成工程では、図15に示すように、コア基板10の両面にポキシ系樹脂からなるABFフィルム（味の素ファインテクノ社製）をラミネートして絶縁樹脂層7を形成した後、貫通電極3上の絶縁性樹脂層7にUV-YAGレーザーにてビア孔を形成した。ビア孔の径は、貫通電極3の径よりも小径とした。また、UV-YAGレーザー加工にて生じたビア孔内の塵を、アルカリ水溶液系の処理液でデスマリアしてクリーニングした。

30

【0081】

次に、配線群・導通ビア形成工程において、導通ビア9は、絶縁性樹脂7に形成したビア孔内をコンフォーマル銅めっきにより充填することにより形成した。配線群8は、絶縁性樹脂7の上に、シード層として無電解銅めっきを形成し、シード層の上にネガ形レジストにて配線群8（図16参照）に対応する部分が開口したレジストパターンを形成し、セミアディティブ法により、導電性材料として電解銅めっきを $8\ \mu m$ 厚で形成した後、レジスト及び不要部分のシード層を除去して、配線群8を形成した。配線群のLS（ラインスペース）値は $10\ \mu m$ とした。

【0082】

また、本発明例2の半導体装置200の製造方法としては、上述した配線回路基板の製造方法で製造された配線回路基板100に導通パッドを形成する導通パッド形成工程と、導通パッド上に半導体素子11を固定する半導体素子固定工程を含む方法を用いた。

40

【0083】

導通パッド形成工程では、基板1へ感光性のソルダーレジスト12を積層して露光及び現像を行い、 $Ni/Au$ めっきにて導通パッド13を形成した。

【0084】

半導体素子固定工程では、ハンダにより、導通パッド13上に半導体素子11を固定した。

【0085】

50

なお、実施例 2 では、片面の配線群 8 の層数を 2 層とし、表面の被覆層をソルダーレジスト 1 2 とし、導通パッド表面の表面処理を Ni / Au としたが、これらの構成は、特に限定するものではない。

【 0 0 8 6 】

( 比較例 1 )

以下、比較例 1 について、図 1 7 から図 2 3 を用いて説明する。

【 0 0 8 7 】

比較例の配線回路基板 1 0 0 を製造する方法では、まず、図 1 7 に示すように、基板 1 に対し、ピコ秒レーザーにて貫通孔 1 3 を形成した。基板 1 は、厚さが 0 . 3 mm、大きさが 2 0 0 mm × 2 0 0 mm の矩形状の低膨張ガラス ( 熱伝導率 : 0 . 7 W / m · k ) で形成した。貫通孔 1 3 として、電気導電性を目的とする穴と、熱の導電を目的とするサーマルビアとを形成し、各々の穴径は T o p 5 0 μ m と 1 0 0 μ m とした。

10

【 0 0 8 8 】

次に、図 1 8 に示すように、基材 1 の両面に対し、スパッタにて、0 . 0 5 μ m 厚の T i 膜と 0 . 2 μ m 厚の C u 膜とを成膜し、基材 1 の表面と貫通孔 1 3 内に無機密着層 4 a を形成した。

次に、図 1 9 に示すように、無機密着層 4 a の上に、導電層 5 a を形成した。より詳細には、導電性材料を用いて電解銅めっき ( 熱伝導率 : 4 0 W / m · k ) により基材 1 の両面に導電層 5 a を形成した。これに加え、貫通孔 1 3 内にコンフォーマル銅めっきにより、貫通孔 1 3 内に貫通電極 3 ( 導電層 5 a ) を形成した。導電層 5 a の膜厚は 6 μ m とした。また、貫通電極 3 のスルーホール内部は、有機樹脂と酸化珪素のフィラーの混合材料からなる穴埋め樹脂 9 4 ( 熱伝導率 : 0 . 6 W / m · k ) を真空印刷にて充填し硬化させた。

20

【 0 0 8 9 】

次に、図 2 0 に示すように、ケミカルポリッシュにて基材 1 上の積層の厚さが 3 μ m になるまで研磨して貫通孔 1 3 から突出した穴埋め樹脂 1 4 を除去した後、スルーホール部の穴埋め樹脂 9 4 の蓋として機能するめっきとして、基材 1 の表面に電解銅めっき ( 導電層 5 c ) を厚さ 5 μ m で形成した。

【 0 0 9 0 】

次に、図 2 1 に示すように、貫通電極 3 と電氣的に導通のとれた配線群 8 を形成するために、感光性レジストで配線群 8 を被覆したレジストパターンを形成し、基材 1 の表面の、配線群 8 以外の銅めっきと無機密着層 4 b の T i , C u スパッタ膜とをウエットエッチングして、基材 1 に導電層 5 と貫通電極 3 を配置したコア基板 1 0 を形成した。

30

【 0 0 9 1 】

次に、図 2 2 に示すように、コア基板 1 0 の両面にエポキシ系樹脂からなる A B F フィルム ( 味の素ファインテクノ社製 ) をラミネートして絶縁性樹脂 7 を形成し、貫通電極 3 上の絶縁性樹脂層 7 に U V - Y A G レーザーにてビア孔を形成した。ここで、ビア孔の径は、貫通電極 3 の径よりも小径とした。また、U V - Y A G レーザー加工にて生じたビア孔内の塵を、アルカリ水溶液系の処理液でデスマリアしてクリーニングした。

【 0 0 9 2 】

次に、コンフォーマルめっきにより導通ビアを形成した。導通ビアの内径は 6 μ m とした。さらに、絶縁性樹脂 7 の上に、シード層として無電解銅めっきを形成し、シード層の上にネガ形レジストにて配線群 8 ( 図 2 3 参照 ) に対応する部分が開口したレジストパターンを形成し、セミアディティブ法により、導電性材料として電解銅めっきを 8 μ m 厚で形成した後、レジスト及び不要部分のシード層を除去して、配線群 8 を形成した。配線群 8 の L S 値は、1 0 μ m とした。

40

【 0 0 9 3 】

また、比較例 1 の半導体装置 2 0 0 の製造方法では、上述した配線回路基板の製造方法で製造された配線回路基板 1 0 0 に対し、基板 1 へ感光性のソルダーレジスト 1 2 を積層して露光及び現像を行い、Ni / Au めっきにて導通パッド 1 3 を形成した。そして、八

50

ンダにより、導通パッド 1 3 上に半導体素子 1 1 を固定した。

【 0 0 9 4 】

( 比較例 2 )

比較例 2 に係る半導体装置は、基板 1 に形成する貫通孔 1 3 を電気導電性を目的とする穴のみとし、サーマルビアを形成しなかったことを除いて、比較例 1 に係る半導体装置と同様に製造した。基板 1 に形成した貫通孔 1 3 の穴径は  $T o p 5 0 \mu m$  とした。

【 0 0 9 5 】

( 比較例 3 )

比較例 3 に係る半導体装置は、無機密着層 4 a を形成しなかったことを除いて、実施例 1 に係る半導体装置と同様に製造した。

10

【 0 0 9 6 】

( 熱伝導性の評価 )

実施例 1 及び 2、並びに、比較例 1 及び 2 で作製した半導体装置を用いて熱伝導性を評価した。熱伝導性は、熱抵抗 ( $R_{j a} [ \text{ } / W ]$  : 半導体部品のジャンクション - 周囲温度間熱抵抗) によって判断した。熱抵抗は、値が高いほど、温度が伝わりにくいことを示す。周囲温度の測定には T 型熱電対 (線径  $0.8 \text{ mm}$  : 銅 - コンスタantan) を使用し、ジャンクション温度の測定にはサーマルチップを使用することとした。サーマルチップ内のダイオードはジャンクション温度を求めるために、抵抗は発熱源として使用した。ジャンクション温度は、温度によるダイオード両端の電圧降下を利用して求めた。

【 0 0 9 7 】

20

表 1 に実施例 1 及び 2 と、比較例 1 及び 2 に係る半導体装置を用いて測定した熱抵抗の値を示す。

【表 1】

	熱抵抗 $R_{j a} (\text{ } / W)$
実施例 1、実施例 2 (サーマルビア有)	1 0 0
比較例 1 (サーマルビア有)	1 4 0
比較例 2 (サーマルビア無)	1 8 0

【 0 0 9 8 】

30

表 1 に示すように、実施例 1 及び 2 に係る半導体装置の熱抵抗値は、比較例 1 及び 2 のいずれの半導体装置の熱抵抗より低い値となった。したがって、貫通電極 3 の内の第 1 の導電層 5 の内側を、熱伝導性を有する穴埋め樹脂 1 4 にて充填し、貫通電極 3 の上下端を第 2 の導電層で覆うことで、配線回路基板 1 0 0 が、半導体素子 1 1 からの熱を基板 1 の配線群と貫通電極 3 とを介して熱伝導により放熱できることが確認された。また、貫通電極 3 内部を熱伝導率の高い穴埋め樹脂 1 4 で充填することにより、比較例 1 に比べ熱低効率が約 3 割向上することが確認された。

【 0 0 9 9 】

比較例 1 に係る半導体装置には、熱伝導を目的とするサーマルビアが形成されているが、サーマルビア内に充填された穴埋め樹脂 9 4 の熱伝導率が低く、この熱伝導率の低い穴埋め樹脂 9 4 がサーマルビアの体積の約 7 割を占めていることから、実施例 1 及び 2 に比べて、放熱性が低いことが確認された。比較例 2 に係る半導体装置には、サーマルビアが形成されていないため、放熱性が低いことが確認された。

40

【 0 1 0 0 】

実施例 1 及び 2、比較例 1 及び 2 では、無機密着層 4 を形成し導電層 5 を形成することで、低膨張ガラスからなる基板 1 と高い密着性を実現した。しかし、無機密着層 4 a を形成しなかった比較例 3 の場合には、基板 1 への導電層の密着が得られず、配線回路基板を得ることができなかった。

【 0 1 0 1 】

また、本実施例 1 により、基板 1 表面の第 1 の導電層を除去し、第 2 の無機密着層と第

50

2の導電層5を形成することで基板1の直上の導電層の厚みの制御が容易で、且つ、穴埋め樹脂14の表面とともに基板1と導電層5の密着性の高い配線回路基板100を得ることが可能であることを確認した。

【0102】

また、本実施例2により、基板1表面の第1の導電層を薄肉化し、第2の導電層5を形成することで、第2の無機密着層の形成工程を省略でき、且つ薄肉化した第1の導電層と第2の導電層の密着性が高く、且つ、穴埋め樹脂14の表面と第2の導電層の密着性の高い配線回路基板100を得ることが可能であることを確認した。

【0103】

以上説明したように、本発明によれば、半導体素子11の発熱を、配線回路基板100の貫通電極3を介してプリント基板に放熱することが可能であり、かつ、基板1からの導電層5の剥離を防止することが可能であるとともに、十分な信頼性を有する配線回路基板100及び半導体装置200を提供することが可能であることを確認した。

10

【産業上の利用可能性】

【0104】

本発明は、パッケージ基板と半導体素子との間に介在する配線回路基板や、半導体素子を接続するための配線回路基板を備える半導体装置に利用可能である。

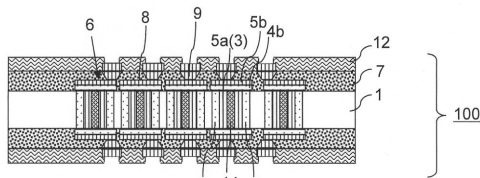
【符号の説明】

【0105】

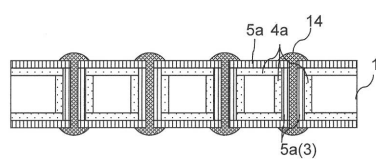
1...基材、2...電解銅めっき、3...貫通電極、4a...無機密着層(第1の無機密着層)、4b...無機密着層(第2の無機密着層)、5a...導電層(第1の導電層)、5b...導電層(第2の導電層)、5c...導電層(第2の導電層)6...ランド、7...絶縁性樹脂層、8...配線群、9...導通ビア、10...コア基板、11...半導体素子、12...ソルダーレジスト、13...貫通孔、14...穴埋め樹脂、100...配線回路基板、200...半導体装置

20

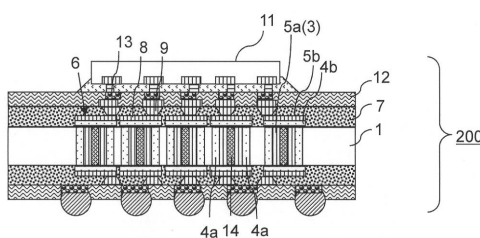
【図1】



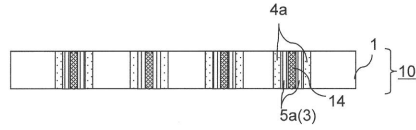
【図5】



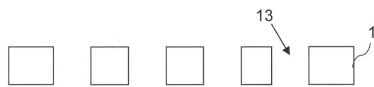
【図2】



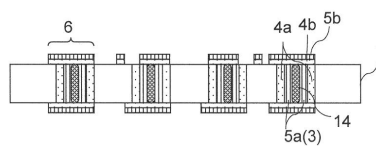
【図6】



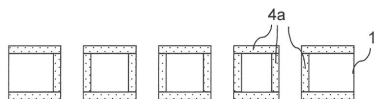
【図3】



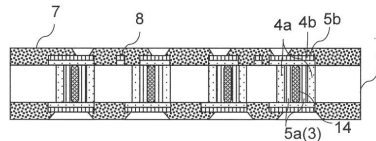
【図7】



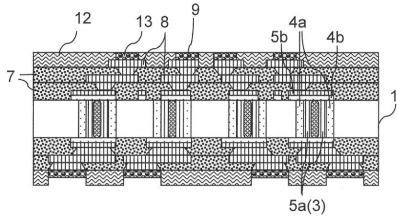
【図4】



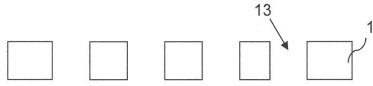
【図8】



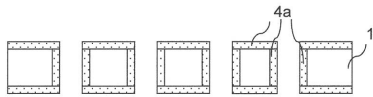
【図 9】



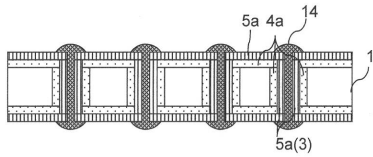
【図 10】



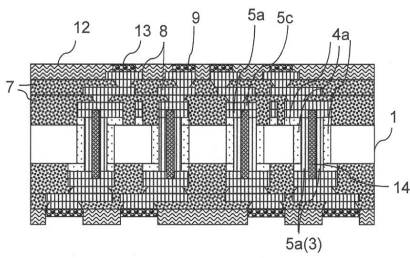
【図 11】



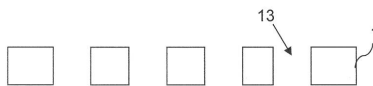
【図 12】



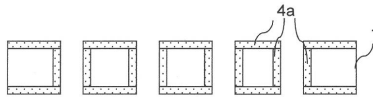
【図 16】



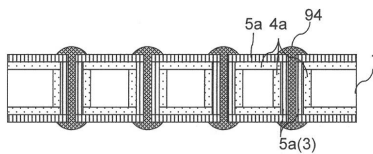
【図 17】



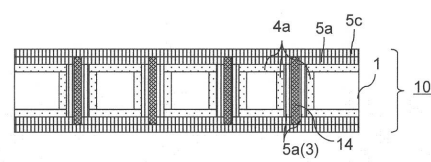
【図 18】



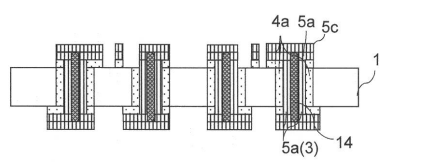
【図 19】



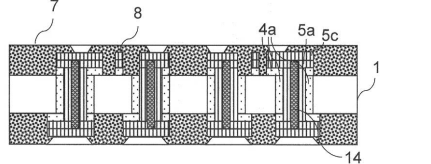
【図 13】



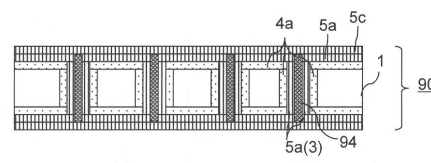
【図 14】



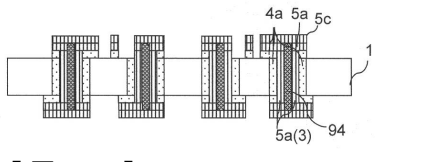
【図 15】



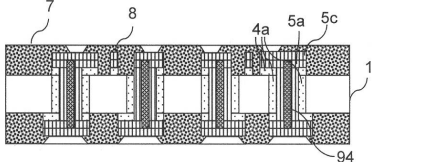
【図 20】



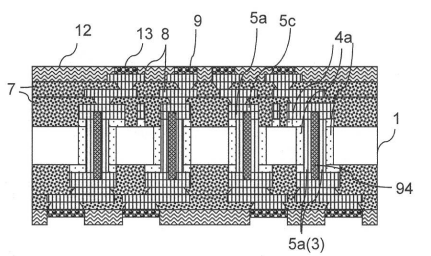
【図 21】



【図 22】



【図 23】





## フロントページの続き

(51) Int.Cl. F I

H 0 5 K 3/40 (2006.01)

H 0 5 K 3/46 (2006.01)

(56) 参考文献 特表 2 0 1 3 - 5 2 1 6 6 3 ( J P , A )  
特開 2 0 0 8 - 2 0 5 3 5 6 ( J P , A )  
特開 2 0 1 2 - 1 1 4 4 0 0 ( J P , A )  
特開 2 0 0 7 - 0 5 9 4 5 2 ( J P , A )  
特開 2 0 0 6 - 2 1 6 7 1 1 ( J P , A )  
米国特許出願公開第 2 0 1 1 / 0 1 4 7 0 5 5 ( U S , A 1 )  
米国特許出願公開第 2 0 1 4 / 0 1 4 4 6 8 1 ( U S , A 1 )

(58) 調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 3 2 0 5 - 2 1 / 3 2 1 3  
2 1 / 7 6 8  
2 3 / 1 2 - 2 3 / 1 5  
2 3 / 3 2  
2 3 / 5 2 2  
2 3 / 5 3 2  
H 0 5 K 1 / 1 1  
3 / 4 0 - 3 / 4 2  
3 / 4 6