

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl.⁶
H01J 9/20

(45) 공고일자 2003년10월17일
(11) 등록번호 10-0394530
(24) 등록일자 2003년07월31일

(21) 출원번호 10-1997-0075172
(22) 출원일자 1997년12월27일

(65) 공개번호 특1998-0064752
(43) 공개일자 1998년10월07일

(30) 우선권주장 96-350127 1996년12월27일 일본(JP)
96-350128 1996년12월27일 일본(JP)
97-088514 1997년04월07일 일본(JP)
97-088515 1997년04월07일 일본(JP)
97-360957 1997년12월26일 일본(JP)

(73) 특허권자 캐논 가부시끼가이샤
일본 도쿄도 오오따꾸 시모마루코 3쵸메 30방 2고

(72) 발명자 구로다 가즈오
일본 도쿄도 오오따꾸 시모마루코 3쵸메 30방 2고캐논가부시끼가이샤 내

다카기 히로시
일본 도쿄도 오오따꾸 시모마루코 3쵸메 30방 2고캐논가부시끼가이샤 내

오사토 요이찌
일본 도쿄도 오오따꾸 시모마루코 3쵸메 30방 2고캐논가부시끼가이샤 내

오구리 노리아끼
일본 도쿄도 오오따꾸 시모마루코 3쵸메 30방 2고캐논가부시끼가이샤 내

오카무라 요시마사
일본 도쿄도 오오따꾸 시모마루코 3쵸메 30방 2고캐논가부시끼가이샤 내

구사카 다카오
일본 도쿄도 오오따꾸 시모마루코 3쵸메 30방 2고캐논가부시끼가이샤 내

(74) 대리인 구영창
장수길
주성민

심사관 : 제승호

(54) 전하-감소막,화상형성장치및이들을제조하는방법

요약

퍼니스(furnace)의 전기 전하에 의하여 야기되는 전자빔의 편차를 방지하기 위하여 전자 방출 소자를 포함하는 진공 용기 내에서 표면의 코팅용으로 전하-감소막(charge-reducing film)이 사용된다. 전하 감소막은 하나 이상의 천이 금속과, 알루미늄, 실리콘 및 보론으로부터 선택된 적어도 하나의 원소를 함유하는 질소 화합물을 포함한다. 전하 감소막에는 산화물 막이 배열될 수 있다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 하나의 스페이서(spacer) 및 자신의 주변을 도시하는 본 발명에 따른 화상-형성 장치의 실시예의 개략적인 부분 단면도.

도 2는 표시 패널(display panel)의 부분을 절단함으로써 내부를 도시하는 본 발명에 따른 화상-형성 장치의 개략적인 투시도.

도 3은 본 발명에 따른 스페이서의 개략적인 단면도.

도 4a 및 4b는 본 발명에 따른 화상-형성 장치의 표시 패널의 면판(face plate)의 형광 부재의 평면도 또는 두가지 선택적인 배열을 도시하는 도면.

도 5a 및 5b는 본 발명에 따른 화상-형성 장치의 다중 전자 빔 소오스의 기판(substrate)의 평면도 및 단면도.

도 6a, 6b, 6c, 6d 및 6e는 다른 제조 단계를 도시하는 본 발명에 따른 화상-형성 장치에서 사용되는 평면 형 표면 전도 전자-방출 소자의 개략적인 단면도.

도 7은 본 발명에 따른 화상-형성 장치에 대해 형성되는 전자 빔 소오스로 인가될 수 있는 펄스 전압을 도시하는 그래프.

도 8a 및 8b는 본 발명의 목적을 위해 통전 활성화(energization activation)를 위해 사용될 수 있는 펄스 전압의 두가지 선택적인 파형을 도시하는 그래프.

도 9는 본 발명에 따른 화상-형성 장치에 사용되는 스텝-형 표면 전도 전자-방출 소자의 개략적인 단면도.

도 10은 본 발명의 목적을 달성하기 위해 사용될 수 있는 표면-전도 전자-방출 소자의 전류-전압 특성을 도시하는 그래프.

도 11은 본 발명의 목적을 달성하기 위해 사용될 수 있는 간단한 매트릭스 배선 배열.

도 12는 본 발명의 목적을 달성하기 위해 간단한 매트릭스 배선 배열로 사용될 수 있는 플랫폼-형 표면-전도 전자-방출 소자의 개략적인 단면도.

도 13은 본 발명의 목적을 달성하기 위해 사용될 수 있는 알루미늄-천이 금속 질화물 막의 특정 저항의 조성물 (M:천이 금속/A1) 의존도를 도시하는 그래프.

도 14는 스퍼터링(sputtering) 시스템의 개략적인 블록도.

도 15는 본 발명에 따른 다수의 미소 전자원을 포함하는 표시 장치의 개략적인 단면도.

도 16a 및 16b는 본 발명의 목적을 달성하기 위해 사용될 수 있는 두가지 선택적인 스페이서(spacer) 형의 개략적인 투시도.

도 17은 본 발명에 따른 아래에서 설명되는 임의 실시예에서 표시를 제조하는 공정 동안 관찰되는 스페이서의 저항 변화를 도시하는 그래프.

도 18은 본 발명에 따라 이하에서 설명되는 몇가지 다른 실시예에서 표시를 제조하는 공정 동안 관찰되는 스페이서의 저항의 변화를 도시하는 그래프.

도 19는 스페이서 및 스페이서의 주변을 도시하는, 본 발명에 따른 전자-방출 장치를 포함하는 화상-형성 장치의 개략적인 단면도.

<도면의 주요 부분에 대한 부호의 설명>

1: 전자 방출 소자

2: 배면판

5: 형광막

7: 면판

10: 스페이서

10a: 절연 기판

14, 15: 전극 소자

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 전자-방출 소자(electron-emitting devices)를 포함하는 용기에 사용되는 전하-감소막(charge-reducing film), 전자-방출 소자, 화상-형성 부재(image-forming member), 및 스페이서(spacers)를 포함하는 화상-형성 장치(image-forming apparatus)에 관한 것이다.

평판 패널 표시부(flat panel displays)는 공간을 줄이고 가볍기 때문에 주의를 끌고 있으며, 이 때문에 장래에는 CRT 표시부를 교체할 것으로 기대된다. 현 재 사용될 수 있는 평판 패널 표시부는 액정 표시(liquid crystal display)형, 플라즈마 방출(plasma emission)형 및 다중 전자원(multiple electron sources)을 사용하는 형을 포함한다. 플라즈마 방출형 및 다중 전자원형은 큰 가시각(large visual angle)을 제공하고 CRT 표시부에 의해 표시되는 화상에 비해 고 품질의 화상을 표시할 수 있다.

첨부되는 도면 중 도 15는 다수의 미세한 전자원을 포함하는 표시 장치의 개략적인 단면도를 도시한다. 표시 장치는 유리 배면판(52:glass rear plate)상에 형성되는 전자원(51), 형광 부재(55)가 배열되는 유리 면판(glass face plate)(54), 및 상기 배면판 및 면판을 지지하고 내부에서 진공 상태를 유지하는 표시부에 대한 엔벨로프(envelope)를 제공하기 위해 배면판 및 면판의 외주에 완벽하게 접착된(airtightly bonded) 지지 프레임(53)을 포함한다. 전자원은 전형적으로 전자의 필드 방출에 적합한 원뿔 또는 바늘형 팁(conical or needle-like tip)을 가지는 필드 방출형 전자 방출 소자와 같은 많은 냉음극 형(cold cathode type) 전자 방출 소자 또는 표면-전도 전자-방출 소자를 포함하는데, 이들 장치가 제한된 표면 영역 내에 매우 높은 밀도로 배열될 수 있기 때문이다. 그러나, 상기 표시부가 대규모 표시 스크린을 가지는 경우, 상기 배면판 및 면판은 외부 대기압과 엔벨로프 내부 진공간의 압력 차를 견디도록 아주 두껍게 만들어져야 한다. 이러한 표시부는 매우 무겁고, 동시에 표시 스크린에 대해 비스듬히 보는 경우 왜곡된 화상이 보여질 수 있다. 그러므로, 표시부의 유리 판이 상대적으로 얇은 경우 엔벨로프의 외부 및 내부 사이의 압력을 견디도록 하기 위하여 스페이서(spacers) 또는 리브(rib)로 언급되며, 배면판 및 면판 사이에 배열되도록 설계된 여러가지 지지 구조물이 제안되었다. 전자원들이 배열된 배면판 및 상부에 형광성 부재들을 실장하고 있는 면판은 전형적으로 일 밀리미터 보다 작은 간격 내지 수 밀리미터의 간격 만큼 분리되어 있으며, 상기 엔벨로프의 내부는 승압된 정도의 진공 상태로 유지된다.

그 후, 전자원으로부터 방출된 전자를 가속하기 위하여 애노드(anode)(메탈백(metal back))(도시되지 않음)를 통해 전자원 및 형광 부재 사이에 100 볼트 만큼의 높은 전압이 인가된다. 바꿔말하면, 1kv/mm 보다 더 강한 전계가 형광 부재 및 전자원 사이에 인가되어, 스페이서가 사용되는 경우, 스페이서의 일부분에 전기 방전이 일어날 수 있다. 또한, 상기 스페이서들은 이들에 가깝게 위치한 전자원으로부터 방출된 전자들이 스페이서들에 충돌하여, 가능하다면 부분적으로, 스페이서들에 부착하는 방출된 전자들에 의해 양이온화 되어 전기적으로 충전될 수 있다. 그 후, 전기적으로 충전된 스페이서들은 전자원으로부터 방출된 가까운 전자들의 진로를 다른 방위로 돌려, 이 전자들이 형광 부재의 각각의 타겟(target)에 이르지 못하도록 하여, 시청자가 앞 유리 판 뒤에 있는 표시 스크린 상에 왜곡된 화상을 보도록 할 것이다.

스페이서를 통하여 약한 전류가 흐르도록 하여 스페이서들의 전기 전하를 제거하기 위한 기술 (일본국 특허 공보, 제 57-118355 및 61-124031)이 제안되어 왔다. 이러한 공지된 기술에 따르면, 고 저항 박막이 각각의 절연 스페이서의 표면 상에 형성되어 약한 전류가 상기 표면상을 통해 흐를 수 있다. 이러한 전하-감소 막은 전형적으로 주석 산화물(tin oxide), 주석 산화물의 결정체 및 인듐 산화물(indium oxide) 또는 금속으로 이루어져 있다.

주석 산화물 박막은 산소와 같은 가스 상태의 물질에 매우 민감하여 가스 센서들에 자주 사용된다. 즉, 주석 산화물이 대기에 노출되면 자신의 전기 저항을 변화시킬 수 있다. 또한, 상기 언급된 물질 중 임의의 것으로 이루어진 박막은 낮은 저항 특성을 보여주며, 따라서, 전하-감소막 층이 전기적으로 높은 저항을 가지도록 하기 위해서, 상기 막 층은 아일랜드(islands)로 형성되어 지거나 아주 얇게 만들어질 수 있어야 한다.

요약하면, 공지의 전기적으로 높은 저항성 막을 형성하는 기술은 플리트 유리(frit glass)에 의해 엔벨로프를 밀봉(sealing)하는 단계 및 표시부를 굽는 단계(또는 표시부의 엔벨로프 내부를 진공 상태로 하면서 표시부를 가열하는 단계)와 같이 열을 사용하여 표시부를 제조하는 몇몇 단계에서 특히 일어나는 불충분한 재생성 및 박막 저항의 유동성을 포함하는 단점을 가지고 있다.

발명이 이루고자 하는 기술적 과제

상기 확인된 문제점을 고려하여, 전자-방출 소자를 포함하는 용기의 전기적 충전을 감소시키는데 적합한 전하-감소막을 제공하는 것이 본 발명의 주요한 목적이다. 본 발명의 또 다른 목적은 열적으로(thermally) 안정한 충전 감소막을 제공하는 것이다.

본 발명의 또 다른 목적은 방출된 전자에 대한 전기 전하의 역 효과(adverse effect)를 최소화할 수 있는 전하-감소막을 제공하는 것이다.

본 발명의 또 다른 목적은 여기에서의 전기 전하를 감소하는데 적합한 스페이서를 포함하는 화상-형성 장치를 제공하는 것이다.

본 발명의 또 다른 목적은 열적으로 안정한 이러한 스페이서를 포함하는 화상-형성 장치를 제공하는 것이다.

본 발명의 또 다른 목적은 방출된 전자에 대한 전기 전하의 역 효과 및 화상-형성 부재로 향하는 방출된 전자의 진행 방위의 전환(diversion)을 최소화 하는데 적합한 화상-형성 부재 및 스페이서를 포함하는 화상-형성 장치를 제공하는 것이다.

본 발명의 일 양태에 따르면, 천이 금속(transition metal) 및 알루미늄, 실리콘, 또는 보론(boron)을 포함하는 질소 화합물을 포함함으로써 특징지워지는 전하-감소막이 제공된다.

본 발명의 또 다른 양태에 따르면, 천이 금속 및 알루미늄, 실리콘, 또는 보론을 포함하는 질소 화합물로 구성됨으로써 특징지어지는 전하-감소막이 제공되며, 상기 알루미늄, 실리콘 또는 보론의 질화비(nitride ratio)가 적어도 60%이다.

본 발명의 또 다른 양태에 따르면, 천이 금속 및 알루미늄, 실리콘, 또는 보론을 포함하는 질소 화합물로 이루어진 막 및 상기 표면에 배열된 산화물 층을 포함함으로써 특징지어지는 전하-감소막이 제공된다.

본 발명의 또 다른 양태에 따르면, 천이 금속 및 알루미늄, 실리콘 또는 보론을 포함하는 질소 화합물로 이루어진 막을 포함하고, 상기 알루미늄, 실리콘 또는 보론의 질화물 비가 적어도 60%이며, 산화물 층이 상기 표면에 배열됨으로써 특징지어지는 전하-감소막이 제공된다.

본 발명의 또 다른 양태에 따르면, 전자-방출 소자, 화상-형성 부재, 및 엔벨로프 내에 배열된 스페이서를 포함하는 화상 형성 장치가 제공되며, 상기 각각의 스페이서들은 기판(substrate) 및 기판 위에 형성된 상기 정의된 임의의 전하-감소막을 포함하는 것을 특징으로 한다.

본 발명의 또 다른 양태에 따르면, 전자-방출 소자, 화상-형성 부재 및 스페이서를 포함하는 화상 형성 장치를 제조하는 방법이 제공되며, 상기에서 정의된 임의의 전하-감소막을 사용하여 기판을 코팅(coating)함으로써 스페이서를 준비하는 단계, 상기 스페이서, 전자-방출 소자, 및 화상-형성 부재를 엔벨로프 내에 배열하는 단계, 그 후 상기 엔벨로프를 밀봉하여(hermetically sealing) 필요시 상기 엔벨로프 내의 대기를 비-산화(non-oxidizing) 상태로 유지하는 단계를 포함하는 것을 특징으로 한다.

발명의 구성 및 작용

본 발명에 따른 전하-감소막이 전자-방출 소자를 포함하는 화상-형성 장치에 사용되기 위한 스페이서에 사용되는 실시예에 관하여 아래에서 기술되지만, 이러한 막은 또한, 방출된 전자의 전하-유도 역 효과(charge-induced adverse effect) 및 앞에서 기술된 바와 같은 열을 사용하는 이러한 장치의 제조 단계에 기인하여 전하-감소막 자신의 성능에 있어서의 변동(fluctuations) 또한 감소시키기 위해 화상-형성 장치의 경우에서와 같은 전자-방출 소자를 포함하는 장치의 용기 및/또는 용기의 내부 면에 배열된 소정의 물체의 표면에 또한 사용될 수 있다.

전하-감소막은 전기 전도성 막이며, 절연 기판을 코팅하기 위해 사용되는 경우, 이 막은 절연 기판의 표면에 적층된 전기 전하를 제거할 수 있다. 일반적으로, 전하-감소막의 표면 저항 (시트 저항 R_s)이 $10^{12} \Omega$ 을 초과하지 않는 것이 바람직하다. 전하-감소막의 표면 저항은 만족스러운 전하-감소 효과를 제공하기 위해 $10^{11} \Omega$ 보다 작은 것이 보다 바람직하다. 즉, 저항이 낮으면 낮을수록, 전하-감소 효과는 더 크다.

전하-감소막이 표시 장치의 스페이서에 사용되는 경우, 전자-축소 및 전력 절감의 관점에서, 요구되는 허용 범위가 상기 스페이서의 표면 저항 R_s 로 지정된다. 특히, 시트 저항(sheet resistance)의 한계는 전력 절감의 관점에서 낮게 정해진다. 저항이 낮을수록, 상기 스페이서에 축적된 전기 전하는 더 빨리 제거되거나 상기 스페이서의 전력 소모는 더 커질 것이다. 낮은 고유 저항(specific resistance)을 갖는 금속 막이 전하-감소막으로 사용되는 경우, 요구되는 표면 저항 R_s 를 얻기 위해 금속 막은 매우 얇게 만들어져야 하기 때문에, 바람직하게는, 낮게 특정된 저항을 가지는 금속 막에 비례하여 반도체 막이 스페이서용으로 사용된다. 일반적으로, 10nm보다 적은 두께를 가지는 박막은 아일랜드(islands)를 만들어, 상기 박막의 표면 에너지, 상기 박막과 상기 기판 사이의 접촉 및 상기 기판의 온도에 따라 상기 막의 전기 저항을 불안정하게 하고 막의 재생성을 불안정하게 한다.

따라서, 임의의 전기 전도성 금속 보다는 높으나 임의의 절연 물질 보다는 낮은 특정한 저항을 가지는 반도체 물질을 선택하는 것이 바람직하다. 그러나, 대개 이러한 물질은 부정 저항 온도 계수(negative temperature coefficient of resistance)를 가진다. 부정 저항 온도 계수를 가지는 물질로 이루어진 전하-감소막이 스페이서 상에 배열되는 경우, 많은 양의 열의 발생 및 급격한 온도 상승의 결과로 온도의 급등(thermal runaway)이 일어날 때까지 스페이서 표면에서 소모되는 전력에 기인하여 자신의 온도가 상승함에 따라, 상기 전하-감소막은 자신의 저항이 점차 약해져서 대규모의 전류가 그것을 통하여 흐르도록 한다. 그러나, 열 발생 또는 전력 소모 및 열 방전의 균형이 잘 잡혀있는 경우, 이러한 온도 급등은 거의 일어나지 않는다. 또한, 전하-감소막을 이루는 물질의 저항 온도 계수 (TCR)의 절대값이 작은 경우 온도 급등은 쉽게 일어날 수 없다.

상기 스페이서가 -1%의 TCR을 가지는 전하-감소막으로 코팅된 경우, 평방 센티미터당 전력 소모율이 약 0.1W를 초과할때 스페이서를 통해 연속적으로 흐르는 전류가 증가하여 온도 급등을 야기한다는 것이 일련의 실험 결과에 의해 확인되었다. 이러한 온도 급등의 발생이 상기 스페이서의 프로파일(profile)에 의존하는 반면, 상기 스페이서에 인가된 전압 V_a 및 전하-감소막의 저항 온도 계수, 평방 센티미터당 전력 소모율이 0.1W를 초과하지 않는 R_s 값은 상기 필요 조건에 따르면 적어도 $10 \times V_a^2 / h^2 \Omega$ 일 것이며, 여기에서 $h(\text{cm})$ 는 표시 장치의 경우 면판 및 배면판인, 스페이서에 의해 분리된 부재 사이의 간격이다.

이와 같이, 평판 패널 표시부 일 수 있는 화상-형성 장치의 경우에 h 는 전형적으로 1cm보다 크지 않다는 사실을 고려하여, 스페이서에 배열된 전하-감소막의 시트 저항 R_s 는 $10 \times V_a^2 \Omega$ 내지 $10^{11} \Omega$ 의 범위에 있는 것이 바람직하다.

상기 기술된 절연 기판 상에 형성된 전하-감소막은 적어도 10nm의 두께를 가지는 것이 바람직하다. 상기 막이 $1 \mu\text{m}$ 를 초과하는 두께를 가지는 경우, 상기 막은 큰 응력(stress)을 보이며, 상기 기판으로부터 쉽게 떨어질 수 있다. 게다가, 이러한 두꺼운 막은 긴 막 형성 시간을 필요로 하기 때문에, 취약한 생산성을 제공한다. 상기 막 두께는 바람직하게는 10nm 내지 $1 \mu\text{m}$ 사이이며, 보다 바람직하게는 20nm 내지 500nm이다.

본 발명의 목적을 위해 상기 언급된 값들 R_s 및 t 를 고려하면, 시트 저항 R_s 및 막 두께 t 의 적산값(product)인 전하-감소막의 고유 저항 ρ 는 $10^{-7} \times V_a^2 \Omega\text{m}$ 내지 $10^5 \Omega\text{m}$ 의 범위에 있는 것이 바람직하다. 상기 기술된 시트 저항

및 막 두께에 대한 바람직한 값을 실현하기 위해서, ρ 는 $(2 \times 10^{-7}) \times V_a^2 \Omega m$ 내지 $5 \times 10^{-4} \Omega m$ 의 범위에 있는 것보다 바람직하다.

본 발명에 따른 표시 장치에서 전자를 가속하기 위한 가속 전압 V_a 는 적어도 100V이다. 본 발명에 따른 평판 패널 표시가 고속 전자에 적합하고 CRT에 통상 사용되는 것들에 유사한 형광 부재(fluorescent members)를 포함하는 경우, 충분한 수준의 휘도를 보장하기 위해 1kV 또는 그 이상의 고 전압이 필요하다.

$V_a = 1kV$ 의 조건하에서, 전하-감소막의 특정한 저항의 바람직한 범위는 $0.1 \Omega m$ 내지 $10^{-5} \Omega m$ 이다.

본 발명에 따른 전하-감소막에 적절히 사용될 수 있는 물질을 찾기 위한 집중적인 연구 결과, 본 발명의 발명자들은 전하-감소막이 천이 금속 및 알루미늄을 포함하는 질소 화합물, 천이 금속 및 실리콘을 포함하는 질소 화합물 또는 천이 금속 및 보론으로 이루어진 질소 화합물로 만들어진 경우, 전하-감소막 기능을 아주 잘 수행한다는 사실을 발견했다. 본 발명의 목적을 달성하기 위한 천이 금속은 Ti, V, Cr, Mn, Fe, Co, Ni, Cu, Zr, Nb, Mo, Hf, Ta, 및 W 중에서 선택된다. 선택적으로, 천이 금속들 중 두 개 또는 그 이상의 것들이 결합을 위해 사용될 수 있다.

천이 금속 또는 질화물은 뛰어난 전기 전도체이며, 알루미늄 질화물(ALN), 실리콘 질화물(Si_3N_4) 및 보론 질화물(BN)은 절연체이다. 이와 같이, 본 발명의 목적을 달성하기 위해 상기 기술된 임의의 질소 화합물로 이루어진 전하-감소막의 고유 저항은, 천이 금속의 함유량을 제어함으로써, 전도체의 고유 저항값 내지 절연체의 고유 저항값 사이의 적절한 값으로 적응될 수 있다. 즉, 상기 막의 천이 금속 함유량에 대한 적절한 값을 선택함으로써, 요구되는 값은 상기 스페이서에 대한 전하-감소막의 고유 저항값으로 실현될 수 있다.

알루미늄 및 Cr, Ti 또는 Ta를 함유하는 질소 화합물은, 도 13에 도시된 바와 같이 자신의 금속 함유비(천이 금속 M/알루미늄 Al)의 함수로서 자신의 고유 저항을 변화시킨다. 요구되는 고유 저항을 생성할 수 있는 알루미늄 함유량에 대한 천이 금속 함유량의 비는, 천이 금속이 Cr인 경우 5at% 내지 18at%이며, 천이 금속이 Ti인 경우 24at% 내지 40at%이며, 천이 금속이 Ta인 경우는 36at% 내지 50at%이다. 상기 비는 천이 금속이 Mo(Mo/Al)인 경우 3at% 내지 18at%이며, 천이 금속이 W(W/Al)인 경우 3 내지 20at%이다.

바꿔 말하면, 실리콘 및 천이 금속을 포함하는 질소 화합물의 경우에, 실리콘 함유량에 대한 천이 금속 함유량의 비는, 천이 금속이 Cr인 경우 7at% 내지 40at%이며, 천이 금속이 Ta인 경우 36at% 내지 80at%이며, 천이 금속이 Ti인 경우 28at% 내지 67at%이다. 보론 및 천이 금속을 포함하는 질소 화합물의 경우에, 보론 함유량에 대한 천이 금속 함유량의 비는, 천이 금속이 Cr인 경우 20at% 내지 60at%이며, 천이 금속이 Ta인 경우 40at% 내지 120at%이며, 천이 금속이 Ti인 경우 30at% 내지 80at%이다.

천이 금속 및 알루미늄, 실리콘 또는 보론을 포함하는 질소 화합물로 이루어진 전하-감소막은, 아래에서 기술되는 바와 같이 자신의 전기 저항을 거의 변화시키지 않고 안정되게 작동시키기 때문에, 화상-형성 장치를 제조하는데 아주 적합하다는 것이 밝혀졌다. 저항의 온도 계수가 부(negative)의 값을 나타낼지라도 이 계수의 절대값이 1at%보다 크지 않기 때문에, 그러한 물질은 열 폭주할 가능성이 가장 적다. 또한, 그러한 질소 화합물이 낮은 비율의 2차 전자 방출을 나타내고, 그래서 전자빔을 사용하는 표시 장치에 적합하게 사용할 수 있도록 전자로 조사된다면 전기적으로 충전되기 쉽지 않게 된다.

천이 금속과 알루미늄, 본 발명을 위한 전하 감소막으로 사용되는 실리콘이 나 보론을 포함하는 질소 화합물은 스퍼터링, 리액티브 스퍼터링, 전자빔 증착(electron beam evaporation), 이온 플레이팅, 이온-원조 증착(ion-assisted evaporation) 및 CVD로부터 선택된 적당한 박막 형성 기술에 의하여 절연 물질에 형성될 수 있다. 만일, 스퍼터링이 사용되면, 알루미늄, 실리콘 또는 보론과 천이금속의 타겟은 스퍼터링된 금속 원자들을 질화하는 질소 또는 암모니아 중의 어느 하나를 함유함으로써, 천이금속과 알루미늄, 실리콘 또는 보론을 함유하는 질소 화합물을 발생하는 개스 상태의 환경에서 스퍼터링된다. 함유량이 조절되어 왔던 천이 금속과 알루미늄의 합금, 실리콘 또는 보론이 타겟용으로 선택적으로 사용될 수 있다. 질소 화합물막의 질소 함유량은 개스 압력, 질소 부분 압력, 막 형성 비율을 포함하는 스퍼터링의 조건에 따라 변동될 수 있는 반면에, 인헨스된 수준으로 질소를 함유하는 막은 본 발명을 위해 안정하게 동작한다.

질화물의 전기 저항은 질화막의 질소 농도와 막에서의 결함(defects)에 의해 좌우되는 반면에, 이러한 결함에 기인한 전기 전도도는 열을 사용하는 것을 포함하고 있는 제조 단계 과정에서 이러한 결함이 제거됨에 따라 감소하게 된다. 그러므로, 충분히 질화되었고 많은 결함을 가지고 있지 않은 막은 본 발명을 위해 적절하게 동작할 것이다. 전하 절연막이 알루미늄, 실리콘 또는 보론의 질화물로 만들어지고, 전기전도도가 그 막이 함유하고 있는 천이금속 요소에 의해 제공되기 때문에, 본 발명에 따른 스페이서로 사용되는 전하 감소막이 안정된다. 바람직하게는, 본 발명을 위해 사용되는 질소 화합물에 포함되어 있는 알루미늄, 실리콘 또는 보론 원자들이 60at% 이상 포함된 것이 질화물 형태가 된다. 특히, 실리콘이 사용되는 경우 실리콘 원자가 실리콘 질화물의 형태로 65% 이상 함유되고, 알루미늄 또는 보론 원자가 알루미늄 또는 보론 형태로 70% 이상 함유되는 것이 알루미늄 또는 보론이 사용되는 경우 바람직하다.

밀봉하는 단계에서와 같이, 장치를 제조하는 과정에서 고온이고 산화를 야기하는 환경에 막이 노출될 수 있더라도, 본 발명의 목적을 위해, 스페이서의 표면상의 질소 화합물막이 바람직하게는 산화되지 않는 대기 환경에서 화상 형성 장치가 제조된다. 화학량론적인 비율보다 적은 비율로 질소를 함유하고 있는 질화물이 산화되기 쉽고, 본 발명의 목적을 위해 사용되는 질소 화합물막이 다결정인 반면에, 더 좋은 결정 방위를 가진 막이 덜 산화되는 경향이 있다는 것을 유의해야 한다. 스페이서의 전기 전하에 영향을 주는 스페이서의 S. E. E 수율은 수십 나노메타 만큼 스페이서의 표면을 덮는 물질에 의해 주로 제어된다. 따라서, 스페이서를 포함하고 있는 화상 표시 장치의 제조 과정에서 표면이 산화된 스페이서는 스페이서의 2차 전자 방출율이 산화의 결과에 따라 높아지기 때문에, 불량한 전하 감소 효과를 나타낸다. 그러므로, 산화층을 형성하는 경향이 덜하여 만족할 만한 수준의 질화 또는 우수한 수준의 결정 방위를 나타내는 질화물이 바람직하게는 본 발명의 스페이서용으로 사용된다.

전형적으로는 기판에 부 바이어스 전압을 가함으로써, 높게 여기된 질소 이온으로 박막 표면을 조사하기 위해 선택된 어떤 조건 하에서, 전형적으로는 기판에 네가티브 바이어스를 가함으로써, 질화물의 질소 함유량(질화 정도)은 높아질 수 있다. 높아진 질소 함유량을 가진 박막이 개선된 전하 감소 효과를 나타내도록 하는 조건하에서 결정 방위는 개선되기 쉽다. 본 발명의 목적을 위해, 질화 정도는 원소의 질화된 원자들의 농도에 대한 알루미늄, 실리콘 또는 보론 원자들의 농도의 비율에 의해 표현되는데, 이 비율은 XPS(X-선 광전 스펙트로메타)에 의해 결정된다. Ar 이온 스퍼터링에 의해 질화막의 표면층을 제거한 후 질화막을 XPS 분석을 하면, 천이금속이 알루미늄 질화물, 실리콘 질화물 또는 보론 질화물 속의 금속 또는 질화물로서 존재함을 것을 알 수 있다.

산화된 표면층이 낮은 비율에서만 2차 전자를 방출하거나 또는 막의 표면이 낮은 비율의 2차 전자 방출을 하는 물질에 의해 덮혀 있다는 가정하에, 질화막의 표면이 산화된다면 본 발명의 전하 감소막은 만족스럽게 동작할 것이다. 본 발명의 발명자들은 처음으로 크롬 산화물과 같은 낮은 2차 전자 방출 물질의 산화물을 사용하는 가능성을 연구하여, 하부층으로서 천이금속과 알루미늄, 실리콘 또는 보론을 포함하는 질소 화합물층과, 그 상부에 배열된 산화물층을 포함하는 전하 감소막이 전기 전하 감소를 위해 우수하게 동작한다는 사실을 발견하였다. 따라서, 바람직한 모드에서는 도 3에 나타난 바와 같이, 본 발명에 따른 전하 감소막은 절연 기판(10a)과, 천이금속과 알루미늄, 실리콘 또는 보론을 함유하는 질소 화합물층(10c)과, 산화물막(10d)를 포함한다.

달리 표현하면, 본 발명의 발명자들은 하부층으로서 천이금속 및 알루미늄, 실리콘 또는 보론을 포함하는 질소 화합물층과, 이 상부에 배열된 산화물층을 포함하는 스페이서를 위해 사용되는 전하 감소막을 만드는 것에 성공하였다. 이러한 전하 감소막은 고유 저항을 위해 용이하게 제어될 수 있고, 산화시키는 환경에서 행하여지는 플리트 유리(frit glass)에 의해 엔벨로프를 밀봉하는 단계와 같이, 열을 사용하는 것에 관련된 제조 공정 중에 이 막의 전기 저항은 변하지 않는다.

만일, 본 발명에 따른 전하 감소막이 위에서 기재된 질소 화합물만으로 만들어지고, 엔벨로프가 플리트 유리에 의해 밀봉 실링된다면, 바람직하게는 밀봉 단계에서 산화시키는 환경에서 막이 가열되고 나서, 산화가 되지 않는 환경에서 보다 높은 온도까지 가열된다. 산화가 되지 않는 환경에서의 이러한 밀봉 동작은 질소 화합물층의 표면에서의 산화를 방지 (또는 감소)하는데 필요하다. 이와는 달리, 플리트를 이용하는 밀봉 단계가 바인더(binder)를 몰아내기(drive off) 위해 산화시키는 환경에서 수행되어야 하는 반면에, 이러한 밀봉 단계는 산화시키지 않는 환경을 이용하는 것이 필요하지 않기 때문에, 스페이서용으로 질소 화합물막상에 산화물막층이 형성될 때에, 간단한 방식으로 간편하게 실행될 수 있다.

천이금속과 알루미늄, 실리콘 또는 보론을 함유하는 산소 화합물막도 또한 효과적으로 사용될 수 있더라도, 본 발명의 목적을 위한 전하 감소막용으로 바람직하게 사용되는 산화물은 낮은 비율의 2차 전자 방출을 나타내는 천이금속의 산화물로서 크롬 산화물, 구리 산화물 및 니켈 산화물을 포함한다. 이러한 산소 화합물막은 상술한 바와 같은 질소 산화물막을 산화시킴으로서 얻을 수 있다. 질소 화합물막의 산화가 전형적으로는 산화시키는 환경에서 행하여지는 반면에, 질소 화합물막은 이러한 산화막으로 코팅된 스페이서를 사용함으로써 화상 형성 장치를 제조하기 전에 산화막을 형성하기 위해 대기에서 선택적으로 가열될 수 있다. 또한, 서택적으로, 화상 형성 장치가 제조되는 동안에 산화가 실행될 수 있다. 산화물층의 두께는 가열하는 온도와 가열하는 시간에 따라 좌우된다. 산소 화합물막은 질소 화합물막의 합금 함유량과 동일한 정도까지 구성 요소의 합금을 포함할 수 있는 반면에, 이 전하 감소막이 포함하는 천이금속의 함유량이 이 막의 표면 근처로 증가한다. 전하 감소막의 전하 감소 효과는 더 커질 것이다. 이것은 천이금속의 산화물이 알루미늄 산화물보다 낮은 특정한 저항을 나타내거나 또는 상대적으로 낮은 비율의 2차 전자 방출을 나타내기 때문이다.

전하 감소막층(10c 및 10d)의 전체 저항은 실제로는 질소 화합물막의 저항으로 정의된다. 산화물막의 저항이 이 막이 위치하는 환경에 크게 좌우 받기 때문에, 산화물막의 두께는 이 산화물막의 저항이 전하 감소막의 전체 저항의 반을 초과하도록 결정되어야 한다. 전자원(electron source)으로부터 방출되는 전자의 경로의 방향이 바뀌어 교란(disturbed)되지 않도록, 면판과 배면판 사이의 전위 분포는 균일해야 하거나 또는 스페이서는 실질적으로 균일하게 분포된 저항을 나타내야 한다. 만일 전위 분포가 교란되면, 스페이서에 근접하게 위치한 형광 부재에 도달하는 것으로 예상된 전자가 왜곡된 화상을 형성하도록 각각의 경로의 방향이 바뀌어 지게 된다. 본 발명에 따른 화상 형성 장치에 배열된 스페이서는 화상 형성 장치가 왜곡되지 않은 화상을 표시 할 수 있도록 안정한 질화물막을 제공함으로써, 균일한 전기 저항 분포를 나타내도록 만들어진다.

본 발명을 위해, 산화물막(10d)은 질화물막(10c)을 산화하는 대신에, 산화시키는 환경에서 천이금속의 스퍼터링 또는 진공 증착(vacuum evaporation)을 통해 형성될 수 있다. 다른 대안으로는 알코사이드(alkoxide) 기술이 적용될 수 있다.

전하 감소막이 상기에서 기재한 표시 장치의 스페이서용으로 사용되는 반면에, 상기 기재된 바와 같은 질소 화합물로 만들어진 물질이 높은 플리트점을 가지고 있으며 매우 딱딱하기 때문에, 이러한 막은 장치의 용기속에 배열된 어떤 물체의 표면 및/또는 화상 형성 장치에서와 같은 전자 방출 소자를 포함하는 용기 내부 표면에 또한 사용될 수도 있다.

전자 방출 소자의 알려진 2가지 유형인 열이온 전자형(thermionic electron type)과 콜드 캐소드형(cold cathode type)이 본 발명을 위해 사용될 수 있다. 콜드 캐소드형 전자 방출 소자는 필드 방출형(field emission type)(이하에서는 FE형으로 칭함), 표면 전도 전자 방출형(surface conduction electron-emitting type) 및, 금속/절연층/금속형(metal/insulation layer/metal type)(이하에서는 MIM형으로 칭함)으로 언급된다. 이러한 형들의 어떤 전자 방출 소자도 본 발명을 위해 사용될 수 있지만, 콜드 캐소드형이 바람직한 선택이 된다.

표면 전도형 전자 방출 소자는 M. I. Elinson에 의해 Radio Eng. Electron Phys., 10 (1965) 에서 제안된 것을 포함한다. 표면 전도 전자 방출 소자는, 전류가 막의 표면과 평행하게 흐르도록 강요될 때 기판에 형성된 적은 영역을 가진

박막으로부터 전자가 방출된다는 현상을 이용하여 구현된다. Elinson은 이러한 형의 장치를 위해 SnO_2 박막의 사용을 제안한 반면에, Au 박막을 사용하는 것은 G. Dittmer에 의해 Thin Solid Films, 9, 317 (1972)에서 제안되었고, $\text{In}_2\text{O}_3/\text{SnO}_2$ 박막과 탄소 박막을 사용하는 것은 각각 M. Hartwell과 C. G. Fonstad 에 의한 'IEEE Trans. ED Conf.', 519 (1975) 및, H. Araki 등에 의한 'Vacuum', Vol. 26, No. 1, p. 22 (1983)에서 논의되었다. 전자 방출 소자의 전자 방출 영역을 위한 미립자막을 사용하는 것도 본 발명의 바람직한 실시예로 언급되는 이하에서 기재되는 바와 같이, 잘 알려져 있다. FE형 장치의 예로서 Advance in Electron Physics, 8, 89 (1956) 에서 W. P. Dyke와 W. W. Dolan 에 의해 제안된 'Field Emission'과, J. Appl. Phys., 47, 5248 (1976) 에서 C. A. Spindt 에 의해 제안된 'PHYSICAL Properties of thin-film field emission cathodes with molybdenum cones'dmf 포함한다. MIM형 장치의 예는 C. A. Mead 에 의한 'The tunnel-emission amplifier', J. Appl. Phys., 32, 646 (1961)를 포함하는 논문이 공개되어 있다. 이제, 전하 감소막과, 본 발명에 따른 이러한 전하 감소막으로 코팅된 스페이서를 포함하는 화상 형성 장치는 이하의 도면을 참조함으로써 보다 자세하게 설명되어질 것이다.

도 1은 본 발명에 따른 화상 형성 장치의 개략적이고 부분적인 단면도로, 스페이서와 이 스페이서의 부근만을 나타낸다. 전자원(1), 배면판(2), 측면벽(3)과 면판(7)이 나타나 있고, 배면판(2)와 측면벽(3)과 면판(7)에 의해 표시 패널의 내부를 진공 상태로 유지하도록 구성된 장치의 밀폐된 용기(엔벨로프(8))가 나타나 있다.

참조 기호 10은 절연 기판(10a)과 절연 기판의 표면에 형성된 전하 감소막(10c)을 포함하는 스페이서를 나타낸다. 스페이서(10)는 진공 엔벨로프(8)가 손상되는 것을 방지하거나, 엔벨로프(8)의 내부가 진공상태로 될때 주변의 압력 에 의해 변형되는 것을 방지하기 위해 사용된다. 스페이서의 재료, 모양, 위치 및 갯수는 엔벨로프를 노출시키는 압력과 열 뿐 아니라, 엔벨로프(8)의 프로파일과 열 팽창계수의 함수로서 결정된다. 본 발명을 위해 각각의 스페이서는 평탄한 패널, 십자가 또는 문자 L의 형태로 구현될 수 있다. 또는, 도 16a 또는 16b에 나타난 바와 같은 다수의 전자원에 해당하는 스루홀(through holes)을 갖는 스페이서 패널이 적절히 사용될 수 있다. 스페이서들이 대형 화상 형성 장치에서 사용될 때, 스페이서의 효과는 현저해질 것이다.

절연 기판(10a)은 스페이서가 면판(7)과 배면판(2)에 가해지는 주변 압력을 견뎌야 하기 때문에, 바람직하게는 유리 또는 세라믹과 같은 높은 기계적인 강도와 높은 열저항을 나타내는 물질로 만들어진다. 만일 면판과 배면판이 유리로 만들어지면, 절연 기판(10a)도 바람직하게는 유리 또는 유리에 근접하는 열 팽창 계수를 가지는 물질로 만들어진다. 만일 절연 기판(10a)이 Na 이온을 함유하는 soda 석회 유리와 같은 알칼리 이온을 포함하는 유리로 만들어진다면, 전하 감소막의 전기 전도도는 Na 이온에 의해 변경될 수 있다. 그러나, Na 이온 또는 어떤 다른 알칼리 이온이 전하 감소막(10c)내에 침투하는 것은 전형적으로는 절연 기판(10a)과 전하 감소막(10c) 사이의 실리콘 질화물 또는 알루미늄 산화물로 만들어지는 Na 블록층(10b)을 배열함으로써 방지될 수 있다.

스페이서(10)가 전기 전도성의 플리트 유리를 통해 전자원(1)을 구동하기 위한 X 방위 배선(9)과 메탈백(6)(metal back)(이하에서 자세하게 기재됨)에 전기적으로 접속되어 있기 때문에, 장치의 가속 전압(Va)은 스페이서(10)의 각각의 반대쪽 단부에 인가된다. 도 1에서 스페이서가 와이어들에 접속되어 있는 한편, 다른 선택으로는 스페이스가 특정한 배열된 전극에 접속될 수 있다. 만일 (그리드 전극과 같은) 중간 전극 패널이 전자빔을 양호한 형상으로 유지하고 기판의 절연체에 전기 전하를 감소시키도록 면판(7)과 배면판(2) 사이에 배열된다면, 스페이서는 중간 전극 패널을 통과하게 되거나 스페이서는 중간 전극 패널의 반대쪽에 배열되게 될 수 있다.

스페이서가 Al 또는 Au와 같은 전기 전도성 물질로 만들어진 전극(11)들로 상기 반대쪽 단부에 제공된다면, 면판과 배면판상의 전극들로 전하 감소막을 전기적으로 접속하는 것이 개선된다.

이제, 본 발명에 따르면, 스페이서(10)를 포함하는 화상 형성 장치의 기본적인 구조를 기술할 것이다. 도 2는 본 발명에 따른 화상 형성 장치의 개략적인 사시도이고, 그에 따른 표시 패널의 일부를 절단함으로써 내부를 도시하고 있다. 도 2를 참고로 하면, 밀폐된 용기(엔벨로프(8))가 진공 상태에서 표시 패널의 내부를 유지하기 위해 배면판(2), 측면벽(3) 및 면판(7)로 형성되어 있다. 충분한 강도와 구성요소의 접합 지점에서의 밀폐성을 가진 엔벨로프를 제공하기 위해, 밀폐된 용기의 구성요소들은 서로에 대하여 견고하게 접합되어야 한다. 전형적으로는, 접합지점에 플리트 유리를 제공하고, 주변 대기 또는 바람직하게는 스페이서의 표면에 형성된 질소 화합물막이 산화되는 것을 방지하기 위한 질소 가스의 비산화 환경에서 10분 이상 동안 400에서 500 °C에서 플리트 유리를 구워서 구성요소가 서로 서로 접착된다. 그러면 밀폐된 용기는 이하에서 기술되는 바와 같은 방법으로 공기가 빠지게 된다.

기판(13)은 배면판(2)에 견고하게 고정되고 총 NxM 쿨드 캐소드형 전자 방출 소자는 기판(13) 위에 형성된다 (N과 M은 화상 형성 장치에서 사용된 표시 픽셀의 수에 좌우되는 2 이상의 정수이고, 바람직하게는 고품질 텔레비전 세트를 위해 장치가 사용될 때에는 각각 3000 및 1000 이상이다). NxM 쿨드 캐소드형 전자 방출 소자는 M개의 X 방위 배선(9)과 N개의 Y 방위 배선(12)을 사용하는 단순한 매트릭스 와이어링 배열이 제공된다. 기판(13)과 쿨드 캐소드형 전자 방출 소자(1)와 X 방위 배선(9)과 N개의 Y 방위 배선(12)을 포함하는 장치의 일부분이 다중 전자빔원으로 언급된다. 다중 전자빔원의 제조 방법과 형상을 이하에서 자세히 기술할 것이다.

다중 전자빔원의 기판(13)이 상기의 설명에서 밀폐된 용기의 배면판(2)에 고착되는 한편, 다중 전자빔원의 기판(13) 자체는 그것이 충분한 강도를 용기에 제공한다면 밀폐된 용기의 배면판(2)로서 사용될 수 있다.

형광막(5)은 면판(7) 아래에 형성된다. 여기서 기재된 발명을 실행하는 모드가 칼라 화상을 표시하기 위한 것이기 때문에, 형광막(5)은 실질적으로 빨강(R), 녹색(G) 및 파랑(B)의 제1 칼라의 형광 부재를 포함한다. 도 4a를 참고로 하면, 제1 칼라의 스트립 형상의 형광 부재(5a)가 사이에 끼워진 검은 전도성 스트립(5b)와 함께 규칙적으로 배열되어 있다. 만일 전자빔이 엔벨로프에 있는 각각의 타겟으로부터 약간 이탈한다면, 표시된 화상의 칼라의 브레이크업(breakups)을 피하기 위해, 및 전자빔에 기인한 형광막의 충전 조건과 외부 광의 반사를 방지함으로써 표시된 화상의 콘트라스트의 저하를 피하기 위해, 검은 스트립(5b)이 제공된다. 흑연이 검은 스트립(5b)의 주성분으로서 보통 사용되는 반면에, 낮은 빛 투과성과 반사성을 가진 다른 전도체가 다른 대안으로서 사용될 수 있다.

도 4a에서 나타난 주 칼라의 스트립 형상의 형광 부재는 도 4b에 나타난 바와 같은 주 칼라의 형광 부재의 삼각주들(δ tas) 또는 임의의 다른 구성으로 대체될 수 있다.

만일 화상 형성 장치가 흑백 화상을 표시하도록 고안되었다면, 형광막(5)는 당연히 흑백 형광 물질로 만들어진다. 이러한 경우에, 블랙 컨덕션(black conduction)이 반드시 사용될 필요는 없다.

통상의 메탈백(6)이 형광막(5)의 내표면 또는 배면판과 마주보는 표면에 배열된다. 형광막(5)로부터 방출되는 광을 부분적으로 반사시킴으로써 장치가 광을 이용하는 효율을 높이고, 형광막(5)와 부딪히려는 부(-) 이온들에 대하여 형광막(5)를 보호하며, 전자빔에 대해 가속 전압을 인가하며, 형광막(5)을 통전시키기 위해 사용하였던 전도 전자를 위한 경로를 제공하기 위해, 메탈백(6)이 제공된다. 이 메탈백은 면판 기판(4) 위에 형성된 형광막의 표면을 부드럽게 하고 그 위에 진공 증착에 의해 Al막을 형성하여 준비된다. 메탈백(6)은 낮은 전압에 적합한 형광 물질이 형광막(5)용으로 사용되는 경우 생략된다.

본 발명을 실행하기 위한 상기의 모드에서는 사용되지 않았지만, 전형적으로는 가속 전극에 전압을 용이하게 인가시키기 위해 및/또는 형광막(5)의 전도도를 높이기 위한 것을 위해, ITO로 된 투명 전극이 면판 기판(4)와 형광막(5) 사이에 형성될 수 있다.

도 2에서, Dx1 내지 Dx_m, Dy1 내지 Dy_n 및 Hv는 표시 패널과 외부 전기 회로(표시되지 않음)를 전기적으로 접속하기 위한 밀폐된 전기 접속 단자를 의미한다. 이 중에서, 단자 Dx1 내지 Dx_m은 다중 전자빔원의 행 방위 와이어들의 각각에 전기적으로 접속되고, 반면에 단자 Dy1 내지 Dy_n은 각각의 열 방위 와이어에 전기적으로 접속된다. 단자 Hv는 메탈백(6)에 전기적으로 접속된다.

밀폐된 용기의 내부에서 진공 조건을 만들기 위해, 조립되어 있는 밀폐된 용기는 배기관에 접속된 다음 진공 펌프에 접속되고, 밀폐된 용기의 내부는 약 10^{-5} [Pa] 정도의 진공도에서 공기가 빠지게 된다. 그리하여, 게터막(getter film)(표시되지 않음)의 조각이 밀폐된 용기 내에서 상술의 진공도를 유지하기 위해 배기관을 밀봉하여 닫기 직전 또는 직후에, 밀폐된 용기 내부의 소정의 위치에 형성된다. 증착하여 막을 형성할때까지, 고주파 가열 히터에 의해, 주첨가물로서 Ba를 전형적으로 포함하는 게터 물질을 가열함으로써 게터막이 형성된다. 게터막의 흡착 효과 때문에, 밀폐된 용기의 내부는 전형적으로 10^{-3} [Pa] 내지 10^{-5} [Pa] 사이의 진공도가 유지된다. 그리하여, 상기 공정은 '게터링 공정'이라고 불리워진다.

이제, 본 발명에 따른 화상 형성 장치의 표시 패널의 다중 전자빔을 제조하는 방법에 대해 기재할 것이다. 본 발명에 따른 화상 형성 장치의 다중 전자빔원용으로 사용되는 쿨드 캐소드 장치는 임의의 어떤 물질로도 만들어질 수 있고, 이 장치가 다중 전자빔원에서 단순한 매트릭스 와이어링 배열을 가지고 사용된다면 임의의 어떤 프로필을 가질 수 있다. 달리 말하면, 쿨드 캐소드 전자 방출 소자는 표면 전도 전자 방출 소자, FE 형 장치, MIM형 장치 또는 어떤 다른 장치일 수 있다.

그러나, 표면 전도 전자 방출 소자를 사용하는 것이 적은 비용으로 대형 표시 장치를 가진 화상 형성 장치를 제공하기 위한 가장 좋은 선택일 수 있다. 특히, 이전에 기재한 바와 같이, FE 형 장치의 전자 방출 성능이 상대적인 위치 관계와 원뿔꼴 에미터의 프로필과 게이트 전극에 크게 좌우받고, 이것이 절감된 비용으로 대형 표시 스크린을 만드는데 불리하기 때문에, FE 형 장치는 매우 정교한 제조 기술을 필요로 한다. 다중 전자빔원을 위해 MIM 형 장치를 사용하는 경우에, 장치의 상부 전극과 절연층은 매우 얇고 균일하게 만들어져야 하는데, 이것 역시 낮은 비용으로 대형 표시 스크린을 만드는데 불리하다. 반면, 표면 전도 전자 방출 소자는 간단한 방법으로 제조될 수 있어, 대형 표시 스크린을 저가의 비용으로 용이하게 생산할 수 있다. 더구나, 표면 전도 전자 방출 소자의 커다란 장점으로서, 본 발명의 발명자들은 한 쌍의 소자 전극 사이에 있는 전자 방출 영역을 포함하는 전기 전도성막을 포함한 소자가 전자를 방출하는데 특히 효과적이고 용이하게 제조될 수 있다는 사실을 발견하였다. 그러한 표면 전도 전자 방출 소자는 특히 밝고 선명한 화상을 표시하는 대형 표시 스크린을 가진 화상 형성 장치를 위한 다중 전자빔원을 준비하는데 적합하다. 미립자막으로 만들어지는 전자 방출 영역과 그 주변을 가지는 표면 전도 전자 방출 소자는 본 발명을 위해 적절하게 사용될 수 있다. 이제, 표면 전도 전자 방출 소자를 일단 기본적인 프로필과 제조 공정의 개념으로 기재할 것이다. 이때, 단순한 매트릭스 와이어링에 의해 접속되는 다수의 장치를 포함하는 다중 전자빔원이 기재될 것이다.

(표면 전도 전자 방출 소자의 바람직한 구성과 제조 방법)

전자 방출 영역을 포함하고 한 쌍의 전극 사이에 배열된 미립자의 전기 전도막을 포함하는 표면 전도 전자 방출 소자의 2개의 주된 형태는 평면형과 계단형이다.

(평면형 표면 전도 전자 방출 소자)

먼저, 평면형 표면 전도 전자 방출 소자가 구성 및 제조 방법의 개념으로 기재될 것이다.

도 5a와 5b는 본 발명을 위해 사용될 수 있는 평면형 표면 전도 전자 방출 소자의 개략도인데, 도 5a는 평면도이고 도 5b는 단면도이다. 도 5a와 5b를 참고로 하면, 장치는 기판(13), 한 쌍의 소자 전극(14 및 15), 전기 전도막(16), 공정을 형성하는 통전에 의해 형성되는 전자 방출 영역(17)과 통전 활성화 공정에 의해 형성되는 박막(18)로 구성되어 있다.

기판(13)은 수정 유리, 소다 석회 유리 또는 임의의 다른 유리로 된 유리 기판, 알루미늄 또는 다른 세라믹 재료로 된 세라믹 기판 또는 상기에서 나열한 기판 중의 어느 것 위에 SiO_2 의 절연층을 놓음으로써 얻어지는 기판일 수 있다. 소자 전극(14 및 15)이 기판과 대향하여 병렬로 배열되는 한편, 어떤 전도도가 높은 물질로 만들어질 수 있으며, 바람직한 물질로는 Ni, Cr, Au, Mo, W, Pt, Ti, Ag, Cu와 Pd 및 이들의 합금, In_2O_3 -SnO₂와 같은 금속 산화물 및 폴리실리콘과 같은 반도체 물질을 포함한다. 전극은 다른 대안 기술(예를 들면, 프린팅)이 사용될 수 있더라도, 진공 증착과 같은 막 형성 기술과, 포토리소그래피 또는 에칭과 같은 패터닝 기술을 결합하여 사용함으로써, 어려움 없이 형성될 수 있다.

소자 전극(14 및 15)는 장치가 적용되는 곳에 따라 적절한 프로필을 가질 수 있다. 일반적으로, 소자 전극(14 및 15)를 분리시키는 거리 L은 수십나노메타에서 수십 마이크로메타 사이이고, 만역 화상 형성 장치용으로 사용된다면, 바람직하게는 수 마이크로메타와 수십 마이크로 메타 사이이다. 소자 전극(14 및 15)의 막 두께 d는 수십 나노메타와 수 마이크로메타 사이이다.

전기 전도성막(16)은 우수한 전자 방출 특성을 제공하기 위하여 (아일랜드와 같은 덩어리를 포함함) 바람직하게는 수많은 미립자를 포함하는 막이다. 현미경적으로 관찰하면, 본 발명을 위해 사용될 수 있는 미립자막은 느슨하게 분산되거나, 빈틈없이 배열되거나, 상호 랜덤하게 오버랩핑될 수 있는 수많은 미립자를 포함한다.

본 발명을 위해 사용되는 미립자의 직경은 십분의 수 나노메타와 수백 나노메타 사이이고, 바람직하게는 1nm 과 20nm 사이이다. 미립자막의 두께는 이하에서 보다 자세히 기재되는 바와 같이 여러 가지 요소의 함수로서 결정되는데, 여기에는 소자 전극(14 및 15)과 양호한 전기적 접촉을 확립시키기 위한 조건들과, 통전 포밍 공정을 성공적으로 수행하기 위한 조건들과, 미립자막 자체의 전기 저항에 대한 적절한 값을 얻기 위한 조건들을 포함한다. 특히, 이 두께는 십분의 수 나노메타와 수백 나노메타 사이이고, 바람직하게는 1nm와 50nm 사이이다.

전기 전도성막(16)은 Pd, Pt, Ru, Ag, Au, Ti, In, Cu, Cr, Fe, Zn, Sn, Ta, W 및 Pb와 같은 금속과, PdO, SnO₂, In₂O₃, PbO 및 Sb₂O₃와 같은 산화물과, HfB₂, ZrB₂, LaB₆, CeB₆, YB₄ 그리고 GdB₄와 같은 붕화물(borides)과, TiC, ZrC, HfC, TaC, SiC 그리고 WC와 같은 탄화물, TiN, ZrN 그리고 HfN과 같은 질화물과, Si와 Ge와 같은 반도체 및 탄소로부터 선택된 물질의 미립자로 만들어진다.

전기 전도성막(16)은 미립자막으로 만들어지고 통상적으로는 보통 10⁻³ 과 10⁻⁷ [$\Omega/\square$] 사이의 시트 저항을 나타낸다.

전기 전도성막(16)과 소자 전극(14, 15)은 서로에 상관하여 단차 커버리지(step coverage)를 실현하도록 배열된다. 소자 전극(14, 15)이 기판(13) 위에 배열되고 나서 전기 전도성막(16)이 도 5a와 도 5b에서 소자 전극(14, 15)을 부분적으로 덮도록 놓여 있는 반면에, 원한다면, 소자 전극은 다른 대안으로서 전기 전도성막 위에 놓일 수 있다.

전자 방출 영역(17)이 전기 전도성막(16)의 일부이고 하나 이상의 전기적으로 높은 저항을 가지는 갭들을 포함하고 있는데, 이 갭들은 전형적으로는 이하에서 기재되는 통전 공정의 결과로 만들어지는 균열(fissures)일 수 있다. 이 균열은 직경이 십분의 수 나노메타와 수십 나노메타 사이인 미립자를 포함할 수 있다. 도 5a와 5b는 전자 방출 영역(17)의 위치와 프로필을 정확히 알 수 있는 방법이 없기 때문에, 단지 개략적으로 전자 방출 영역(17)을 나타내고 있다.

박막(18)은 탄소 또는 탄소 화합물로 만들어지고 전자 방출 영역(17)과 그 부근을 덮는다. 박막(18)은 이하에서 보다 자세히 기재되는 통전 형성 공정 후 행하여지는 통전 활성화 공정의 결과로 만들어진다.

박막(18)은 단결정 흑연, 다결정 흑연, 비결정 탄소 또는 이들의 조합으로 만들어진다. 박막(18)의 두께는 50nm 보다 작고, 바람직하게는 30nm보다 작다. 박막의 위치와 프로필을 정확히 알 수 없기 때문에, 도 5a와 5b는 박막(18)을 개략적으로만 도시하고 있다.

표면 전도 전자 방출 소자의 기본적인 프로필이 위에서 기재되었지만, 이하에서 기재된 장치는 본 발명을 실행하는 현재의 모드에서 사용된다.

기판(13)은 소다 석회 유리로 만들어지고 소자 전극(14, 15)은 Ni 박막으로 만들어진다. 소자 전극은 100nm의 두께 d를 가지고 있으며 2 μ m의 거리 L에 의해 분리되어 있다.

미립자막은 주성분으로서 Pd 또는 PdO를 포함하고 약 10nm의 두께와 100 μ m의 폭 W를 가진다.

이제, 본 발명을 위해 적절히 사용될 수 있는 평면형 표면 전도 전자 방출 소자를 제조하는 방법이 도 6a 내지 6e를 참조하여 기재될 것인데, 이 도면들은 다른 제조 단계에서 표면 전도 전자 방출 소자의 개략적인 절단 측면도를 나타낸다. 이 장치의 구성 요소는 각각 도 5a와 5b에서와 동일한 도면 기호에 의해 지칭된다.

1) 세제와 순수한 물과 유기 용제로 기판(13)을 철저히 씻은 후, 한 쌍의 소자 전극의 물질이 침착에 의해 기판(13)에 침착된다. (이 물질은 증착, 스퍼터링 또는 진공을 이용하는 다른 막 형성 기술에 의해 침착될 수 있다.) 그 후, 한 쌍의 소자 전극(14, 15)이 도 6a에서와 같이 포토리소그래피와 에칭 기술의 사용을 포함하는 패턴닝에 의해 만들어진다.

2) 이제, 도 6b에서와 같이, 전기 전도성 박막(16)이 기판(13) 위에 형성된다. 특히, 한 쌍의 소자 전극(14, 15)을 실장하고 있는 기판(13) 위에 유기 금속 용제를 도포하고, 기판을 건조시킨 다음 그 기판을 구워서 미립자막을 형성한다. 이때, 포토리소그래피와 에칭에 의한 원하는 패턴을 가진 박막이 만들어진다. 유기 금속 용제가 주성분으로서 상기 전기 전도성막에 대해 위에서 나열된 임의의 금속을 포함할 수 있다. 이하에 기술된 예에서는 Pd가 주성분으로 사용되었다. 디핑(dipping)에 의해 유기 금속 용제가 도포되는 반면에, 스피너(spinner) 또는 스프레이어(sprayer)를 사용한 것들과 같은 임의의 다른 기술이 다른 대안으로서 사용될 수 있다.

미립자의 전기 전도성막은 상술한 유기 금속 용제의 도포를 대신하여, 진공 증착, 스퍼터링 또는 화학적 기상 성장법(chemical vapor phase deposition)에 의해 형성될 수 있다.

3) 그 후에, 전기 전도성막은 통전 형성 공정을 따르게 되는데, 도 6c에 나타난 바와 같은 전자 방출 영역(17)을 생성하기 위하여, 이 공정에서 포밍 전원(19)으로부터 소자 전극(14, 15) 사이에 적절한 전압을 가한다.

통전 포밍 공정에 있어서, 미립자막으로 만들어진 전기 전도성막(16)은 전자를 방출하기에 적합한 구조를 가진 영역을 생성하기 위하여, 전기적으로 전압이 가해지고, 국부적으로 파괴되고 변형되며 변환된다. 전자를 방출하기에 적합한 구조를 나타내도록 하는 영역 (또는 전자 방출 영역(17))은 박막에 하나 이상의 균열을 가진다. 일단 전자 방출 영역(17)이 전기 전도성막에 생성되면, 소자 전극들(14, 15) 사이의 전기 저항이 극적으로 증가한다는 점에 유의해야 한다.

도 7은 본 발명을 위한 통전 포밍을 위해, 통전 전원(19)로부터 소자 전극에 적절히 가해질 수 있는 전압의 파형을 나타낸다. 미립자막으로 만들어지는 전기 전도성막 위에서 이루어지는 통전 포밍 공정을 위하여 펄스형태의 전압이 유리하게 사용된다. 이하에서 기재되는 바와 같은 실시예에서, 도 7에 나타난 바와 같이 표면 전도 전자 방출 소자를 제

조하는 과정에서 펄스폭 T1을 가진 삼각 펄스 전압이 펄스 간격 T2로 가해졌다. 삼각 펄스 전압의 높이 Vpf는 점진적으로 증가하였다. 모니터링 펄스 Pm이 적절한 규칙적인 간격에서 삼각 펄스 속으로 삽입되었고, 전자 방출 영역(17)의 형성에 있어서 진행을 감시하기 위해 전류계(20)에 의해 전류가 측정되었다.

이하에서 잘 기재된 바와 같은 실시예에서, 펄스폭 T1과 펄스 간격 T2는 각각 1msec. 와 10msec인 반면에, 펄스파 높이 Vpf는 약 10^{-3} Pa 정도의 진공에서 각 펄스에 대하여 0.1V씩 상승하였다. 모니터링 펄스 Pm은 매 5개의 삼각 파마다 부가되었다. 모니터링 펄스의 역효과가 통전 포밍 공정에서 관찰되지 않도록 0.1V의 전압 Vpm이 모니터링 펄스용으로 사용되었다. 소자 전극들(14, 15) 사이의 전기 저항이 $1 \times 10^{-6} \Omega$ 로 상승했을 때 또는 모니터링 펄스가 가해진 동안에 전류계(20)에서 측정된 전류가 1×10^{-7} A 아래로 떨어졌을 때, 통전 포밍 공정을 위한 전기 통전이 종료되었다.

이상에서, 바람직한 통전 포밍 공정이 표면 전도 전자 방출 소자를 위하여 기술된 반면, 미립자막의 재료 및 막 두께, 소자 전극 및/또는 표면 전도 전자 방출 소자의 다른 요소들 사이의 거리가 변하면, 통전 포밍 공정을 위한 조건은 바람직하게는 적절히 수정된다.

4) 통전 포밍 동작 후에, 장치는 장치의 전자 방출 성능을 개선하기 위해 통전 활성화 공정을 따르게 된다.

활성화 공정은, 통전 포밍 공정에 의해 생성된 전자 방출 영역(17)이 전자 방출 영역 위와 근처에 탄소 또는 탄소 화합물을 침착시키기 위해 전기적으로 통전되는 공정이다. 도 6d에서, 탄소 또는 탄소 화합물의 침착이 부재(18)와 같이 개략적으로 도시되어 있다. 통전 활성화 공정의 결과로서, 장치의 방출 전류를 통전 활성화 공정전의 방출 전류와 비교한다면, 동일한 전압이 가해진 경우, 전형적으로는 100배 이상으로 증가된다.

특히, 활성화 공정에서는, 진공 속에 남아있는 유기 화합물로부터 나오는 탄소 화합물 또는 탄소를 침착하기 위하여 10^{-1} Pa에서 10^{-4} Pa 정도의 진공에서 펄스 전압이 주기적으로 장치에 가해질 수 있다. 침착물(18)은 단결정 흑연, 다결정 흑연, 비결정 흑연 또는 이들의 혼합물이고, 50nm미만, 바람직하게는 30nm미만의 막두께를 가진다.

도 8a는 본 발명을 위한 활성화 전원(21)으로부터 표면 전도 전자 방출 소자로 인가될 수 있는 펄스 전압의 파형을 나타낸다. 이하에서 기재되는 표면 전도 전자 방출 소자를 제조하는 실시예에서, 일정한 펄스파 높이를 가진 구형 펄스 전압이 통전 활성화 공정을 위해 사용된다. 구형 펄스 전압의 펄스파 높이 Vac, 펄스폭 T3 그리고 펄스 간격 T4는 각각 14V, 1ms 그리고 10ms이다. 상기 펄스 전압값이 본 발명을 실행하는 현재의 제조 모드에서 표면 전도 전자 방출 소자를 제조하기 위해 선택되는 한편, 다른 수치들의 세트가 다른 구성을 가진 표면 전도 전자 방출 소자를 제조하기 위해 사용될 것이다.

도 6d에서, DC 고전압 전원(23)과 전류계(24)는 표면 전도 전자 방출 소자로부터 방출된 방출 전류 Ie를 잡기 위한 애노드(22)에 접속된다. 만일 활성화 공정이 표시 패널에서 기판(13)을 설치한 후 수행된다면, 표시 패널의 형광면은 애노드(22)로 사용된다.

전압이 활성화 전원(21)로부터 장치에 가해지는 반면에, 통전 활성화 공정의 진도는 활성화 전원(21)의 동작을 제어하기 위하여 전류계(24)에 의해 방출 전류를 관찰하여 감시된다. 도 8b는 전류계(21)에 의해 관찰되는 방출 전류를 나타낸다. 펄스 전압이 활성화 전원(21)로부터 장치에 인가됨에 따라, 방출 전류 Ie는 머지 않아 이 전류가 포화점에 도달할 때까지 상승하고, 그 후 방출 전류는 실질적으로 일정 레벨로 남게 된다. 방출 전류 Ie가 포화점에 도달할 때 활성화 전원(21)에서 전압이 인가하는 것을 일시 중지함으로써, 통전 활성화 공정은 종료된다.

상기 값의 펄스 전압이 본 발명을 실행하는 현재의 모드에서 표면 전도 전자 방출 소자를 제조하기 위해 선택되는 반면에, 다른 수치의 세트가 다른 구성을 가진 표면 전도 전자 방출 소자를 제조하기 위해 선택되어야 한다는 점을 다시 한번 유의해야 한다.

따라서, 이러한 방식으로, 도 6e에 나타난 바와 같은 구성을 가진 평면형 표면 전도 전자 방출 소자가 만들어진다. (단차형 표면 전도 전자 방출 소자)

도 9는 단차형 표면 전자 방출 소자의 개략적인 측면면도이고, 미립자막으로 만들어지는 전자 방출 영역과 그 부근 영역을 가지는 기본적인 구성을 나타낸다. 도 9를 참고로 하면, 이 소자는 기판(25), 한 쌍의 소자 전극(26, 27), 단차형성 섹션(28), 미립자막으로 만들어지는 전기전도막(29), 통전 포밍 공정에 의해 형성되는 전자 방출 영역(30) 및 통전 활성화 공정에 의해 형성되는 박막(31)을 포함한다. 소자 전극들 중의 하나 또는 전극(26)이 단차형성 섹션(28) 위에 배열되고 전기 전도성막(29)이 단차형성 섹션(28)의 측면을 덮는다는 점에서, 이 단차형 표면 전자 방출 소자는 상기 평면형 전도 전자 방출 소자와 다르다. 따라서, 이러한 단차형 표면 전도 전자 방출 소자의 단차형성 섹션(28)의 높이 Ls는 평면형 표면 전도 전자 방출 소자의 소자 전극들 사이의 거리 L에 대응한다. 기판(25)과, 소자 전극(26 및 27)과, 단차형 표면 전도 전자 방출 소자의 미립자막을 포함하는 전기 전도막(29)은 각 평면형 표면 전도 전자 방출 소자에 대해 앞서 나열한 임의 물질들로 각각 대응하게 만들어질 수 있다. 단차형성 섹션(28)는 전형적으로는 SiO₂와 같은 전기 절연 물질로 만들어진다.

(표시 장치에서 사용되는 표면 전도 전자 방출 소자의 특성)

상기에서 기재된 바와 같은 방식으로 마련된 평면 또는 단차형 표면 전도 전자 방출 소자는 다음과 같은 특성을 나타낸다.

도 10은 (소자 전압 Vf)과 (방출 전류 Ie)의 관계 및 도 10의 방출 전류(Ie)와 장치 전류(I_f)에 대해, (소자 전압 Vf)과 (소자 전류 I_f)의 관계를 개략적으로 나타내는 그래프이다. 동일한 척도가 사용될 수 없을 정도로 방출 전류 Ie가 소자 전류보다 훨씬 적은 크기를 가지고 있고, 이러한 관계가 소자의 프로파일과 설계 파라미터에 상당히 좌우 받을 수 있다는 점 때문에, 서로 다른 단위가 임의로 사용되었다는 점을 유의해야 한다.

본 발명에 따른 화상 형성 장치를 위해 사용되는 전자 방출 소자는 방출 전류 Ie에 의한 3가지의 현저한 특성을 가지는데, 이들에 대해서는 이하에서 기재될 것이다.

첫째, 상기 전자 방출 소자는 이 전자 방출 소자에 가해지는 전압이 소정 레벨(이하에서는 임계 전압 V_{th} 이라고 칭한다)을 초과할 때 방출 전류(I_e)가 급격하게 증가하는 반면에, 방출 전류 I_e 는 인가된 전압이 임계 전압 V_{th} 보다 낮을 때에는 실제로 검출할 수 없다. 달리 말하면, 전자 방출 소자는 방출 전류에 상관하여 분명한 임계 전압 V_{th} 를 가지는 비선형 장치이다.

둘째, 방출 전류 I_e 가 소자 전압 V_f 에 좌우되어 변하기 때문에, 소자 전압 대신에 방출 전류가 효과적으로 제어될 수 있다.

셋째, 방출 전류 I_e 는 소자 전압 V_f 에 빠르게 응답하기 때문에, 장치로부터 방출된 전자의 전기적인 전하는 소자 전압 V_f 가 인가되는 시간을 제어함으로써 제어될 수 있다.

상기의 현저한 특성들 때문에, 효과적인 표시 장치는 이러한 표면 전도 전자 방출 소자를 사용하여 형성될 수 있다.

예를 들면, 픽셀들에 해당하는 수 많은 표면 전도 전자 방출 소자를 포함하는 표시 장치에 있어서, 화상은 순차적으로 표시 스크린을 스캐닝하고 상기의 첫 번째 특성을 이용함으로써 표시될 수 있다. 이러한 표시 장치를 구비하고, 임계 전압 V_{th} 이상의 전압은 방사된 광선의 요망되는 휘도 함수로서 구동되는 선택 소자 각각에 인가되는 한편, 임계 전압 V_{th} 이하의 전압은 선택되지 않은 소자 각각에 인가된다. 표시 스크린은 또한 순차적인 방식으로 구동되는 소자를 선택함으로써 화상을 표시하기 위해서 순차적으로 스캐닝될 수 있다. 또한, 색조가 정밀한 화상은 상술한 제2 및 제3의 특징적인 특성을 이용하여 방출된 광선의 휘도를 제어함으로써 표시될 수 있다.

(다수의 소자와 단순 매트릭스 배선 배열(Simple Matrix Wiring Arrangement)를 포함하는 다중-전자-빔 소스의 구성)

이제, 기판 상에 배열된 다수의 표면-전도 전자-방출 소자를 포함하고 단일 매트릭스 배선으로 제공된 다중-전자-빔 소스에 관해서 설명한다.

도 11은 도 2의 표시 패널용으로 사용될 다중-전자-빔 소스의 개략적인 평면도이다. 도 5a 및 도 5b에 도시된 바와 같이 구성된 수개의 표면-전도 전자-방출 소자는 기판 상에 어레이로 배열되고, 단순 매트릭스 배선 배열을 이루는 대응 X-방위 와이어 전극(9) 및 대응 Y-방위 와이어 전극(12)으로 접속된다. 절연층(도시되지 않음)은 X-방위 와이어 전극(9)과 Y-방위 와이어 전극(12)의 교차점 각각에 배열되어 전극을 절연시킨다. 도 12는 도 11에서 선(12-12)를 따라서 취한 단면도이다.

상술한 바와 같은 구성의 다중-전자 빔-소스는 X-방위 와이어(9), Y-방위 와이어(12), (도시되지 않음)전극간 절연층, 및 표면-전도 전자-방출 소자용 소자 전극 및 전도성 박막을 기판 상에 형성하고 X-방위 와이어(9) 및 Y-방위 와이어(12)을 통해 각각 전력을 공급함으로써 표면-전도 전자-방출 소자에 통전 활성화 공정 및 통전 포밍 공정수행한다.

이제, 첨부된 도면을 참조하며 본 발명을 실시예로서 더욱 상세히 설명할 것이다.

(실시예 1)

도 1을 참조하면, 본 예에서는 통전 포밍 공정을 가하지 않은 복수의 표면-전도 형 전자 소스(1)가 배면판(2) 상에 형성된다. 더욱 구체적으로는, 도 12에 도시된 것과 같은 구성의 총 160x720 개의 표면-전도 전자-방출 소자가 형성되어 무결 소다 석회 유리(clean soda lime glass)로 된 배면판(2) 상에 매트릭스를 생성한다. 소자 전극(14) 및 (15)는 스퍼터링에 의해서 생성되는 Ni 막으로 만들어지고, X-방위 와이어(9) 및 Y-방위 와이어(12)은 Ag로 만들어지며 스크린 프린팅(screen printing)에 의해서 제조된다. 소자 각각의 전도성 박막(16)은 Pd 아민 복합체 용액을 구워서 제조되는 PdO 미세 입자 막으로 만들어진다.

도 4a에 도시된 바와 같이, 화상-성형 부재로서 동작하는 형광막(5)은 스트라이프-형상의 원색 형광 부재(5a)를 흑색 스트라이프(5b)에 의해 분리되는 Y-방위로 평행하게 배열함으로써 형성된다. 흑색 스트라이프(5b)가 인접하여 위치한 형광 부재(5a)를 분리하도록 Y-방위로 배열되어 있을뿐 아니라, Y-방위로 배열된 화소를 분리하기 위해서 X-방위로 배열되어 있다. 흑색 스트라이프(5b)는 그 위에 대응 스페이서(10)를 수용할 수 있도록 구성된다. 더욱 구체적으로는, (전도성) 흑색 스트라이프(5b)가 먼저 형성되고 원색의 형광 물질이 흑색 스트라이프(5b)의 대응 겹에 도포되어 원색의 형광 부재(5a)를 생성한다. 흑색 스트라이프(5b)는 일반적으로 흑색 스트라이프용으로 사용되는 흑연(graphite)을 주성분으로 함유한다. 슬러리(slurry) 기술을 이용하여 형광 물질을 유리 기판(4)에 도포한다.

형광막(5)을 형성한 이후에, 형광막(5)의 안쪽 표면을 (통상 막잉(filming)으로 알려진 공정으로) 평탄화하고 메탈백(6)을 형광막(5)의 안쪽 표면 상에 (전자 소스에 인접한 쪽에) 알루미늄의 진공 증착에 의해 형성한다. 형광막(5)의 전도성을 향상시키기 위하여 투명 전극을 (유리 기판 및 형광막 사이의) 면판(face plate) (7) 상의 형광막(7)의 외측에 형성할 수 있는 한편, 본 예에서는 메탈백이 충분한 수준의 전도성을 제공하기 때문에 상술한 것과 같은 전극을 형성하지 않는다.

각각의 스페이서(10)는 0.5 μm 의 두께까지 실리콘 질화물 막을 무결 소다 석회 유리로 된 (폭이 3.8 mm이고 두께가 200 μm 이며 길이가 20 mm인) 절연 기판(10a) 상에 Na 블록층(10b)으로서 형성하고 그 위에 Cr/Al 합금의 질화물 막(10c)을 형성함으로써 제공된다.

본 예에서의 Cr/Al 질화물 막은 스퍼터링 시스템에 의해서 아르곤과 질소의 혼합 공기 내에서 Cr 및 Al 타겟을 스퍼터링함으로써 생성된다. 도 14는 본 예에서 사용되는 스퍼터링 시스템을 개략적으로 도시한 것이다. 도 14를 참조하면, 막 형성 챔버(41), 스페이서 부재(42), Cr 및 Al 타겟(43, 44), 고주파 전압을 대응 타겟(43 및 44)에 인가하기 위한 고주파 전원(45 및 47), 정합 박스(46 및 48), 및 아르곤과 질소를 각각 주입하기 위한 주입 파이프(49 및 50)이 도시되어 있다.

아르곤 및 질소는 막 형성 챔버(41) 내에 주입되어 각각 0.5 Pa 및 0.2 Pa의 분압을 나타내고, 고주파 전압은 타겟과 스페이서 기판의 각각에 인가되어 스퍼터링용 전기 방전을 일으킨다. 피착된 막의 성분비는 각각의 타겟에 인가된 전력을 조절함으로써 최적의 저항값을 얻을 수 있도록 변형된다. 본 예에서는 세가지 집합의 스페이서에 대하여 다음

의 세 개의 서로 다른 Cr/Al 질화물 막이 제공된다.

(1) Al 타겟 및 Cr 타겟은 4분 동안 각각 500 W 및 25 W의 전력을 인가받는 다. 막 두께는 43 nm이고 As depo 저항 값은 $2.4 \times 10^{-3} \Omega \text{m}$ 이다.

(2) Al 타겟 및 Cr 타겟은 20분 동안 각각 500 W 및 12 W의 전력을 인가받는다. 막 두께는 200 nm이고 As depo 저항 값은 $2.4 \times 10^{-3} \Omega \text{m}$ 이다.

(3) Al 타겟 및 Cr 타겟은 8분 동안 각각 500 W 및 10 W의 전력을 인가받는다. 막 두께는 80 nm이고 As depo 저항 값은 $4.5 \times 10^{-6} \Omega \text{m}$ 이다.

이어서, 각각의 스페이서 집합을 포함하는 화상-형성 장치가 제공된다. 스페이서(10), 관련 X-방위 와이어 및 메탈백의 각각 사이를 신뢰성있게 전기적으로 접속하기 위해서, 스페이서(10)의 접합 영역 상에 Al 전극(11)을 형성한다. 전극(11)은 또한 엔벨로프(8)의 내측으로 노출된 스페이서의 4 측면을 X-방위 와이어로부터 면판쪽으로 50 μm 만큼 그리고 메탈백으로부터 배면판쪽으로 300 μm 만큼 덮는다. 그러나 주의할 것은 이러한 전극없이 신뢰성있게 전기적으로 접속할 수 있다면 상술한 바와 같은 전극(11)은 생략될 수 있다. 이어서, Cr/Al 질화물 막(10c)으로 코팅된 스페이서(10)가 규칙적인 간격으로 면판(7)에 고정된다.

그 이후에, 면판(7)은 전자원(1) 위로 3.8 mm 지점에 배열되고 그 사이에 지지 프레임 (측벽) (3)이 형성되며, 배면판(2), 면판(7), 지지 프레임(3) 및 스페이서(10)는 그 접합부에 견고하게 접착된다.

더욱 구체적으로는, 플리트 유리가 그의 접합부에서 배면판(2) 및 지지 프레임(3)에 제공되고, 또한 면판(7) 및 지지 프레임(3)에 제공되며 (그 동안 전도성 플리트 유리는 스페이서와 면판의 접합부에 사용됨), 그리고 스페이서의 표면 상의 알루미늄 및 천이 금속의 질화물 막이 산화되는 것을 막기 위해서 플리트 유리를 430 °C에서 10분 이상 질소 기체 내에서 구워서 서로 완벽하게 접착시킨다. 스페이서 상의 전하-감소막 및 면판(7)을 전기적으로 접속하기 위해서 Au로 코팅된 실리카 펠릿을 포함하는 전도성 플리트 유리를 면판(7) 상의 흑색 스트라이프(5b) (폭 : 300 μm)로 인가한다. 메탈백에 있어서, 스페이서와 접한 영역에서 일부 제거된다.

그런 다음, 제공된 엔벨로프(8)의 내부를 진공 펌프를 이용하여 배기 파이프를 통해 진공으로 만든 다음 만족할 만큼 낮은 기압이 되도록 하고, 그 다음에는 통전 포밍 공정 내에서 전자-방출 소자(1) 각각에 전자-방출 영역(17)을 생성하기 위해서 전자-방출 소자(1)의 소자 전극(14, 15)에 용기의 외부 단자(Dx1-Dxm) 및 (Dy1-Dyn)를 통해 전압을 인가한다. 도 7은 통전 포밍 공정에서 사용되는 전압의 파형을 도시한 것이다.

이어서, 내부 압력이 0.133 Pa가 될 때까지 아세톤을 배기 파이프를 통해 진공 용기 내로 인가한다. 그 이후에, 통전 활성화 공정이 수행되어 전압 펄스를 용기의 외부 단자(Dx1-Dxm) 및 (Dy1-Dyn)를 통해 소자 전극으로 주기적으로 인가함으로써 탄소 또는 탄소 화합물을 피착한다. 도 8a는 통전 활성화 공정에서 사용되는 전압의 파형을 도시한 것이다.

이어서, 용기 전체를 200 °C로 10 시간 동안 가열하여 그 내부의 압력 레벨이 대략 10^{-4} Pa가 되도록 진공으로 만든 다음, 이어서 배기 파이프를 개스 버너를 이용하여 가열하고 플리트시킴으로써 차폐시켜서 엔벨로프(8)를 완전히 밀봉한다.

최종적으로, 용기에 게터링(gettering) 공정을 수행하여 밀봉 이후의 내부 진공 상태를 유지한다.

신호 생성 수단 (도시되지 않음)으로부터 완료된 화상-형성 장치의 전자-방출 소자(1)로 외부 단자(Dx1-Dxm) 및 (Dy1-Dyn)를 통하여 스캔 신호 및 변조 신호를 인가하여 그들로 하여금 전자를 방출하도록 야기시키는 한편, 고전압 단자(Hv)를 통해 고전압을 메탈백(6)에 인가하여 방출된 전자를 가속시키고 형광막(15)과 충돌하도록 함으로써 형광 부재가 여기되고 광선을 방출하여 화상을 표시하도록 한다. 고전압 단자(Hv)로 인가되는 전압(Va)는 1 kV 내지 5 kV이었고 전자-방출 소자(1) 각각의 소자 전극(14, 15) 간에 인가된 전압(Vf)는 14 V이었다.

아래의 표 1은 스페이서(10)의 전하-감소막(10c)의 저항값 및 본 예에서 얻을 수 있는 성능을 나타낸 것이다.

표 1에서 볼 수 있는 바와 같이, 실제적으로는 전 공정에 걸쳐서 저항값의 변동이 없음을 증명하기 위해서 막 형성 및 패널 제공 이후에 저항값을 측정하였다. 이 사실은 Cr/Al 질화물 막이 매우 안정적이고 전하-감소막으로써 훌륭하게 동작한다는 것을 나타내는 것이다.

고유 저항값이 $2.4 \times 10^{-3} \Omega \text{m}$ 인 스페이서를 구비한 화상-형성 장치를 동작시키면, 스페이서에 인접한 전자-방출 소자(1)로부터 방출된 전자로 인한 스폿(spots)을 포함하는 광선 방출 스폿의 열이 형성되고 일정한 간격으로 2-차원적으로 확산 되어 매우 선명하고 재생 가능한 칼라 화상이 표시된다. 이 사실은 스페이서(10)가 전자를 그 경로로부터 벗어나도록 하는 어떠한 장애도 일으키지 않으며 스페이서가 전기적으로 충전되지도 않았음을 나타내는 것이다. 사용된 물질의 저항의 온도 계수는 -0.3 at%이고 Va = 5 kV에서 아무런 열폭주 현상도 관찰되지 않았다.

Va = 2 kV에서 전력 소비율이 거의 1 W가 되기 때문에 고유 저항 $2.5 \Omega \text{m}$ 를 갖는 스페이서에 2 kV를 초과하는 전압을 인가할 수 없다. 고유 저항값이 $4.5 \times 10^{-6} \Omega \text{m}$ 정도인 스페이서는 열폭주 현상을 보이지 않지만, 그들의 전하-감소 효과가 약하고 소정의 전자 빔이 스페이서 쪽으로 끌려당겨지면서 교란된 화상이 표시된다.

XPS (X-선 광전자 분광계)(X-ray photoelectron spectrometer)를 관측한 결과, 본 예에서의 질화도(nitridation degree)(알루미늄 질화물의 알루미늄 전자의 밀도/알루미늄 전자의 밀도의 비율)는 각각 78 at%, 77 at%, 및 73 at% 인 것으로 나타났다.

(비교 예 1)

비교해보면, 예 1과 동일한 공정을 사용하면서 (as depo 저항값: $6.7 \times 10^{-8} \Omega$, 막 두께: 5 nm) Cr/Al 질화물 막 대신 SnO₂ 막을 사용하였다. 도 14는 본 비교 예에서 사용되는 스퍼터링 시스템을 도시한 것이다. 메탈 스퍼터링 타겟을 SnO₂ 타겟으로 대신하였다. 스퍼터링 공정에서 0.5 Pa의 총압력을 구현하기 위해서 아르곤만을 사용하였고, 전력은 5분 동안 500 W의 비율로 공급되었다.

전도성 막(10c)은 조립 단계를 통하여 현저한 변동을 보였다. 조립 단계 이후에, 고유 저항값과 저항값은 각각 $9.2 \times 10^{-2} \Omega \text{m}$ 이고 $1.8 \times 10^{-6} \Omega$ 이며, 따라서 V_a 는 1 kV까지 증가될 수 없다. 즉, 저항값은 표시 제조 공정 중에 한정할 수 없는 방식으로 현저하게 변동하기 때문에 공정이 끝나면 저항값은 매우 많이 변동될 수 있다. 따라서, 저항값을 제어하기 위한 방법이 없는 것이다. 부가적으로, 이러한 고유 저항값을 갖는 SnO_2 막은 저항값을 더욱 제어할 수 없게 되도록 1 nm 미만의 두께로 얇게 만들어져야 한다.

(실시예 2)

본 예는 예 1의 스페이서(10)의 Cr/Al 질화물 막(10c)이 Ta/Al 질화물 막으로 교체되는 점에서 예 1과 구별된다. 본 예의 Ta/Al 질화물 막은 Ta 및 Al 타겟을 아르곤 및 질소의 혼합기체 내에서 스퍼터링 시스템에 의해서 동시에 스퍼터링함으로써 생산된다. 도 14는 본 예에서 사용되는 스퍼터링 시스템을 개략적으로 도시한 것이다. 아르곤 및 질소는 막 형성 챔버(41) 내에 주입되어 각각 0.5 Pa 및 0.2 Pa의 분압을 나타내고, 고주파 전압은 타겟과 스페이서 기판의 각각에 인가되어 스퍼터링용 전기 방전을 일으킨다. 피착된 막의 구성은 각각의 타겟에 인가된 전력을 조절함으로써 최적의 저항값을 얻을 수 있도록 변형된다.

Ta/Al 질화물 막은 Al 타겟 및 Cr 타겟에 11분 동안 각각 500 W 및 150 W의 전력을 인가함으로써 제공된다. 막 두께는 대략 150 nm이고 As 피착비는 $6.2 \times 10^{-3} \Omega \text{m}$ 이다. 저항의 온도 계수는 $-0.04 \text{ at\%}$ 이다.

그런 다음, 상술한 스페이서(10)를 사용하여 화상-형성 장치를 제조하고 예1에서와 같이 평가용으로 동작시킨다.

고전압 단자(Hv)로 인가되는 전압(V_a)는 1 kV 내지 5 kV이고 전자-방출 소자(1) 각각의 소자 전극(14, 15) 간에 인가된 전압(V_f)는 14 V이다.

실제적으로 전 공정에 있어서 저항값에 아무런 변동이 없음을 증명하기 위해서, 스페이서를 설치하기 이전에 관찰된 스페이서 저항(as depo), 스페이서를 면판에 접착한 이후에, 스페이서를 배면판에 접착한 이후에, 그리고 진공 공정 및 각각의 전력 공급 공정 이후에 스페이서의 저항값을 측정한다.

이어서, 배면판과 면판에 인접하여 위치한 영역을 포함하는 스페이서의 미소한 영역에서 저항값을 측정했지만, 전 조립 공정 이후에 저항값에 있어서 어떠한 현저한 차이도 관측되지 않았으며 이는 막의 저항값 분포가 균일하다는 것을 입증하는 것이다. 본 단계에서 스페이서를 포함하는 화상-형성 장치를 동작시키면, 스페이서에 인접한 전자-방출 소자(1)로부터 방출된 전자로 인한 것들을 포함하는 발광 스폿의 열이 형성되고 일정한 간격으로 2-차원적으로 확산되어 매우 선명하고 재생 가능한 칼라 화상이 표시된다. 이 사실은 스페이서(10)가 전자를 예정 경로로부터 벗어날 수 있었던 어떠한 장애도 전계 내에 일으키지 않으며 스페이서가 전기적으로 충전되지도 않았음을 나타내는 것이다.

(실시예 3)

본 예는 예 1의 스페이서(10)의 Cr/Al 질화물 막(10c)이 본 예의 Ti/Al 질화물 막으로 교체되는 점에서 예 1과 구별된다. 본 예의 Ti/Al 질화물 막은 Ti 및 Al 타겟을 아르곤 및 질소의 혼합 기체 내에서 스퍼터링 시스템에 의해서 동시에 스퍼터링함으로써 생산된다. 도 14는 본 예에서 사용되는 스퍼터링 시스템을 개략적으로 도시한 것이다. 아르곤 및 질소는 막 형성 챔버(41) 내에 주입되어 각각 0.5 Pa 및 0.2 Pa의 분압을 나타내고, 고주파 전압은 타겟의 각각에 인가되어 스퍼터링용 전기 방전을 일으킨다. 도포된 막의 구성은 각각의 타겟에 인가된 전력을 조절함으로써 최적의 저항값을 얻을 수 있도록 변형된다.

본 예에서는 두가지 집합의 스페이서에 대하여 다음 두 개의 서로 다른 Ti/Al 질화물 막이 제공된다. 저항의 온도 계수는 $-0.4 \text{ at\%}$ 이다.

(1) Al 타겟 및 Cr 타겟은 6분 동안 각각 500 W 및 120 W의 전력을 인가받는다. 막 두께는 60 nm이고 고유 저항값은 $5.5 \times 10^{-3} \Omega \text{m}$ 이다.

(2) Al 타겟 및 Cr 타겟은 8분 동안 각각 500 W 및 80 W의 전력을 인가받는다. 막 두께는 80 nm이고 고유 저항값은 $1.9 \times 10^{-5} \Omega \text{m}$ 이다.

이어서, 각각의 스페이서 집합을 포함하는 화상-형성 장치를 제공하고 예 1에서와 같이 평가용으로 동작시킨다.

신호 생성 수단 (도시되지 않음)으로부터 완료된 화상-형성 장치의 전자-방출 소자(1)로 외부 단자(Dx1-Dxm) 및 (Dy1-Dyn)를 통하여 스캔 신호 및 변조 신호를 인가하여 전자를 방출하도록 하면서, 고전압 단자(Hv)를 통해 고전압을 메탈백(6)에 인가하여 방출된 전자를 가속시키고 형광막(15)과 충돌하도록 함으로써 형광 부재가 여기되고 광선을 방출하여 화상을 표시하도록 한다.

고전압 단자(Hv)로 인가되는 전압(V_a)는 1 kV 내지 5 kV이고 전자-방출 소자(1) 각각의 소자 전극(14, 15) 간에 인가된 전압(V_f)는 14 V이다.

실제적으로 전 공정에 있어서 관측된 저항값에 아무런 변동이 없음을 증명하기 위해서, 스페이서를 설치하기 이전에, 스페이서를 면판에 접착한 이후에, 스페이서를 배면판에 접착한 이후에, 그리고 진공 공정 및 각각의 전력 공급 공정 이후에 스페이서의 저항값을 측정한다.

이어서, 배면판과 면판에 인접한 영역을 포함하는 스페이서의 미세한 영역에서 저항값을 측정했지만, 전 조립 공정 이후에 저항값에 있어서 어떠한 현저한 차이도 관측되지 않았으며 이는 막의 저항값 분포가 균일하다는 것을 입증하는 것이다. 본 단계에서 저항값이 $5.5 \times 10^{-3} \Omega \text{m}$ 인 스페이서를 포함하는 화상-형성 장치를 동작시키면, 스페이서에 인접한 전자-방출 소자(1)로부터 방출된 전자로 인한 스폿(spots)을 포함하는 광선 방출 스폿의 열이 형성되고 일정한 간격으로 2-차원적으로 확산되어 매우 선명하고 재생 가능한 칼라 화상이 표시된다. 이 사실은 스페이서(10)가 전자를 그 경로로부터 벗어날 수 있도록 어떠한 장애도 전계 내에 일으키지 않으며 스페이서가 전기적으로 전혀 충전되지도 않았음을 나타내는 것이다. 반면에, 더 큰 고유 저항값(고유 저항값: $1.9 \times 10^{-5} \Omega \text{m}$)을 갖는 스페이서를 포함하는 화상-형성 장치 내의 스페이스 근처에서 전자 빔이 약간 이탈하여 약간 왜곡된 화상을 표시하게 된다.

(실시예 4)

본 예는 예 1의 스페이서(10)의 Cr/Al 질화물 막(10c)이 Mo/Al 질화물 막으로 교체되는 점에서 예 1과 구별된다.

아르곤 및 질소는 막 형성 체임버(41) 내에 주입되어 각각 0.31 Pa 및 0.14 Pa의 분압을 나타내고, Al 타겟과 Mo 타겟에 각각 500 W 및 세 개의 서로 다른 레벨인 3 W, 6 W, 및 9 W를 20분 동안 인가하여 200nm 두께의 Mo/Al 질화막을 준비함으로써 세 개의 서로 다른 스페이서 집합에 대하여 세 개의 서로 다른 막을 생성한다. Mo/Al 질화물 막의 세 개의 서로 다른 예의 고유 저항값은 각각 $8.4 \times 10^{-5} \Omega\text{m}$, $5.2 \times 10^{-4} \Omega\text{m}$, 및 $6.4 \times 10^{-3} \Omega\text{m}$ 이고 저항의 온도 계수는 -0.3 at%이다.

이어서, 대응 스페이서 집합을 포함하는 화상-형성 장치가 제공되어 예 1에서와 같이 평가용으로 작동된다. 표 1은 스페이서의 소정 특성과 성능을 보인 것이다. 화상-형성 장치의 전 제조 공정에 걸쳐서 저항값에 실제로 아무런 변동이 없음이 증명되었다.

Mo 함유량이 적지 않은 스페이서가 구비된 화상-형성 장치가 동작을 시작하면, 스페이서에 인접한 전자-방출 소자(1)로부터 방출된 전자로 인한 스폿(spots)을 포함하는 광선 방출 스폿의 열이 형성되고 일정한 간격으로 2-차원적으로 확산되어 매우 선명하고 재생 가능한 칼라 화상이 표시된다. 반면에, Mo 함유량이 적은 스페이서를 포함하는 화상-형성 장치에서는 스페이서가 전자 빔을 끌어당긴다. 어떤 경우에도 $V_a = 5 \text{ kV}$ 에서 열폭주가 전혀 관찰되지 않았다. (실시예 5)

본 예는 예 1의 스페이서(10)의 Cr/Al 질화물 막(10c)이 W/Al 질화물 막으로 교체되는 점에서 예 1과 구별된다. Al 타겟과 Mo 타겟에 각각 500 W 및 네 개의 서로 다른 레벨인 7 W, 9 W, 11 W, 및 20 W를 21분 동안 인가하여 네 개의 서로 다른 스페이서 집합에 대하여 네 개의 서로 다른 막을 생성함으로써 200 nm 두께의 W/Al 질화물 막이 생성된다. W/Al 질화물 막의 네 개의 서로 다른 예의 고유 저항값은 각각 $1.3 \times 10^{-5} \Omega\text{m}$, $4.2 \times 10^{-4} \Omega\text{m}$, $6.5 \times 10^{-3} \Omega\text{m}$, $110 \Omega\text{m}$ 이고 저항의 온도 계수는 -0.3 at%이다.

이어서, 대응 스페이서 집합을 포함하는 화상-형성 장치가 제공되어 예 1에서와 같이 평가용으로 작동된다. 표 1은 스페이서의 소정 특성과 성능을 보인 것이다. 화상-형성 장치의 전 제조 공정에 걸쳐서 저항값에 실제로 아무런 변동이 없음이 증명되었다.

W 함유량이 적지 않은 스페이서가 구비된 화상-형성 장치가 동작을 시작하면, 스페이서에 인접한 전자-방출 소자(1)로부터 방출된 전자로 인한 스폿(spots)을 포함하는 광선 방출 스폿의 열이 형성되고 일정한 간격으로 2-차원적으로 확산되어 매우 선명하고 재생 가능한 칼라 화상이 표시된다. 반면에, W 함유량이 적은 스페이서를 포함하는 화상-형성 장치에서는 스페이서가 전자 빔을 끌어당긴다. W 함유량이 가장 큰 스페이서의 열폭주가 4 kV를 초과하지만, 어떤 경우에도 $V_a = 5 \text{ kV}$ 에서 나머지 스페이서들에서 열폭주가 전혀 관찰되지 않았다. (실시예 6)

본 예에서는, 각각의 스페이서(10)는 (폭이 3.8 mm이고 두께가 200 μm 이며 길이가 40 mm인) 무결 소다 석회 유리로 된 절연 기판(10a) 상에 Cr/Si 질화물 막(10c)을 형성함으로써 제공된다.

본 예에서의 Cr/Si 질화물 막은 스퍼터링 시스템에 의해서 아르곤과 질소의 혼합 공기 내에서 Cr 및 Si 타겟(targets)을 스퍼터링함으로써 생성된다. 피착된 막의 구성은 각각의 타겟에 인가된 전력을 조절함으로써 최적의 저항값을 얻을 수 있도록 제어된다. 구체적인 스퍼터링 조건은 다음과 같다. 아르곤 및 질소의 분압은 0.093 Pa 및 0.040 Pa이고, Cr 타겟 및 Si 타겟은 각각 30-50 W 및 600 W의 전력을 인가받는다. 기판은 실내 온도로 유지되고 접지된다.

예 1에서 설명된 스퍼터링 시스템이 본 예에서도 사용된다. 고전압을 각각의 타겟과 스페이서에 인가하여 스퍼터링 용의 전기 방전을 일으킨다.

본 예에서는 세가지 스페이서 집합에 대하여 다음의 세가지 서로 다른 Cr/Si 질화물 막이 제공된다. (1) 막 두께: 40 nm, 고유 저항값: $42 \Omega\text{m}$, Cr 타겟: 50 W, Cr/Si 혼합 비율 41.3 at.at% (at%), (2) 막 두께: 210 nm, 고유 저항값: $2.6 \times 10^{-3} \Omega\text{m}$, Cr 타겟: 40 W, Cr/Si 혼합 비율 15 at.at% (at%), (3) 막 두께: 100 nm, 고유 저항값: $6.0 \times 10^{-6} \Omega\text{m}$, Cr 타겟: 30 W, Cr/Si 혼합 비율 4.1 at.at% (at%).

이어서, 각각의 스페이서 집합을 포함하는 화상-형성 장치가 제공된다. 스페이서(10), 관련 X-방위 와이어 및 메탈백의 각각 사이를 신뢰성있게 전기적으로 접속하기 위해서, 스페이서(10)의 접합 영역 상에 Al 전극(11)을 형성한다. 전극(11)은 또한 엔벨로프(8)의 내측으로 노출된 스페이서의 4 측면을 X-방위 와이어로부터 면판까지 50 μm 만큼 그리고 메탈백으로부터 배면판까지 300 μm 만큼 덮는다. Cr/Si 질화막(10c)으로 코팅된 스페이서(10)는 주기적인 간격으로 X-방위 와이어(9)로 각각 보호된다.

그후, 면판(7)을 전자 소스(1)위에 3.8mm 간격을 두고 배열하게 되는데, 이때 지지 프레임(수평 벽)(3)이 면판(7)과 전자 소스(1) 사이에 삽입되도록 한다. 또한 후방판(2), 면판(7), 지지 프레임(3) 및 스페이서(10)을 이들의 접합면에서 견고히 접합시킨다.

더욱 구체적으로는, 플리트 글래스(frit glass)를 전자 소스(1)과 후방판(2)의 접합면에 후방 판(2)와 지지 프레임(3)의 접합면에 그리고 전방 판(7)과 지지 프레임(3)의 접합면에 입힌다. 그리고, 이들을 질소 분위기에서 10분 이상 430°C에서 구워 기밀성있게 서로 접합시킴으로써 스페이서의 표면에서 실리콘 천이 금속 질화막이 산화되지 않도록 한다.

마지막으로, 용기를 게터링 공정(gettering process)으로 처리하여, 집합 후에 내부에서의 진공 상태를 유지한다.

신호 처리 수단(도시되지 않음)으로부터 외부 단자(Dx1-Dxm, Dy1-Dyn)를 경유하여 상기 실시예 1에서 기술된 바와 같은 방식으로 처리된 완성된 화상 형성 장치의 전자 방출 소자(1)로 스캔 신호와 변조 신호를 인가하여, 이들 전자 방출 소자들이 전자를 방출할 수 있도록 한다. 한편, 고전압을 고전압 단자(Hv)를 경유해 메탈백(metal back, 6)에 인가하여, 방출된 전자를 가속시켜 형광막 (5)와 부딪히게 하여, 형광 부재를 여기시켜 빛을 방출시킴으로서 화상을 표시할 수 있게 한다. 고전압 단자(Hv)에 인가된 전압(V_a)는 1KV와 5KV 사이에 있으며, 전자 방출 소자(1) 각각의 소자 전극(14, 15)사이에 인가된 전압(V_f)는 14V이다.

스페이서들을 설치하기 이전과, 스페이서들을 전방 판에 접합시킨 후, 스페이서들을 후방 판에 접합시킨 후, 그리고 배기 처리(evacuation)와 통전 공정들 각각을 수행한 후에 스페이서들의 저항을 측정하여, 전체 공정에 걸쳐 어떠한 저항 변동(fluctuations)도 일어나지 않음을 입증해 보기로 한다. 예를 들어, $2.6 \times 10^{-3} \Omega\text{m}$ 의 고유 저항을 갖는 스페이서의 저항은, 설치 전에는 $5.9 \times 10^{-8} \Omega$ 이고, 면판과 후방판을 접합한 후에는 $2.4 \times 10^{-8} \Omega$, 배기 처리를 수행한 후에는 $8.2 \times 10^{-8} \Omega$ 그리고 소자 전극 통전 공정 후에는 $8.2 \times 10^{-8} \Omega$ 으로 나타났다. 이러한 점으로 보아, Cr/Si 질화막은 극히 안정되고 전하 감소막으로 적합하게 사용될 수 있음을 알 수 있다.

$2.6 \times 10^{-3} \Omega\text{m}$ 의 고유 저항을 갖는 스페이서들을 포함하는 화상 형성 장치를 구동시켜 이 단계에서 작동시키면, 스페이서 가까이에 놓여 있는 전자 방출 소자(1)로부터 방출되는 전자로 인한 것들을 포함하는 발광 스폿(light emitting spots) 열(rows)이 형성되어 주기적인 간격으로 2차원적으로 펼쳐져 극히 선명하고 재생가능한 색화상을 표시할 수 있게 된다. 이러한 점으로 보아, 스페이서(10)은, 전자를 그들 원래의 경로로부터 편향시킬 만한 전계의 외관을 만들지는 않으며, 이들 스페이서는 전기적으로 전혀 충전되어 있지 않음을 알 수 있다. 이 물질의 저항 온도 계수는 $-0.7\text{at}\%$ 이며, $V_a=5\text{KV}$ 에서 어떠한 열 폭주(thermal runaway)도 관찰되지 않았다.

스페이서들을 꺼낸 다음, XPS(X-ray photoelectron spectrometer)를 통해 그 표면을 관찰하여, Cr이 표면에서 산화물의 형태로 존재하나 Si는 질화물과 산화물의 혼합물의 형태로 존재하며, 그리고 Si 질화물비(실리콘 질화물의 질소 원자 농도 대 실리콘 원자 농도)가 81과 86at% 사이에 있음을 알게 되었다.

$42\Omega\text{m}$ 의 고유 저항을 갖는 스페이서들은 $V_a=2\text{KV}$ 에서 열폭주를 나타내었고, 따라서 균열된 전하 감소막 때문에 2KV 를 인가할 수 없었다. $6.0 \times 10^{-6} \Omega\text{m}$ 만큼 높은 고유 저항을 갖는 스페이서는 열폭주를 나타내지는 않았으나, 이들의 전하 감소 효과는 미약했고, 이들을 포함하는 화상 형성 장치는 전자 비임이 스페이서 쪽으로 끌려감에 따라 왜곡된 화상을 나타내었다.

(실시예 7)

본 실시예는 접합 단계를 질소 분위기에서 수행하는 것이 아니라 대기 하에서 수행한다는 점에서 실시예 6과 다르다. (그 외에는, 실시예 6에서의 210mm 두께와 $2.6 \times 10^{-3} \Omega\text{m}$ 의 고유 저항을 갖는 스페이스의 제조 조건을 그대로 사용한다.) 스페이서(10) 각각을 처리하여 Cr/Si 질화막(10c)가 약 200mm 의 두께를 갖도록 형성함으로써, $3.1 \times 10^{-3} \Omega\text{m}$ 의 고유 저항과 $-0.9\text{at}\%$ 의 열저항 계수 그리고 Cr/Si=15at.at%의 조성비를 나타내도록 하였다.

그후, 스페이서를 포함하는 화상 형성 장치를 마련하여 실시예 1에서와 같이 평가용으로 작동된다.

고전압 단자 Hv에 인가된 전압 V_a 는 1kV 에서 5kV 이고 전자 방출 소자(1) 각각의 소자 전극(14, 15) 간에 인가된 전압 V_f 는 14V 이다.

스페이서를 설치하기 이전과, 이들을 면판에 접합시킨 이후, 그리고 이들을 후방 판에 접합시킨 이후와 배기 처리 및 각 통전 공정을 수행한 이후에 스페이서의 저항을 측정하여, 전체 공정에 걸쳐 어떠한 저항 변동도 실질적으로 측정되지 않았음을 증명하였다.

그러나, 전자 빔은 스페이서 근처에서 100 에서 $200\mu\text{m}$ 정도 이탈되어 약간은 저해진 화상을 보여주게 된다.

스페이서의 저항은 설치 이전에 $7.4 \times 10^{-8} \Omega$, 면판과 배면판을 접합시킨 후에는 $3.9 \times 10^{-8} \Omega$, 배기 처리 후에는 $9.2 \times 10^{-8} \Omega$, 그리고 소자 전극 통전 공정 후에는 $9.1 \times 10^{-8} \Omega$ 이 된다.

스페이서를 꺼낸 다음, XPS (X-레이 광전자 스펙트로미터)를 통해 표면을 관찰한 결과, 실리콘 질화물비 (실리콘 질화물 원자 농도/실리콘 원자 농도)가 50 내지 $56\text{at}\%$ 사이 정도로 낮아 산화물이 개선된 비율로 존재함을 입증하였다. 이러한 점으로 보아, 스페이서의 Cr/Si 질화물 함유량이 산화물의 함유량을 증가시키기 위해 감소될 때 스페이서는 전기적으로 충전되어 전자를 예정된 경로에서 편향시키는 경향이 있음을 알 수 있다.

그러나, 실리콘 질화물비 (실리콘 질화물 원자 농도/실리콘 원자 농도)이 상 대적으로 낮은 범위에 있을 수 있으나, 전자 빔에는 영향을 미치지 않는다.

(실시예 8)

이 실시예는 아르곤과 질소가 혼합된 가스체에서 Cr과 Si 타겟을 동시에 스퍼터링함으로써 각각의 스페이서 상에 Cr/Si 질화막을 형성하고 처리 중에 기판이 150°C 까지 가열되며 후속되는 접합 단계는 질소 분위기가 아닌 대기에서 수행된다는 점에서 실시예 6과 상이하다. (그외에, 실시예 6에서와 같이 210nm 의 두께와 실시예 6의 $2.6 \times 10^{-3} \Omega\text{m}$ 의 고유 저항값을 갖는 스페이서에 대한 제조 조건이 사용되었다.) 바람직하게는, 기판이 50°C 에서 400°C 사이의 온도로 가열된다. Cr/Si 질화막(10c)를 약 200nm 의 두께로 형성함으로써 각각의 스페이서(10)를 마련하여, $3.0 \times 10^{-3} \Omega\text{m}$ 의 고유 저항값과 $-0.8\text{at}\%$ 의 저항 온도 계수 및 Cr/Si = 14.8at.at%의 조성비를 나타낸다.

그리고나서, 스페이서를 포함하는 화상 형성 장치를 마련하여 실시예 1에서와 같이 평가용으로 동작시킨다.

고전압 단자 Hv에 인가된 전압 V_a 는 1kV 에서 5kV 이고 전자 방출 소자(1) 각각의 소자 전극(14, 15) 간에 인가된 전압 V_f 는 14V 이다.

스페이서를 설치하기 이전과, 이들을 면판에 접합시킨 이후, 그리고 이들을 배면판에 접합시킨 이후와 배기 처리 및 각 통전 공정을 수행한 이후에 스페이서 저항을 측정하여, 전체 공정에 걸쳐 어떠한 저항 변동도 실질적으로 측정되지 않았음을 증명하였다.

구체적으로, 스페이서의 저항은 설치 이전에 $7.1 \times 10^{-8} \Omega$ 이고, 면판과 배면판을 접합시킨 후에는 $3.2 \times 10^{-8} \Omega$, 배기 처리 후에는 $9.2 \times 10^{-8} \Omega$, 그리고 소자 전극 통전 공정 후에는 $9.1 \times 10^{-8} \Omega$ 이 된다.

그 후에, 후방판에 근접한 것과 면판에 근접한 것을 포함하는 스페이서의 미세한 영역에서 저항을 관찰하였으나 전체 조립 공정 이후에 저항에는 큰 변화가 없는 것을 알 수 있어 막이 균일한 저항 분포를 갖는다는 것이 증명되었다. 스페이서를 포함하는 화상 형성 장치를 구동시켜 이 단계에서 작동시키면, 스페이서 가까이에 놓여 있는 전자 방출 소자(1)로부터 방출되는 전자로 인한 것들을 포함하는 발광 스폿 열이 형성되어 주기적인 간격으로 2차원적으로 펼쳐져 극히 선명하고 재생가능한 색화상을 표시할 수 있게 된다. 이러한 점으로 보아, 스페이서(10)은, 전자를 그들 원래의 경

로부터 편향시킬 만한 전계의 외관을 만들지는 않으며, 이들 스페이서는 전기적으로 전혀 충전되어 있지 않음을 알 수 있다.

스페이서들을 꺼낸 다음, XPS를 통해 그 표면을 관찰하여, Cr이 표면에서 산화물의 형태로 존재하지만 Si는 질화물과 산화물의 혼합물의 형태로 존재하고 Si 질화물비(실리콘 질화물의 질소 원자 농도 대 실리콘 원자 농도)가 74와 82at% 사이에 있음을 알게 되었다. 이는 스페이서 상에 Cr/Si 질화막을 형성하기 위해 먼저 발생하는 스퍼터링 단계에서 기판이 150°C로 가열된다면 접합 단계는 실리콘 질화물비를 감소시키지 않고서도 대기에서 수행될 수 있다는 것을 의미한다. 대기에서 수행되는 접합 단계는 제조 단가를 크게 줄일 수 있다.

(실시예 9)

이 실시예는 아르곤과 질소가 혼합된 가스체에서 Cr과 Si 타겟을 동시에 스퍼터링함으로써 각각의 스페이서 상에 Cr/Si 질화막을 형성하는 처리 동안 수 와트(watt)의 RF 바이어싱 전력을 기판에 인가시킨다는 점에서 실시예 8과 다르다. 구체적인 스퍼터링 조건은 다음과 같다. 아르곤과 질소 부분 압력은 0.093Pa와 0.040Pa인 한편, Cr 타겟, Si 타겟 및 기판은 각각 30W, 600W (RF), 및 8W (RF)로 공급된다. 바이어싱 전력은 바람직하게는 Si 타겟에 인가된 전력의 0.5에서 20at% 정도이다. 후속되는 접착 단계는 질소 가스체가 아닌 대기에서 수행되었다. Cr/Si 질화막(10c)을 약 200nm의 두께로 형성함으로써 각각의 스페이서(10)를 준비하여, $2.6 \times 10^{-3} \Omega\text{m}$ 의 고유 저항값, -0.6at%의 저항 온도 계수 및 Cr/Si = 13.6at.at%의 조성비를 나타낸다.

그리고나서, 스페이서를 포함하는 화상 형성 장치를 마련하여 실시예 1에서와 같이 작동시켜 평가한다.

고전압 단자 Hv에 인가된 전압 Va는 1kV에서 5kV이고 전자 방출 소자(1) 각각의 소자 전극(14, 15) 간에 인가된 전압 Vf는 14V이다.

스페이서를 설치하기 이전과, 이들을 면판에 접합시킨 이후, 그리고 이들을 배면판에 접합시킨 이후와 배기 처리 및 각 통전 공정을 수행한 이후에 스페이서 저항을 측정하여, 전체 공정에 걸쳐 어떠한 저항 변동도 실질적으로 측정되지 않았음을 증명하였다. 구체적으로, 스페이서의 저항은 설치 이전에 $6.2 \times 10^{-8} \Omega$ 이고, 면판과 배면판을 접합시킨 후에는 $4.3 \times 10^{-8} \Omega$, 배기 처리 후에는 $8.7 \times 10^{-8} \Omega$, 그리고 소자 전극 통전 공정 후에는 $9.0 \times 10^{-8} \Omega$ 이 된다.

그 후에, 후방판에 근접한 것과 면판에 근접한 것을 포함하는 스페이서의 미세한 영역에서 저항을 관찰하였으나 전체 조립 공정 이후에 저항에는 큰 변화가 없는 것을 알 수 있어 막이 균일한 저항 분포를 갖는다는 것이 증명되었다. 스페이서를 포함하는 화상 형성 장치를 구동시켜 이 단계서 작동시키면, 스페이서 가까이에 놓여 있는 전자 방출 소자(1)로부터 방출되는 전자로 인한 것들을 포함하는 발광 스폿 열이 형성되어 주기적인 간격으로 2차원적으로 펼쳐져 극히 선명하고 재생가능한 색화상을 표시할 수 있게 된다. 이러한 점으로 보아, 스페이서(10)은 전자를 그들 원래의 경로로부터 이탈시킬 수 있었던 전계에서의 어떤 교란도 발생치 않으며, 이들 스페이서는 전기적으로 전혀 충전되어 있지 않음을 알 수 있다.

스페이서들을 꺼낸 다음, XPS (X-레이 광전자 스펙트로미터)를 통해 그 표면을 관찰하여, Cr이 표면에서 산화물의 형태로 존재하지만 Si는 질화물과 산화물의 혼합물의 형태로 존재하고 Si 질화물비 (실리콘 질화물의 질소 원자 농도 대 실리콘 원자 농도)가 66와 71at% 사이에 있음을 알게 되었다. 이는 스페이서 상에 Cr/Si 질화막을 형성하기 위한 선행의 스퍼터링 단계에서 기판에 RF 바이어싱 전력을 공급한다면 실리콘 질화물비를 감소시키지 않고서도 대기에서 접합 단계가 수행될 수 있다는 것을 의미한다.

(실시예 10)

이 실시예는 실시예 6의 기판 상의 Cr/Si 질화막(10c)이 Ta/Si 합성 막에 의해 대체된다는 점에서 실시예 6과 다르다. 이외에, 실시예 1의 막 형성 공정이 후속된다. 구체적인 스퍼터링 조건은 다음과 같다. 아르곤과 질소 부분 압력은 0.093Pa와 0.040Pa이고, Ta 타겟과 Si 타겟은 각각 240W와 600W (RF)로 공급된다. Ta/Si 질화막(10c)을 약 240nm의 두께로 형성함으로써 각각의 스페이서(10)를 준비하여, $5.9 \times 10^{-3} \Omega\text{m}$ 의 고유 저항값과, -0.6at%의 저항 온도 계수 및 Ta/Si = 56.2at.at%의 혼합비를 나타내도록 한다.

그리고나서, 스페이서를 포함하는 화상 형성 장치를 마련하여 실시예 1에서와 같이 작동시켜 평가한다.

고전압 단자 Hv에 인가된 전압 Va는 1kV에서 5kV이고 전자 방출 소자(1) 각각의 소자 전극(14, 15) 간에 인가된 전압 Vf는 14V이다.

스페이서를 설치하기 이전과, 이들을 면판에 접합시킨 이후, 그리고 이들을 배면판에 접합시킨 이후와 배기 처리 및 각 통전 공정을 수행한 이후에 스페이서 저항을 측정하여, 전체 공정에 걸쳐 어떠한 저항 변동도 실질적으로 측정되지 않았음을 증명하였다. 구체적으로, 스페이서의 저항은 설치 이전에 $1.2 \times 10^{-9} \Omega$ 이고, 면판과 배면판을 접합시킨 후에는 $8.4 \times 10^{-8} \Omega$, 배기 처리 후에는 $1.9 \times 10^{-9} \Omega$, 그리고 소자 전극 통전 공정 후에는 $2.0 \times 10^{-9} \Omega$ 이 된다.

그 후에, 후방판에 근접한 것과 면판에 근접한 것을 포함하는 스페이서의 미세한 영역에서 저항을 관찰하였으나 전체 조립 공정 이후에 저항에는 큰 변화가 없는 것을 알 수 있어 막이 균일한 저항 분포를 갖는다는 것이 증명되었다. 스페이서를 포함하는 화상 형성 장치를 구동시켜 이 단계서 작동시키면, 스페이서 가까이에 놓여 있는 전자 방출 소자(1)로부터 방출되는 전자로 인한 것들을 포함하는 발광 스폿 열이 형성되어 주기적인 간격으로 2차원적으로 펼쳐져 극히 선명하고 재생가능한 색화상을 표시할 수 있게 된다. 이러한 점으로 보아, 스페이서(10)은 전자를 그들 원래의 경로로부터 편향시킬 수 있었던 전계에 어떤 교란도 발생치 않으며, 이들 스페이서는 전기적으로 전혀 충전되어 있지 않음을 알 수 있다.

스페이서들을 꺼낸 다음, XPS (X-레이 광전자 스펙트로미터)를 통해 그 표면을 관찰하여, Ta이 표면에서 산화물의 형태로 존재하지만 Si는 질화물과 산화물의 혼합물의 형태로 존재하고 Si 질화물비 (실리콘 질화물의 질소 원자 농도 대 실리콘 원자 농도)가 88와 93at% 사이에 있음을 알게 되었다.

(실시예 11)

이 실시예는 실시예 6의 기판 상의 Cr/Si 질화막(10c)이 Ti/Si 합성 막에 의해 대체된다는 점에서 실시예 6과 다르다. 이외에, 실시예 1의 막 형성 공정이 후속된다. 구체적인 스퍼터링 조건은 다음과 같다. 아르곤과 질소 부분 압력은 0.093Pa와 0.040Pa이고, Ti 타겟과 Si 타겟은 각각 70 또는 160W 및 600W (RF)로 공급된다. 스페이서에 대한 2개의 상이한 집합을 준비한다. 집합(1)에서는, Ti/Si 질화막(10c)을 약 180nm의 두께로 형성함으로써 각각의 스페이서(10)를 준비 하여, Ti 타겟에 160W의 전력을 공급함으로써 $3.8 \times 10^{-5} \Omega\text{m}$ 의 고유 저항을 나타낸다. 집합(2)에서는, Ti/Si 질화막(10c)을 약 70nm의 두께로 형성함으로써 각각의 스페이서(10)를 준비하여, Ti 타겟에 70W의 전력을 공급함으로써 $2.4 \times 10^{-7} \Omega\text{m}$ 의 고유 저항을 나타낸다.

그리고나서, 각각의 집합에 대하여 스페이서를 포함하는 화상 형성 장치를 준비하여 실시예 1에서와 같은 평가를 위해 작동시킨다. 신호 처리 수단(도시되지 않음)으로부터 외부 단자(Dx1-Dxm, Dy1-Dyn)를 경유하여 상기 실시예 1에서 기술된 바와 같은 방식으로 처리된 완성된 화상 형성 장치의 전자 방출 소자(1)로 스캔 신호와 변조 신호를 인가하여, 이들 전자 방출 소자들이 전자를 방출할 수 있도록 한다. 한편, 고전압을 고전압 단자(Hv)를 경유해 메탈백(metal back, 6)에 인가하여, 방출된 전자를 가속시켜 형광막 (5)와 부딪히게 하여, 형광 부재를 여기시켜 빛을 방출시킴으로써 화상을 표시할 수 있게 한다. 고전압 단자(Hv)에 인가된 전압(Va)는 1KV와 5KV 사이에 있으며, 전자 방출 소자(1) 각각의 소자 전극(14, 15)사이에 인가된 전압(Vf)는 14V이다.

전체의 공정을 통하여 실제로 저항의 변동이 발생하지 아니하였음을 확인하기 위하여 스페이서를 설치하기 이전, 스페이서를 면판에 접착시키고 배면판에 접착시킨 후, 진공화 공정 및 각각의 통전 공정이 종료된 후에 스페이서의 저항을 측정하였다. 특히, 스페이서의 저항은 (1)의 경우에 설치 전에는 $1.0 \times 10^{-9} \Omega$ 였고 면판 및 배면판에 접착시킨 후에는 $7.4 \times 10^{-8} \Omega$ 였고, 진공화 후에는 $1.4 \times 10^{-9} \Omega$ 였고 소자 전극 통전 공정 후에는 $1.4 \times 10^{-9} \Omega$ 이고, (2)의 경우에는 스페이서의 저항이 설치 전에는 $1.6 \times 10^{-11} \Omega$ 였고 면판 및 배면판에 접착시킨 후에는 $9.7 \times 10^{-10} \Omega$ 였고, 진공화 후에는 $2.9 \times 10^{-11} \Omega$ 였고 소자 전극 통전 공정 후에는 $3.8 \times 10^{-11} \Omega$ 였다.

그리고, 스페이서에서 면판에 가까운 쪽과 배면판에 가까운 쪽을 포함하여 스페이서의 국소 영역의 저항이 측정되었는데, 전체 조립 공정 후에 저항의 큰 차이가 발견되지 않았는데 이는 막이 균일한 저항 분포를 가짐을 보여준다. 고유 저항이 $3.8 \times 10^{-3} \Omega\text{m}$ 인 스페이서를 포함하는 화상 형성 장치가 이 단계에서 구동될 때에, 스페이서에 가까이 위치한 전자 방출 소자(1)로부터 방출되는 전자에 의한 발광점을 포함하는 발광점들의 행들은 일정한 간격으로 2차원적으로 분산되어 형성되어 매우 선명하고 재생 가능한 컬러 화상이 표시 되었다. 이 사실은 스페이서(10)이 전자를 정제도에서 이탈시킬 수 있는 교란을 발생시키지 아니하였고, 스페이서가 대전 상태가 아니었음을 보여준다.

스페이서들을 제거한 후에, Ti가 산화물 형태로 표면에 존재하는지 여부를 확인하기 위하여 표면을 XPS(X-레이 광전 스펙트로미터)를 사용하여 검사하였으나, Si는 질화물과 산화물의 혼합물 상태로 존재하였고 Si 질화물 비(실리콘 원자의 농도 대 실리콘 질화물의 질소 원자의 농도의 비)는 83 내지 87at% 였다.

한편, 전자 빔은 스페이서의 부근에서 다소 편향되어 큰 고유 저항($2.4 \times 10^{-5} \Omega\text{m}$)를 가지는 스페이서를 포함하는 화상 형성 장치에서는 화면 번짐이 발생하였다.

또한, 전하 감소막으로서 천이 금속/실리콘 질화물 막이 사용된 경우, 표면에 더 많은 실리콘 질화물을 포함하는 막이 효과적으로 전하 축적을 억제할 수 있고, 후속되는 집합 공정이 대기 중에서 실행되는 경우에 (기판 가열, 바이어스 전원 공급 등의) 적절한 막형성 조건이 주어지면 65at% 이상의 표면 질화비(실리콘 원자의 농도 대 실리콘 질화물의 질소 원자의 농도의 비)를 달성할 수 있음이 발견되었다.

(실시예 12)

본 실시예에서, 각각의 스페이서는 청결한 소다 라임 유리로 형성된 절연 기판(10a; 3.8mm 폭, 200 μm 두께, 40mm 길이) 상에 Na 차단층(10b)로서 0.5 μm 두께로 실리콘 질화물 막을 형성시키고 진공 증착법에 의하여 Cr/B 질화물 막(10c)을 형성시켜 준비되었다.

실시예 1의 경우와 같이, 본 실시예의 Cr/B 질화물 막은 스퍼터링 시스템에 의하여 아르곤과 질소의 혼합물의 분위기 내에서 Cr 및 BN 타겟을 동시에 스퍼터링하여 형성되었다. 증착된 막의 조성은 최적의 저항을 달성하기 위하여 각각의 타겟에 가해지는 전력을 조정함으로써 제어되었다. 특정한 스퍼터링 조건은 다음과 같다. 아르곤과 질소의 분압은 각각 0.093Pa 및 0.040Pa이며, Cr 타겟 및 BN 타겟에는 각각 20, 32 또는 50W 및 600W(RF)의 전력이 공급되었다. 기판은 실온으로 유지되고 접지되었다.

본 실시예에서는 세가지 세트의 스페이서를 위하여 다음과 같은 세가지 상이한 Cr/B 질화물 막이 준비되었다: (1) 막 두께: 55nm, 고유 저항: $13 \Omega\text{m}$, Cr 타겟: 50W, Cr/B 조성비 103 원자at%; (2) 막두께: 240nm, 고유 저항: $3.0 \times 10^{-3} \Omega\text{m}$, Cr 타겟: 32W, Cr/B 조성비 37 원자at%; (3) 막두께: 115nm, 고유 저항: $8.4 \times 10^{-6} \Omega\text{m}$, Cr 타겟: 20W, Cr/B 조성비 11 원자at%.

그리하여, 각각의 스페이서 세트를 포함하는 화상 형성 장치가 준비되었다. 각각의 스페이서(10)들, 관련된 X 방위 배선 및 메탈백 간에 신뢰할 수 있는 전기적 접촉을 이루기 위하여, 알루미늄 전극(11)이 스페이서(10)의 접합 영역 상에 형성되었다. 전극(11)은 또한 엔빌로프(8)의 내부에 노출된 스페이서(10)의 4개의 측면부를 X 방위 배선으로부터 면판 쪽으로 50 μm , 메탈백으로부터 배면판 쪽으로 300 μm 만큼을 덮었다. 그리고, Cr/B 질화막(10c)로 코팅된 스페이서(10)이 해당 X 방위 배선(9)에 규칙적인 간격으로 고정되었다.

그 후에, 면판(7)은 배면판(2)와 면판(7) 사이에 위치한 지지 프레임(3)을 사용하여 전자원 상에서 3.8mm되는 위치에 면판(7)이 배열되고, 지지 프레임(3) 및 스페이서(10)은 그 접합부에서 견고하게 접착되었다.

특히, 플리트 유리가 전자원(1)과 배면판(2), 배면판(2)와 지지 프레임(3), 그리고 면판(7)과 지지 프레임(3)의 접합부에 인가되었고, 이들은 스페이서의 표면 상의 보론/천이 금속 질화물 막의 산화를 방지하기 위하여 질소 분위기 내에서 430 °C의 온도로 10분 이상 베이킹되어 기밀성이 있도록 상호접합되었다.

금으로 코팅된 실리카 펠렛을 포함하는 도전성 플리트 유리는 스페이서 상의 전하 감소막과 면판(7) 간의 전기적 접촉을 형성하기 위하여 면판(7) 상의 흑색 스트립(5b; 폭 300 μ m)에 인가되었다. 스페이서와 접촉하는 영역에서는 메탈백이 부분적으로 제거되었다.

스캔 신호와 변조 신호는 신호 발생 수단(도시되지 않음)으로부터 완성된 화상 형성 장치의 전자 방출 소자(1)로 인가되었다. 화상 형성 장치는 전술한 실시예 1에서 설명한 방식에 의하여 준비되었는데, 외부 단자 Dx1-Dxm 및 Dy1-Dyn이 전자 방출 소자로 하여금 전자를 방출하도록 하고 높은 전압이 고전압 단자 Hv를 통하여 메탈백(6)에 인가되어 방출된 전자를 가속시키고 형광막(5)와 충돌시켜 형광 소자가 여기되어 화상을 표시하는 광을 방출시킨다. 고전압 단자 Hv에 인가된 전압 Va는 1kV 내지 5kV였으며, 각각의 전자 방출 소자(1)의 소자 전극(14, 15)에 인가된 전압 Vf는 14V였다.

전체의 공정을 통하여 실제로 저항의 변동이 발생하지 아니하였음을 확인하기 위하여 스페이서를 설치하기 이전, 스페이서를 면판에 접착시키고 배면판에 접착시킨 후, 진공화 공정 및 각각의 통전 공정이 종료된 후에 스페이서의 저항을 측정하였다. 예를 들어, 고유 저항이 $3.0 \times 10^{-3} \Omega \text{m}$ 인 스페이서의 저항은 설치 전에는 $5.9 \times 10^{-8} \Omega$ 였고 면판 및 배면판에 접착시킨 후에는 $2.1 \times 10^{-8} \Omega$ 였으며, 진공화 후에는 $8.4 \times 10^{-8} \Omega$ 였고 소자 전극 통전 공정 후에는 $8.6 \times 10^{-8} \Omega$ 였다. 이러한 사실은 Cr/B 질화막이 매우 안정되어 있고, 전하 감소막으로서 적절히 기능하였음을 나타낸다.

고유 저항이 $3.0 \times 10^{-3} \Omega \text{m}$ 인 스페이서를 포함하는 화상 형성 장치가 이 단계에서 구동될 때에, 스페이서에 가까이 위치한 전자 방출 소자(1)로부터 방출되는 전자에 의한 발광점을 포함하는 발광점들의 행들은 일정한 간격으로 2차원적으로 분산되어 형성되어 매우 선명하고 재생 가능한 컬러 화상이 표시되었다. 이 사실은 스페이서(10)이 전자를 정제도에서 이탈시킬 수 있는 교란을 발생시키지 아니하였고, 스페이서가 대전 상태가 아니었음을 보여준다. 이러한 재료의 저항의 온도 계수는 $-0.5 \text{at}\%$ 이며 Va=5kV에서 열폭주(thermal runaway) 현상이 관찰되지 않았다.

스페이서들을 제거한 후에, Cr가 산화물 형태로 표면에 존재하는지를 살피기 위하여 표면을 XPS(X-레이 광전 스펙트로미터)를 사용하여 검사하였으나, B는 질화물과 산화물의 혼합물 상태로 존재하였고 B 질화물의 농도(보론 원자의 농도 대 보론 질화물의 질소 원자의 농도의 비)는 71 내지 75at%였다.

고유 저항이 $13 \Omega \text{m}$ 인 스페이서는 Va=2kV에서 열폭주 현상을 보였고, 전하 감소막이 파열되어 2kV를 인가하는 것이 불가능하였다. 한편 $8.4 \times 10^{-9} \Omega \text{m}$ 와 같이 높은 바저항을 가지는 스페이서는 열폭주 현상을 보이지 않았고 전하 감소 효과가 약하였으며, 이들을 포함하는 화상 형성 장치는 전자 빔이 스페이서에 의하여 이끌려 화상이 왜곡되는 현상을 보였다.

(실시예 13)

본 실시예는 접착 공정이 질소 분위기가 아니라 대기 중에서 실행되는 점에서 실시예 12와 상이하다. (그 이외에는, 실시예 12의 두께 240nm, 고유 저항 $3.0 \times 10^{-3} \Omega \text{m}$ 의 스페이서를 제작하는 조건이 사용되었다.) 각각의 스페이서(10)은 두께 190nm, 고유 저항 $3.4 \times 10^{-3} \Omega \text{m}$, 저항 온도 계수 $-0.7 \text{at}\%$ 및 Cr/B 조성비가 37 원자at%인 Cr/B 질화물 막(10c)를 형성하여 준비되었다.

스페이서를 포함하는 화상 형성 장치는 실시예 1의 경우와 같이 평가를 위하여 준비되고 작동되었다.

고전압 단자 Hv에 인가된 전압 Va는 1kV 내지 5kV였으며, 각각의 전자 방출 소자(1)의 소자 전극(14, 15)에 인가된 전압 Vf는 14V였다.

전체의 공정을 통하여 실제로 저항의 변동이 발생하지 아니하였음을 확인하기 위하여 스페이서를 설치하기 이전, 스페이서를 면판에 접착시키고 배면판에 접착시킨 후, 진공화 공정 및 각각의 통전 공정이 종료된 후에 스페이서의 저항을 측정하였다. 그러나, 전자빔은 스페이서 부근에서 100 내지 200 μ m 편향되어 약간 교란된 화상을 보였다.

스페이서의 저항은 설치 전에는 $8.5 \times 10^{-8} \Omega$ 였고 면판 및 배면판에 접착시킨 후에는 $4.3 \times 10^{-8} \Omega$ 였으며, 진공화 후에는 $9.7 \times 10^{-8} \Omega$ 였고 소자 전극 통전 공정 후에는 $9.6 \times 10^{-8} \Omega$ 였다.

스페이서들을 제거한 후에, B 질화물 비(보론 원자의 농도 대 보론 질화물의 질소 원자의 농도의 비)가 52 내지 56at% 만큼 낮음을 확인하기 위하여 표면을 XPS(X-레이 광전 스펙트로미터)를 사용하여 검사하였는데, 이는 결과적으로 산화물이 인헨스된 비율로 존재함을 보이기 위함이다. 이 사실은 스페이서의 Cr/B 질화물의 양이 감소되고 산화물의 양이 증가하면 스페이서들이 대전화되기 쉬워 전자를 예정 궤도로부터 이탈시키기 쉬움을 의미하는 것이다.

그러나, B 질화물 비(보론 원자의 농도 대 보론 질화물의 질소 원자의 농도)가 상대적으로 낮으나 전자빔에 영향을 주지 않는 범위가 있을 수 있다.

(실시예 14)

본 실시예는 아르곤 및 질소의 혼합물인 분위기 내에서 Cr 및 BN 타겟을 동시에 스퍼터링함으로써 각각의 스페이서 상에 Cr/B 질화물 막을 형성하는 공정 중에 기판이 250 °C로 가열되고, 후속되는 접착 공정이 질소 분위기가 아닌 대기 중에서 실행되는 점에서 실시예 12와 상이하다. (그 이외에는, 실시예 12의 두께 240nm, 고유 저항 $3.0 \times 10^{-3} \Omega \text{m}$ 의 스페이서를 제작하는 조건이 사용되었다.) 기판은 100 °C 내지 450 °C의 온도로 가열되었다. 각각의 스페이서(10)은 두께 220nm, 고유 저항 $2.7 \times 10^{-3} \Omega \text{m}$, 저항 온도 계수 $-0.5 \text{at}\%$ 및 Cr/B 조성비가 35 원자at%인 Cr/B 질화물 막(10c)를 형성하여 준비되었다.

스페이서를 포함하는 화상 형성 장치는 실시예 1의 경우와 같이 평가를 위하여 준비되고 작동되었다.

고전압 단자 Hv에 인가된 전압 Va는 1kV 내지 5kV였으며, 각각의 전자 방출 소자(1)의 소자 전극(14, 15)에 인가된 전압 Vf는 14V였다.

전체의 공정을 통하여 실제로 저항의 변동이 발생하지 아니하였음을 확인하기 위하여 스페이서를 설치하기 이전, 스페이서를 면판에 접착시키고 배면판에 접착시킨 후, 진공화 공정 및 각각의 통전 공정이 종료된 후에 스페이서의 저항을 측정하였다. 특히, 스페이서의 저항은 설치 전에는 $5.8 \times 10^{-8} \Omega$ 였고 면판 및 배면판에 접착시킨 후에는 $2.1 \times 10^{-8} \Omega$ 였으며, 진공화 후에는 $8.4 \times 10^{-8} \Omega$ 였고 소자 전극 통전 공정 후에는 $8.8 \times 10^{-8} \Omega$ 였다.

그리고, 스페이서에서 면판에 가까운 쪽과 배면판에 가까운 쪽을 포함하여 스페이서의 국소 영역의 저항이 측정되었는데, 전체 조립 공정 후에 저항에서 큰 차이가 나타나지 않았고 이는 막이 균일한 저항 분포를 가짐을 보여준다. 스페이서를 포함하는 화상 형성 장치가 이 단계에서 구동될 때에, 스페이서에 가까이 위치한 전자 방출 소자(1)로부터 방출되는 전자에 의한 발광점을 포함하는 발광점들의 행들은 일정한 간격으로 2차원적으로 분산되어 형성되어 매우 선명하고 재생 가능한 컬러 화상이 표시되었다. 이 사실은 스페이서(10)이 전자를 정계도에서 이탈시킬 수 있는 교란을 발생시키지 아니하였고, 스페이서가 대전 상태가 아니었음을 보여준다.

스페이서들을 제거한 후에, Cr이 산화물 형태로 표면에 존재하는지를 살피기 위하여 표면을 XPS(X-레이 광전 스펙트로미터)를 사용하여 검사하였으나, B는 질화 물과 산화물의 혼합물 상태로 존재하였고 보론 질화물 비(보론 원자의 농도 대 보론 질화물의 질소 원자의 농도의 비)는 73at% 였다. 이는 스페이서 상에 Cr/B 질화물 막을 형성하기 위한 스퍼터링 공정에서 기판이 250 °C로 가열되는 경우에는 보론 질화물 비를 낮추지 아니하고도 접착 단계가 대기 중에서 실행될 수 있음을 나타낸다. 대기 중에서 접착 단계를 실행하는 것이 가능하면 제조 비용을 크게 낮출 수 있다.

(실시예 15)

본 실시예는 아르곤 및 질소의 혼합물인 분위기 내에서 Cr 및 BN 타겟을 동시에 스퍼터링함으로써 각각의 스페이서 상에 Cr/B 질화물 막을 형성하는 공정 중에 기판에 수십 와트의 RF 바이어스 전력이 인가된 점에서 실시예 14와 상이하다. 특정한 스퍼터링 조건은 다음과 같다. 아르곤과 질소의 분압은 각각 0.093Pa 및 0.040Pa 였으며, Cr 타겟, B N 타겟 및 기판에는 각각 32W, 600W(RF) 및 60W(RF)의 전력이 공급되었다. 바이어스 전력은 BN 타겟에 인가되는 전력의 0.5 내지 20at% 이다. 후속하는 접착 단계 또한 대기 중에서 실행되었다. 각각의 스페이서(10)은 두께 200nm, 고유 저항 $2.2 \times 10^{-3} \Omega m$, 저항 온도 계수 -0.4at% 및 Cr/B 조성비가 34 원자at%인 Cr/B 질화물 막(10c)를 형성하여 준비되었다.

스페이서를 포함하는 화상 형성 장치는 실시예 1의 경우와 같이 평가를 위하여 준비되고 작동되었다.

고전압 단자 Hv에 인가된 전압 Va는 1kV 내지 5kV였으며, 각각의 전자 방출 소자(1)의 소자 전극(14, 15)에 인가된 전압 Vf는 14V였다.

전체의 공정을 통하여 실제로 저항의 변동이 발생하지 아니하였음을 확인하기 위하여 스페이서를 설치하기 이전, 스페이서를 면판에 접착시키고 배면판에 접착시킨 후, 진공화 공정 및 각각의 통전 공정이 종료된 후에 스페이서의 저항을 측정하였다. 특히, 스페이서의 저항은 설치 전에는 $5.2 \times 10^{-8} \Omega$ 였고 면판 및 배면판에 접착시킨 후에는 $1.9 \times 10^{-8} \Omega$ 였으며, 진공화 후에는 $7.9 \times 10^{-8} \Omega$ 였고 소자 전극 통전 공정 후에는 $8.3 \times 10^{-8} \Omega$ 이었다.

그리고, 스페이서에서 면판에 가까운 쪽과 배면판에 가까운 쪽을 포함하여 스페이서의 국소 영역의 저항이 측정되었는데, 전체 조립 공정 후에 저항에서 큰 차이가 나타나지 않았고 이는 막이 균일한 저항 분포를 가짐을 보여준다. 스페이서를 포함하는 화상 형성 장치가 이 단계에서 구동될 때에, 스페이서에 가까이 위치한 전자 방출 소자(1)로부터 방출되는 전자에 의한 발광점을 포함하는 발광점들의 행들은 일정한 간격으로 2차원적으로 분산되어 형성되어 매우 선명하고 재생 가능한 컬러 화상이 표시되었다. 이 사실은 스페이서(10)이 전자를 정계도에서 이탈시킬 수 있는 교란을 발생시키지 아니하였고, 스페이서가 대전 상태가 아니었음을 보여준다.

스페이서들을 제거한 후에, Cr이 산화물 형태로 표면에 존재하는지를 살피기 위하여 표면을 XPS(X-레이 광전 스펙트로미터)를 사용하여 검사하였으나, B는 질화물과 산화물의 혼합물 상태로 존재하였고 보론 질화물 비(보론 원자의 농도 대 보론 질화물의 질소 원자의 농도의 비)는 83at% 였다. 이는 스페이서 상에 Cr/B 질화물 막을 형성하기 위한 스퍼터링 공정에서 기판에 RF 바이어스 전력이 인가되는 경우에는 보론 질화물 비를 낮추지 아니하고도 접착 단계가 대기 중에서 실행될 수 있음을 의미한다.

(실시예 16)

본 실시예는 실시예 12의 기판 상의 Cr/B 질화물 막(10c)가 Ta/B 합성막으로 대체된 점에서 실시예 12와 상이하다. 그 밖에는, 실시예 12의 막 형성 공정이 사용되었다. 특정한 스퍼터링 조건은 다음과 같다. 아르곤과 질소의 분압은 각각 0.093Pa 및 0.040Pa 였으며, Ta 타겟 및 BN 타겟에는 각각 180W 및 600W(RF)의 전력이 공급되었다. 각각의 스페이서(10)은 두께 195nm, 고유 저항 $5.7 \times 10^{-3} \Omega m$, 저항 온도 계수 -0.3at% 및 Ta/B 조성비가 67 원자at%인 Ta/B 질화물 막(10c)를 형성하여 준비되었다.

스페이서를 포함하는 화상 형성 장치는 실시예 1의 경우와 같이 평가를 위하여 준비되고 작동되었다.

고전압 단자 Hv에 인가된 전압 Va는 1kV 내지 5kV였으며, 각각의 전자 방출 소자(1)의 소자 전극(14, 15)에 인가된 전압 Vf는 14V였다.

전체의 공정을 통하여 실제로 저항의 변동이 발생하지 아니하였음을 확인하기 위하여 스페이서를 설치하기 이전, 스페이서를 면판에 접착시키고 배면판에 접착시킨 후, 진공화 공정 및 각각의 통전 공정이 종료된 후에 스페이서의 저항을 측정하였다. 스페이서의 저항은 설치 전에는 $1.4 \times 10^{-9} \Omega$ 였고 면판 및 배면판에 접착시킨 후에는 $6.7 \times 10^{-8} \Omega$ 였으며, 진공화 후에는 $2.1 \times 10^{-9} \Omega$ 였고 소자 전극 통전 공정 후에는 $2.3 \times 10^{-9} \Omega$ 였다.

그리고, 스페이서에서 면판에 가까운 쪽과 배면판에 가까운 쪽을 포함하여 스페이서의 국소 영역의 저항이 측정되었는데, 전체 조립 공정 후에 저항에서 큰 차이가 나타나지 않았는데 이는 막이 균일한 저항 분포를 가짐을 보여준다. 스페이서를 포함하는 화상 형성 장치가 이 단계에서 구동될 때에, 스페이서에 가까이 위치한 전자 방출 소자(1)로부터 방출되는 전자에 의한 발광점을 포함하는 발광점들의 행들은 일정한 간격으로 2차원적으로 분산되어 형성되어 매우 선명하고 재생 가능한 컬러 화상이 표시 되었다. 이 사실은 스페이서(10)이 전자를 정계도에서 이탈시킬 수 있는 교란을 발생시키지 아니하였고, 스페이서가 대전 상태가 아니었음을 보여준다.

스페이서들을 제거한 후에, Ta가 산화물 형태로 표면에 존재하는지를 살피기 위하여 표면을 XPS(X-레이 광전 스펙트로미터)를 사용하여 검사하였으나, B는 질화물과 산화물의 혼합물 상태로 존재하였고 보론 질화물 비(보론 원자의 농도 대 보론 질화물의 질소 원자의 농도의 비)는 78 내지 83at% 였다.

(실시예 17)

본 실시예는 실시예 12의 기판 상의 Cr/B 질화물 막(10c)가 Ti/B 질화막으로 대체된 점에서 실시예 12와 상이하다. 그 밖에는, 실시예 12의 막 형성 공정이 사용되었다. 특정한 스퍼터링 조건은 다음과 같다. 아르곤과 질소의 분압은 각각 0.093Pa 및 0.040Pa였으며, Ti 타겟 및 BN 타겟에는 각각 50 또는 120W 및 600W(RF)의 전력이 공급되었다. 두 가지의 스페이서의 세트가 준비되었다. 세트(1)의 경우 각각의 스페이서(10)은 두께 110nm, 고유 저항 $2.6 \times 10^{-3} \Omega\text{m}$ 인 Ti/B 질화물 막(10c)를 형성하여 준비되었다. 세트(2)의 경우 각각의 스페이서(10)은 두께 90nm, 고유 저항 $4.6 \times 10^{-5} \Omega\text{m}$ 인 Ti/B 질화물 막(10c)를 형성하여 준비되었다. Ti/B 질화물 막의 저항 온도 계수는 $-0.4\text{at}\%$ 이며 Ti/B 조성비는 세트(1)의 경우 59 원자at%, 세트(2)의 경우 17 원자at%였다.

스페이서를 포함하는 화상 형성 장치는 실시예 1의 경우와 같이 평가를 위하여 준비되고 작동되었다. 스캔 신호와 변조 신호는 신호 발생 수단(도시되지 않음)으로부터 완성된 화상 형성 장치의 전자 방출 소자(1)로 인가되었다. 화상 형성 장치는 전술한 실시예 1에서 설명한 방식에 의하여 준비되었는데, 외부 단자 Dx1-Dxm 및 Dy1-Dyn이 전자 방출 소자로 하여금 전자를 방출하도록 하고 높은 전압이 고 전압 단자 Hv를 통하여 메탈백(6)에 인가되어 방출된 전자를 가속시키고 형광막(5)와 충돌시켜 형광 소자가 여기되어 화상을 표시하는 광을 방출시킨다.

고전압 단자 Hv에 인가된 전압 Va는 1kV 내지 5kV였으며, 각각의 전자 방출 소자(1)의 소자 전극(14, 15)에 인가된 전압 Vf는 14V였다.

전체의 공정을 통하여 실제로 저항의 변동이 발생하지 아니하였음을 확인하기 위하여 스페이서를 설치하기 이전, 스페이서를 면판에 접착시키고 배면판에 접착시킨 후, 진공화 공정 및 각각의 통전 공정이 종료된 후에 스페이서의 저항을 측정하였다. 세트(1)의 경우에, 스페이서의 저항은 설치 전에는 $1.1 \times 10^{-9} \Omega$ 였고 면판 및 배면판에 접착시킨 후에는 $6.4 \times 10^{-8} \Omega$ 였으며, 진공화 후에는 $2.5 \times 10^{-9} \Omega$ 였고 소자 전극 통전 공정 후에는 $2.7 \times 10^{-9} \Omega$ 였으며, 세트(2)의 경우에는 스페이서의 저항은 설치 전에는 $2.4 \times 10^{-11} \Omega$ 였고 면판 및 배면판에 접착시킨 후에는 $1.1 \times 10^{-11} \Omega$ 였으며, 진공화 후에는 $2.9 \times 10^{-11} \Omega$ 였고 소자 전극 통전 공정 후에는 $3.1 \times 10^{-11} \Omega$ 였다.

그리고, 스페이서에서 면판에 가까운 쪽과 배면판에 가까운 쪽을 포함하여 스페이서의 국소 영역의 저항이 측정되었는데, 전체 조립 공정 후에 저항에서 큰 차이가 나타나지 않았고 이는 막이 균일한 저항 분포를 가짐을 보여준다. 고유 저항이 $2.6 \times 10^{-3} \Omega\text{m}$ 인 스페이서를 포함하는 화상 형성 장치가 이 단계에서 구동될 때에, 스페이서에 가까이 위치한 전자 방출 소자(1)로부터 방출되는 전자에 의한 발광점을 포함하는 발광점들의 행들은 일정한 간격으로 2차원적으로 분산되어 형성되어 매우 선명하고 재생 가능한 컬러 화상이 표시되었다. 이 사실은 스페이서(10)이 전자를 정제도에서 이탈시킬 수 있는 교란을 발생시키지 아니하였고, 스페이서가 대전 상태가 아니었음을 보여준다.

스페이서들을 제거한 후에, Ti가 산화물 형태로 표면에 존재하는지를 살피기 위하여 표면을 XPS(X-레이 광전 스펙트로미터)를 사용하여 검사하였으나, B는 질화물과 산화물의 혼합물 상태로 존재하였고 보론 질화물 비(보론 원자의 농도 대 보론 질화물의 질소 원자의 농도의 비)는 73 내지 79at%였다.

한편, 보다 큰 고유 저항($4.6 \times 10^{-5} \Omega\text{m}$)을 가지는 스페이서를 포함하는 화상 형성 장치에서는 스페이서 부근에서 전자빔이 다소 편향되어 화면이 교란되는 현상이 발생하였다.

(실시예 18)

본 실시예에서, 각각의 스페이서는 청결한 소다 라임 유리로 형성된 절연 기판(10a; 3.8mm 폭, 200 μm 두께, 20mm 길이) 상에 Na 차단층으로서 0.5 μm 두께로 실리콘 질화물 막을 형성시키고 진공 증착법에 의하여 Ti/Al 질화물 막(10c)를 형성시켜 준비되었다.

본 실시예의 Ti/Al 질화물 막은 실시예 1의 스퍼터링 시스템에 의하여 아르곤과 질소의 혼합물의 분위기 내에서 Ti 및 Al 타겟을 동시에 스퍼터링하여 형성되었다.

아르곤 및 질소는 각각의 분압이 0.5Pa 및 0.2Pa가 되도록 막 형성 챔버(41) 내로 공급되었다. 각각의 타겟 및 스페이서 기판에는 스퍼터링을 위한 방전 현상을 발생시키기 위하여 고주파수 전압이 인가되었다. 증착된 막의 조성은 최적의 저항을 달성하기 위하여 각각의 타겟에 가해지는 전력을 조정함으로써 제어되었다. 특정한 스퍼터링 조건은 다음과 같다. 본 실시예에서 다음과 같은 상이한 Ti/Al 질화물 막이 두가지의 스페이서 세트를 위하여 준비되었다.

(1) Al 타겟 및 Ti 타겟이 각각 500W 와 120W의 전력으로 15분간 스퍼터링 되었다. 막 두께는 150nm였고 고유 저항은 $5.2 \times 10^{-3} \Omega\text{m}$ 였다.

(2) Al 타겟 및 Ti 타겟이 각각 500W 와 80W의 전력으로 20분간 스퍼터링 되었다. 막 두께는 210nm였고 고유 저항은 $1.4 \times 10^{-5} \Omega\text{m}$ 였다.

그리하여 각각의 세트의 스페이서를 포함하는 화상 형성 장치가 준비되었다. 각각의 스페이서(10)들, 관련된 X 방위 배선 및 메탈백 간에 신뢰할 수 있는 전기적 접속을 이루기 위하여, 알루미늄 전극(11)이 스페이서(10)의 접합부 상에 형성되었다. 전극(11)은 또한 엔빌로프(8)의 내부에 노출된 스페이서(10)의 4개의 측면부를 X 방위 배선으로부터 면판 쪽으로 50 μm , 메탈백으로부터 배면판 쪽으로 300 μm 만큼 덮는다.

Al/Ti 질화물 막으로 코팅된 스페이서(10)은 Al/Ti 질화물 막의 표면을 Al/Ti 합금 산화물 막(10d)로 변환하기 위하여 대기 중에서 430 °C로 1시간 동안 가열된다. 2차 이온 질량 스펙트로메트리를 사용하는 분석 결과 산화물 막의 두께는 약 25nm였다.

그 후에, 면판(7)은 배면판(2)와 면판(7) 사이에 위치한 지지 프레임(3)을 사용하여 전자원 상에서 3.8mm되는 위치에 면판(7)이 배열되고, 지지 프레임(3) 및 스페이서(10)은 그 연결부에서 견고하게 접합된다. 금으로 코팅된 실리카 펠렛을 포함하는 도전성 플리트 유리는 스페이서 상의 전하 감소막과 면판(7) 간의 전기적 접속을 형성하기 위하여 면판(7) 상의 흑색 스트립(5b; 폭 300 μm)에 인가된다. 스페이서와 접촉하는 영역에서는 메탈백이 부분적으로 제거된다. 특히, 플리트 유리가 전자원(1)과 배면판(2), 배면판(2)와 지지 프레임(3), 그리고 면판(7)과 지지 프레임(3)의 연결부에 인가되었고, 이들은 스페이서의 표면 상의 보론/천이 금속 질화물 막의 산화를 방지하기 위하여 질소 분위기 내에

서 420 °C의 온도로 10분 이상 베이킹되어 기밀성이 있도록 상호접합된다.

준비된 엔빌로프(8)가 진공 펌프를 사용하여 배기 파이프를 통하여 진공화 되어 만족스러운 수준의 저압을 형성시키고, 이어서 에너지화 형성 공정에서 각각의 전자 방출 소자(1) 내에 전자 방출 영역(17)을 형성시키기 위하여 용기의 외부 단자 Dx1-Dxm 및 Dy1-Dyn을 통하여 전자 방출 소자(1)의 다비이스 전극(14, 15)에 전압이 인가된다. 도7은 에너지화 형성 공정에 사용되는 전압의 파형을 도시한다.

그리고 배기 파이프를 통하여 아세톤이 내부 압력이 0.133Pa가 될때까지 진공 용기 내로 유입된다. 그 후에, 용기의 외부 단자 Dx1-Dxm 및 Dy1-Dyn을 통하여 소자 전극에 주기적으로 전압을 인가하여 탄소 또는 탄소 화합물을 피착시키는 에너지화 활성화 공정이 실행되었다. 도8a는 에너지화 활성화 공정에서 사용된 파형을 도시한다.

후속하여 용기 전체가 200 °C로 10시간 동안 가열되어 내부 압력 레벨이 10^{-4} Pa가 되도록 완전히 진공화시키고, 엔빌로프(8)를 기밀성이 있도록 밀봉하기 위하여 배기 파이프가 가스 버너에 의하여 가열 플리트되어 폐쇄된다.

마지막으로, 용기가 밀봉 후에 진공 상태를 유지하도록 게터링 공정을 거치게 된다.

스캔 신호와 변조 신호는 신호 발생 수단(도시되지 않음)으로부터 완성된 화상 형성 장치의 전자 방출 소자(1)로 인가되었다. 외부 단자 Dx1-Dxm 및 Dy1-Dyn이 전자 방출 소자로 하여금 전자를 방출하도록 하고 높은 전압이 고 전압 단자 Hv를 통하여 메탈백(6)에 인가되어 방출된 전자를 가속시키고 형광막(5)와 충돌시켜 형광 소자가 여기되어 화상을 표시하는 광을 방출시킨다. 고전압 단자 Hv에 인가된 전압 Va는 1kV 내지 5kV였으며, 각각의 전자 방출 소자(1)의 소자 전극(14, 15)에 인가된 전압 Vf는 14V였다.

표2는 스페이서(10)의 저항 및 열거된 예에서 얻어진 그 성능을 보여준다.

전체의 공정을 통하여 실제로 저항의 변동이 발생하지 아니하였음을 확인하기 위하여 스페이서를 설치하기 이전, 면판에 접착시키고 배면판에 접착시킨 후, 진공화 공정 및 각각의 통전 공정이 종료된 후에 스페이서의 저항을 측정하였다. 이 사실은 Ti/Al 막이 매우 안정적이며 전하 감소막으로써 뛰어난 역할을 하였음을 보여준다. 도17은 제조 단계(흑색 점) 별로 저항의 변화를 도시한다.

고유 저항이 $10^{-3} \Omega\text{m}$ 단위인 스페이서를 포함하는 화상 형성 장치가 이 단계에서 구동될 때에, 스페이서에 가까이 위치한 전자 방출 소자(1)로부터 방출되는 전자에 의한 발광점을 포함하는 발광점들의 행들은 일정한 간격으로 2차원적으로 분산되어 형성되어 매우 선명하고 재생 가능한 컬러 화상이 표시 되었다. 이 사실은 스페이서(10)이 전자를 정제도에서 이탈시킬 수 있는 교란을 발생시키지 아니하였고, 스페이서가 대전 상태가 아니었음을 보여준다. 사용된 재료의 저항의 온도 계수는 $-0.4\text{at}\%$ 이며 Va=5kV에서 열폭주 현상이 관찰되지 않았다.

한편 고유 저항이 $10^{-5} \Omega\text{m}$ 단위의 스페이서는 열폭주 현상을 보이지 않았고 전하 감소 효과가 약하였으며, 이들을 포함하는 화상 형성 장치는 전자 빔이 스페이서에 의하여 이끌려 화상이 왜곡되는 현상을 보였다.

(실시예 19)

고유 저항이 $7.6 \times 10^{-3} \Omega\text{m}$ 이고 두께가 60nm인 Ti/Al의 하부층을 형성한 후에, 그 위에 표면 층으로서 두께 10nm의 Ni 질화물 층이 형성되어 전하 감소막이 완성되었다. Ti/Al 질화물막은 도14에 도시된 스퍼터링 시스템을 사용하여 Ti 타겟에 110W가 공급되는 점을 제외하고는 실시예 18과 동일한 조건 하에서 6분 동안 형성되었다. Ni 질화물 막은 1Pa의 아르곤 분위기 내에서 Ni 질화물 타겟에 200W를 공급하여 스퍼터링을 하여 형성되었다.

스페이서 및 전자 방출 소자를 포함하는 화상 형성 장치는 실시예 18과 동일한 방식으로 준비되었다.

Va=5kV에서 열폭주 현상이나 화상 교란이 발생하지 아니하였다. 화상 형성 장치의 조립 공정에서 저항은 단지 20at %의 범위 내에서 변화하였다.

(실시예 20)

본 실시예는 실시예 18의 Ti/Al 질화물 막이 Cr/Al 질화물 막으로 대체된 점을 제외하고는 실시예 18과 동일하다. 본 실시예의 Cr/Al 질화물 막은 스퍼터링 시스템에 의하여 아르곤과 질소의 혼합물의 분위기 내에서 Cr 및 Al 타겟을 동시에 스퍼터링하여 형성되었다. 도14는 본 실시예에서 사용된 스퍼터링 시스템을 개략적으로 도시한다. 아르곤 및 질소는 각각의 분압이 0.5Pa 및 0.2Pa가 되도록 막 형성 챔버(41) 내로 공급되었다. 각각의 타겟 및 스페이서 기판에는 스퍼터링을 위한 방전 현상을 발생시키기 위하여 고주파수 전압이 인가되었다. 증착된 막의 조성은 최적의 저항을 달성하기 위하여 각각의 타겟에 가해지는 전력을 조정함으로써 제어되었다. 본 실시예에서 다음과 같은 상이한 Cr/Al 질화물 막이 두가지의 스페이서 세트를 위하여 준비되었다. 막의 저항 온도 계수는 $-0.3\text{at}\%$ 였다.

(1) Al 타겟 및 Cr 타겟이 각각 500W 와 12W의 전력으로 12분간 스퍼터링 되었다. 막 두께는 130nm였고 고유 저항은 $2.2 \times 10^{-3} \Omega\text{m}$ 였다.

(2) Al 타겟 및 Cr 타겟이 각각 500W 와 10W의 전력으로 20분간 스퍼터링 되었다. 막 두께는 200nm였고 고유 저항은 $1.5 \times 10^{-4} \Omega\text{m}$ 였다.

그리하여 각각의 스페이서 세트를 포함하는 화상 형성 장치가 준비되었고 실시예 1과 같이 평가를 위하여 동작되었다. 스캔 신호와 변조 신호는 신호 발생 수단(도시되지 않음)으로부터 완성된 화상 형성 장치의 전자 방출 소자(1)로 인가되었다. 외부 단자 Dx1-Dxm 및 Dy1-Dyn이 전자 방출 소자로 하여금 전자를 방출하도록 하고 높은 전압이 고 전압 단자 Hv를 통하여 메탈백(6)에 인가되어 방출된 전자를 가속시키고 형광막(5)와 충돌시켜 형광 소자가 여기되어 화상을 표시하는 광을 방출시킨다. 고전압 단자 Hv에 인가된 전압 Va는 1kV 내지 5kV였으며, 각각의 전자 방출 소자(1)의 소자 전극(14, 15)에 인가된 전압 Vf는 14V였다.

전체의 공정을 통하여 특별히 저항의 변동이 발생하지 아니하였음을 확인하기 위하여 스페이서를 설치하기 이전, 스페이서를 면판에 접착시키고 배면판에 접착시킨 후, 진공화 공정 및 각각의 통전 공정이 종료된 후에 스페이서의 저항을 측정하였다.

SIMS 분석 결과, 두가지 세트의 Cr-Al 질화물 막에는 각각 23nm 및 19nm 두께의 Cr-Al 합금 산화물 막(10d)이 형성되었음이 발견되었다.

각각의 스페이서 세트를 포함하는 화상 형성 장치가 이 단계에서 구동될 때에, 스페이서에 가까이 위치한 전자 방출 소자(1)로부터 방출되는 전자에 의한 발광점을 포함하는 발광점들의 행들은 일정한 간격으로 2차원적으로 분산되어 형성되어 매우 선명하고 재생 가능한 컬러 화상이 표시되었다. 이 사실은 스페이서(10)이 전자를 정계도에서 이탈시킬 수 있는 교란을 발생시키지 아니하였고, 스페이서가 대전 상태가 아니었음을 보여준다.

(실시예 21)

본 실시예에서, 실시예 20의 경우와 같이 $2.2 \times 10^{-3} \Omega$ 의 고유 저항을 가진 막을 형성하기 위하여 사용된 조건과 동일한 조건하에 실리콘 질화물 막이 코팅된 유리 기판 상에 130nm 두께로 Cr/Al 질화물 막을 형성한 후에, Cr 타겟에 공급되는 전력을 1분간 점차 증가시켜 Cr-Al 질화물 막의 전체 두께가 160nm가 되도록 성장시켰다. 전력은 최상층의 Al/Cr 합금비가 1이 되도록 제어되었다.

준비된 스페이서는 대기 중에서 450°C 의 온도로 1시간 동안 열처리되었다. 열처리 결과, Cr-Al 합금 산화물의 표면층이 두께 35nm로 형성되었다. 스페이서는 실시예 1과 같은 화상 형성 장치를 준비하기 위하여 사용되었다.

화상 형성 장치는 $V_a=5\text{kV}$ 에서 교란이 없는 양호한 화면을 표시하였다. 도18은 제조 단계(흑색 점) 별로 저항의 변화를 도시한다. 저항의 극단적인 변화는 관측되지 아니하였다.

(실시예 22)

본 실시예에서는 실시예 20과 유사한 기판이 사용되었고 스퍼터링 시스템 내에서 Cr-Al 질화물 막이 하부층으로서 200nm의 두께와 $6.5 \times 10^{-3} \Omega$ 의 고유 저항을 갖도록 형성되었다. 특히, 도14의 스퍼터링 시스템은 Cr 타겟에 20분간 11W가 공급된 점을 제외하고는 Cr/Al 질화물 막을 형성하기 위한 전술한 조건하에서 사용되었다. 그 후에, Cr 산화물 막이 증착법에 의하여 7nm의 두께로 그 위에 형성되었다. Cr 산화물 막을 형성하기 위하여 Cr 산화물을 증착원으로 하는 전자빔 증착 기법이 사용되었다. Cr 산화물 막은 분당 1.2nm의 속도로 성장되었다.

이러한 스페이서를 사용하는 화상 형성 장치는 $V_a=5\text{kV}$ 에서 만족스럽게 동작하여 뛰어난 화질을 보였다.

(실시예 23)

본 실시예는 실시예 18의 스페이서(10)의 Ti/Al 질화물 막(10c)이 Ta/Al 질화물 막으로 대체된 점에서 실시예 18과 상이하다. 본 실시예의 Ta/Al 질화물 막은 스퍼터링 시스템에 의하여 아르곤과 질소의 혼합물의 분위기 내에서 Ta 및 Al 타겟을 동시에 스퍼터링하여 형성되었다. 도14는 본 실시예에서 사용된 스퍼터링 시스템을 개략적으로 도시한다. 아르곤 및 질소는 각각의 분압이 0.5Pa 및 0.2Pa가 되도록 막 형성 챔버(41) 내로 공급되었다. 각각의 타겟 및 스페이서 기판에는 스퍼터링을 위한 방전 현상을 발생시키기 위하여 고주파수 전압이 인가되었다. 증착된 막의 조성은 최적의 저항을 달성하기 위하여 각각의 타겟에 가해지는 전력을 조정함으로써 제어되었다. 특히, 본 실시예의 Ta/Al 질화물 막은 Al 및 Ta 타겟에 14분간 각각 500W 및 135W를 공급하여 형성되었다. 막 두께는 약 160nm였으며 고유 저항은 $4.4 \times 10^{-4} \Omega$ 였다. 저항의 온도 계수는 $-0.04\text{at}\%$ 였다. 막은 450°C 로 1시간 동안 열처리되어 30nm 두께의 Ta-Al 합금 산화물 표면층과 130nm 두께의 Ta-Al 질화물 하부층을 형성하였다.

스페이서를 포함하는 화상 형성 장치가 준비되고 실시예 1과 같이 평가를 위하여 동작되었다.

고전압 단자 Hv에 인가된 전압 V_a 는 1kV 내지 5kV였으며, 각각의 전자 방출 소자(1)의 소자 전극(14, 15)에 인가된 전압 V_f 는 14V였다.

전체의 공정을 통하여 실제로 저항의 변동이 발생하지 아니하였음을 확인하기 위하여 스페이서를 설치하기 이전, 스페이서를 면판에 접촉시키고 배면판에 접촉시킨 후, 진공화 공정 및 각각의 통전 공정이 종료된 후에 스페이서의 저항을 측정하였다.

화상 형성 장치는 $V_a=5\text{kV}$ 에서 열폭주 현상을 보이지 않았다. 스페이서 부근에서 스캐닝 라인 간격의 1/5에 해당하는 전자빔이 관측되었으나, 화상 형성 장치는 양호한 화질을 보였다.

도18은 각 제조 단계(백색 점) 별로 저항의 변화를 도시한다. 본 실시예에서 극단적인 저항의 변화는 관측되지 않았다.

(실시예 24)

실시예 23의 산화 공정은 본 실시예에서 20nm 두께의 구리 질화물 표면층을 형성하기 위한 전자빔 증착 공정으로 대체되었다. 그 결과, 160nm 두께의 Ta-Al 질화물 하부층 및 20nm 두께의 구리 산화물 표면층을 가지는 막이 형성되었다. Ta-Al 질화물 막은 $2.9 \times 10^{-4} \Omega$ 의 고유 저항을 보였다.

이러한 스페이서를 사용하는 화상 형성 장치는 $V_a=5\text{kV}$ 에서 열폭주 현상을 보이지 않았으며 왜곡이 없는 양호한 화질을 보였다.

(비교예)

비교의 목적을 위하여, 전술한 공정 및 Cr 산화물을 사용하여 전하 감소막이 준비되었다. 스페이서의 저항은 도17에 도시된 바와같이 (백색 점) 현저하게 요동하였다. 본 실시예에서 Cr 산화물 층은 실시예 22의 경우와 같이 전자빔 증착법을 사용하여 50nm의 두께로 형성되었다. Cr 산화물 막의 저항은 화상 형성 장치의 준비 공정 도중 및 이후에 현저하게 요동하였으므로 저항을 거의 제어할 수 없었다. 특히, 저항은 동일한 로트의 스페이서 간에도 크게 상이하여 어떠한 스페이서는 동일 로트의 다른 스페이서보다 저항이 두배인 경우도 있었다. 상이한 로트의 스페이서 간에는 저항의 차이가 10배에 달하기도 하였다. 또한, 스페이서 상의 Cr 산화물 막의 저항도 스페이서의 위치에 따라 크게 상이하였다. 스페이서 부근에서는 전기장이 왜곡되었다. 그리하여, 스페이서의 저항이 허용 한도 내에 있는 경우에도, 스페이서를 포함하는 화상 형성 장치는 전자를 정계도에서 이탈시켜 왜곡된 화면을 발생시켰다.

(실시예 25)

도19는 본 실시예의 화상 형성 장치의 개략적 단면도로서 전자원 부근의 스페이서의 일부를 도시한다. 본 실시예에서, 전자 방출 소자로서 전계 방출 소자가 사용되었다.

도19에는 배면판(62), 면판(63), 캐소드(61), 게이트 전극(66), 게이트/캐소드 절연층(67), 집속 전극(68), 형광체(64), 집속 전극/게이트 전극 절연층(69) 및 캐소드 리드 도선(70)이 도시되어 있다. 그 밖에, 절연 기판 및 텅스텐/알루미늄 질화물 막 피복을 포함하는 스페이서(65)가 도시되어 있다.

전자 방출 소자는 캐소드(61)의 전방 단부와 게이트 전극(66) 사이에 큰 전계가 인가될 때에 캐소드(61)의 전방 단부로부터 전자가 방출되도록 설계되었다. 게이트 전극(66)은 다수의 캐소드로부터 도달하는 전자들이 통과하는 전자공을 가지고 있다. 전자는 전자공을 통과한 후에 집속 전극(68)에 의하여 집속되고 면판(63) 상에 배열된 애노드(68)의 전계에 의하여 대향하여 위치한 형광체 상의 픽셀에 충돌할 때까지 가속된다. 전자의 충돌에 의하여 화상의 표시하는 광이 방출된다. 다수의 게이트 전극(68)과 다수의 캐소드 리드 배선(70)이 단순 매트릭스 형태로 배열되어 적절한 캐소드가 전자를 방출하도록 입력 신호에 의하여 선택될 수 있다.

본 실시예의 캐소드, 게이트 전극, 집속 전극 및 캐소드 리드 배선은 공지된 방법에 의하여 준비되었으며 캐소드에는 Mo가 사용되었다. 스페이서 기판 각각은 소다 라임 유리로 만들어져 있다. 그것은 길이가 20mm, 폭이 1.2mm, 두께가 0.2mm이었다. 예 5에서와 같이, 그 표면에는 150nm의 두께로 텅스텐/질화알루미늄 막이 형성되었다. 그 후, 스페이서(65)가 전기 전도성 플리트 글래스(frit glass)에 의하여 포커싱 전극(68)에 본딩된다. 접촉 저항을 감소시키기 위하여 각각의 스페이서가 포커싱 전극 및 형광체와 접촉하는 영역에서 증착(evaporation)에 의하여 알루미늄 막이 형성된다.

이 예에서 텅스텐/질화 알루미늄 막의 고유 저항은 $2.2 \times 10^{-4} \Omega m$ 이고 스페이서는 저항이 $3.7 \times 10^{-9} \Omega$ 이었다.

그 후, 스페이서가 본딩된 배면판(62) 및 형광체(64)가 형성된 전면판(63)은 질소 분위기 속에서 플리트 글래스에 의하여 서로 본딩되는데, 그 사이에는 공기 밀폐형 용기를 만들어 내기 위하여 (도시되지 않은) 지지 프레임이 위치한다. 그 후 공기 밀폐형 용기의 내부는 배출 파이프에 의하여 공기를 빼내고, 용기는 250°C에서 10시간 동안 베이킹(bake)한다. 그 후, 그 내부는 다시 $10^{-5} Pa$ 이 되도록 공기를 빼내고, 배출 파이프는 가스 버너로 녹여서 닫아 버린다. 마지막으로, 밀봉 동작 후에 내부의 고진공 정도를 유지하기 위하여 고주파 히팅(high frequency heating)에 의해 게터링 프로세스(gettering process)가 수행된다.

그 후, 캐소드로 하여금 면판에 배열된 투명 전극에 의하여 가속되는 전자들을 방출하도록 하고 형광체(64)가 화상을 표시하도록 하기 위하여, 용기의 외부 단자에 의하여 (도시되지 않은) 신호 발생 수단으로부터 신호들을 캐소드(61)에 인가함으로써, 준비된 화상 형성 장치가 동작하도록 구동된다.

화상 형성 장치의 제조 프로세스 후에 스페이서의 저항은 안정적으로 $4.2 \times 10^{-9} \Omega$ 이었고, 스페이서 근처에서 빔의 편차가 없었다.

전술한 바와 같이, 본 발명에 따른 전하-감소막은 산소 분위기 하에서의 저항의 변동이 없고 저항이 높도록 하기 위하여 전하-감소막을 얇게 만들어 아일랜드(island)를 만들 필요가 없기 때문에, 안정적이고 고도로 재생이 가능하다. 본 발명에 따른 전하-감소막은 녹는점이 높고 매우 단단하다는 장점도 있다. 본 발명은 질화 알루미늄, 질화실리콘 및 질화 보론은 전기적으로 부도체이고, 천이 금속의 질화물은 전기적으로 고전도체이어서, 전하-감소막의 구성 성분을 제어함으로써 원하는 고유 저항이 되도록 할 수 있다는 점을 이용한다. 본 발명에 따른 전하-감소막은 전술한 바와 같은 화상-형성 장치뿐만 아니라, CRT, 방전관 및 다른 전자관에도 응용할 수 있다.

발명의 효과

본 발명에 따른 화상 형성 장치는, 장치 기판과 면판 사이에 배열되고 본 발명에 따른 전하-감소막이 코팅되어 있으며 알루미늄, 실리콘 또는 보론의 질화물을 포함하는 절연 부재를 포함하고 있어서, 장치의 구성 요소의 저항은 제조 프로세스 중에 크게 변동되지 않는다. 그러므로, 방출된 전자빔은 실질적으로 전위의 변동이 없고, 따라서 표시된 화상의 명도 및 선명도의 손실 없이 각각의 타겟에 명중할 수 있다.

스페이서들을 질소 화합물 막 상에 배열된 산화물 표면막으로 코팅하면, 화상 형성 장치의 제조 프로세스에 걸쳐서 변동이 없게 된다. 또한, 본딩 단계는 산소 분위기 속에서 수행할 수 있어서 제조 프로세스가 간단해진다.

<표 1>

	재료	천이 금속 함량	As 피착 저항 (Ω)	패널 형성후 저항 (Ω)	막두께 (nm)	고유 저항 (Ω)	절화 비율 (%)	디스플레이된 화상
예 1	Cr-Al-N	13	4.9E+06	5.5E+06	43	2.5	78	범편차가 없음
	Cr-Al-N	7	1.0E+09	1.1E+09	200	2.4E+03	77	
	Cr-Al-N	4	5.0E+12	5.3E+12	80	4.5E+06	73	범편차가 큼
	Ta-Al-N	39	4.4E+09	3.9E+09	150	6.2E+03	75	
예 2	Ti-Al-N	28	4.8E+08	8.7E+08	60	5.5E+03	72	범편차가 없음
예 3	Ti-Al-N	21	9.5E+10	2.2E+11	80	1.9E+05	71	범편차가 약간 있음
	Mo-Al-N	2	4.0E+11	4.2E+11	200	8.8E+05	80	
예 4	Mo-Al-N	4	2.5E+10	2.5E+10	200	5.3E+04	79	범편차가 약간 있음
	Mo-Al-N	7	3.0E+09	3.1E+09	200	6.6E+03	75	
예 5	W-Al-N	3	6.2E+10	7.1E+10	200	1.5E+05	82	범편차가 없음
	W-Al-N	5	2.0E+10	2.1E+10	200	4.4E+04	83	범편차가 없음
	W-Al-N	6	3.5E+09	3.4E+09	200	7.1E+03	77	범편차가 없음
	W-Al-N	10	5.3E+07	7.8E+07	200	1.6E+02	70	범편차가 없음

As 피착 저항 : 막 형성 후의 저항값.

패널 형성후 저항 (resistance after panel preparation) : 화상 형성 장치의 형성 후의 저항.

질화 비율 (nitridation ratio) : (XPS를 통해 관찰한) 질화 알루미늄의 질 소원자/알루미늄원자의 비율.

표시된 화상 빔의 편차 (displayed image beam deviation) : 충전된 스페이싱 때문에 전하 소스로부터 방출된 전자 중 일부가 형광체 타겟에 명중하지 못했고, 표시된 화상은 인식할 수 있을 정도로 스페이서에서 왜곡됨.

빔 편차가 약간 있음 : 빔 편차를 인식할 수 있으나, 2개의 인접한 주사선 사이의 거리의 2/10 이하임.

<표 2>

	하부층				표면층		저항 (Ω)	디스플레이된 화상
	재료	천이 금속 함량	두께 (nm)	고유 저항 (Ω)	재료	두께 (nm)		
예 18	Ti-Al-N	28	125	5.2×10^3	Ti-Al-O	25	3.8×10^9	양호
	Ti-Al-N	21	185	1.4×10^5	Ti-Al-O	25	7.0×10^{10}	범편차가 약간있음
예 19	Ti-Al-N	27	60	7.6×10^3	Ni 산화물	10	8.4×10^9	양호
예 20	Cr-Al-N	7	107	2.2×10^3	Cr-Al-O	23	1.8×10^9	양호
	Cr-Al-N	6	181	1.5×10^4	Cr-Al-O	19	8.3×10^9	양호
예 21	Cr-Al-N	7	125	6.5×10^3	Cr-Al-O	35	4.8×10^9	양호
예 22	Cr-Al-N	7	200	6.5×10^3	Cr 산화물	7	2.8×10^9	양호
예 23	Ta-Al-N	38	130	4.4×10^4	Ta-Al-O	30	3.2×10^{10}	범편차가 약간있음
예 24	Ta-Al-N	38	160	2.9×10^4	Cr 산화물	20	9.7×10^9	양호
비교예	Cr 산화물	-	50	4.2×10^2	none		8.0×10^8	범편차가 약간있음

(57) 청구의 범위

청구항 1.

알루미늄, 실리콘 및 보론으로부터 선택된 하나의 원소와, 질소와, 천이금속을 포함하는 제1막 및 상기 제1막의 표면에 배치되는 천이금속의 산화물인 제2막을 포함하는 전하 감소막(charge-reducing film).

청구항 2.

제1항에 있어서,
상기 산화물은 상기 제1막에 포함된 천이금속의 산화물인 전하 감소막.

청구항 3.

제1항에 있어서,
상기 산화물은 알루미늄, 실리콘 또는 보론을 더 포함하는 전하 감소막.

청구항 4.

제1항에 있어서,
상기 제1막에 포함된 천이금속은 크롬, 티타늄, 탄탈륨, 몰리브덴 및 텅스텐으로부터 선택되는 적어도 하나인 전하 감소막.

청구항 5.

제1항에 있어서,
상기 전하 감소막의 막두께는 10 nm에서 1 μ m 사이인 전하 감소막.

청구항 6.

제1항에 있어서,

상기 전하 감소막의 열저항 계수(thermal coefficient of resistance)는 음이고, 그 절대값이 1% 이하인 전하 감소막.

청구항 7.

알루미늄, 실리콘 및 보론으로부터 선택된 하나의 원소와, 질소와, 천이금속을 포함하는 제1막 — 질화물의 형태로 존재하는 상기 알루미늄, 실리콘 또는 보론의 양은 60% 이상임 — 및

상기 제1막의 표면에 배치되는 천이금속의 산화물인 제2막

을 포함하는 전하 감소막.

청구항 8.

제7항에 있어서,

상기 제1막에 포함된 천이금속은 크롬, 티타늄, 탄탈륨, 몰리브덴 및 텅스텐으로부터 선택되는 적어도 하나인 전하 감소막.

청구항 9.

제7항에 있어서,

상기 전하 감소막의 막두께는 10 nm에서 1 μ m 사이인 전하 감소막.

청구항 10.

제7항에 있어서,

상기 전하 감소막의 열저항 계수는 음이고, 그 절대값이 1% 이하인 전하 감소막.

청구항 11.

제7항에 있어서,

상기 산화물은 상기 제1막에 포함된 천이금속의 산화물인 전하 감소막.

청구항 12.

제7항에 있어서,

상기 산화물은 알루미늄, 실리콘 또는 보론을 더 포함하는 전하 감소막.

청구항 13.

전자 방출 소자, 화상 형성 부재 및 엔빌로프내에 배치된 스페이서들을 포함하는 화상 형성 장치에 있어서,

상기 각각의 스페이서는 기판 및 상기 기판 위에 형성되며, 청구항 제1항 내지 제12항 또는 제34항 중 임의의 항에 따른 전하 감소막을 포함하는 것을 특징으로 하는 화상 형성 장치.

청구항 14.

제13항에 있어서,

상기 전하 감소막의 두께는 10 nm에서 1 μ m 사이이며, 고유 저항(specific resistance)은 $10^{-7} \times V_a^2$ 에서 $10^{-5} \Omega$ m사이 — 상기 V_a 는 상기 방출된 전자에 인가되는 가속 전압임 — 인 화상 형성 장치.

청구항 15.

제13항에 있어서,

상기 기판은 Na를 포함하며, Na 블록층이 상기 기판 및 상기 질소 화합물막(nitride compound film) 사이에 배치되는 화상 형성 장치.

청구항 16.

제13항에 있어서,

상기 스페이서들은 상기 엔빌로프내에 배치된 전극 부재에 연결된 화상 형성 장치.

청구항 17.

제16항에 있어서,

상기 전극 부재는 상기 전자 방출 소자에 구동 전압을 인가하기 위한 전극인 화상 형성 장치.

청구항 18.

제16항에 있어서,

상기 전극 부재는 상기 방출된 전자를 가속시키기 위하여 상기 화상 형성 부재 상에 배치된 가속 전극인 화상 형성 장치.

청구항 19.

제13항에 있어서,

상기 각각의 스페이서의 서로 마주보는 단부 사이에서 전위차를 발생시키기 위하여 상기 양 단부에 전압이 인가되는 화상 형성 장치.

청구항 20.

제13항에 있어서,

상기 스페이서들은 상기 전자 방출 소자에 구동 전압을 인가하기 위한 전극과 상기 방출된 전자를 가속시키기 위하여 상기 화상 형성 부재 상에 배치된 가속 전극에 연결된 화상 형성 장치.

청구항 21.

제13항에 있어서,

상기 전자 방출 소자는 냉음극형 전자 방출 소자(cold-cathode type electron-emitting devices)인 화상 형성 장치.

청구항 22.

제13항에 있어서,

상기 전자 방출 소자는 표면 전도 전자 방출 소자(surface-conduction electron-emitting devices)인 화상 형성 장치.

청구항 23.

전자 방출 소자, 화상 형성 부재 및 스페이서들을 포함하는 화상 형성 장치를 제조하는 방법에 있어서, 기판을 전하 감소막으로 코팅하여 스페이서들을 준비하는 단계 및 상기 스페이서들과 전자 방출 소자 및 화상 형성 부재를 엔빌로프내에 배치하고 상기 엔빌로프를 밀봉하는 단계를 포함하며, 상기 전하 감소막은 제1막 — 상기 제1막은 알루미늄, 실리콘 및 보론으로부터 선택된 하나의 원소와, 질소와, 천이금속을 포함함 — 과 상기 제1막의 표면에 배치되는 천이금속의 산화물인 제2막을 포함하는 방법.

청구항 24.

제23항에 있어서, 상기 막 코팅 단계는 상기 기판을 가열하면서 상기 질소 화합물을 상기 기판 상에 부착(depositing)하는 단계인 방법.

청구항 25.

제23항에 있어서, 상기 막 코팅 단계는 상기 기판에 전압을 인가하면서 상기 질소 화합물을 상기 기판 상에 부착하는 단계인 방법.

청구항 26.

제23항에 있어서, 상기 밀봉 단계는 산화 분위기(oxidizing atmosphere)에서 수행되는 방법.

청구항 27.

제23항에 있어서, 상기 제1막에 포함된 천이금속은 크롬, 티타늄, 탄탈륨, 몰리브덴 및 텅스텐으로부터 선택되는 적어도 하나인 방법.

청구항 28.

제23항에 있어서, 상기 전하 감소막의 막 두께는 10 nm에서 1 μ m 사이인 방법.

청구항 29.

제23항에 있어서, 상기 전하 감소막의 열저항 계수는 음이고, 그 절대값이 1% 이하인 방법.

청구항 30.

제23항에 있어서, 질화물의 형태로 존재하는 상기 알루미늄, 상기 실리콘 또는 상기 보론의 양은 60% 이상인 방법.

청구항 31.

제30항에 있어서, 상기 제1막에 포함된 천이금속은 크롬, 티타늄, 몰리브덴 및 텅스텐으로부터 선택되는 적어도 하나인 방법.

청구항 32.

제30항에 있어서, 상기 전하 감소막의 막두께는 10 nm에서 1 μ m 사이인 방법.

청구항 33.

제30항에 있어서, 상기 전하 감소막의 열저항 계수는 음이고, 그 절대값이 1% 이하인 방법.

청구항 34.

천이금속의 산화물, 알루미늄, 실리콘 및 보론으로부터 선택된 하나의 원소의 산화물 및 알루미늄, 실리콘 및 보론으로부터 선택된 하나의 원소의 질화물을 포함하며, 질화물의 형태로 존재하는 상기 알루미늄, 실리콘 또는 보론의 양은 60% 이상인 전하 감소막.

청구항 35.

제34항에 있어서, 상기 천이금속은 크롬, 티타늄, 탄탈륨, 몰리브덴 및 텅스텐으로부터 선택되는 적어도 하나인 전하 감소막.

청구항 36.

제34항에 있어서, 상기 전하 감소막의 막두께는 10 nm에서 1 μ m 사이인 전하 감소막.

청구항 37.

제34항에 있어서, 상기 전하 감소막의 열저항 계수는 음이고, 그 절대값이 1% 이하인 전하 감소막.

청구항 38.

전자 방출 소자, 화상 형성 부재 및 엔빌로프내에 배치된 스페이서들을 포함하는 화상 형성 장치에 있어서, 상기 각각의 스페이서는 기판 및 상기 기판 위에 형성되며, 청구항 제34항 내지 제37항 중 임의의 항에 따른 전하 감소막을 포함하는 화상 형성 장치.

청구항 39.

제38항에 있어서,
상기 전하 감소막의 두께는 10 nm에서 1 μ m 사이이며, 고유 저항은 $10^{-7} \times Va^2$ 에서 $10^5 \Omega m$ 사이 — 상기 Va는 상기 방출된 전자에 인가되는 가속 전압임 — 인 화상 형성 장치.

청구항 40.

제38항에 있어서,
상기 기판은 Na를 포함하며, Na 블록층이 상기 기판 및 상기 질소 화합물막 사이에 배치되는 화상 형성 장치.

청구항 41.

제38항에 있어서,
상기 스페이서들은 상기 엔빌로프내에 배치된 전극 부재에 연결된 화상 형성 장치.

청구항 42.

제41항에 있어서,
상기 전극 부재는 상기 전자 방출 소자에 구동 전압을 인가하기 위한 전극인 화상 형성 장치.

청구항 43.

제41항에 있어서,
상기 전극 부재는 상기 방출된 전자를 가속시키기 위하여 상기 화상 형성 부재 상에 배치된 가속 전극인 화상 형성 장치.

청구항 44.

제38항에 있어서,
상기 각각의 스페이서의 서로 마주보는 단부 사이에서 전위차를 발생시키기 위하여 상기 양 단부에 전압이 인가되는 화상 형성 장치.

청구항 45.

제38항에 있어서,
상기 스페이서들은 상기 전자 방출 소자에 구동 전압을 인가하기 위한 전극과 상기 방출된 전자를 가속시키기 위하여 상기 화상 형성 부재 상에 배치된 가속 전극에 연결된 화상 형성 장치.

청구항 46.

제38항에 있어서,
상기 전자 방출 소자는 냉음극형 전자 방출 소자인 화상 형성 장치.

청구항 47.

제38항에 있어서,
상기 전자 방출 소자는 표면 전도 전자 방출 소자인 화상 형성 장치.

청구항 48.

전자 방출 소자, 화상 형성 부재 및 엔빌로프내에 배치된 스페이서들을 포함하는 화상 형성 장치에 있어서,
상기 각각의 스페이서는 기판 및 상기 기판 위에 형성되는 전하 감소막을 포함하며,
상기 전하 감소막은
천이금속의 산화물,
알루미늄, 실리콘 및 보론으로부터 선택된 하나의 원소의 산화물 및
알루미늄, 실리콘 및 보론으로부터 선택된 하나의 원소의 질화물
을 포함하는 화상 형성 장치.

청구항 49.

제48항에 있어서,
상기 전하 감소막의 막두께는 10 nm에서 1 μ m 사이이며, 고유 저항은 $10^{-7} \times Va^2$ 에서 $10^5 \Omega m$ 사이 — 상기 Va는 상기 방출된 전자에 인가되는 가속 전압임 — 인 화상 형성 장치.

청구항 50.

제48항에 있어서,
상기 기판은 Na를 포함하며, Na 블록층이 상기 기판 및 상기 질소 화합물막 사이에 배치되는 화상 형성 장치.

청구항 51.

제48항에 있어서,
상기 스페이서들은 상기 엔빌로프내에 배치된 전극 부재에 연결된 화상 형성 장치.

청구항 52.

제51항에 있어서,
상기 전극 부재는 상기 전자 방출 소자에 구동 전압을 인가하기 위한 전극인 화상 형성 장치.

청구항 53.

제51항에 있어서,
상기 전극 부재는 상기 방출된 전자를 가속시키기 위하여 상기 화상 형성 부재 상에 배치된 가속 전극인 화상 형성 장치.

청구항 54.

제48항에 있어서,
상기 각각의 스페이서의 서로 마주보는 단부 사이에서 전위차를 발생시키기 위하여 상기 양 단부에 전압이 인가되는
화상 형성 장치.

청구항 55.

제48항에 있어서,
상기 스페이서들은 상기 전자 방출 소자에 구동 전압을 인가하기 위한 전극과 상기 방출된 전자를 가속시키기 위하여
상기 화상 형성 부재 상에 배치된 가속 전극에 연결된 화상 형성 장치.

청구항 56.

제48항에 있어서,
상기 전자 방출 소자는 냉음극형 전자 방출 소자인 화상 형성 장치.

청구항 57.

제48항에 있어서,
상기 전자 방출 소자는 표면 전도 전자 방출 소자인 화상 형성 장치.

청구항 58.

제48항에 있어서,
상기 전이금속은 크롬, 티타늄, 탄탈륨, 몰리브덴 및 텅스텐으로부터 선택되는 적어도 하나인 전하 감소막.

청구항 59.

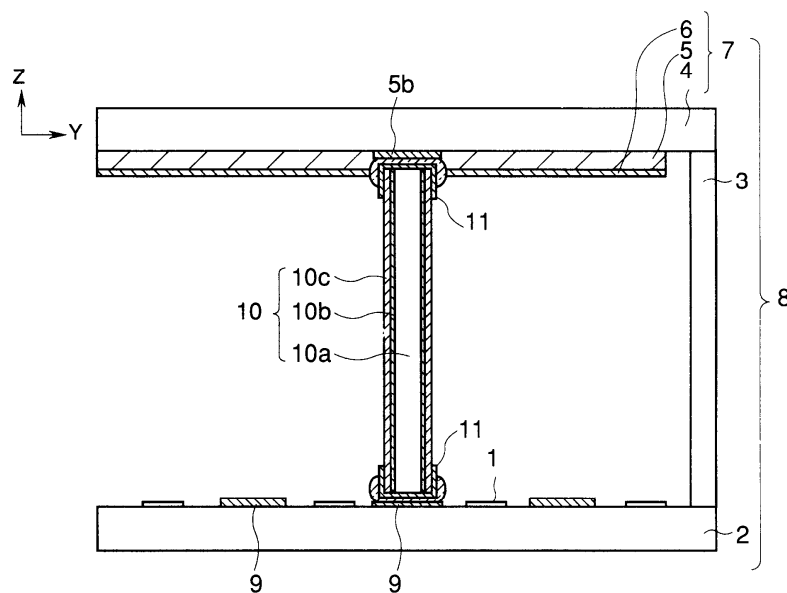
제48항에 있어서,
상기 전하 감소막의 막두께는 10 nm에서 1 μm 사이인 전하 감소막.

청구항 60.

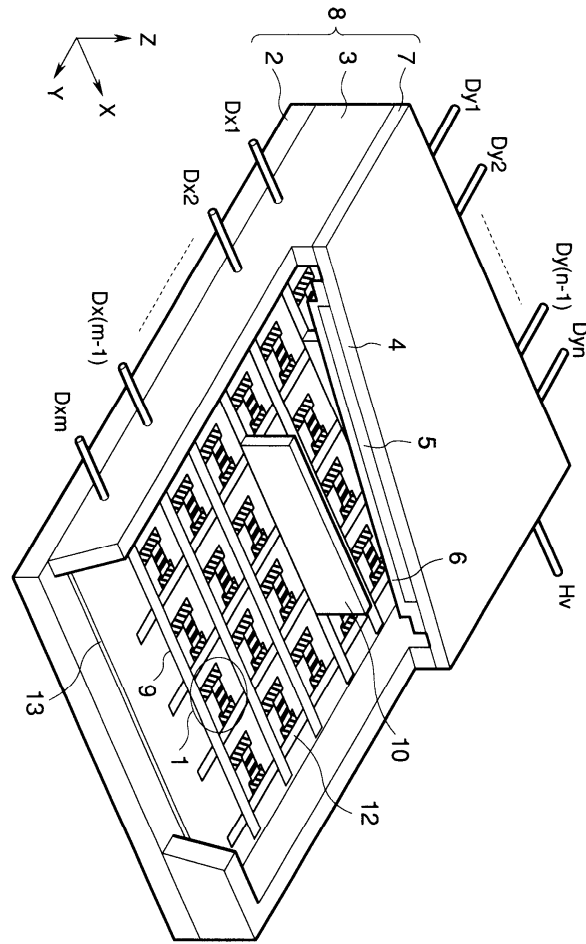
제48항에 있어서,
상기 전하 감소막의 열저항 계수는 음이고, 그 절대값이 1% 이하인 전하 감소막.

도면

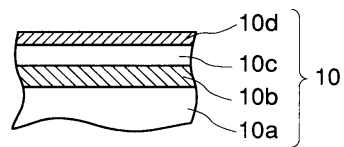
도면1



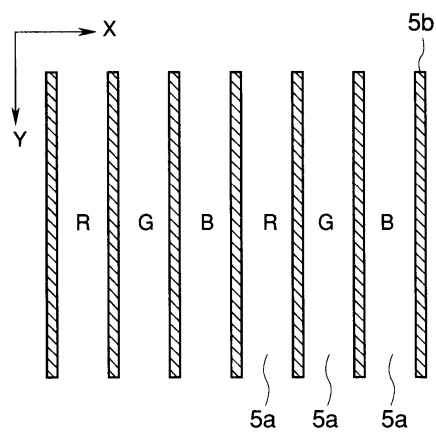
도면2



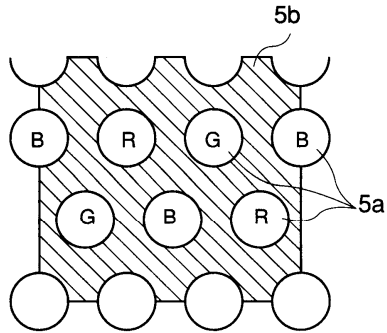
도면3



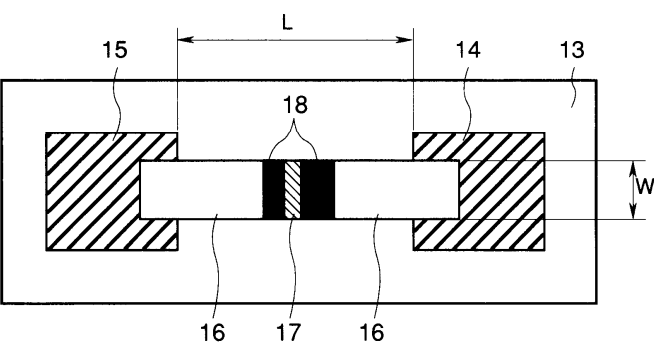
도면4a



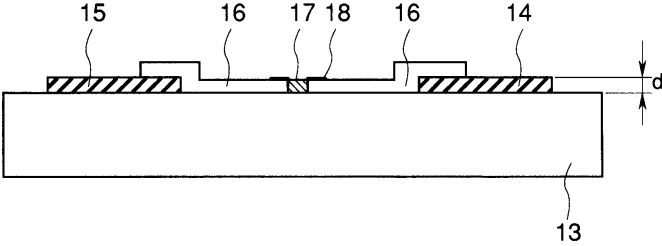
도면4b



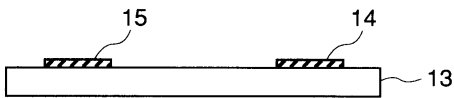
도면5a



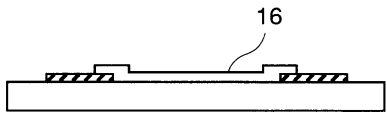
도면5b



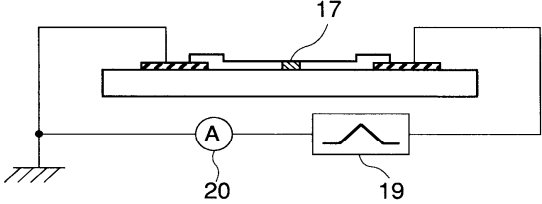
도면6a



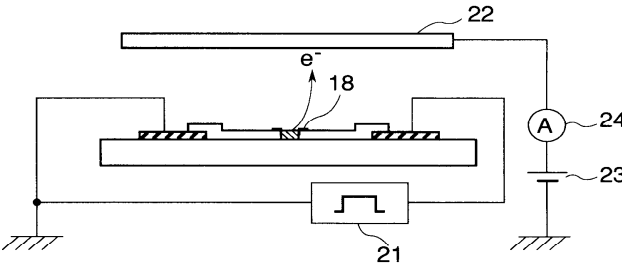
도면6b



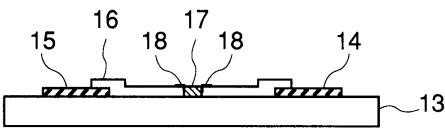
도면6c



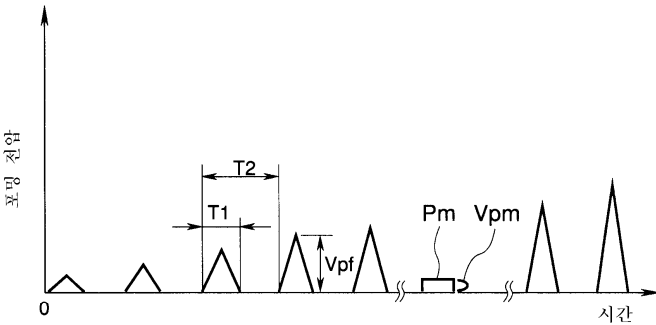
도면6d



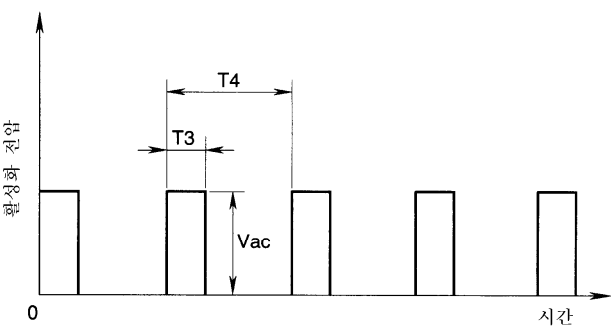
도면6e



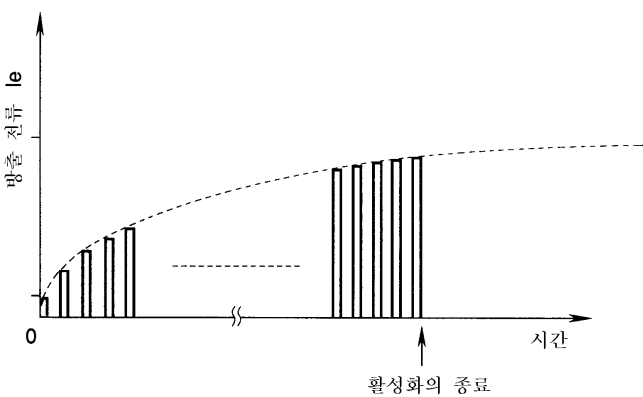
도면7



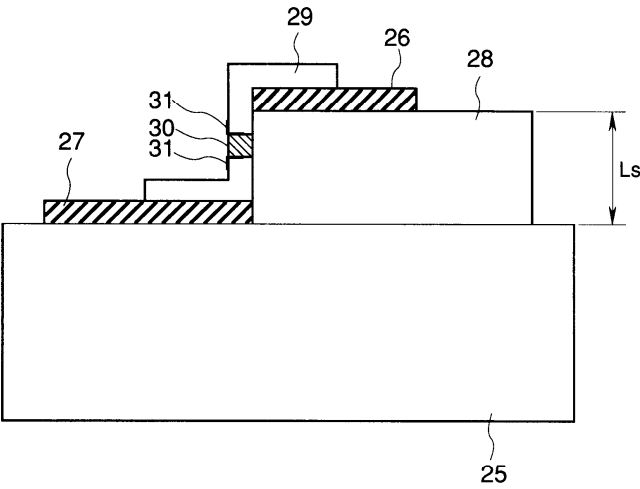
도면8a



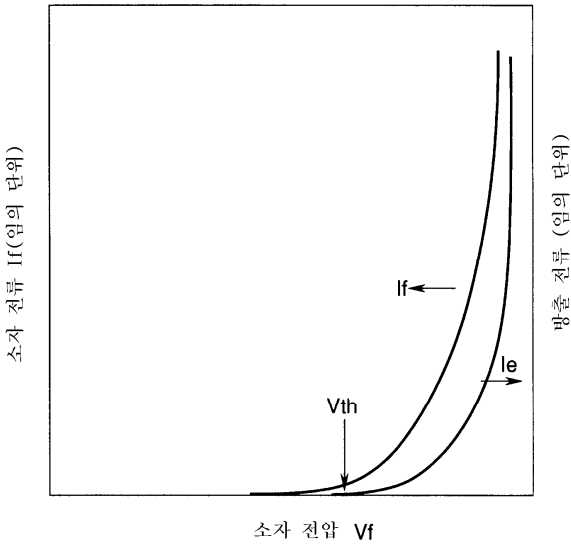
도면8b



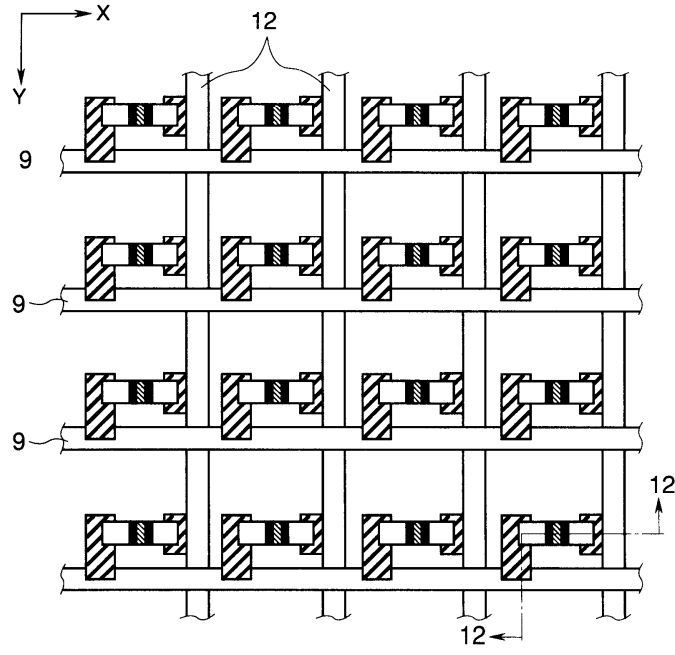
도면9



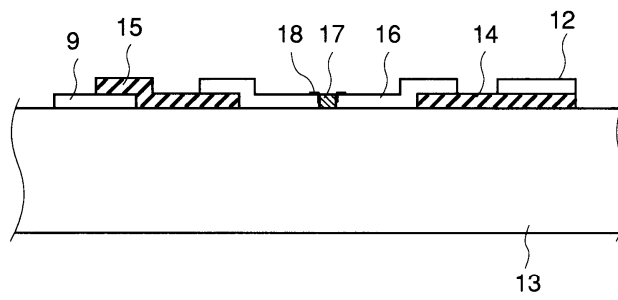
도면10



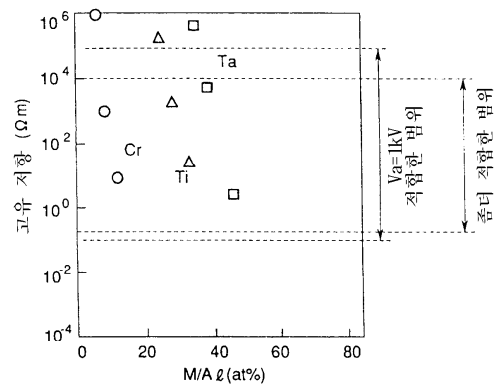
도면11



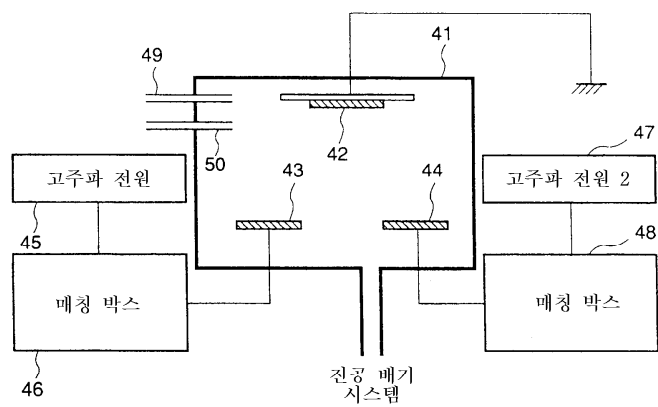
도면12



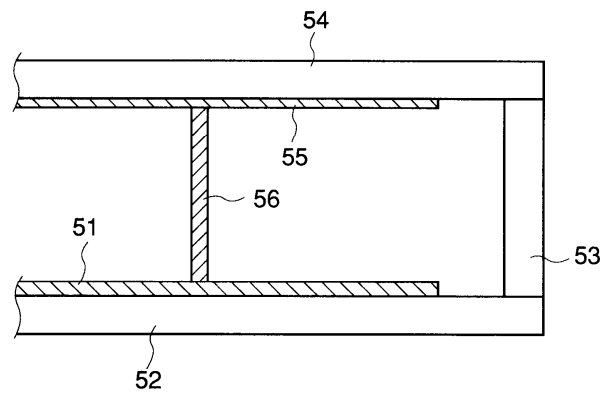
도면13



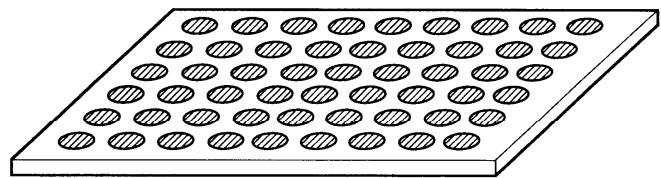
도면14



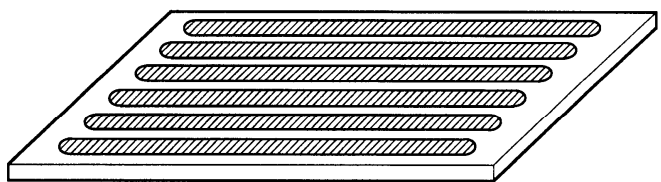
도면15



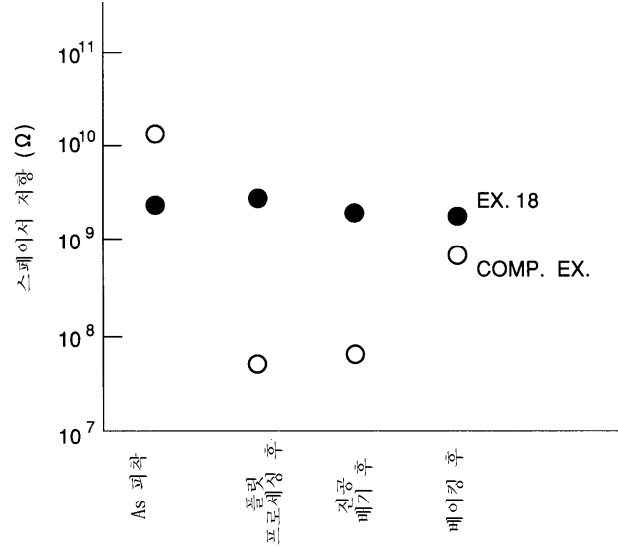
도면16a



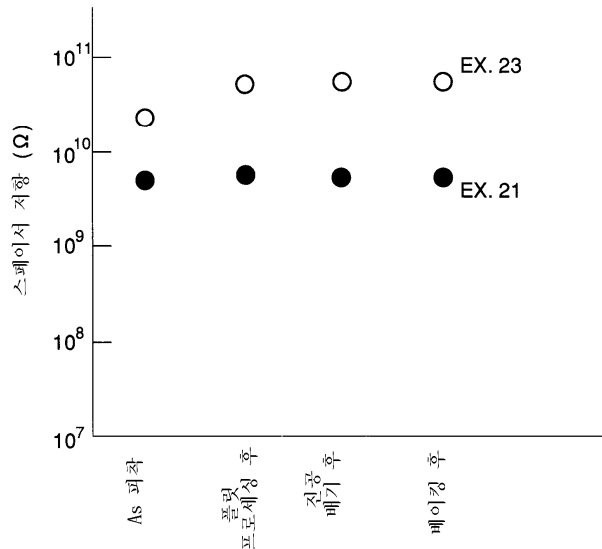
도면16b



도면17



도면18



도면19

