(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G11C 29/00

(45) 공고일자 1999년03월30일
(11) 등록번호 특0172347
(24) 등록일자 1998년10월23일

(21) 출원번호 특1995-055738
(22) 출원일자 1995년12월23일
(65) 공개번호 특1997-051420
(43) 공개일자 1997년07월29일

(73) 특허권자 삼성전자주식회사 김광호
경기도 수원시 팔달구 매탄동 416번지
(72) 발명자 박찬종
서울시 관악구 봉천6동 1680-19
정세진
서울시 마포구 신공덕동 90-1
(74) 대리인 이건주

심사관 : 강병섭

(54) 반도체 메모리장치의 병렬테스트 회로

요약

1. 청구범위에 기재된 발명이 속하는 기술 분야.

본 발명은 반도체 메모리장치의 병렬테스트회로에 관한 것으로, 특히 집적화에 유리한 회로구성을 지니는 반도체 메모리장치의 병렬테스트회로에 관한 것이다.

2. 발명이 해결하려고 하는 기술적 과제.

종래기술에 의한 병렬 테스트동작시 데이타의 상태를 알아아보기 위하여서는 옵션으로 되어 있는 회로를 동작시켜야 한다. 즉, 종래기술에서는 각 데이타 출력라인마다 멀티플렉서와 원, 제로 비교기와 원, 제로, 하이-임피던스 비교기가 모두 접속되어 있어야만 한다. 또한 데이타 패스의 전반부부터 데이타 출력버퍼까지의 패스가 결정되기 때문에 멀티플렉서의 레이아웃 및 제어가 복잡하게 된다. 이러한 경우, 상기 비교기가 칩내부에서 차지하는 면적이 크고, 제어가 어렵게 된다. 따라서 제어패스를 간소화하여 단순하게 동작을 실행할 수 있으면서, 칩면적이 줄어든 반도체 메모리장치의 병렬 테스트회로를 구현하는 것이 본 발명의 과제이다.

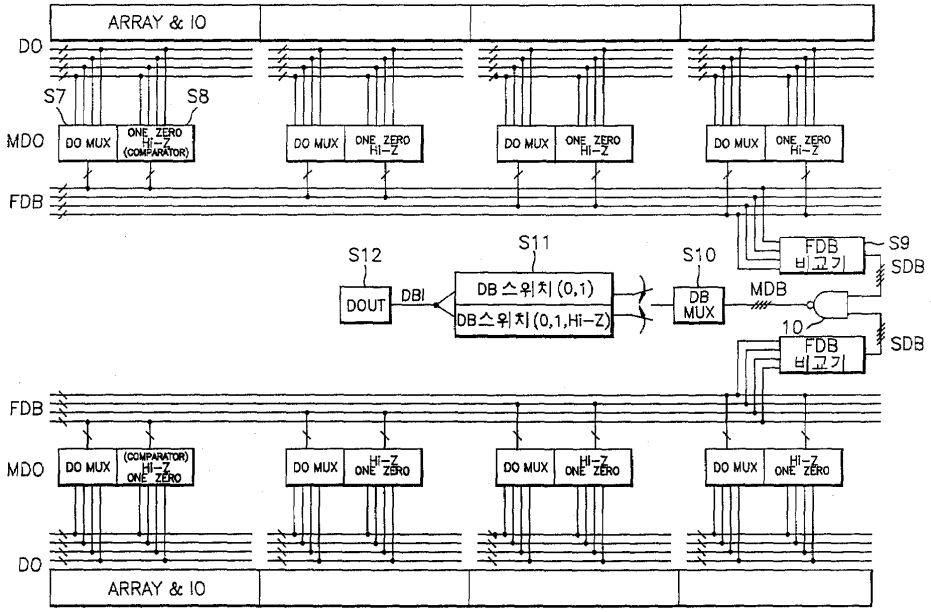
3. 발명의 해결방법의 요지.

메모리블럭에 인접하여 형성된 복수개의 데이타 출력라인을 통하여 전송되는 다수의 셀데이타를 비교하는 다수개의 제1비교기와, 상기 다수개의 제1비교기의 출력단에 공통으로 접속되며 상기 다수개의 제1비교기 출력을 전달받아 2차적으로 비교하기 위한 제2비교기와, 상기 제2비교기의 출력을 멀티플레싱하기 위한 소정의 멀티플렉서와, 상기 멀티플렉서의 출력단과 선택적으로 접속되는 제1 및 제2스위칭수단과, 상기 제1 및 제2 스위칭수단의 출력단들에 공통으로 접속되며 상기 제1 및 제2스위칭수단의 출력을 버퍼링하는 소정의 데이타 출력버퍼를 구비하며, 소정의 제1동작시 상기 멀티플렉서와 상기 제1스위칭수단을 접속하고, 소정의 제2동작시 상기 멀티플렉서와 상기 제2스위칭수단을 접속하여 2방식의 데이타 테스트를 실행함을 특징으로 하는 반도체 메모리장치의 병렬 테스트회로를 구현하므로써 상기 과제를 해결하게 된다.

4. 발명의 중요한 용도.

제어가 간편하면서도 칩면적이 줄어든 반도체 메모리장치의 병렬 테스트회로.

대표도



명세서

[발명의 명칭]

반도체 메모리장치의 병렬테스트회로

[도면의 간단한 설명]

제1도는 종래기술에 따른 병렬테스트시의 데이타패스를 보여주는 도면.

제2도는 제1도를 구성하는 비교기의 인에이블클럭 발생회로.

제3도는 제1도를 구성하는 비교기의 인에이블신호 발생회로.

제4도는 제1도를 구성하는 비교기의 상세회로도.

제5도는 제1도를 구성하는 FDB 비교기의 상세회로도.

제6도는 제1도를 구성하는 MDB회로의 상세회로도.

제7도는 제1도를 구성하는 DB 멀티플렉서의 상세회로도.

제8도는 본 발명의 일실시예에 따른 병렬테스트시의 데이타패스를 보여주는 도면.

제9도는 제8도를 구성하는 비교기의 인에이블클럭 발생회로.

제10도는 제8도를 구성하는 비교기의 인에이블신호 발생회로.

제11도는 제8도를 구성하는 비교기의 상세회로도.

제12도는 제8도를 구성하는 FDB 비교기의 상세회로도.

제13도는 제8도를 구성하는 MDB회로의 상세회로도.

제14도는 제8도를 구성하는 DB 멀티플렉서의 상세회로도.

제15도는 본 발명의 다른 실시예에 따른 병렬테스트시의 데이타패스를 보여주는 도면.

[발명의 상세한 설명]

본 발명은 반도체 메모리장치의 병렬테스트회로에 관한 것으로, 특히 고집적에 유리한 회로구성을 지니는 반도체 메모리장치의 병렬테스트회로에 관한 것이다.

반도체 메모리장치, 특히 디램이 고용량화 및 고집적화됨에 따라 칩사이즈(chip size)는 커지게 되며, 이에 따라 테스트시간(test time)도 길어지게 된다. 메모리셀의 불량은 대부분이 싱글비트불량(single bit fail)이며, 상기 싱글비트의 불량여부를 검증하기 위하여 싱글비트를 하나하나씩 순차적으로 테스트하는 것을, 테스트시간 및 테스트비용면에서 부적합하다. 따라서, 단시간내에 칩의 불량여부를 체크(check)할 수 있는 테스트회로에 대한 필요성이 커지게 되었고, 이러한 필요에 의해 구현된 회로가 바로 멀티비트

병렬테스트(multi-bit parallel test)회로이다. 이 분야에 널리 알려진 바와 같이 멀티비트 병렬테스트회로는 모든 메모리셀에 동일한 데이타를 우선적으로 라이트한 후, 메모리셀에 저장된 데이타를 한번의 액세스사이클동안 다수개 리드하여 상기 리드데이타를 비교기에서 비교하므로써 상태가 다른 데이타가 독출될 때 불량을 감지할 수 있게 된다.

제1도는 원, 제로 테스트회로에 원, 제로, hi-z 테스트회로가 옵션(option)으로 추가된 일반적인 병렬테스트회로의 데이타패스를 보여주는 도면이다.

제1도와 같은 멀티비트 병렬테스트회로에서 상술한 바와 같이 한번의 테스트동작시 다수의 싱글비트가 동시에 테스트된다. 상기 병렬테스트회로는 크게 2가지로 분류된다. 첫째는, 데이타 출력버퍼의 출력이 '0', '1'일 때 각각 '합격' 및 '불량'을 나타내는 원, 제로(one, zero) 테스트 회로이다. 둘째는 데이타 출력버퍼의 출력이 정상적일때는(즉, '0', 혹은'1'데이타일 때) 데이타의 패턴까지 알 수 있으며, 불량인 경우에는 하이-임피던스(hi-impedence: 이하 hi-Z라고 함)가 출력되는 원, 제로, hi-Z(one, zero, hi-Z) 테스트회로이다. 상기한 두가지 방법중 아직까지 표준(standard)방식은 없으며, 상기 두가지 방법이 상황에 맞게 설정되어 사용되고 있다. 그러나, 현재의 테스트방식은 원, 제로 테스회로에 원, 제로, hi-Z 테스트회로를 옵션(option)으로 추가하여 사용하는 것이 일반적으로 채택되고 있는 실정이다.

제1도에서 메모리 어레이는 몇 개의 메모리뱅크들로 분할되고, 상기 각 메모리뱅크들을 소정갯수의 메모리블럭들로 나뉘어진다. 제1도에서는 2개의 메모리뱅크와, 4개의 메모리블럭이 메모리 어레이구성을 실시예로 보여주고 있다. 각 메모리블럭에는 소정갯수의 데이타라인(이하 DO라인이라 함)과, 상기 소정 갯수의 DO라인과 전기적으로 연결된 하나의 DO라인 멀티플렉서(이하 DO MUX라고 함)(S1)와, 상기 소정갯수의 DO라인과 공통으로 접속된 원, 제로 테스트회로(S2) 및 원, 제로, 하이-임피던스(이하 Hi-Z)라고 함)(S3)테스트회로가 접속된다. 상기 DO MUX(S1)의 출력단과 상기 원, 제로 테스트회로의 출력단 및 원, 제로, Hi-Z 테스트회로의 출력단은 소정갯수의 퍼스트 데이타버스(이하 FDB라고 함)에 공통으로 접속된다. 상기 제1도의 구성에서 메모리블럭의 갯수가 4개이므로 FDB의 갯수도 4개이다. 상기 FDB는 퍼스트 데이타버스 비교기(이하 FDB 비교기라고 함)(S4)의 입력단과 전기적으로 접속된다. 상기 FDB 비교기(S4)의 출력단은 세컨드 데이타버스(이하 SDB라고 함)에 접속되고, 상기 SDBT와 SDBB는 낸드게이트(1)를 통하여 머지드 데이타버스(이하 MDB라고 함)와 접속된다. 상기 MDB의 끝단은 데이타버스 멀티플렉서(이하 DB MUX라고 함)(S5)의 입력단과 접속되고 상기 DB MUX(S5)의 출력단은 데이타 출력버퍼(이하 DOUT라고 함)(S6)의 입력단과 접속된다. 제1도에서 도면상 하단의 구성도 상단의 구성과 동일하다.

제2도에서 제7도는 제1도를 구성하는 비교기의 인에이블클럭 발생회로와, 비교기의 인에이블신호 발생회로와, 비교기와, FDB 비교기와, MDB회로와, DB 멀티플렉서의 상세회로도들이다. 이에 대한 회로구성은 당분야에 널리 알려져 있다.

노멀모드동작시에는 어레이로부터 독출되어 DO라인에 실린 데이타가 DO MUX(S1)를 통해 FDB에 실리게 되며, SDB와 MDB를 거쳐 DOUT로 전달된다. 상기 DOUT로 전달된 데이타는 칩외부로 전송된다.

병렬 테스트동작시, 제1도에서와 같이 원, 제로 테스트방식이 기본으로 되어 있고, 원, 제로, 'Hi-Z' 테스트방식이 옵션으로 되어 있는 경우, DO라인에 실린 데이타는 비교기(S2, S3)에서 1차적으로 비교동작을 수행하고, 상기 비교기(S2, S3)를 통해 나오는 데이타는 FDB에 실리게 된다. 이러한 FDB의 데이타는 FDB 비교기(S4)에서 2차비교동작을 거친후 SDB에 실리게 된다. 상기 SDB에 실린 데이타는 낸드게이트(1)을 통하여 MDB에 실리게 되고 DB MUX(S5)를 거쳐 DOUT(S6)를 통하여 칩외부로 전송된다. 이과정에서 메모리 어레이에 저장된 데이타들은 소정의 비교동작을 거쳐 불량여부를 검증하게 된다. 상기 비교기의 비교동작은 4도 및 5도에서와 같은 익스클루시브 오아(exclusive OR)회로를 사용하면 간단히 해결된다.

종래기술에 의한 병렬테스트시 출력데이타의 상태변경은 옵션으로 되어 있는 회로를 동작시켜 실행하게 된다. 우선 제2도로 도시한 비교기 인에이블회로에 나타난 PFCOM은, 병렬테스트모드임을 알려주는 외부신호 PFTE가 '하이'이고, 로우어드레스 스트로브신호 RASB를 받아 동기되는 신호 PYE가 '하이'이며, 리드동작임을 알려주는 WEB버퍼의 출력 PWR이 '로우'이며, 컬럼어드레스 스트로브신호 CASB를 버퍼링하는 CASB 버퍼의 출력인 PC가 '하이'인 경우 '하이'로 인에이블된다. 제3도에서 원, 제로 비교기와 원, 제로, Hi-Z 비교기를 인에이블하는 회로를 나타내고 있다. 병렬테스트가 실행되면 원, 제로모드인 경우 PFCOMD가 '하이'로 인에이블되고, 원, 제로, Hi-Z모드인 경우 인에이블신호 PHLZE가 '하이'로 됨에 따라 PFCOMDP가 '하이'로 인에이블된다. 즉, 종래기술에서는 각 DO라인마다 DO MUX와 원, 제로 비교기 및 원, 제로, Hi-Z 비교기가 모두 필요하다. 즉, 제4도의 회로가 반드시 있어야 한다. 또한 데이타패스(data path)의 전반부부터 데이타 출력버퍼까지의 패스를 필요에 따라 달리하여야 하기 때문에 레이아웃 및 각 회로를 제어하는 것이 상당히 복잡하다. 비교기를 통과한 데이타들은 FDB라인에 실리게 되고, 이러한 FDB라인들에 실린 데이타들은 FDB비교기에서 다시 한번 더 비교동작을 수행하게 된다.

상기와 같은 종래의 회로에서는 원, 제로모드동작이나 원, 제로, Hi-Z 모드동작을 원활히 수행하기 위해서는 특정 메모리블럭마다 각 모드를 실행하는 비교기들이 모두 접속되어 있어야 하며, 상기 비교기들의 버스라인들이 상당히 복잡하게 접속되어 레이아웃사이즈가 상당히 크게 되고, 제어동작이 상당히 복잡하게 된다.

따라서 본 발명의 목적은 칩면적을 줄인 반도체 메모리장치의 병렬 테스트회로를 제공하는 데 있다.

본 발명의 다른 목적은 단순하게 제어하여 고속으로 병렬 테스트동작을 실현하는 반도체 메모리장치를 제공하는 데 있다.

상기 본 발명의 목적들을 달성하기 위하여 다수의 메모리셀을 구비하는 메모리 어레이와, 상기 메모리셀의 불량을 고속으로 테스트하는 본 발명에 따른 반도체 메모리장치의 병렬 테스트회로는, 메모리블럭에 인접하여 형성된 복수개의 데이타 출력라인을 통하여 전송되는 다수의 셀데이타를 비교하는 다수개의 제1비교기와, 상기 다수개의 제1비교기의 출력단에 공통으로 접속되며 상기 다수개의 제1비교기출력을 전달받아 2차적으로 비교하기 위한 제2비교기와, 상기 제2비교기의 출력을 멀티플레싱하기 위한 소정의 멀티플렉서와, 상기 멀티플렉서의 출력단과 선택적으로 접속되는 제1 및 제2스위칭수단과, 상기 제1 및 제2스위칭수단의 출력단들에 공통으로 접속되며 상기 제1 및 제2스위칭수단의 출력을 버퍼링하는 소정의 데

이타 출력버퍼를 구비하며, 소정의 제1동작시 상기 멀티플렉서와 상기 제1스위칭수단을 접속하고, 소정의 제2동작시 상기 멀티플렉서와 상기 제2스위칭수단을 접속하여 2방식의 데이타 테스트를 실행함을 특징으로 한다.

이하 첨부된 도면을 사용하여 본 발명에 따른 반도체 메모리장치의 병렬테스트회로에 대한 바람직한 실시예를 설명하겠다.

제8도는 본 발명의 일실시예에 따른 병렬테스트시의 데이타패스를 보여주는 단면도이다.

제8도에서 메모리 어레이는 몇 개의 메모리뱅크들로 분할되고, 상기 각 메모리뱅크들은 소정갯수의 메모리블럭들로 나뉘어진다. 4메가비트 혹은 16메가비트용량의 메모리장치에서 통상적으로 메모리 어레이는 4개의 메모리뱅크와 16개의 메모리블럭도들로 분할된다. 제8도에서는 2개의 메모리뱅크와, 4개의 메모리블럭의 메모리 어레이구성을 실시예로 보여주고 있다. 각 메모리블럭에는 소정갯수의 DO라인과, 상기 소정갯수의 DO라인과 전기적으로 연결된 하나의 DO MUX(S7)와, 상기 소정갯수 DO라인과 공통으로 접속된 원, 제로, hi-Z 비교기(S8)가 접속된다. 상기 DO MUX(S7)의 출력단과 상기 원, 제로, hi-Z 비교기(S8)의 출력단은 FDB에 공통으로 접속된다. 상기 제8도의 구성에서 메모리블럭의 갯수가 4개이므로 FDB의 갯수도 4개이다. 상기 FDB는 FDB비교기(S9)의 출력단은 SDB에 접속되고, 상기 SDBT와 SDBB는 낸드게이트(10)를 통하여 MDB와 접속된다. 상기 MDB의 끝단은 DB스위치(0, 1) 및 DB스위치(0, 1, Hi-Z)와 선택적으로 접속된다. 상기 DB스위치(0, 1) 및 DB스위치(0, 1, Hi-Z)의 출력단은 DOUT의 입력단과 접속된다. 제8도에서 도면상 하단의 구성도 상단의 구성과 동일하다.

제1도와의 차이점은 다음과 같다. 즉, 제1도를 구성하는 원, 제로 비교기를 없애고 DB MUX와 DOUT사이에 선택적으로 접속되는 2개의 스위치를 접속하였다. 따라서 데이타의 불량여부만을 검증하고 싶을 때는 DB스위치(0, 1)과 DB MUX를 접속하고, 데이타의 불량여부와 데이타의 상태를 한번의 동작으로 모두 검증하고 싶을때는 DB스위치(0, 1, Hi-Z)과 DB MUX를 접속하게 된다. 이러한 선택적인 접속을 통하여 제1도를 구성하는 상기 원, 제로 비교기를 없애도 상술한 원, 제로모드동작과 원, 제로, Hi-Z모드 동작을 수행하게 된다. 이에 따라 DO라인에는 노멀동작시 필요한 DO MUX층과 원, 제로, Hi-Z 비교기만 연결되어 있으며 2개의 DB스위치에 의해 각 모드들에 해당하는 동작을 선택적으로 수행하게 된다. 따라서 회로의 레이아웃 사이즈를 극소화하면서 종래와 동일한 병렬테스트동작을 수행하는 회로가 구현된다.

제9도는 제8도를 구성하는 비교기의 인에이블클럭 발생회로이고, 제10도는 제8도를 구성하는 비교기의 인에이블신호 발생회로이고, 제11도는 제8도를 구성하는 비교기의 상세회로도이며, 제12도는 제8도를 구성하는 FDB 비교기의 상세회로도이며, 제13도는 제8도를 구성하는 MDB회로의 상세회로도이며, 제14도는 제8도를 구성하는 DB 멀티플렉서의 상세회로도이다.

특정 메모리블럭마다 반복적으로 위치해야 하는 DO 비교기와 DO MUX층만을 제8도에서처럼 DO라인으로 접속하고, 이를 통과한 데이타는 FDB라인에 실려 FDB 비교기를 통하여 SDB 및 MDB라인으로 전달된다. 이러한 데이타는 제14도로 도시된 회로로 구성된 DB MUX단에서 원, 제로모드와, 원, 제로, HiZ모드에 따른 데이타 패스로 구별되어 데이타 출력버퍼 DOUT로 전달된다.

제9도의 병렬테스트 인에이블회로는 외부인가신호 PFTE와 로우어드레스 스트로브신호 RASB에 동기되는 PYE 및 컬럼어드레스 스트로브신호 CASB를 버퍼링하는 CASB버퍼의 출력인 PC가 모두 '하이'로 인가되고, WEB버퍼의 출력인 PWR이 '로우'이면 PFCOM은 '하이'로 인에이블된다. 제11도는 DO비교기에 대한 상세회로도로써 병렬테스트시 DO라인에 실린 데이타가 모두 '하이'이면 MDOi는 '하이'가 되고, MDOiB는 '로우'가 되며, DO라인에 실린 데이타가 '로우'인 경우에는 MDOi가 로우', MDOiB가 '하이'가 된다. DO라인의 데이타가 틀린 경우에는 MDOi와 MDOiB는 모두 Hi-Z로 되는 원, 제로, Hi-Z모드의 DO비교기이다. 제14도의 PHLZE는 원, 제로, Hi-Z모드 인에이블신호이며 외부에서 인가된다.

상술한 것과 같은 본 발명에 따른 병렬테스트회로를 구현하면 병렬테스트시의 데이타상태를 DB MUX단에서 DB스위치로 모드선택을 선택하기 때문에 두 방식을 모두 지원하면서 DO라인에 연결되는 버스라인 및 비교기의 수를 극소화시키며, 이에 따라 집적화에 대단히 유리하고, 제어동작을 간소화시켜 동작속도를 고속으로 실행할 수 있게 된다.

제15도는 본 발명의 다른 실시예에 따른 병렬테스트시의 데이타패스를 보여주는 도면이다.

제8도와 다른 점은 DB라인까지는 원, 제로, Hi-Z모드로 출력데이타가 실리며 그 이후 데이타 출력버퍼자체의 스위치를 통하여 모드를 결정하여 출력데이타가 출력된다. 상기 제15도에서도 종래보다 칩사이즈의 이득 및 동작속도의 고속화가 실현된다.

(57) 청구의 범위

청구항 1

다수의 메모리셀을 구비하는 메모리 어레이와, 상기 메모리셀의 불량을 고속으로 테스트하는 반도체 메모리장치의 병렬 테스트회로에 있어서, 메모리블럭에 인접하여 형성된 복수개의 데이타 출력라인을 통하여 전송되는 다수의 셀데이타를 비교하는 다수개의 제1비교기와, 상기 다수개의 제1비교기의 출력단에 공통으로 접속되며 상기 다수개의 제1비교기출력을 전달받아 2차적으로 비교하기 위한 제2비교기와, 상기 제2비교기의 출력을 멀티플레싱하기 위한 소정의 멀티플렉서와, 상기 멀티플렉서의 출력단과 선택적으로 접속되는 제1 및 제2스위칭수단과, 상기 제1 및 제2 스위칭수단의 출력단들에 공통으로 접속되며 상기 제1 및 제2스위칭수단의 출력을 버퍼링하는 소정의 데이타 출력버퍼를 구비하며, 소정의 제1동작시 상기 멀티플렉서와 상기 제1스위칭수단을 접속하고, 소정의 제2동작시 상기 멀티플렉서와 상기 제2스위칭수단을 접속하여 2방식의 데이타 테스트를 실행함을 특징으로 하는 반도체 메모리장치의 병렬 테스트회로.

청구항 2

제1항에 있어서, 상기 제1동작이 소정의 테스트동작만을 실행하는 원, 제로방식을 사용하는 동작임을 특

징으로 하는 반도체 메모리장치의 병렬 테스트회로.

청구항 3

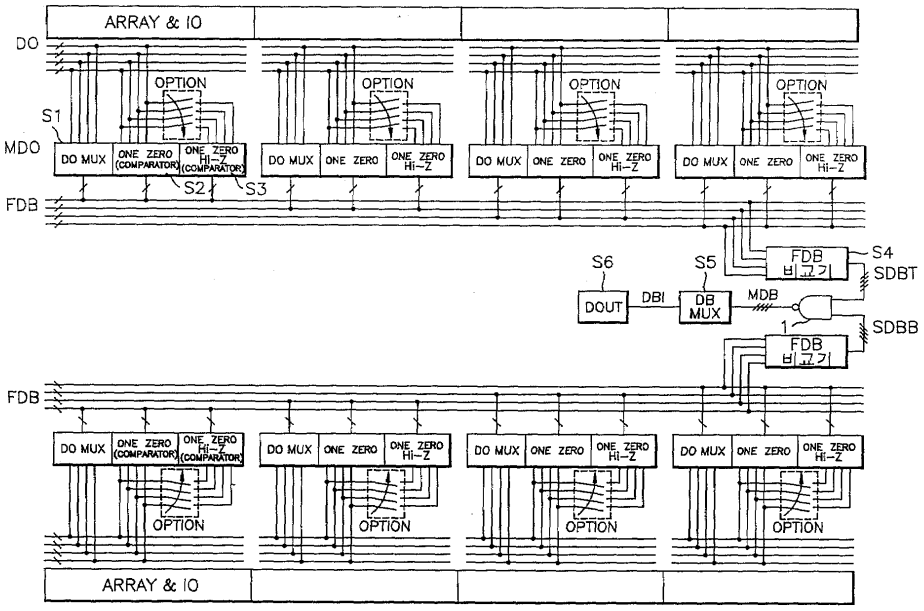
제1항에 있어서, 상기 제2동작이 소정의 테스트동작 및 상기 테스트에 따른 데이타의 상태를 검증하는 동작을 실행하는 원, 제로, 하이-임피던스방식을 사용하는 동작임을 특징으로 하는 반도체 메모리장치의 병렬 테스트회로.

청구항 4

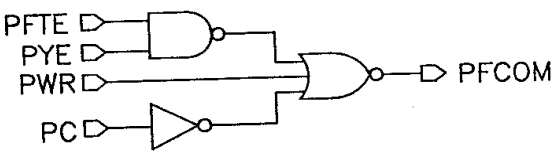
다수의 메모리셀을 구비하는 메모리 어레이와, 상기 메모리셀의 불량을 고속으로 테스트하도록 다수의 비교기를 구비하는 반도체 메모리장치의 병렬테스트회로에 있어서, 메모리블럭에 인접하여 형성된 복수개의 데이타 출력라인을 통하여 전송되는 다수의 셀데이타를 비교하는 다수개의 제1비교기와, 상기 다수개의 제1비교기의 출력단에 공통으로 접속되며 상기 다수개의 제1비교기출력을 전달받아 2차적으로 비교하기 위한 제2비교기와, 상기 제2비교기의 출력을 멀티플렉싱하기 위한 소정의 멀티플렉서와, 회로내부에 제1 및 제2스위칭수단이 내장되고 상기 멀티플렉서의 출력을 버퍼링하는 소정의 데이타 출력버퍼를 구비하며, 소정의 제1동작시 상기 멀티플렉서와 상기 제1스위칭수단을 접속하고, 소정의 제2동작시 상기 멀티플렉서와 사이 제2스위칭수단을 접속하여 2방식의 데이타 테스트를 실행함을 특징으로 하는 반도체 메모리장치의 병렬 테스트회로.

도면

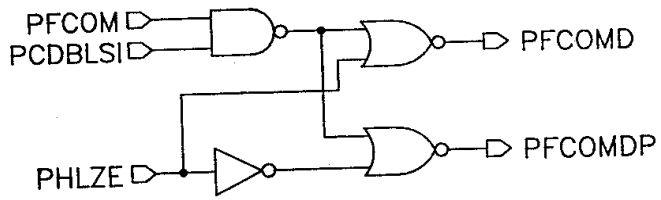
도면1



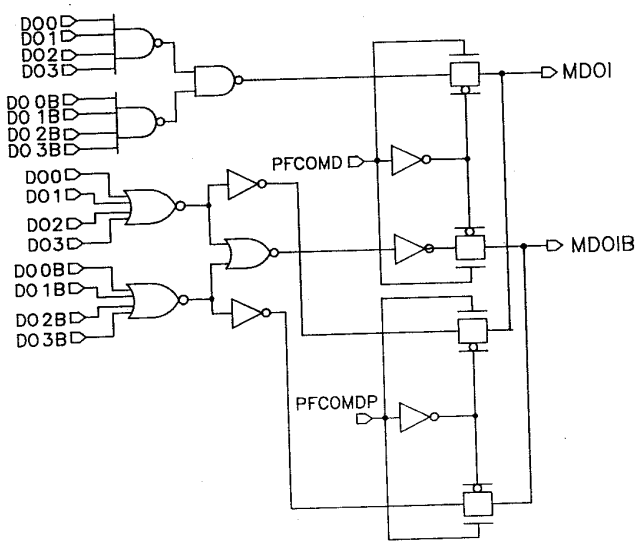
도면2



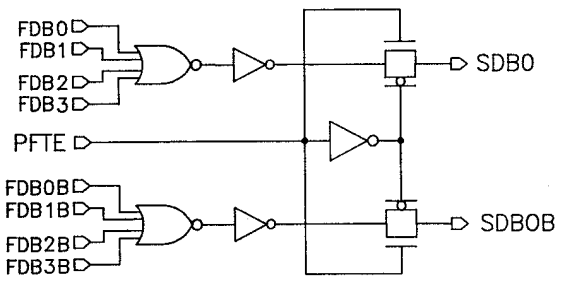
도면3



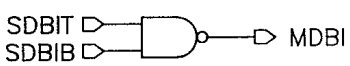
도면4



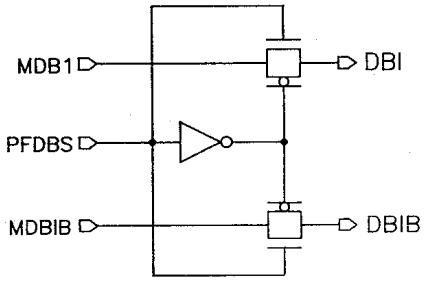
도면5



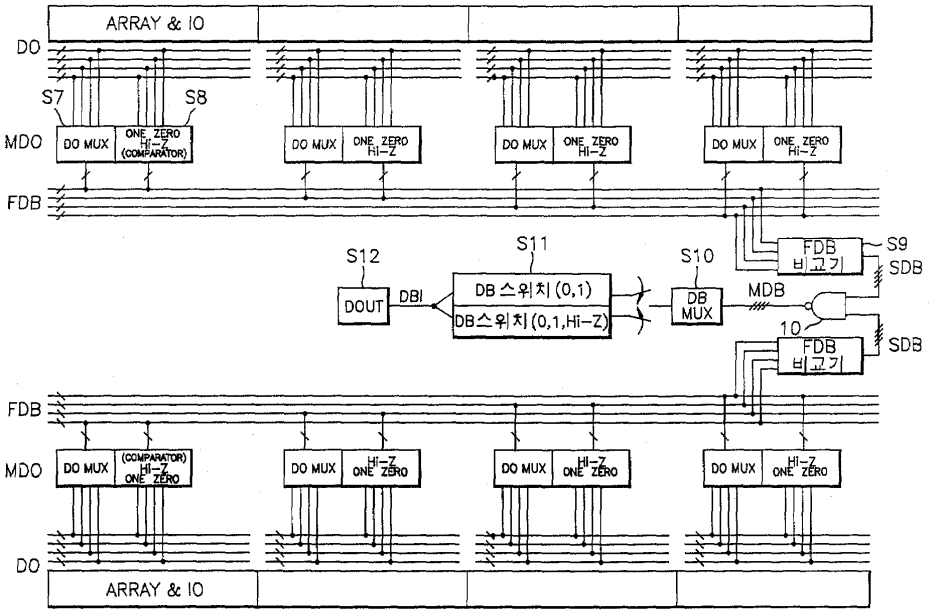
도면6



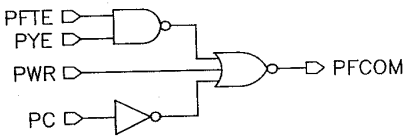
도면7


MDB1
DBI
PFDBS
MDBIB
DBIB

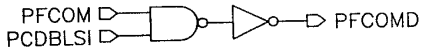
도면8


ARRAY & IO
DO
S7
S8
MDO
DO MUX
ONE ZERO Hi-Z (COMPARATOR)
ONE ZERO Hi-Z
FDB
S12
S11
S10
DOUT
DBI
DB 스위치 (0,1)
DB스위치 (0,1,Hi-Z)
DB MUX
MDB
FDB 비교기
S9
SDB
10
(COMPARATOR) Hi-Z ONE ZERO
Hi-Z ONE ZERO
ARRAY & IO

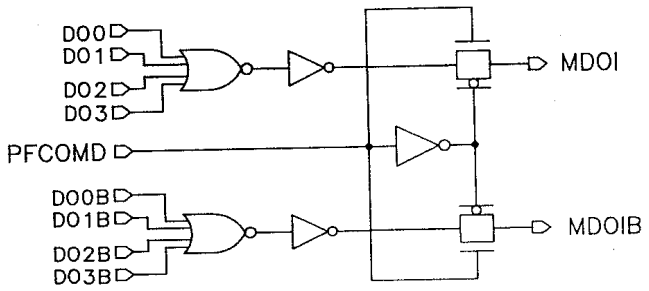
도면9


PFTE
PYE
PWR
PC
PFCOM

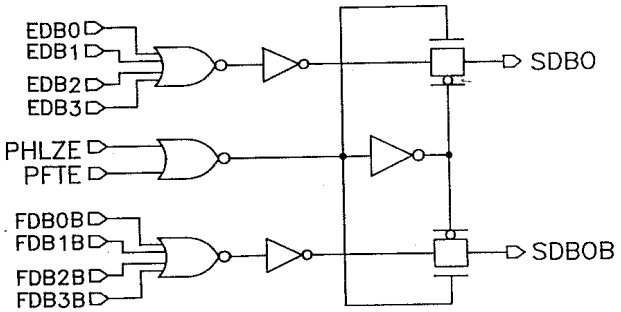
도면10



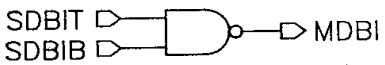
도면11



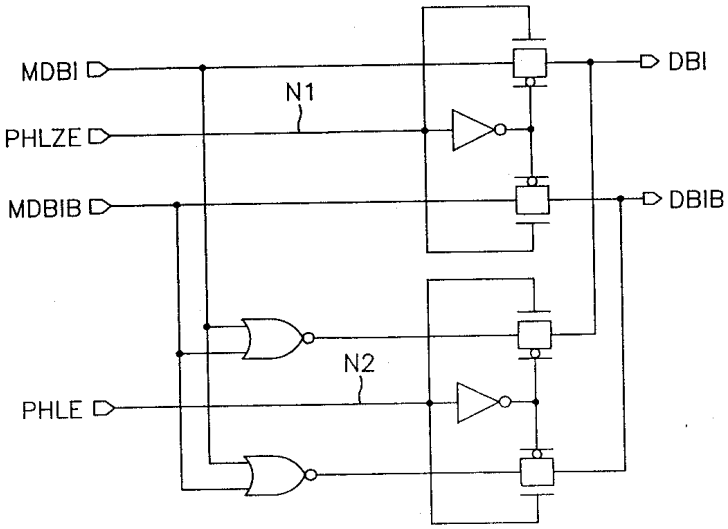
도면12



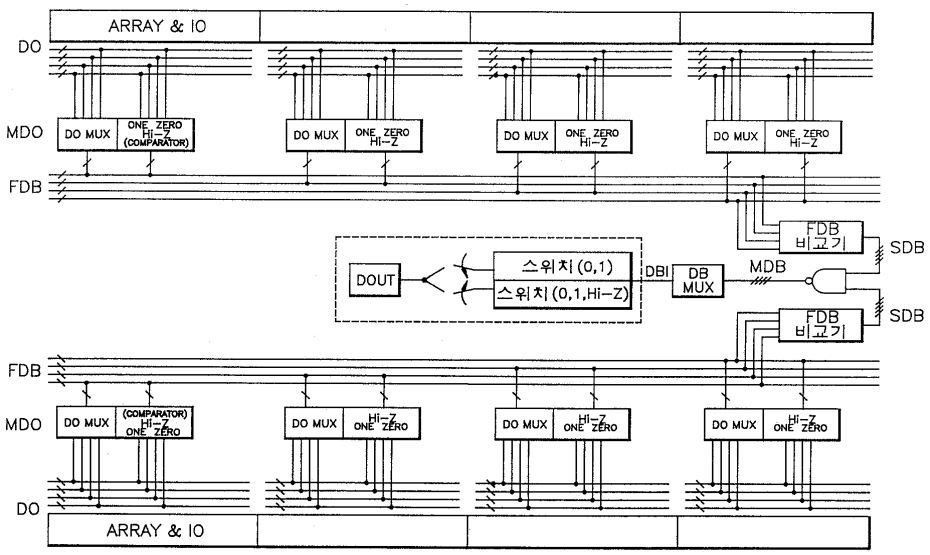
도면13



도면14


MDBI
PHLZE
MDBIB
PHLE
N1
N2
DBI
DBIB

도면15


ARRAY & IO
DO
MDO
FDB
DO MUX
ONE ZERO
Hi-Z
(COMPARATOR)
DOUT
스위치(0,1)
스위치(0,1,Hi-Z)
DBI
DB MUX
MDB
FDB 비교기
SDB