

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成24年6月7日(2012.6.7)

【公開番号】特開2011-211699(P2011-211699A)

【公開日】平成23年10月20日(2011.10.20)

【年通号数】公開・登録公報2011-042

【出願番号】特願2011-49774(P2011-49774)

【国際特許分類】

H 04 N 5/374 (2011.01)

H 04 N 5/353 (2011.01)

H 04 N 5/376 (2011.01)

H 01 L 27/146 (2006.01)

【F I】

H 04 N 5/335 7 4 0

H 04 N 5/335 5 3 0

H 04 N 5/335 7 6 0

H 01 L 27/14 C

【手続補正書】

【提出日】平成24年4月20日(2012.4.20)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

画素がマトリクス状に複数配置された半導体装置であつて、

前記画素は、

フォトダイオードと、

信号電荷蓄積部と、

電荷蓄積制御トランジスタと、

リセットトランジスタと、

増幅トランジスタと、

を有し、

前記電荷蓄積制御トランジスタのソースまたはドレインの一方は、前記フォトダイオードと電気的に接続され、且つ前記電荷蓄積制御トランジスタのソースまたはドレインの他方は、前記信号電荷蓄積部と電気的に接続され、

前記リセットトランジスタのソースまたはドレインの一方は、前記信号電荷蓄積部と電気的に接続され、

前記増幅トランジスタのゲートは、前記信号電荷蓄積部と電気的に接続され、

前記複数の画素の前記リセットトランジスタのゲートは、それぞれ電気的に接続され、

少なくとも前記電荷蓄積制御トランジスタ及び前記リセットトランジスタは、チャネル形成領域が酸化物半導体で形成されており、

前記複数の画素で前記信号電荷蓄積部のリセット動作が略同時に行われた後に、前記複数の画素で前記フォトダイオードによる電荷の蓄積動作が略同時に行われ、行毎に前記複数の画素のそれから信号の読み出し動作が行われることを特徴とする半導体装置。

【請求項2】

請求項1において、

前記複数の画素の前記電荷蓄積制御トランジスタのゲートは、それぞれ電気的に接続されていることを特徴とする半導体装置。

【請求項3】

画素がマトリクス状に複数配置された半導体装置であって、

前記画素は、

フォトダイオードと、

電荷蓄積制御トランジスタと、

リセットトランジスタと、

増幅トランジスタと、

を有し、

前記電荷蓄積制御トランジスタのソースまたはドレインの一方は、前記フォトダイオードと電気的に接続され、

前記リセットトランジスタのソースまたはドレインの一方は、前記電荷蓄積制御トランジスタのソースまたはドレインの他方と電気的に接続され、

前記増幅トランジスタのゲートは、前記電荷蓄積制御トランジスタのソースまたはドレインの他方及び前記リセットトランジスタのソースまたはドレインの一方と電気的に接続され、

前記複数の画素の前記リセットトランジスタのゲートは、それぞれ電気的に接続され、前記複数の画素の前記電荷蓄積制御トランジスタのゲートは、それぞれ電気的に接続され、

少なくとも前記電荷蓄積制御トランジスタ及び前記リセットトランジスタは、チャネル形成領域が酸化物半導体で形成されていることを特徴とする半導体装置。

【請求項4】

請求項1乃至3のいずれか一項において、

前記画素は、選択トランジスタを有し、

前記選択トランジスタのソースまたはドレインの一方は、前記増幅トランジスタのソースまたはドレインの一方と電気的に接続されていることを特徴とする半導体装置。

【請求項5】

請求項1乃至4のいずれか一項において、

前記リセットトランジスタのソースまたはドレインの他方は、前記増幅トランジスタのソースまたはドレインの他方と電気的に接続されていることを特徴とする半導体装置。

【請求項6】

請求項1乃至5に記載の半導体装置を具備することを特徴とする電子機器。

【請求項7】

画素がマトリクス状に複数配置された半導体装置の駆動方法であって、

前記画素は、

フォトダイオードと、

信号電荷蓄積部と、

電荷蓄積制御トランジスタと、

リセットトランジスタと、

増幅トランジスタと、

を有し、

前記電荷蓄積制御トランジスタのソースまたはドレインの一方は、前記フォトダイオードと電気的に接続され、且つ前記電荷蓄積制御トランジスタのソースまたはドレインの他方は、前記信号電荷蓄積部と電気的に接続され、

前記リセットトランジスタのソースまたはドレインの一方は、前記信号電荷蓄積部と電気的に接続され、

前記増幅トランジスタのゲートは、前記信号電荷蓄積部と電気的に接続され、

少なくとも前記電荷蓄積制御トランジスタ及び前記リセットトランジスタのチャネル形成領域は、酸化物半導体で形成され、

前記複数の画素の前記電荷蓄積制御トランジスタをオンし、
前記複数の画素の前記リセットトランジスタをオンして前記複数の画素の前記信号電荷蓄積部をリセット電位とし、

前記複数の画素の前記リセットトランジスタをオフして前記複数の画素の前記信号電荷蓄積部の電位を変化させ、

前記複数の画素の前記電荷蓄積制御トランジスタをオフして前記複数の画素の前記信号電荷蓄積部の電位を保持し、

行毎に順次前記選択トランジスタをオンして前記複数の画素のそれぞれの前記信号電荷蓄積部の電位に応じた信号を前記複数の画素のそれぞれの前記増幅トランジスタから出力することを特徴とする半導体装置の駆動方法。

【請求項8】

画素がマトリクス状に複数配置された半導体装置の駆動方法であって、

前記画素は、

フォトダイオードと、

信号電荷蓄積部と、

電荷蓄積制御トランジスタと、

リセットトランジスタと、

増幅トランジスタと、

を有し、

前記電荷蓄積制御トランジスタのソースまたはドレインの一方は、前記フォトダイオードと電気的に接続され、且つ前記電荷蓄積制御トランジスタのソースまたはドレインの他方は、前記信号電荷蓄積部と電気的に接続され、

前記リセットトランジスタのソースまたはドレインの一方は、前記信号電荷蓄積部と電気的に接続され、

前記増幅トランジスタのゲートは、前記信号電荷蓄積部と電気的に接続され、
少なくとも前記電荷蓄積制御トランジスタ及び前記リセットトランジスタのチャネル形成領域は、酸化物半導体で形成され、

前記複数の画素の前記電荷蓄積制御トランジスタをオンし、

前記複数の画素の前記リセットトランジスタをオンして前記複数の画素の前記信号電荷蓄積部をリセット電位とし、

前記複数の画素の前記電荷蓄積制御トランジスタをオフして前記複数の画素の前記フォトダイオードのカソードの電位を変化させ、

前記複数の画素の前記リセットトランジスタをオフして前記複数の画素の前記信号電荷蓄積部の電位を保持し、

前記複数の画素の前記電荷蓄積制御トランジスタをオンして前記複数の画素の前記信号電荷蓄積部の電位を変化させ、

前記複数の画素の前記電荷蓄積制御トランジスタをオフして前記信号電荷蓄積部の電位を保持し、

行毎に順次前記選択トランジスタをオンして前記複数の画素のそれぞれの前記信号電荷蓄積部の電位に応じた信号を前記複数の画素のそれぞれの前記増幅トランジスタから出力することを特徴とする半導体装置の駆動方法。

【請求項9】

請求項7または請求項8において、

前記複数の画素の前記リセットトランジスタは、1つの入力信号で略同時に駆動されることを特徴とする半導体装置の駆動方法。

【請求項10】

請求項7乃至9のいずれか一項において、

前記複数の画素の前記電荷蓄積制御トランジスタは、1つの入力信号で略同時に駆動されることを特徴とする半導体装置の駆動方法。