

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014年2月27日(27.02.2014)



(10) 国際公開番号

WO 2014/030490 A1

- (51) 国際特許分類:
G06F 17/50 (2006.01) H01L 29/82 (2006.01)
- (21) 国際出願番号: PCT/JP2013/070259
- (22) 国際出願日: 2013年7月19日(19.07.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-184142 2012年8月23日(23.08.2012) JP
- (71) 出願人: 日本電気株式会社(NEC CORPORATION) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 Tokyo (JP). 国立大学法人東北大学(TOHOKU UNIVERSITY) [JP/JP]; 〒9808577 宮城県仙台市青葉区片平二丁目1番1号 Miyagi (JP).
- (72) 発明者: 崎村 昇(SAKIMURA, Noboru); 〒1088001 東京都港区芝五丁目7番1号日本電気株式会社内 Tokyo (JP). 杉林 直彦(SUGIBAYASHI, Tadahiko); 〒1088001 東京都港区芝五丁目7番1号日本電気株式会社内 Tokyo (JP). 小池 洋紀(KOIKE, Hiroki); 〒9808577 宮城県仙台市青葉区片平二丁目1番1号国立大学法人東北大学内 Miyagi (JP). 遠藤 哲郎(ENDOH, Tetsuo); 〒9808577

宮城県仙台市青葉区片平二丁目1番1号国立大学法人東北大学内 Miyagi (JP). 羽生 貴弘(HANYU, Takahiro); 〒9808577 宮城県仙台市青葉区片平二丁目1番1号国立大学法人東北大学内 Miyagi (JP). 大野 英男(OHNO, Hideo); 〒9808577 宮城県仙台市青葉区片平二丁目1番1号国立大学法人東北大学内 Miyagi (JP).

- (74) 代理人: 池田 憲保, 外(İKEDA, Noriyasu et al.); 〒1000011 東京都千代田区内幸町1丁目2番2号 日比谷ダイビル Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,

[続葉有]

(54) Title: CIRCUIT DESIGN ASSISTANCE DEVICE, METHOD, AND PROGRAM

(54) 発明の名称: 回路設計支援装置、方法及びプログラム

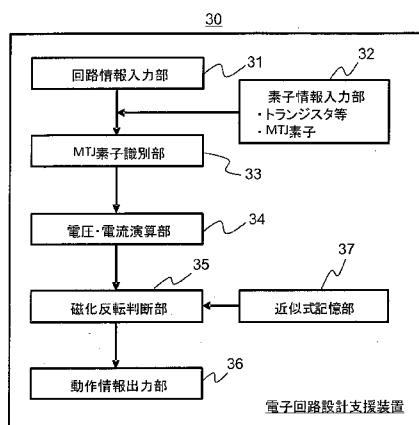


図 3

- 30 Electrical circuit design assistance device
31 Circuit information input unit
32 Element information input unit
Transistors, etc.
MTJ element
33 MTJ element identification unit
34 Voltage/current computation unit
35 Magnetization reversal determination unit
36 Operational information output unit
37 Approximation formula storage unit

(57) Abstract: A circuit design assistance device (30) is provided with: an MTJ element identification unit (33) for identifying an MTJ element from circuit information indicative of the configuration of a spintronics integrated circuit; a magnetization reversal determination unit (35) for determining whether to cause a magnetization reversal, on the basis of MTJ element property information indicative of properties of an MTJ element and on the basis of an electrical current value supplied to the identified MTJ element; an approximation formula storage unit (37) for storing a first and second formula with which the relationship between the electrical current values supplied to the MTJ element and a time constant pertaining to magnetization is approximated on the basis of different theoretical models; and an operational information output unit (36) for outputting the resistance value of the MTJ element. The magnetization reversal determination unit has a first computing means for computing the time constant needed for the magnetization reversal on the basis of the first and second formulae, and a second computing means for computing a magnetization reversal probability from the computed time constant. The magnetization reversal determination unit determines whether to cause a magnetization reversal on the basis of the magnetization reversal probability. This makes it possible to swiftly and precisely simulate the operation of an integrated circuit that includes an MTJ element.

(57) 要約:

[続葉有]



MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラ
シア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッ
パ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI,
FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK,
MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM,
ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

回路設計支援装置 30 は、スピントロニクス集積回路の構成を表す回路情報から MTJ 素子を識別する MTJ 素子識別部 33 と、MTJ 素子の特性を表す MTJ 素子特性情報と識別された MTJ 素子に供給される電流値とに基づいて、磁化反転を生じさせるか否かを判断する磁化反転判断部 35 と、MTJ 素子の供給される電流値と磁化に関する時定数との関係を異なる理論モデルに基づいて近似した第 1 及び第 2 の式を記憶する近似式記憶部 37 と、MTJ 素子の抵抗値を出力する動作情報出力部 36 とを備える。磁化反転判断部は、第 1 及び第 2 の式に基づいて磁化反転に要する時定数を演算する第 1 の演算手段と、演算された時定数から磁化反転確率を演算する第 2 の演算手段とを有し、磁化反転確率に基づいて磁化反転を生じさせるか否かを判断する。これにより、MTJ 素子を含む集積回路の動作シミュレーションを高速且つ高精度に実施できる。

明 細 書

発明の名称

回路設計支援装置、方法及びプログラム

5

技術分野

本発明は、回路設計支援装置、方法及びプログラムに関し、特にスピントロニクス集積回路の設計に利用される回路設計支援装置及びシミュレータプログラムに関する。

10

背景技術

今日の情報通信技術は、電子の電荷を利用する半導体デバイス技術と、電子のスピンを利用する磁気デバイス技術が別々に技術開発されてきた。近年はそれぞれの技術が成熟度を増し、半導体デバイスの情報処理性能の限界や、磁気デバイスの情報蓄積能力の限界という壁にぶつかりつつある。そこで、電子の電荷の自由度とスピンの自由度の両方を利用した相乗効果により、これら限界を打破しようというスピントロニクス技術が注目されている。

スピントロニクス素子の代表例が磁気抵抗素子（MTJ（Magnetic Tunnel Junction）素子）である。典型的なMTJ素子は、磁化が一方向に固定された固定磁性層（磁化固定層ともいう）と、磁化方向を二方向のうちの一方に任意に変えられる自由磁性層（磁化自由層ともいう）と、これら磁性層の間に形成されたトンネルバリア層を有している。1ビットの情報（“0”又は“1”）は、自由磁性層の磁化（方向）に割り当てられる。固定磁性層と自由磁性層との間に電圧を印加したときにMTJ素子に流れる電流は、自由磁性層の磁化に依存して変化する。即ち、二枚の磁性層の磁化が互いに平行（同じ向き）になる場合、トンネルバリア層を通過するトンネル電流は増加する（低抵抗状態）。逆に二枚の磁性層の磁化が反平行（反対の向き）になる場合、トンネル電流は減少（高抵抗状態）する。この性質を利用してMTJ素子に書込まれた情報を取り出すことができる。MTJ素子にある一定以上の磁場を印加する、あるいはスピン偏極電流を流すことに

より、自由磁性層の磁化方向を反転させることで1ビットの情報を書き換える。

図1は典型的なMTJ素子の状態遷移(状態(a)～(d))を示す図である。

図示のMTJ素子は、固定磁性層11と、自由磁性層12と、それらの間に設けられたトンネルバリア層13を有している。固定磁性層11には上部電極n1
5 が接続され、自由磁性層12には下部電極n2が接続されている。ここで、上部電極n1から下部電極n2へ向かう方向を正の方向と定義し、この方向に流れる電流を正電流とする。逆に下部電極n2から上部電極n1へ向かう方向を負の方向と定義し、この方向に流れる電流を負電流とする。

状態(a)及び(c)における固定磁性層11の磁化の方向と自由磁性層12
10 の磁化の方向がそれぞれ矢印で示されている。状態(a)では、固定磁性層11の磁化と自由磁性層12の磁化が平行状態(低抵抗状態)にある。状態(a)にあるMTJ素子は、状態(b)を経て状態(c)に遷移できる。状態(b)では、MTJ素子の上部電極n1と下部電極n2との間に負電流 I_{w1} を流している。状態(b)において、自由磁性層12の磁化方向が反転してMTJ素子は、状態
15 (c)へ遷移する。状態(c)では、固定磁性層11の磁化と自由磁性層12の磁化とが反平行状態(高抵抗状態)にある。また、状態(c)のMTJ素子は、状態(d)を経て状態(a)に遷移できる。状態(d)では、MTJ素子の上部電極n1と下部電極n2との間に正電流 I_{w0} を流している。状態(d)において、自由磁性層12の磁化が反転してMTJ素子は、状態(a)の平行状態(低
20 抵抗状態)へ遷移する。

このスピントロニクス分野では、MTJ素子を半導体デバイスに応用し、DRAMに代わる大容量で高速、かつ不揮発性を兼ね備えた従来に存在しない性能を実現できる可能性のある磁気ランダムアクセスメモリ(MRAM)が実用化段階に入っている。MRAMは従来の半導体メモリを不揮発化しようという試みで
25 あるが、さらに論理回路にもMTJ素子を組み込んで演算機能と不揮発メモリ機能と同時に実現しようという試みも盛んである。例えば、非特許文献1にはMTJ素子が持つビット情報と、電圧で入力されるビット情報とを論理演算するスピントロニクス要素論理回路が開示されている。このような様々なスピントロニクス要素論理回路が複雑に結線されて、より大規模で複雑な演算を、従来のCMOS

S回路に比べて小面積で、且つ省電力で実行可能な論理回路を実現することができる。さらに、論理回路内部の論理情報は不揮発性であるので、電源切断前の演算結果が消失しない。よって、電源を切断する前に、演算結果を不揮発性記憶装置に記憶させる動作が不要である。このため、データバスにおける情報の転送量を削減できることによる論理回路の高性能化と省電力化を実現できる。また、電源を高頻度に切断することが可能になり、近年増加の一途をたどる非動作時のリーク電流を低減またはゼロにできる。このように、スピントロニクス要素論理回路は、従来実現が困難であった低電力設計を可能にする技術としても期待されている。

10

先行技術文献

非特許文献

非特許文献1 : Yagami, K. ; Tulapurkar, A. A. ; Fukushima, A. ; Suzuki, Y. "Inspection of Intrinsic Critical Currents for Spin-Transfer Magnetization Switching", IEEE TRANSACTIONS ON MAGNETICS, VOL. 41, NO. 10, pp. 2615 - 2617, October 2005.

15

発明の概要

発明が解決しようとする課題

20

MTJ素子を組み込んだ集積回路を設計するには、設計された回路が仕様通りに動作するか回路シミュレータでシミュレーションして確認する必要がある。しかし、現在流通している商用の回路シミュレータ（一般にSPICE : Simulation Program with Integrated Circuit Emphasis と呼ばれる）は、トランジスタや抵抗、容量、インダクタのモデルには対応するものの、MTJ素子のモデルに対応するものは存在しない。そこで、MTJ素子の磁化反転過程及び抵抗特性を実現する等価回路を、理想電源や理想トランジスタ（あるいは理想スイッチ）等を使って作成し、それをサブサーキットとして利用する方法が考えられる。しかしながら、この方法では、1つのMTJ素子を再現するのに数十素子を要し、さらに端子数も数十に達する。このため、計算量が著しく増大し、シミュレーショ

25

ン時間が爆発的に増加してしまう。よって、MTJ素子を含む大規模な論理演算回路の設計にSPICEを適用することは困難である。

- また、上記の簡易的なMTJ素子のサブサーキット・モデルでは、実デバイス上の諸特性が様々なパラメータによってアナログ的に変化する振る舞いを完全に
- 5 模擬することが不可能である。例えば、磁化反転に要する臨界電流 (I_c) と時間 (τ_p) との間には、図2にドット (実測値) で示すようなMTJ素子特有の相関関係がある。この相関関係が実測値に対して精度良くモデル化されていないと、動作マージンを保証する設計や、動作不良を未然に防ぐ設計をすることは困難である。しかしながら、磁化反転に要する電流値と時間の関係は、電流値の大小、
- 10 あるいは磁化反転時間の長短によって異なる物理作用により決まるため、複雑で、高精度にモデル化を行うのは容易ではない。例えば、図2において、MTJ素子に供給される書き換え電流が I_{c0} よりも十分大きい場合 (領域2) は電流の電子が持つスピントルクによる磁化反転が主となるモードであり、 τ_p は約 10 ns 以下となる。一方、書き換え電流が I_{c0} よりも小さい場合 (領域1) は熱活性
- 15 効果による磁化反転が主となるモードであり、 τ_p は約 100 ns 以上となる。これらスピントルク効果と熱活性効果の各々における磁化反転臨界電流値と時間の関係式は非特許文献1等により知られている (これら関係式については後述する)。しかし、これらの関係式は実測値に合う時間領域が限定的であって、実測値に合わない領域が存在する。例えば、 τ_p がおよそ $10\text{ ns} \sim 100\text{ ns}$ の範囲ではス
- 20 ピントルク効果の関係式、及び熱活性効果の関係式のいずれにも実測値はフィットしない。この時間領域は、スピントロニクス集積回路の回路設計を行う上で最も最適化が必要とされる領域であるから、この時間領域のフィッティング精度を向上させなければ致命的な回路設計ミスを起こしかねない。

- 本発明は、実際の素子が持つ磁化反転臨界電流値と時間の相関関係に着目し、
- 25 特定の時間領域 (あるいは電流値領域) によらず広範囲、且つ、高精度に当該相関関係を模擬できる回路設計支援装置、及び回路シミュレータを提供する。

課題を解決するための手段

本発明によれば、MTJ素子を含むスピントロニクス集積回路の設計を支援す

る装置を提供でき、その設計時間の短縮や信頼性の向上が期待できる。

具体的には、本回路設計支援装置は、スピントロニクス集積回路の構成を表す回路情報（ネットリスト）からMTJ素子を識別するMTJ素子識別部と、前記MTJ素子の特性を表すMTJ素子特性情報（モデルパラメータ）と、識別された前記MTJ素子に供給される電流値とに基づいて、前記MTJ素子に磁化反転を生じさせるか否かを判断する磁化反転判断部と、前記MTJ素子についての供給される電流値と磁化に関する時定数との関係を互いに異なる理論モデルに基づいて近似した第1の式及び第2の式を記憶する近似式記憶部と、前記MTJ素子の抵抗値を出力する動作情報出力部とを備え、前記磁化反転判断部は、前記第1の式及び前記第2の式に基づいて磁化反転に要する時定数を演算する第1の演算手段と、演算された時定数から磁化反転確率を演算する第2の演算手段とを有し、前記磁化反転確率に基づいて前記磁化反転を生じさせるか否かを判断することを特徴とする。

また、前記第1の式及び前記第2の式は、それぞれ、前記MTJ素子に供給される電流値を変数として含み、前記第1の演算手段は、前記MTJ素子に供給される電流値が任意のしきい値以上の場合に第1の式が主となり、小さい場合に第2の式が主となるように、前記第1の式と前記第2の式とが前記時定数の演算に寄与する割合を前記MTJ素子に供給される電流値によって変化させ、前記磁化反転判断部は、前記磁化反転確率が任意のしきい値を超えた時に前記磁化反転を生じさせると判断することを特徴とする。

また、前記近似式記憶部は、前記第1の式及び前記第2の式が前記時定数の演算に寄与する割合を決定づける第3の式をさらに記憶し、前記第3の式に含まれる係数が前記MTJ素子特性情報に基づくものであることを特徴とする。

また、前記第3の式がバターワース・フィルタ関数式で表わされることを特徴とする。

また、第2の演算手段は、前記MTJ素子に供給される電流値が、前記MTJ素子特性情報で設定されるしきい値電流以上の場合に前記磁化反転確率が上がり、小さい場合に前記磁化反転確率が下がるように演算されることを特徴とする。

また、MTJ素子を含むスピントロニクス集積回路の設計を支援する回路設計

方法であって、前記スピントロニクス集積回路の構成を表す回路情報（ネットリスト）から前記MTJ素子を識別する第1のステップと、前記MTJ素子の特性を表すMTJ素子特性情報（モデルパラメータ）と、識別されたMTJ素子に供給される電流値とに基づいて、前記磁化反転を生じさせるか否かを判断する第2のステップと、前記MTJ素子の抵抗値を出力する第3のステップとを含み、前記第2のステップにおいて、前記磁化反転に要する時定数を前記電流値に基づいて演算し、その時定数に基づいて磁化反転確率を演算し、その磁化反転確率に基づいて前記磁化反転を生じさせるか否かを判断することを特徴とする。

また、前記第2のステップは、前記MTJ素子についての供給される電流値と磁化に関する時定数との関係を互いに異なる理論モデルに基づいて近似した式であって、それぞれ前記MTJ素子に供給される電流値を変数として含む第1の式及び第2の式を用い、前記MTJ素子に供給される電流値が任意のしきい値以上の場合に前記第1の式が主となり、小さい場合に前記第2の式が主となるように、前記第1の式と前記第2の式とが前記時定数の演算に寄与する割合を前記MTJ素子に供給される電流値によって変化させて前記時定数の演算を行い、かつ前記磁化反転確率が任意のしきい値を超えた時に磁化反転を生じさせると判断することを特徴とする。

発明の効果

本発明は、MTJ素子を含む電子回路の動作シミュレーションを高速、且つ、高精度に実施することが可能な設計支援装置、及びプログラムを提供することができる。

図面の簡単な説明

図1は、典型的なMTJ素子の状態遷移を説明するための図である。

図2は、磁化反転臨界電流 I_c と磁化緩和時間 τ_p との関係を示すグラフである。

図3は、本発明の一実施の形態に係る電子回路設計支援装置の概略構成を示すブロック図である。

図4は、図3の電子回路設計支援装置を実現するために用いられるコンピュー

タシステムの概略構成を示すブロック図である。

図5は、図3の電子回路設計支援装置に含まれる磁化反転判断部の動作を説明するためのフローチャートである。

図6は、図5の磁化反転判断部の動作（演算）により求まる各部の動作（または状態）波形図である。

図7は、図3の電子回路設計支援装置に適用されるフィッティングカーブを示すグラフである。

図8は、図7のフィッティングカーブの実現に用いられるパラメータ α に対する磁化緩和時間 τ_p の依存性を示すグラフである。

図9は、近似式から時定数を求める場合に解が発散しないよう、当該近似式中の不連続点の近傍でその近似式をテイラー展開し、項数を k_{max} とした場合の項数 k_{max} と誤差 ε との関係を示すグラフである。

図10は、ニュートン法により磁化緩和時間 τ_p から書き換え電流値 I_w を求める方法を説明するためのグラフである。

15

発明を実施するための形態

以下、図面を参照して本発明の実施の形態について詳細に説明する。

図3は、本発明の一実施の形態における電子回路設計支援装置30の構成を表す図である。図3に示す回路設計支援装置30は、MTJ素子を含む回路を設計する支援装置であり、任意の回路情報に関して、その回路の構成要素であるMTJ素子を含む様々な能動素子、受動素子のモデルパラメータに基づいて模擬動作させることが可能である。本支援装置30は、回路情報入力部31、素子情報入力部32、MTJ素子識別部33、電圧・電流演算部34、磁化反転判断部35、動作情報出力部36、及び近似式記憶部37を備える。

回路情報入力部31には、設計対象のスピン트로ニクス集積回路の構成を表す回路情報、及び、回路に入力される信号波形情報が入力される。素子情報入力部32は近似式記憶部37とリンクしている。素子情報入力部32には、CMOSトランジスタ等の能動素子や抵抗、容量等の受動素子のモデルパラメータの他、MTJ素子の特性を表すモデルパラメータが入力される。これらモデルパラメー

タは、近似式記憶部 37 に登録された近似式における係数値に対応する。

MTJ 素子識別部 33 は、入力される回路情報（ネットリスト）から回路に含まれる MTJ 素子を識別する。この識別機能は、素子情報入力部 32 から入力される MTJ 素子モデルパラメータを参照し、それに記載された MTJ 素子モデル名と一致するモデル名がネットリストに含まれているかをチェックすることで実現される。

電圧・電流演算部 34 は、ネットリストに含まれる各々の素子に流れる電流や、素子同士を接続する端子に生じる電圧を、回路情報入力部 31 に入力された入力波形情報と素子情報入力部 32 に入力されたモデルパラメータから演算する。本演算部 34 は、各々の MTJ 素子に供給される書き換え電流やその両端のバイアス電圧を演算する機能を有する。

磁化反転判断部 35 は、各々の MTJ 素子に供給される書き換え電流値から磁化反転に関わる時定数を算出し（第 1 の演算手段）、その時定数から磁化反転確率を算出し（第 2 の演算手段）、さらに算出した磁化反転確率に基づいて MTJ 素子に磁化反転を生じさせるか否かを判断する。時定数、及び磁化反転確率は近似式記憶部 37 に格納された近似式と、MTJ 素子モデルパラメータの値から演算される。

動作情報出力部 36 は、ネットリストに予め記載された指示に従って、任意の端子の電圧や素子に流れる電流の他、MTJ 素子の磁化状態、抵抗値、書き換え電流やセンス時の電流等の動作波形結果をディスプレイ表示、あるいは印刷などにより出力する。

本電子回路設計支援装置 30 は、図 4 に示すコンピュータシステムにより実現可能である。図 4 に示すコンピュータシステム 40 は、ネットリスト、モデルパラメータ等の磁化反転時間を算出する計算に必要な各種データが記憶される記憶媒体 41 と、コンピュータ本体 42 とを備えている。

記憶媒体 41 は、コンピュータ読み取り可能な情報を非一時的に記憶する。記憶媒体 41 には、MTJ 素子の識別、電圧や電流の演算、及び MTJ 素子の磁化反転のタイミング判断を行うプログラムが格納されている。このプログラムは、以降に詳述するように、設計された回路情報から MTJ 素子を識別する第 1 のス

テップと、MTJ素子特性情報とMTJ素子に供給される書き換え電流値から磁化反転させるか否かを判断する第2のステップと、MTJ素子の抵抗値を出力する第3のステップを少なくとも実現するプログラムである。このプログラムは、第2のステップにおいて、磁化反転に要する時定数をMTJ素子に供給される電

5 流値から演算し、その時定数から磁化反転確率を演算し、その磁化反転確率に基づいて磁化反転を生じさせるか否かを判断させることを特徴とする。

また、コンピュータ本体42はデータの入出力を行う入出力装置43と、記憶媒体41から読み込まれたプログラムまたはデータを記憶する記憶装置44と、全体の制御及び計算を行う演算装置45と、計算結果を表示する表示装置46と

10 を備え、これらはバス47により相互に接続されている。

このように構成されたコンピュータシステム40において、回路情報入力部31、及び、素子情報入力部32は入出力装置43により実現される。また、MTJ素子識別部33、電圧・電流演算部34、磁化反転判断部35は演算装置45により実現される。また、近似式記憶部37は上記プログラムに組み込まれた状態

15 態で記憶装置44により実現される。また、動作情報出力部36は、表示装置46により実現される。

例えば、演算装置45は、記憶媒体41から読み込まれて記憶装置44に展開されたプログラムを実行し、MTJ素子に供給される電流値からそのMTJ素子の磁化反転するタイミングを計算する。その際、演算装置45は、入出力装置4

20 3からバス47を介して記憶装置44に入力された、MTJ素子を含む回路情報と素子情報、及び記憶媒体41により実現される近似式記憶部37に格納された定数（係数）を含む近似式を用いる。また、演算装置45は、MTJ素子の磁化状態に起因する抵抗値を含む動作情報を表示装置46に表示させる。

次に、本実施の形態に係る電子回路設計支援装置30の動作について説明する。

まず、電子回路設計支援装置30が起動すると、図4に示される演算装置45が記憶媒体41、及び記憶装置44に予め記憶されているプログラムを読み込んで実行する。これにより、演算装置45によって以下に述べるように図3の各機能ブロックが実現される。即ち、演算装置45は、回路情報（ネットリスト）、及び素子情報（モデルパラメータ）を参照して、MTJ素子を識別する。次に、演

25

算装置 4 5 は、各々の素子、端子における初期状態（電圧、電流等）を計算する。この時、MTJ 素子の磁化状態、及び抵抗値は予めネットリスト、あるいはモデルパラメータで指定された状態にセットされる。続いて、演算装置 4 5 は、入力信号情報やモデルパラメータ、近似式を活用して時間刻み Δt ずつシミュレーション時刻を進めながら、各時刻の状態を計算する。この時、MTJ 素子の磁化状態が反転するか否かの判断が MTJ 素子に流れる書き換え電流をモニタリングすることにより実行される。ネットリストに記載されたシミュレーション終了時間まで時刻を Δt ずつ進め、上記計算がその度毎に実施される。この計算結果は、図 4 の記憶装置 4 4、及び記憶媒体 4 1 に出力され、使用者は表示装置 4 6 を介して動作波形データとして計算結果を観察することができる。

図 5 は本実施の形態における磁化反転判断部 3 5 の演算フローを示している。ここで、シミュレーション上の時刻 t_0 から $t_1 = t_0 + \Delta t$ に変化したと仮定する（ステップ A 0）。また、書き換え電流値 I_w は書き込みデータに応じて正負の符号を持つが、平行化及び反平行化のいずれの場合も基本的に同じ演算フローであるため、図 5 では書き換え電流値 I_w の絶対値を取り扱うこととする。

時刻 t_1 において、MTJ 素子に流れる書き換え電流値 $|I_w(t_1)|$ が、モデルパラメータファイルにて設定される任意のしきい値電流 $|I_{c_min}|$ 以上か否かを比較する（ステップ A 1）。

比較結果が、 $|I_w(t_1)| \geq |I_{c_min}|$ （ステップ A 1 で yes）であれば、後述する近似式に従って、磁化緩和時定数 τ_p の算出を行う（ステップ A 2）。そうでなければ（ステップ A 1 で no）、 τ_p の値は磁化反転を起こさない固有の時定数 τ_{NOSW} に設定される（ステップ B 2）。この時定数 τ_{NOSW} はモデルパラメータファイルに予め記載された値である。

次に、磁化緩和時定数 τ_p の値から磁化反転確率 P_{PRB} を計算する。ステップ A 1 で、 $|I_w(t_1)| \geq |I_{c_min}|$ と判定された場合、電流印加時刻から時間 t 経過した時の磁化反転確率 P_{PRB} は、 $P_{PRB} = 1 - \exp(-t / \tau_p)$ で求められる。この場合、磁化反転確率は時刻とともに増加する（ステップ A 3）。一方、ステップ A 1 で $|I_w(t_1)| < |I_{c_min}|$ と判定された場合（これは書き換え電流の供給が停止して時間 t 経過した場合に相当する）、磁化反転確

率 P_{PRB} は、 $P_{PRB} = \exp(-t/\tau_p)$ で求められる。この場合、磁化反転確率は時刻とともに減少する（ステップB3）。

ステップA3で磁化反転確率 P_{PRB} を求めた後、ステップA4において、求めた磁化反転確率 P_{PRB} の絶対値と任意のしきい値 $|P_{th}|$ とを比較する。時刻 t_1 において磁化反転確率 $|P_{PRB}|$ が $|P_{th}|$ 以上の場合、MTJ素子に磁化反転を生じさせ、これに伴ってMTJ素子の抵抗値が変化する（ステップA5）。超えない場合はMTJ素子に磁化反転を生じさせず、MTJ素子はその状態を保持する（ステップB5）。ステップB3で磁化反転確率 P_{PRB} を求めた場合も、MTJ素子はその状態を保持する。

図6は、図5のフローチャートに基づいて過渡応答をシミュレーションした場合の各部における動作または状態を示す波形図である。MTJ素子の磁化を平行化するため、時刻 T_0 から T_1 の期間において、書き換え電流パルス I_{w0} を正の方向に印加している。さらに、MTJ素子の磁化を反平行化するために、時刻 T_2 から T_3 の期間において、書き換え電流パルス I_{w1} を負の方向に印加している。

時刻 T_0 において $I_{w0} \geq I_{c_min0}$ であるから、 τ_p が I_{w0} を変数として計算され、さらに P_{PRB} が計算される。 P_{PRB} が P_{th0} を超えるタイミング（時刻 T_{R0} ）でMTJ素子の磁化は反平行から平行状態に遷移し、その抵抗値 R_{mtj} は低抵抗化（ $R_{AP} \rightarrow R_P$ ）される。すなわち、時刻 T_0 から T_{R0} までの時間が磁化反転時間（磁化反転遅延 t_{W0} ）となる。

時刻 T_1 に達すると、書き換え電流 I_w の供給が停止され（ $I_{w0} < I_{c_min0}$ ）、 τ_p が一定（＝時定数 τ_{NOSW} ）となる。時定数 τ_{NOSW} は、磁化反転確率 P_{PRB} を減少させ、最終的に0%にする。

時刻 T_2 において $|I_{w1}| \geq |I_{c_min1}|$ であるから、 τ_p が I_{w1} を変数として計算され、さらに P_{PRB} が計算される。ここで、反平行化の場合における P_{PRB} の符号は負として定義している。 $|P_{PRB}|$ が $|P_{th1}|$ を超えるタイミング（時刻 T_{R1} ）でMTJ素子の磁化は平行から反平行状態に遷移し、その抵抗値 R_{mtj} は高抵抗化（ $R_P \rightarrow R_{AP}$ ）される。すなわち、時刻 T_2 から T_{R1} までの時間が磁化反転時間（磁化反転遅延 t_{W1} ）となる。

時刻 T_3 に達すると、書き換え電流の供給が停止され ($|I_{w1}| < |I_{c_min0}|$)、 τ_p が一定 (= 時定数 τ_{NOSW}) となり、磁化反転確率 P_{PRB} は 0 に近づく。

本発明の実施の形態における磁化緩和時定数 τ_p の算出方法 (ステップ A 2) の
 5 詳細を説明する前に、典型的な MTJ 素子における磁化反転電流と時間の関係について再び図 2 を参照して詳述する (この関係は非特許文献 1 に開示されている)。なお、以下の説明では、MTJ 素子に供給される書き換え電流 I_w と、磁化反転臨界電流 I_c を明確に区別して記載するが、本設計支援装置、及びプログラムに組み込む場合は、 τ_p の算出を行う過程において、 $I_c = I_w$ と同義に取り扱えるものとする。
 10

図 2 において、上部分は、MTJ 素子の磁化を平行化する際の磁化反転電流 I_c と時間 $\ln(\tau_p / \tau_0)$ との関係を示し、下部分は、MTJ 素子の磁化を非平行化する際の磁化反転電流 I_c と時間 $\ln(\tau_p / \tau_0)$ との関係を示している。図 2 の上部分及び下部分のそれぞれにおいて、ドットは実測値を示し、実線 (1)
 15 及び (2) は、その近似線を表している。

図 2 の近似線 (1) は、熱活性モデルによる臨界電流 I_c を示しており、非特許文献 1 によれば次式で表わされる。

$$I_c = I_{c0} \{1 - f_T(\tau_p)\} \quad \dots (1)$$

$$f_T(\tau_p) = (k_B T / E) \ln(\tau_p / \tau_0) \quad \dots (1')$$

20

ここで、 k_B はボルツマン定数、 T は絶対温度、 E はエネルギーバリア、 τ_0 は熱反転における試行時間で 1 ns とするのが一般的である。また、(1') 式で表われる項を熱活性項と呼ぶこととする。この近似式では、 $\tau_p \gg \tau_0$ の領域において (τ_p は約 100 ns 以上)、実測値と良く合うことが知られている。
 25

図 2 の近似線 (2) は、スピントルク効果モデルによる臨界電流 I_c を示しており、非特許文献 1 によれば次式で表わされる。

$$I_c = I_{c0} \{1 + f_S(\tau_p)\} \quad \dots (2)$$

$$f_S(\tau_P) = (\tau_{relax} / \tau_P) \cdot \ln \{ \pi / (2 \sqrt{(k_B T / E)}) \} \cdots (2')$$

ここで、 τ_{relax} は磁気モーメントの緩和時間である。また、(2')式で表わされる項を歳差項と呼ぶこととする。この近似式では、 τ_P が τ_{relax} に近い領域に

5 おいて(約10 ns以下)、実測値と良く合うことが知られている。

(1)式と(2)式のどちらの式を使って τ_P を算出するか、MTJ素子に供給される書き換え電流値によって切り替える方法が考えられる。しかし、(1)式と(2)式の接線が存在しないため、切り替える基準となる電流値を決めることは困難である。

10 そこで本発明による実施の形態では、(1)式と(2)式を結合する新たな係数 α 、 β を導入する。すなわち、磁化反転臨界電流 I_c は、

$$I_c = I_{c0} \{ 1 + \alpha f_S(\tau_P) - \beta f_T(\tau_P) \} \cdots (3)$$

15 の式で表わすこととする。ここで、係数 α 及び β は、 τ_P あるいは I_c に依存して値が変化する係数で0～1の範囲をとる。例えば、 τ_P が τ_0 に比べて十分大きい熱活性モデルの領域では α が0に近づき(歳差項はゼロに近づく)、 β は1に近づく。一方、スピントルクモデルの領域では α が1に近づき、 β は0に近づく(熱活性項はゼロに近づく)。この様な α 、 β をフィッティング関数式として導入すれば良い。

20 (3)式による臨界電流 I_c と磁化緩和時定数 τ_P の関係を図7に太線で示す。図7に示す様に、 α 、 β の導入によって、熱活性領域とスピントルク領域の間の領域、すなわち、(1)式と(2)式のいずれの式にもフィッティングできない領域においても、実測値にフィッティングさせることが可能な近似式を実現することができる。

25 α 及び β の関数の一例として、バターワース・ローパスフィルタ関数式を挙げることができる。この関数は、次式で表わされる。

$$\alpha = 1 / (1 + a (\tau_P / \tau_0)^{2m}) \cdots (4)$$

$$\beta = 1 - 1 / (1 + b (\tau_p / \tau_0)^{2n}) \cdots (4')$$

ここで、(4) 及び (4') 式の各係数 (a、b、m、n) をモデルパラメータ化することで、スピントルク領域と熱活性領域の間の領域においても実測値にフィッティングさせることが可能となる。ここで、 $a=b$ 、 $m=n$ とすることで (この場合、 $\beta = 1 - \alpha$ が成り立つ)、パラメータを削減しても差し支えない。また、 $\beta = 1$ 固定にして α だけを変化させても差し支えない。

図 8 は、(4) 式のパラメータ a を 1 に固定し ($a=1$)、 m の値を 1 から 5 まで変化させた場合の α の値を τ_p を変数として図示したものである。 α は、 τ_p が大きくなるに従って、単調減少する関数であり、 m の値によって変化の急峻さを変えることができる。この特徴は、熱活性領域とスピントルク領域の間の領域におけるフィッティング式として活用できる点で最適である。

以上説明した (1) 式から (4) 式は τ_p から I_c を求めるための式であり、実測値に対してモデルパラメータを導出する際には便利である。しかし、本発明による電子回路設計支援装置、及びシミュレーション・プログラムにおける図 5 のステップ A2 においては、MTJ 素子に供給される書き換え電流 $I_w (= I_c)$ から τ_p を算出する必要がある。すなわち、シミュレーション・プログラムにはこれらの式の逆関数を組み込む必要がある。(1) 式や (2) 式の逆関数は容易に導出できるものの、これらを結合した (3) 式の逆関数を求めることは容易ではない。

そこで、本実施の形態では、(1) 式の逆関数から算出される時定数 τ_p^{TA} と、(2) 式の逆関数から算出される時定数 τ_p^{PR} に対して (3) 式と同様な結合を実施することで最終的な τ_p を算出する。

詳述すると、次式に示す (1) 式の逆関数から τ_p^{TA} を算出する。

$$\tau_p^{TA} = \tau_0 \cdot \exp [(E/k_B T) \{1 - (I_c / I_{c0})\}] \cdots (5)$$

また、次式に示す (2) 式の逆関数から τ_p^{PR} を算出する。

$$\tau_P^{PR} = \tau_{relax} \cdot \ln \{ \pi / (2 \sqrt{(k_B T / E)}) \} / \{ (I_c / I_{c0}) - 1 \} \dots \quad (6)$$

さらに、(3) 式の導出と同様の考え方に基づき、次式で最終的な τ_P を算出する。

$$\tau_P = \gamma \tau_P^{PR} + \delta \tau_P^{TA} \dots (7)$$

ここで、 γ 、及び δ は次式で表わされる。

$$\gamma = 1 - 1 / (1 + a (I_c / I_{c0})^{2m}) \dots (8)$$

$$\delta = 1 / (1 + b (I_c / I_{c0})^{2n}) \dots (8')$$

ここで、 a 、 b 、 m 、 n はモデルパラメータである。(5) 式から (8) 式によれば、熱活性モデルとスピントルクモデルの両方に基づき、広範囲に渡ってフィッティング精度を確保できる τ_P を算出することが可能である。例えば、書き換え電流 $I_c (= I_w)$ が I_{c0} より十分大きい場合には γ は 1 に近づき、 δ は 0 に近づく。そのため、 τ_P の値はスピントルク効果から求まる τ_{PPR} が支配的となる。一方、 I_c が I_{c0} よりも小さい場合は、 γ は 0 に近づき、 δ は 1 に近づく。そのため、 τ_P の値は熱活性効果から求まる τ_{PTA} が支配的となる。 I_c が I_{c0} 付近の場合は、両者の効果が混在する領域で、 I_w の値によってその比率が変化する。

ここで、(6) 式には分母に $\{ (I_c / I_{c0}) - 1 \}$ の項があるため、もし $I_c = I_{c0}$ の場合は τ_P^{PR} が発散することに注意が必要である。この発散を防ぐため、 $I_c \leq I_{c0}$ における τ_P^{PR} の値をパラメータ化しておくが良い。

あるいは、発散を防ぐ別な方法として、下式で表される $g(I_c)$ に近い値をとり、かつ $I_c = I_{c0}$ で発散しない連続関数で $g(I_c)$ を置き換えるという方法がある。

$$g(I_c) \equiv 1 / \{(I_c / I_{c0}) - 1\} \cdots (9)$$

そのような連続関数の一例として、(9) 式右辺をテイラー展開した関数がある。

- (6) 式はスピントルク領域の式であるから、 $I_c > I_{c0}$ (すなわち $1 > I_{c0} / I_c$) と考えてよく、(9) 式を項 (I_{c0} / I_c) でテイラー展開すると、次式となる。

$$\begin{aligned} g(I_c) &\equiv 1 / \{(I_c / I_{c0}) - 1\} \\ &= (I_{c0} / I_c) \lim_{k_{\max} \rightarrow \infty} \sum_{k=0}^{k_{\max}} (I_{c0} / I_c)^k \cdots (10) \end{aligned}$$

10

$k_{\max}$ が有限の場合、 $I_{c0} / I_c < 1$ の条件下では、(10) 式右辺の加算の回数 ($k_{\max}$) が多ければ多いほど、元の (9) 式に対する (10) 式の誤差 ε は、小さくなる。なお、誤差 ε は、次式で表される。

- 15 $\varepsilon = \{k_{\max} \text{ まで和をとった (10) 式右辺} - (9) \text{ 式右辺}\} / \{(9) \text{ 式右辺}\} \times 100 \cdots (11)$

数値計算上は、図 9 に示す $k_{\max}$ と ε の関係を参考に、 ε が所望の範囲に収まるように $k_{\max}$ を定める。

- 20 書き換え電流 $I_w (= I_c)$ から τ_p を算出する本発明の別の実施形態として、例えば本発明の (1) 式から (4) 式にて表される τ_p から I_w を得る式をまず求めておき、続いて数値計算により逆関数を求める方法がある。数値計算法としては、ニュートン法などのアルゴリズムが有効である。このニュートン法を用いた逆関数計算法の一例を以下に示す。図 10 に、本例の説明のため、次式に対する
- 25 τ_p をニュートン法により求める方法を図解的に示す。

$$I_w(\tau_p) = I_{wc} \text{ (定数)} \cdots (12)$$

明らかに、式 $I_w = I_w(\tau_p)$ の曲線と、直線 $I_w = I_{wc}$ の交点が (12) 式の解である。

まず、適当な初期解 τ_{p0} を設定する。 $I_w = I_w(\tau_p)$ 上で、 $\tau = \tau_{p0}$ における接線（接線 1）を引き、 $I_w = I_{wc}$ との交点の x 座標を τ_{p1} とする。続いて今度は $I_w = I_w(\tau_p)$ 上で、 $\tau = \tau_{p1}$ における接線（接線 2）を引き、 $I_w = I_{wc}$ との交点の x 座標を τ_{p2} とする。この操作を繰り返し、 $n-1$ 回目の $I_w(\tau_{pn-1})$ と n 回目の $I_w(\tau_{pn})$ との差が予め設定していた誤差値 ε_n よりも小さくなったときの τ_{pn} をもって、(12) 式の解とする。この τ_{pn} はすなわち、与えられた $I_w = I_{wc}$ に対する τ_p の値である。

- 10 本発明の実施形態によれば、MTJ 素子を含む電子回路の動作検証を高精度に短時間に実施することが可能な設計支援装置、及びプログラムを提供することができる。特に、スピントルクモデルの領域と熱活性モデルの領域の間の領域における書き換え特性が、実測値に非常に合う近似式を用いて計算することが可能となる。これは従来のサブサーキットモデルでは回路が複雑になりすぎて計算時間が膨大になるため事実上、実現不可能である。

- 15 以上、本発明について具体的な実施の形態を例示しながら説明した。本発明は上記実施の形態に限定されず、本発明の技術思想の範囲内において、適宜変更され得ることは明らかである。例えば、上記 α 、 β 、 γ 、 δ の係数の式はバタワース関数に限らず、他のフィルタ関数式を用いることも可能である。また、上記実施形態では、スピン注入方式の MTJ 素子を例示しながら説明をしたが、電流磁場を利用して書きかえる方式の MTJ 素子や磁壁移動の現象を利用する MTJ 素子にも本発明は適用可能である。また、MTJ 素子に限らず、電流や電圧を供給して抵抗値が変化するその他の抵抗変化型素子（ReRAM (Resistance Random Access Memory) 素子、PRAM (Phase change RAM) 素子、原子スイッチ素子等）を含む回路への適用も本発明の範囲内であることは明白である。

25 上記の実施形態の一部又は全部は、以下の付記のようにも記載されうるが、以下には限られない。

（付記 1） 本発明の特徴として、上に述べたように、磁化反転臨界電流 I_c を表す式として、熱活性項（1'）とスピントルク項（2'）を、係数 α および β を

用いて式（３）のように表すことを含む。

（付記２） また、本発明の別な特徴として、時定数 τ_p から磁化反転臨界電流 I_c を求める方法を含む。そのひとつの方法として、熱活性領域における I_c と τ_p の関係式（１）、およびスピントルク領域における I_c と τ_p の関係式（２）のそれぞれ
5 ぞれの逆関数を求め（それぞれ式（５）、（６））、係数 γ および δ を用いて式（７）のように表すことを含む。

（付記３） また、時定数 τ_p から磁化反転臨界電流 I_c を求める別な方法として、例えば式（３）のような τ_p から I_c を求める関係式をもとに、数値計算にて逆関数を求める、すなわち与えられた I_c から τ_p を計算する方法を含む。

10 （付記４） また、本発明の別な特徴として、式（６）の $I_c = I_{c0}$ における発散を防ぐために、式（６）を $I_c = I_{c0}$ で発散しない連続関数で置き換えることを含む。

（付記５） M T J 素子に供給される電流値と磁化反転に関する時定数との関係を互いに異なる理論モデルに基づいて近似した第１及び第２の近似式を記憶する
15 近似式記憶部と、

前記 M T J 素子を含む集積回路の構成を表す回路情報と、前記 M T J 素子に関する素子特性情報とに基づいて、時刻 t における前記 M T J 素子に供給される電流値を求める演算部と、

求めた電流値と、前記第１及び第２の近似式とに基づいて、前記 M T J 素子に
20 磁化反転を生じさせるか否かを判定する磁化反転判断部と、
を備えることを特徴とする回路設計支援装置。

（付記６） 前記磁化反転判断部は、第１の近似式に基づいて得られる第１の演算結果と、前記第２の近似式に基づいて得られる第２の演算結果とを、前記求めた電流値の大小に応じて前記第１の演算結果及び前記第２の演算結果の一方が支配的となるように変化させるパラメータを用いて重み付け加算し、加算結果に基づいて前記磁化反転を生じさせるか否かを判断することを特徴とする付記５に記載の回路設計支援装置。
25

（付記７） 前記磁化反転判断部は、前記求めた電流値が第１のしきい値以上の場合に、前記磁化反転を生じさせるか否かを判定することを特徴とする付記５又は

付記 6 に記載の回路設計支援装置。

(付記 8) 前記磁化反転判断部は、前記求めた電流値が第 1 のしきい値以上の場合に、前記第 1 及び第 2 の近似式に基づいて、前記求めた電流値に対応する時定数を求め、求めた時定数を用いてさらに磁化反転確率を求め、求めた磁化反転確率が第 2 のしきい値以上の場合に、前記磁化反転を生じさせると判断する、ことを特徴とする付記 7 に記載の回路設計支援装置。

(付記 9) 前記磁化反転判断部は、前記求めた電流値が第 1 のしきい値より小さい場合に、前記求めた電流値に対応する時定数として予め定められた定数を採用し、採用した時定数を用いてさらに磁化反転確率を求める、ことを特徴とする付記 8 に記載の回路設計支援装置。

(付記 10) 前記演算部と前記磁化反転判定部は、 Δt 時間が経過する毎に動作を繰り返すことを特徴とする付記 5 乃至 9 のいずれかに記載の回路設計支援装置。

(付記 11) M T J 素子を含む集積回路の構成を表す回路情報と、前記 M T J 素子に関する素子特性情報とに基づいて、時刻 t における前記 M T J 素子に供給される電流値を求め、

前記 M T J 素子に供給される電流値と磁化反転に関する時定数との関係を互いに異なる理論モデルに基づいて近似した第 1 及び第 2 の近似式と、前記求めた電流値とに基づいて、前記 M T J 素子に磁化反転を生じさせるか否かを判定する、ことを特徴とする回路設計支援方法。

(付記 12) M T J 素子を含む集積回路の構成を表す回路情報と、前記 M T J 素子に関する素子特性情報とに基づいて、時刻 t における前記 M T J 素子に供給される電流値を求めるステップと、

前記 M T J 素子に供給される電流値と磁化反転に関する時定数との関係を互いに異なる理論モデルに基づいて近似した第 1 及び第 2 の近似式と、前記求めた電流値とに基づいて、前記 M T J 素子に磁化反転を生じさせるか否かを判定するステップと、

をコンピュータに実行させることを特徴とするプログラム。

符号の説明

	1 1	磁化自由層
	1 2	磁化固定層
	1 3	バリア層
5	3 0	電子回路設計支援装置
	3 1	回路情報入力部
	3 2	素子情報入力部
	3 3	M T J 素子識別部
	3 4	電圧・電流演算部
10	3 5	磁化反転判断部
	3 6	動作情報出力部
	3 7	近似式記憶部
	4 0	コンピュータシステム
	4 1	記憶媒体
15	4 2	コンピュータ本体
	4 3	入出力装置
	4 4	記憶装置
	4 5	演算装置
	4 6	表示装置

20

この出願は、2012年8月23日に出願された日本出願特願2012-184142号を基礎とする優先権を主張し、その開示の全てをここに取り込む。

請 求 の 範 囲

[請求項 1]

MTJ素子を含むスピントロニクス集積回路の設計を支援する回路設計支援装置であって、

前記スピントロニクス集積回路の構成を表す回路情報（ネットリスト）から前記MTJ素子を識別するMTJ素子識別部と、

前記MTJ素子の特性を表すMTJ素子特性情報（モデルパラメータ）と、識別された前記MTJ素子に供給される電流値とに基づいて、前記MTJ素子に磁化反転を生じさせるか否かを判断する磁化反転判断部と、

前記MTJ素子についての供給される電流値と磁化に関する時定数との関係を互いに異なる理論モデルに基づいて近似した第1の式及び第2の式を記憶する近似式記憶部と、

前記MTJ素子の抵抗値を出力する動作情報出力部とを備え、

前記磁化反転判断部は、前記第1の式及び前記第2の式に基づいて磁化反転に要する時定数を演算する第1の演算手段と、

演算された時定数から磁化反転確率を演算する第2の演算手段とを有し、

前記磁化反転確率に基づいて前記磁化反転を生じさせるか否かを判断することを特徴とする回路設計支援装置。

[請求項 2]

請求項1に記載の回路設計支援装置において、

前記第1の式及び前記第2の式は、それぞれ、前記MTJ素子に供給される電流値を変数として含み、

前記第1の演算手段は、前記MTJ素子に供給される電流値が任意のしきい値以上の場合に第1の式が主となり、小さい場合に第2の式が主となるように、前記第1の式と前記第2の式とが前記時定数の演算に寄与する割合を前記MTJ素子に供給される電流値によって変化させ、

前記磁化反転判断部は、前記磁化反転確率が任意のしきい値を超えた時に前記磁化反転を生じさせると判断することを特徴とする回路設計支援装置。

[請求項 3]

請求項 1 に記載の回路設計支援装置において、

前記近似式記憶部は、前記第 1 の式及び前記第 2 の式が前記時定数の演算に寄与する割合を決定づける第 3 の式をさらに記憶し、

- 5 前記第 3 の式に含まれる係数が前記 M T J 素子特性情報に基づくものであることを特徴とする回路設計支援装置。

[請求項 4]

請求項 3 に記載の回路設計支援装置において、

前記第 3 の式がバターワース・フィルタ関数式で表わされることを特徴とする

- 10 回路設計支援装置。

[請求項 5]

請求項 1 に記載の回路設計支援装置において、

第 2 の演算手段は、前記 M T J 素子に供給される電流値が、前記 M T J 素子特性情報で設定されるしきい値電流以上の場合に前記磁化反転確率が上がり、小さい場合に前記磁化反転確率が下がるように演算することを特徴とする回路設計支援装置。

- 15

[請求項 6]

M T J 素子を含むスピントロニクス集積回路の設計を支援する回路設計支援方法であって、

- 20 前記スピントロニクス集積回路の構成を表す回路情報（ネットリスト）から前記 M T J 素子を識別する第 1 のステップと、

前記 M T J 素子の特性を表す M T J 素子特性情報（モデルパラメータ）と、識別された M T J 素子に供給される電流値とに基づいて、前記磁化反転を生じさせるか否かを判断する第 2 のステップと、

- 25 前記 M T J 素子の抵抗値を出力する第 3 のステップとを含み、

前記第 2 のステップにおいて、前記磁化反転に要する時定数を前記電流値に基づいて演算し、その時定数に基づいて磁化反転確率を演算し、その磁化反転確率に基づいて前記磁化反転を生じさせるか否かを判断することを特徴とする回路設計支援方法。

[請求項 7]

請求項 6 に記載の回路設計支援方法において、

前記第 2 のステップは、前記 M T J 素子についての供給される電流値と磁化に関する時定数との関係を互いに異なる理論モデルに基づいて近似した式であって、

- 5 それぞれ前記 M T J 素子に供給される電流値を変数として含む第 1 の式及び第 2 の式を用い、前記 M T J 素子に供給される電流値が任意のしきい値以上の場合に前記第 1 の式が主となり、小さい場合に前記第 2 の式が主となるように、前記第 1 の式と前記第 2 の式とが前記時定数の演算に寄与する割合を前記 M T J 素子に供給される電流値によって変化させて前記時定数の演算を行い、かつ

- 10 前記磁化反転確率が任意のしきい値を超えた時に前記磁化反転を生じさせると判断することを特徴とする回路設計支援方法。

[請求項 8]

コンピュータを、M T J 素子を含むスピントロニクス集積回路の設計を支援する回路設計支援装置として動作せせるプログラムであって、

- 15 前記コンピュータに、

前記スピントロニクス集積回路の構成を表す回路情報（ネットリスト）から前記 M T J 素子を識別する第 1 のステップと、

前記 M T J 素子の特性を表す M T J 素子特性情報（モデルパラメータ）と、識別された M T J 素子に供給される電流値とに基づいて、前記磁化反転を生じさせる

- 20 るか否か判断する第 2 のステップと、

前記 M T J 素子の抵抗値を出力する第 3 のステップとを、
実行させ、

前記第 2 のステップにおいて、前記磁化反転に要する時定数を前記電流値に基づいて演算し、その時定数に基づいて磁化反転確率を演算し、その磁化反転確率

- 25 に基づいて前記磁化反転させるか否か判断することを特徴とするプログラム。

[請求項 9]

請求項 8 に記載のプログラムにおいて、

前記第 2 のステップは、前記 M T J 素子についての供給される電流値と磁化に関する時定数との関係を互いに異なる理論モデルに基づいて近似した式であって、

それぞれ前記MTJ素子に供給される電流値を変数として含む第1の式及び第2の式を用い、前記MTJ素子に供給される電流値が任意のしきい値以上の場合に前記第1の式が主となり、小さい場合に前記第2の式が主となるように、前記第1の式と前記第2の式とが前記時定数の演算に寄与する割合を前記MTJ素子に

5 供給される電流値によって変化させて前記時定数の演算を行い、かつ

前記磁化反転確率が任意のしきい値を超えた時に前記磁化反転を生じさせると判断することを特徴とするプログラム。

[請求項10]

MTJ素子に供給される電流値と磁化反転に関する時定数との関係を互いに異なる理論モデルに基づいて近似した第1及び第2の近似式を記憶する近似式記憶部と、

10

前記MTJ素子を含む集積回路の構成を表す回路情報と、前記MTJ素子に関する素子特性情報とに基づいて、時刻 t における前記MTJ素子に供給される電流値を求める演算部と、

15 求めた電流値と、前記第1及び第2の近似式とに基づいて、前記MTJ素子に磁化反転を生じさせるか否かを判定する磁化反転判断部と、
を備えることを特徴とする回路設計支援装置。

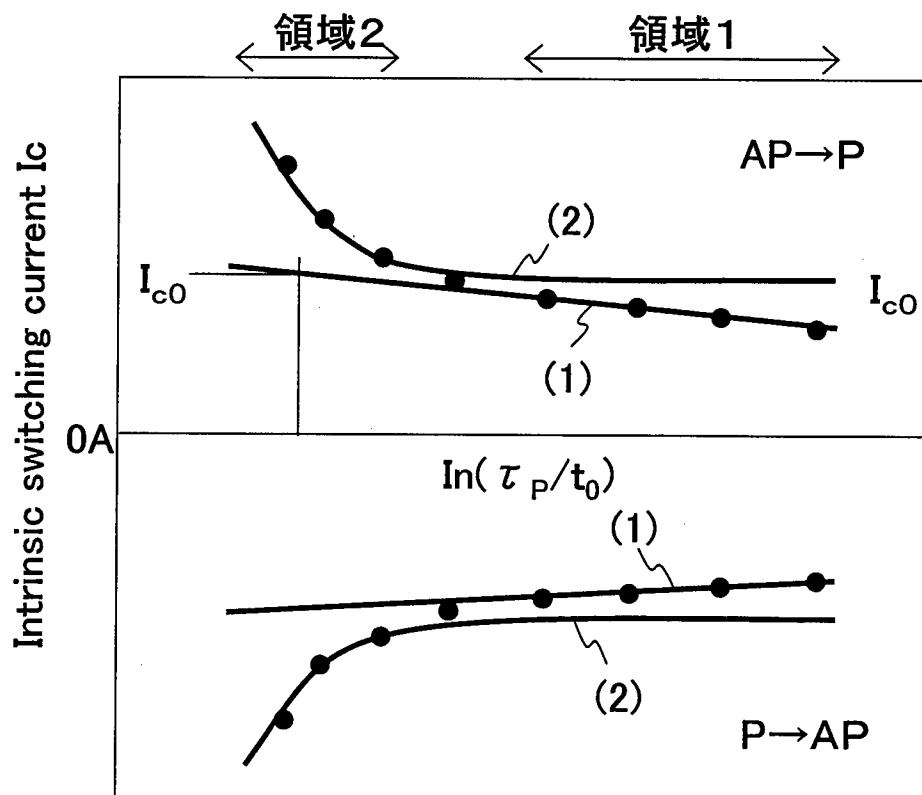
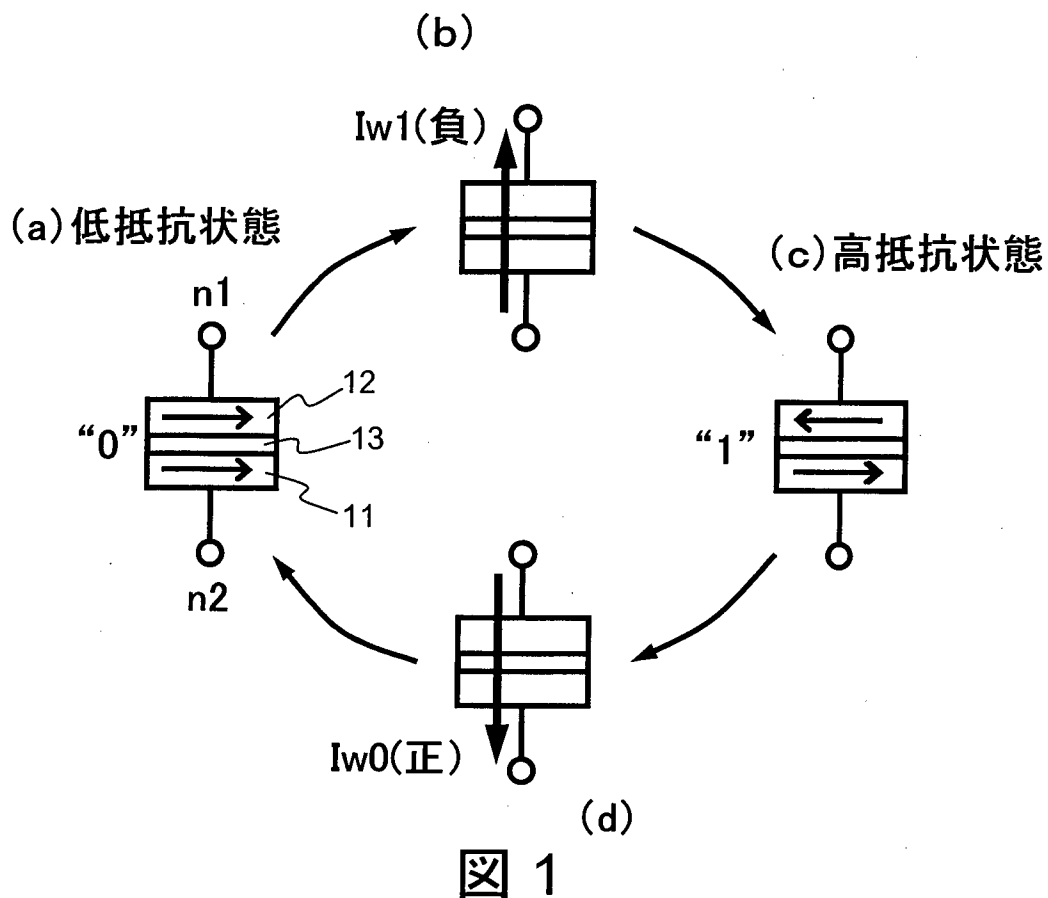


図 2

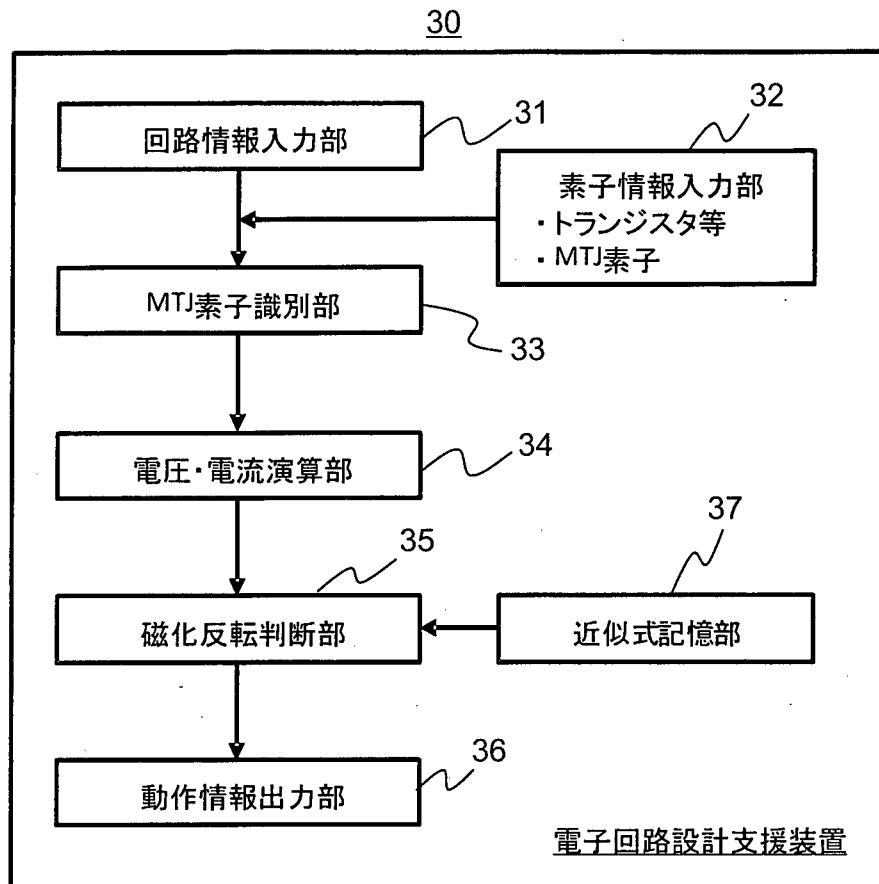


図 3

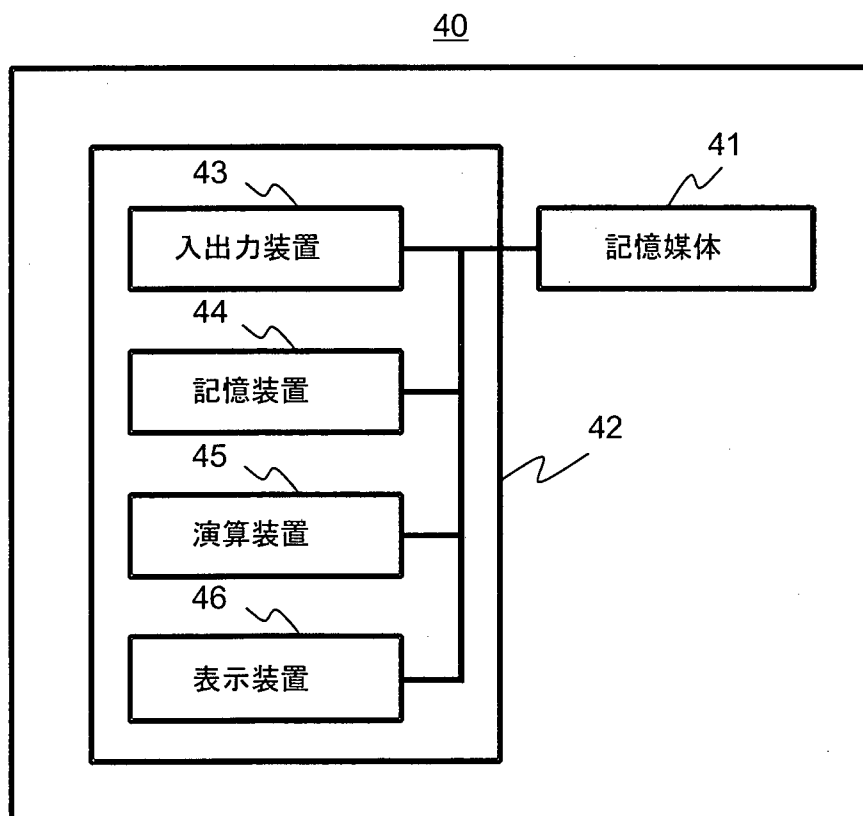


図 4

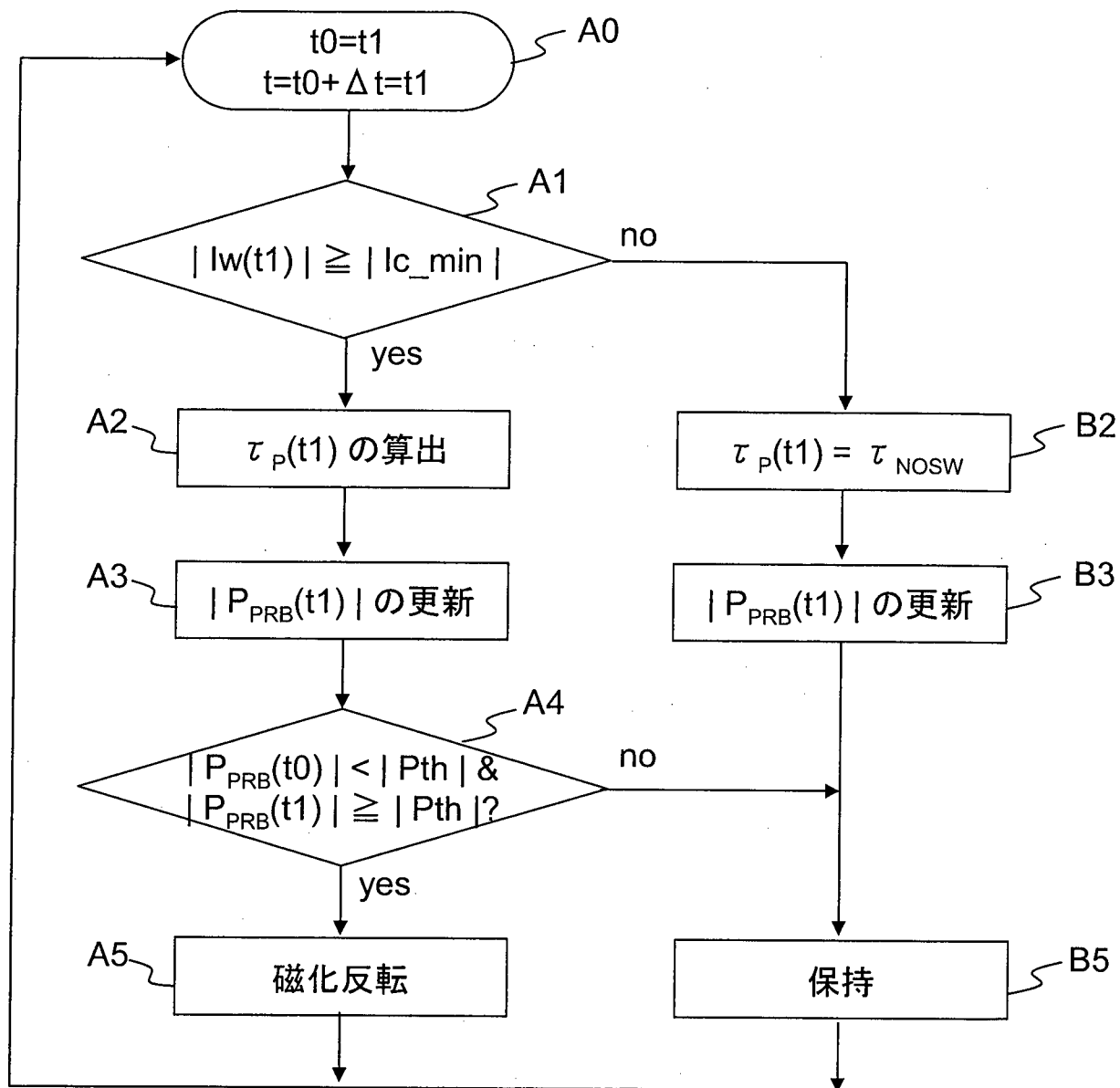


図 5

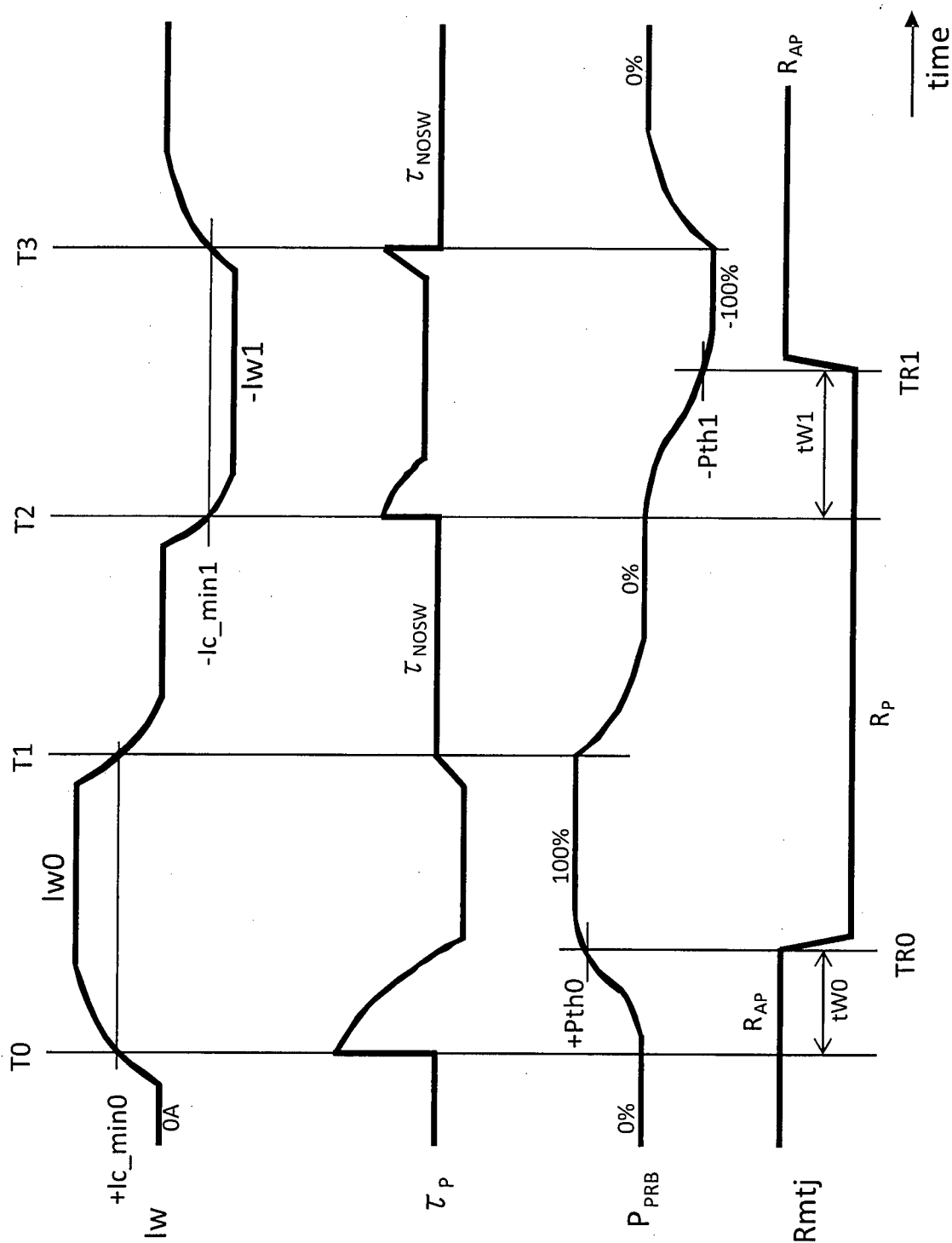


図 6

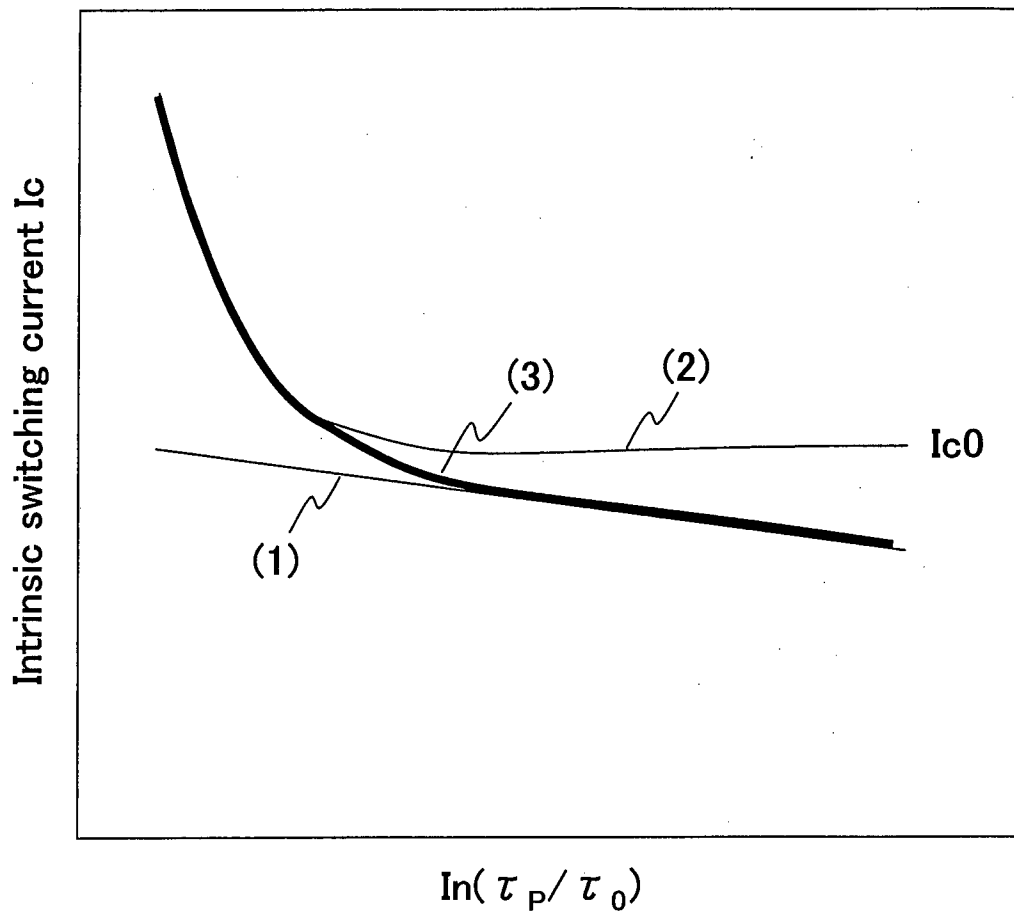


図 7

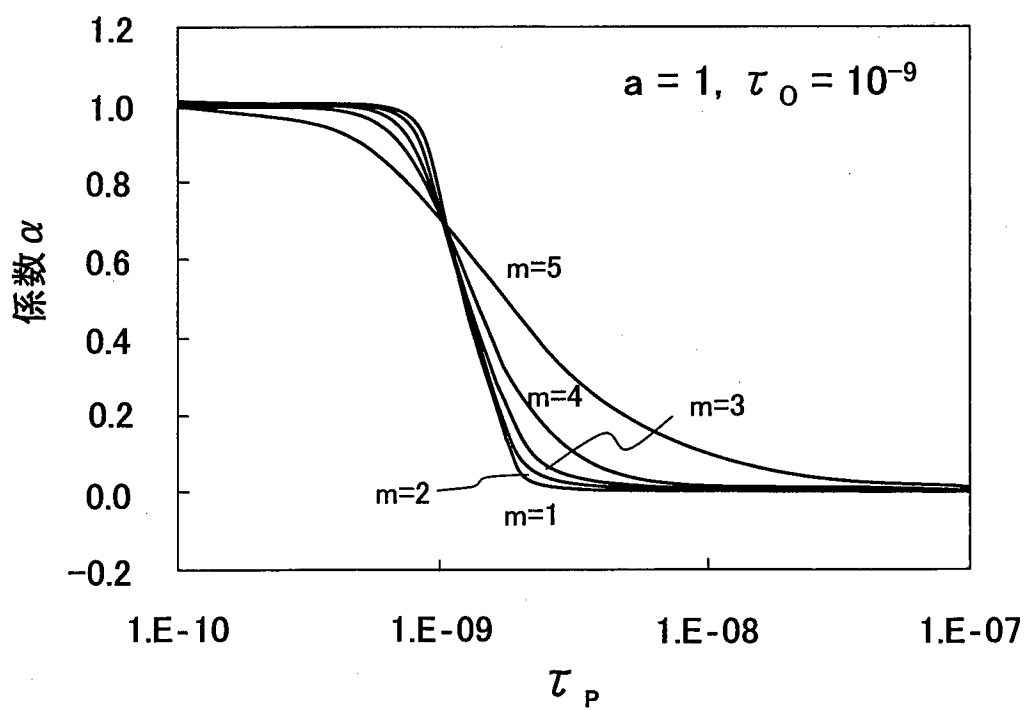


図 8

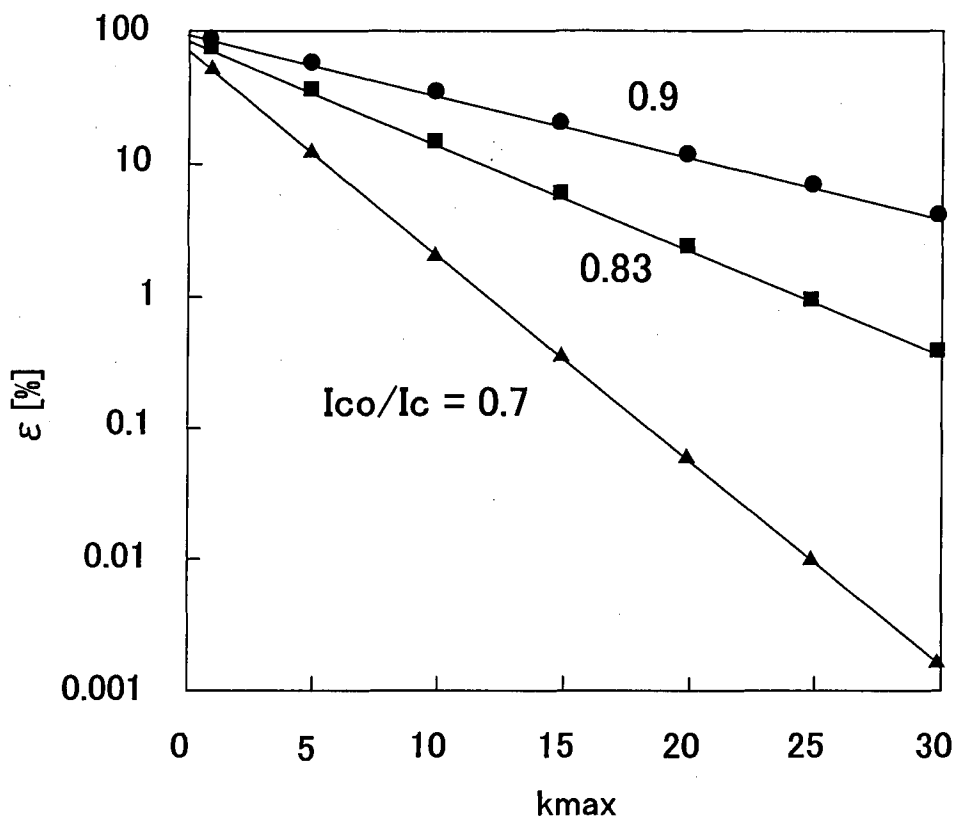


図 9

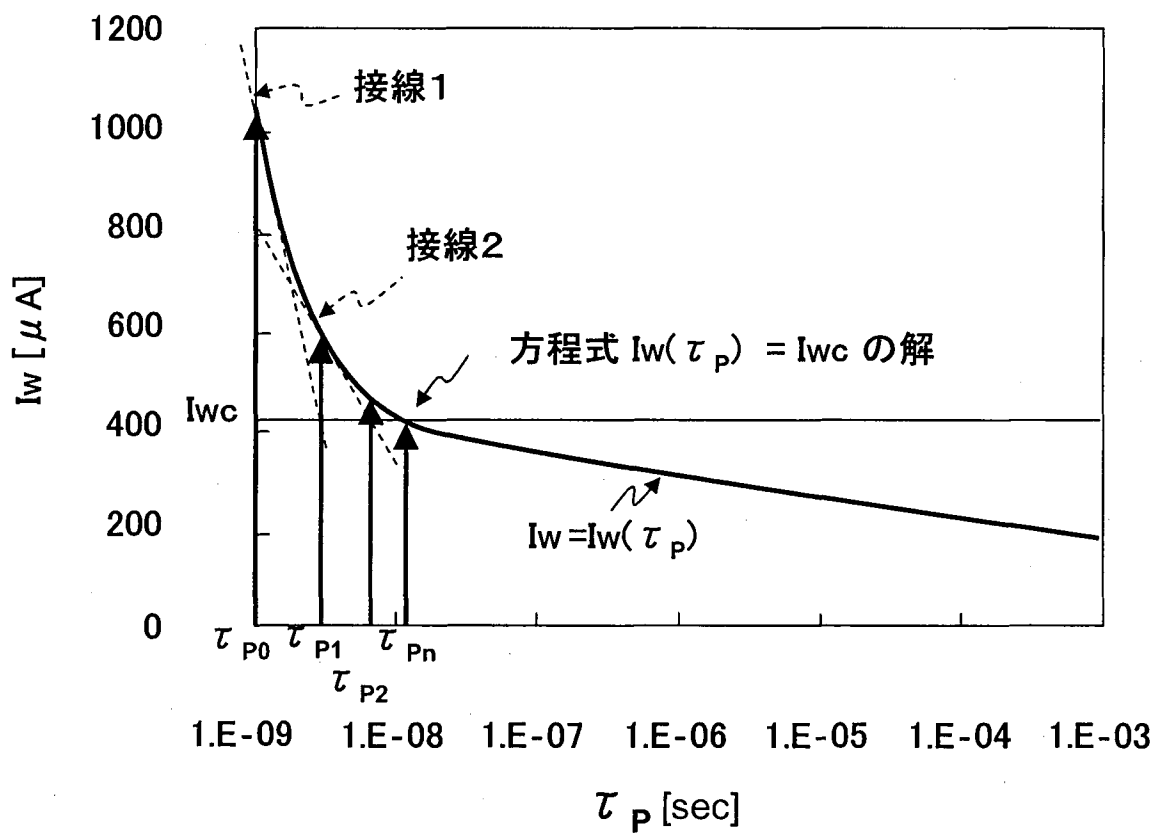


図 10

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/070259

A. CLASSIFICATION OF SUBJECT MATTER

G06F17/50(2006.01) i, H01L29/82(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F17/50, H01L29/82

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

JSTPlus(JDreamIII), IEEE Xplore, THE ACM DIGITAL LIBRARY

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	SAKIMURA, Noboru et al., High-Speed Simulator including Accurate MTJ Models for Spintronics Integrated Circuit Design, 2012 IEEE International Symposium on Circuits and Systems (ISCAS 2012), 2012.05.23, pp.1971-1974, [online], [retrieved on 3 September 2013] Retrieved from: IEEE Xplore	1, 5, 6, 8, 10 2-4, 7, 9
Y	JP 2000-68503 A (NEC Corp.), 03 March 2000 (03.03.2000), abstract; claims 1, 3, 4 (Family: none)	2-4, 7, 9

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
03 September, 2013 (03.09.13)

Date of mailing of the international search report
17 September, 2013 (17.09.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））
Int.Cl. G06F17/50(2006.01)i, H01L29/82(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G06F17/50, H01L29/82

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 3 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 3 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 3 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

JSTPlus(JDreamIII), IEEE Xplore, THE ACM DIGITAL LIBRARY

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	SAKIMURA, Noboru et al., High-Speed Simulator including Accurate MTJ Models for Spintronics Integrated Circuit Design, 2012 IEEE International Symposium on Circuits and Systems(ISCAS 2012), 2012.05.23, pp.1971-1974, [online], [retrieved on 3 September 2013] Retrieved from: IEEE Xplore	1, 5, 6, 8, 10 2-4, 7, 9
Y	JP 2000-68503 A（日本電気株式会社）2000.03.03, 要約、請求項1, 3, 4（ファミリーなし）	2-4, 7, 9

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 3 . 0 9 . 2 0 1 3

国際調査報告の発送日

1 7 . 0 9 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

早川 学

5 M

9 6 5 2

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 9 9