

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年12月3日(03.12.2020)



(10) 国際公開番号

WO 2020/240331 A1

(51) 国際特許分類:
H03B 5/02 (2006.01) *H01L 21/8234* (2006.01)
H03B 5/08 (2006.01) *H01L 27/06* (2006.01)
H03B 5/12 (2006.01) *H01L 27/088* (2006.01)
H01L 21/822 (2006.01) *H01L 29/786* (2006.01)
H01L 27/04 (2006.01)

(21) 国際出願番号: PCT/IB2020/054665

(22) 国際出願日: 2020年5月18日(18.05.2020)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2019-102035 2019年5月31日(31.05.2019) JP
特願 2019-102038 2019年5月31日(31.05.2019) JP

(71) 出願人: 株式会社半導体エネルギー研究所
(SEMICONDUCTOR ENERGY LABORATORY

CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木市長谷398 Kanagawa (JP).

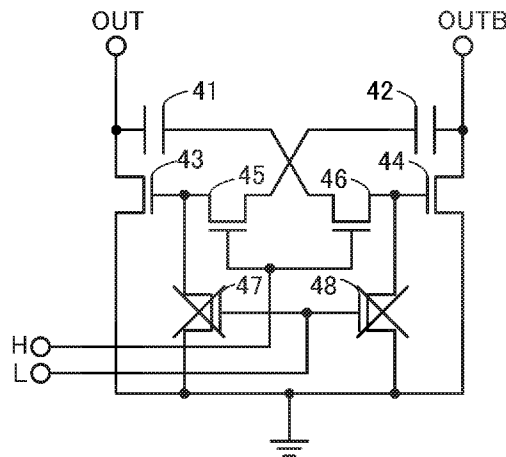
(72) 発明者: 八窪裕人(YAKUBO, Yuto); 〒2430036 神奈川県厚木市長谷398 株式会社半導体エネルギー研究所内 Kanagawa (JP). 國武寛司(KUNITAKE, Hitoshi); 〒2430036 神奈川県厚木市長谷398 株式会社半導体エネルギー研究所内 Kanagawa (JP). 池田隆之(IKEDA, Takayuki); 〒2430036 神奈川県厚木市長谷398 株式会社半導体エネルギー研究所内 Kanagawa (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,

(54) Title: SEMICONDUCTOR DEVICE AND WIRELESS COMMUNICATION DEVICE INCLUDING SAID SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置、および当該半導体装置を備えた無線通信装置

図2A



(57) Abstract: Provided is a semiconductor device having a novel structure. The present invention comprises: an oscillation circuit having a first coil, a second coil, a first capacitor, a second capacitor, a first transistor, and a second transistor; and a frequency correction circuit having a third capacitor, a fourth capacitor, a third transistor, a fourth transistor, and a switching circuit. The switching circuit functions to control a conductive state or a non-conductive state of the third transistor and the fourth transistor. The frequency correction circuit is provided in a layer above the oscillation circuit and functions to adjust the oscillation frequency of the oscillation circuit. The first transistor and the second transistor each have a semiconductor layer containing silicon in a channel formation region. The third transistor and the fourth transistor each have a semiconductor layer having an oxide semiconductor in a channel formation region.

KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

(57) 要約：新規な構成の半導体装置を提供すること。第1コイルと、第2コイルと、第1キャパシタと、第2キャパシタと、第1トランジスタと、第2トランジスタと、を有する発振回路と、第3キャパシタと、第4キャパシタと、第3トランジスタと、第4トランジスタと、切替回路と、を有する周波数補正回路と、を有する。切替回路は、第3トランジスタおよび第4トランジスタの導通状態または非導通状態を制御する機能を有する。周波数補正回路は、発振回路の上方の層に設けられ、発振回路の発振周波数を調整する機能を有する。第1トランジスタおよび第2トランジスタは、チャネル形成領域にシリコンを有する半導体層を有する。第3トランジスタおよび第4トランジスタは、チャネル形成領域に酸化物半導体を有する半導体層を有する。

明細書

発明の名称

半導体装置、および当該半導体装置を備えた無線通信装置

技術分野

[0001]

本発明の一態様は、半導体装置に関する。

[0002]

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。表示装置（液晶表示装置、発光表示装置など）、投影装置、照明装置、電気光学装置、蓄電装置、記憶装置、半導体回路、撮像装置、およびセンサ装置などは、半導体装置を有すると言える場合がある。

背景技術

[0003]

IoT (Internet of Things) などの情報技術の発展により、送受信されるデータ量が増大している。このデータ量の増大に対応するため、第4世代移動通信システム (4G) よりも速い通信速度、多くの同時接続、短い遅延時間を実現する第5世代移動通信システム (5G) と呼ばれる新たな通信規格が検討されている（例えば、特許文献1を参照）。5Gでは、日本国の場合、3.7GHz帯、4.5GHz帯、および28GHz帯の通信周波数が使用される。

[0004]

一方モバイル通信などでは通信速度の向上などの高性能化の実現に加え、省電力化および半導体集積回路 (IC: Integrated Circuit) の小型化が求められる。したがって5Gの通信規格に則った電子機器では、省電力化および回路の小型化が非常に重要となる。しかしながら省電力化および回路の小型化は、一般的には、高性能化とトレードオフの関係にある。

[先行技術文献]

[特許文献]

[0005]

[特許文献1] 国際公開第2017/026590号

発明の概要

発明が解決しようとする課題

[0006]

本発明の一態様は、回路面積の増加を抑制することのできる、新規な構成の半導体装置を提供することを課題の一とする。または、消費電力の増加を抑制することのできる、新規な構成の半導体装置を提供することを課題の一とする。または、本発明の一態様は、新規な半導体装置等を提供することを課題の一つとする。

[0007]

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

課題を解決するための手段

[0008]

本発明の一態様は、第1コイルと、第2コイルと、第1キャパシタと、第2キャパシタと、第1トランジスタと、第2トランジスタと、を有する発振回路と、第3キャパシタと、第4キャパシタと、第3トランジスタと、第4トランジスタと、切替回路と、を有する周波数補正回路と、を有し、切替回路は、第3トランジスタおよび第4トランジスタの導通状態または非導通状態を制御する機能を有し、周波数補正回路は、発振回路の上方の層に設けられ、発振回路の発振周波数を調整する機能を有し、第1トランジスタおよび第2トランジスタは、チャネル形成領域にシリコンを有する半導体層を有し、第3トランジスタおよび第4トランジスタは、チャネル形成領域に酸化物半導体を有する半導体層を有する、半導体装置である。

[0009]

本発明の一態様の半導体装置において、切替回路は、第5トランジスタ乃至第8トランジスタを有し、第5トランジスタ乃至第8トランジスタは、チャネル形成領域に酸化物半導体を有する半導体層を有することが好ましい。

[0010]

本発明の一態様の半導体装置において、第5トランジスタは、第3トランジスタのゲートと、第3キャパシタと、の間の導通状態または非導通状態を制御する機能を有し、第6トランジスタは、第4トランジスタのゲートと、第4キャパシタと、の間の導通状態または非導通状態を制御する機能を有し、第7トランジスタは、第3トランジスタのゲートと、低電源電位を与える配線と、の間の導通状態または非導通状態を制御する機能を有し、第8トランジスタは、第4トランジスタのゲートと、低電源電位を与える配線と、の間の導通状態または非導通状態を制御する機能を有することが好ましい。

[0011]

本発明の一態様は、アンテナと、ミキサーと、発振器と、アナログデジタル変換回路と、を有する集積回路を有し、発振器は、第1コイルと、第2コイルと、第1キャパシタと、第2キャパシタと、第1トランジスタと、第2トランジスタと、を有する発振回路と、第3キャパシタと、第4キャパシタと、第3トランジスタと、第4トランジスタと、切替回路と、を有する周波数補正回路と、を有し、切替回路は、第3トランジスタおよび第4トランジスタの導通状態または非導通状態を制御する機能を有し、周波数補正回路は、発振回路の上方の層に設けられ、発振回路の発振周波数を調整する機能を有し、第1トランジスタおよび第2トランジスタは、チャネル形成領域にシリコンを有する半導体層を有し、第3トランジスタおよび第4トランジスタは、チャネル形成領域に酸化物半導体を有する半導体層を有する、無線通信装置である。

[0012]

本発明の一態様の無線通信装置において、切替回路は、第5トランジスタ乃至第8トランジスタを有し、第5トランジスタ乃至第8トランジスタは、チャネル形成領域に酸化物半導体を有する半導体層を有することが好ましい。

[0013]

本発明の一態様の無線通信装置において、第5トランジスタは、第3トランジスタのゲートと、第3キャパシタと、の間の導通状態または非導通状態を制御する機能を有し、第6トランジスタは、第4トランジスタのゲートと、第4キャパシタと、の間の導通状態または非導通状態を制御する機能を有し、第7トランジスタは、第3トランジスタのゲートと、低電源電位を与える配線と、の間

の導通状態または非導通状態を制御する機能を有し、第8トランジスタは、第4トランジスタのゲートと、低電源電位を与える配線と、の間の導通状態または非導通状態を制御する機能を有することが好ましい。

[0014]

本発明の一態様の無線通信装置において、アナログデジタル変換回路は、比較回路を有し、比較回路は、差動増幅回路と、オフセット補正回路と、を有し、差動回路は、出力端子と、反転出力端子と、を有し、オフセット補正回路は、定電流回路と、第9トランジスタ乃至第12トランジスタを有し、第9トランジスタのソースまたはドレインの一方は、出力端子に電氣的に接続され、第10トランジスタのソースまたはドレインの一方は、反転出力端子に電氣的に接続され、第11トランジスタのソースまたはドレインの一方は、第9トランジスタのゲートに電氣的に接続され、第12トランジスタのソースまたはドレインの一方は、第10トランジスタのゲートに電氣的に接続され、第11トランジスタおよび第12トランジスタは、チャネル形成領域に酸化物半導体を有する半導体層を有することが好ましい。

発明の効果

[0015]

本発明の一態様により、回路面積の増加を抑制することができる、新規な構成の半導体装置を提供することができる。または、消費電力の増加を抑制することができる、新規な構成の半導体装置を提供することができる。または、本発明の一態様は、新規な半導体装置等を提供することができる。

[0016]

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

図面の簡単な説明

[0017]

図1A、図1Bは、半導体装置の構成を説明するための回路図である。

図2A、図2Bは、半導体装置の構成を説明するための回路図である。

図3A、図3Bは、半導体装置の構成を説明するための回路図および模式図である。

図4は、半導体装置の構成を説明するための模式図である。

図5A、図5Bは、半導体装置の構成を説明するための回路図である。

図6は、無線通信装置の構成を説明するためのブロック図である。

図7は、無線通信装置の構成を説明するためのブロック図である。

図8A、図8Bは、アナログデジタル変換回路の構成を説明するための回路図である。

図9A、図9Bは、アナログデジタル変換回路の構成を説明するための回路図である。

図10は、アナログデジタル変換回路の構成を説明するための回路図である。

図11は、アナログデジタル変換回路の構成を説明するための回路図である。

図12は、アナログデジタル変換回路の構成を説明するための回路図である。

図13A、図13Bは、アナログデジタル変換回路の構成を説明するための回路図である。

図14は、半導体装置の構成例を示す図である。

図15は、半導体装置の構成例を示す図である。

図16A乃至図16Cは、トランジスタの構成例を示す図である。

図17A、図17Bは、トランジスタの構成例を示す図である。

図18A乃至図18Cは、トランジスタの構成例を示す図である。

図19AはIGZOの結晶構造の分類を説明する図である。図19BはCAAC-IGZO膜のXRDスペクトルを説明する図である。図19CはCAAC-IGZO膜の極微電子線回折パターンを説明する図である。

図20Aは、半導体ウエハの上面図である。図20Bは、チップの拡大図である。

図21Aは、電子部品の作製工程例を説明するフローチャートである。図21Bは、電子部品の斜視模式図である。

図22は、電子機器の一例を示す図である。

図23A乃至図23Fは、電子機器の一例を示す図である。

図24は、IoTネットワークの階層構造と要求仕様の傾向を示す図である。

図25は、ファクトリーオートメーションのイメージ図である。

発明を実施するための形態

[0018]

以下に、本発明の実施の形態を説明する。ただし、本発明の一形態は、以下の説明に限定されず、本発明の主旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明の一形態は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。

[0019]

なお本明細書等において、「第1」、「第2」、「第3」という序数詞は、構成要素の混同を避けるために付したものである。従って、構成要素の数を限定するものではない。また、構成要素の順序を限定するものではない。また例えば、本明細書等の実施の形態の一において「第1」に言及された構成要素が、他の実施の形態、あるいは特許請求の範囲において「第2」に言及された構成要素とすることもありうる。また例えば、本明細書等の実施の形態の一において「第1」に言及された構成要素を、他の実施の形態、あるいは特許請求の範囲において省略することもありうる。

[0020]

図面において、同一の要素または同様な機能を有する要素、同一の材質の要素、あるいは同時に形成される要素等には同一の符号を付す場合があり、その繰り返しの説明は省略する場合がある。

[0021]

本明細書において、例えば、電源電位VDDを、電位VDD、VDD等と省略して記載する場合がある。これは、他の構成要素（例えば、信号、電圧、回路、素子、電極、配線等）についても同様である。

[0022]

また、複数の要素に同じ符号を用いる場合、特に、それらを区別する必要があるときには、符号に“_1”、“_2”、“[n]”、“[m, n]”等の識別用の符号を付記して記載する場合がある。例えば、2番目の配線GLを配線GL[2]と記載する。

[0023]

(実施の形態1)

本発明の一態様の半導体装置の構成および動作について、図1乃至図5を用いて説明する。本発明の一態様の半導体装置は、デジタル信号に応じた周波数の信号を発振するための発振器、いわゆるデジタル制御発振器（DCO: Digital Controlled Oscillator）として機能する。所定の周波数の信号は、無線通信装置などのローカルオシレータ（LO: Local Oscillator）が出力する信号として用いることができる。

[0024]

図1Aは、無線通信装置に適用可能な、発振器として機能する半導体装置の構成を説明するための回路図である。

[0025]

半導体装置23は、コイル31、32、キャパシタ33、34、およびトランジスタ35、36を有する。半導体装置23は、端子OUT、OUTBにそれぞれ接続された、N個（Nは自然数）の周波数補正回路40[1]乃至40[N]を有する。周波数補正回路40[1]乃至40[N]は、制御信号EN[1]乃至EN[N]および制御信号ENB[1]乃至ENB[N]で制御される。制御信号EN[1]乃至EN[N]および制御信号ENB[1]乃至ENB[N]は、制御回路24から出力される信号である。制御信号ENB[1]乃至ENB[N]は、制御信号EN[1]乃至EN[N]の反転信号であり、反転制御信号という場合がある。

[0026]

コイル31、32、キャパシタ33、34およびトランジスタ35、36は、周波数 f_{osc} の信号を発振することができる発振回路として機能する。発振周波数を f_{osc} とすると、発振周波数 f_{osc} は数式(1)で表すことができる。数式(1)中、Lは、コイル31、32のリアクタンス成分である。また C_0 は、キャパシタ33、34の容量成分である。

[0027]

[数1]

$$f_{osc} = \frac{1}{2\pi\sqrt{LC_0}} \cdot \cdot \cdot (1)$$

[0028]

周波数補正回路40[1]乃至40[N]は、半導体装置23の容量成分を増減することで、発振周波数を調整することができる回路である。制御信号EN[1]乃至EN[N]、制御信号ENB[1]乃至ENB[N]は、周波数補正回路40[1]乃至40[N]の容量成分を、半導体装置23において、機能させるか否かを制御するための信号である。周波数補正回路40[1]乃至40[N]のうち、1つの容量成分 C_1 を有効とすると、発振周波数 f_{osc} は数式(2)で表すことができる。

[0029]

[数2]

$$f_{osc} = \frac{1}{2\pi\sqrt{L(C_0 + C_1)}} \cdot \cdot \cdot (2)$$

[0030]

同様に、周波数補正回路40 [1] 乃至40 [N] のうち、2つの容量成分 C_1 が有効となるよう制御することで、発振周波数 f_{osc} は数式(3)で表すことができる。すなわち、N個の周波数補正回路40 [1] 乃至40 [N] のうち、容量成分 C_1 が有効になる数を調整することで、発振周波数 f_{osc} を数式(4)のように表すことができる。

[0031]

[数3]

$$f_{osc} = \frac{1}{2\pi\sqrt{L(C_0 + 2C_1)}} \cdot \cdot \cdot (3)$$

[0032]

[数4]

$$f_{osc} = \frac{1}{2\pi\sqrt{L(C_0 + N \times C_1)}} \cdot \cdot \cdot (4)$$

[0033]

半導体装置23には、電圧VDDと接地電位とによって、電源電圧が与えられる。電圧VDDは、コイル31とコイル32との間のノードに与えるよう図示しているが、コイル31とコイル32とが一つのコイルの場合、電圧VDDは一つのコイルに与えられる電圧となる。

[0034]

トランジスタ35および36は、チャネル形成領域にシリコンを有する半導体層を有するトランジスタ（以下、Siトランジスタ）である。図1Aでは、トランジスタ35および36として、nチャネル型トランジスタを一例として図示している。Siトランジスタは、CMOS（Complementary Metal Oxide Semiconductor）テクノロジーで作製することができる。

[0035]

半導体装置23では、周波数補正回路40 [1] 乃至40 [N] の数を増やすことで発振周波数 f_{osc} を調整しやすくすることができ、高性能化を図ることができる。一方で、周波数補正回路40 [1] 乃至40 [N] の数を増やすことで、回路面積が増大する。また端子OUT、OUTBで

ある配線の延伸に伴い、寄生容量あるいは寄生抵抗が増加する。寄生容量あるいは寄生抵抗の増加は、所望の発振周波数が得られなくなるばかりでなく、消費電力の増加に繋がる。

[0036]

図1Bは、図1Aに図示する半導体装置23における周波数補正回路40[1]乃至40[N]に適用可能な周波数補正回路40の回路構成を説明するための回路図である。

[0037]

周波数補正回路40は、キャパシタ41、42、およびトランジスタ43乃至48を有する。周波数補正回路40において、トランジスタ43、44は増幅器として機能する。周波数補正回路40において、トランジスタ45乃至48は、スイッチとして機能する。制御信号EN[1]乃至EN[N]、制御信号ENB[1]乃至ENB[N]に適用可能な制御信号ENおよび制御信号ENBは、トランジスタ45、46と、トランジスタ47、48と、の対が交互にオンまたはオフとなるよう制御するための信号である。

[0038]

図1Bにおいてトランジスタ43乃至48は、チャネル形成領域が酸化物半導体を有するトランジスタ（以下、OSトランジスタという）で構成される。本発明の一態様の構成では、OSトランジスタをトランジスタ43乃至48に用いる構成とすることで、オフ時にソースとドレイン間を流れるリーク電流（以下、オフ電流）を極めて低いものとすることができ、低消費電力化を図ることができる。

[0039]

またOSトランジスタを用いた周波数補正回路40は、Siトランジスタを用いた回路の上層に自由に配置可能である。そのため、半導体装置23が複数の周波数補正回路40を備える構成とした場合であっても、Siトランジスタで構成される回路の上方の層に周波数補正回路40を積層することで、集積化を容易に行うことができる。またOSトランジスタは、Siトランジスタと同様の製造装置を用いて作製することが可能であるため、低コストで作製可能である。

[0040]

またOSトランジスタは、ゲート電極、ソース電極およびドレイン電極に加えて、バックゲート電極を含む4端子の半導体素子とすることができる。OSトランジスタは、ゲート電極またはバックゲート電極に与える電圧に応じて、ソースとドレインとの間を流れる信号の入出力が独立制御可能な電気回路網で構成することができる。そのため、LSIと同一思考で回路設計を行うことができる。加えてOSトランジスタは、高温環境下において、Siトランジスタよりも優れた電気特性を有する。具体的には、125℃以上150℃以下といった高温下においてもオン電流とオフ電流の比が大きいと、良好なスイッチング動作を行うことができる。

[0041]

周波数補正回路40において、トランジスタ45乃至48は、トランジスタ43、44の導通状態または非導通状態（オンまたはオフ）を切り替える機能を有する回路を構成する。トランジスタ45乃至48は、切替回路49と呼ぶ場合がある。

[0042]

トランジスタ45は、トランジスタ43のゲートと、キャパシタ42と、の間の導通状態または非導通状態を制御する機能を有する。トランジスタ46は、トランジスタ44のゲートと、キャパシタ41と、の間の導通状態または非導通状態を制御する機能を有する。トランジスタ47は、ト

ランジスタ 43 のゲートと、低電源電位を与える配線（図中、接地された配線で図示）と、の間の導通状態または非導通状態を制御する機能を有する。トランジスタ 48 は、トランジスタ 44 のゲートと、低電源電位を与える配線と、の間の導通状態または非導通状態を制御する機能を有する。

[0043]

図 2A、図 2B は、切替回路 49 の動作について説明するための図である。なお本明細書等において、回路図の動作を説明するための図では、説明をわかりやすくするため、オフとなるトランジスタにはバツ印を付している。

[0044]

図 2A は、制御信号 EN を H レベル、制御信号 ENB を L レベルとした際の動作を説明する図である。図 2A に示すように、トランジスタ 45 および 46 がオンとなり、トランジスタ 47 および 48 がオフとなる。そのため、トランジスタ 43 および 44 は、オンまたはオフが切り替わる構成とすることができる。つまり、キャパシタ 41 および 42 の容量成分 C_1 が、発振周波数 F_{osc} に寄与する構成とすることができる。

[0045]

図 2B は、制御信号 EN を L レベル、制御信号 ENB を H レベルとした際の動作を説明する図である。図 2B に示すように、トランジスタ 45 および 46 がオフとなり、トランジスタ 47 および 48 がオンとなる。そのため、トランジスタ 43 および 44 は、オフとする構成とすることができる。つまり、キャパシタ 41 および 42 の容量成分 C_1 が、発振周波数 F_{osc} に寄与しない構成とすることができる。

[0046]

図 3A では、図 1A で説明したコイル 31、32、キャパシタ 33、34 およびトランジスタ 35、36 を有する発振回路 50 と、端子 OUT および OUTB となる配線に接続された周波数補正回路 40 [1] 乃至 40 [N] を図示している。図 3A に図示するように、周波数補正回路 40 [1] 乃至 40 [N] は端子 OUT および OUTB となる配線に並列に接続される。

[0047]

図 3B は、図 3A に図示した配線および回路を基板上に配置した際の模式図である。図 3B では、配線および回路が配置される平面を $x-y$ 平面とし、 z 軸方向は平面に対して垂直方向を表している。

[0048]

図 3B に図示するように基板 51 上では、 $x-y$ 平面において、発振回路 50 が配置され、 x 方向に延びて設けられる配線 52、53 に周波数補正回路 40 [1] 乃至 40 [N] が並列に接続される構成となる。つまり図 3B の構成では、周波数補正回路 40 [1] 乃至 40 [N] の数が増えるほど配線 52、53 が x 方向に延伸する構成となる。

[0049]

配線 52、53 および各回路は、 $x-y$ 平面において、寄生抵抗および寄生容量を生じさせる。寄生抵抗および寄生容量は、発振周波数がずれる要因となる。半導体装置の小型化および省電力化を図るためには、配線間、素子間、配線と素子間などのスペースを小さくすることが望ましいが、寄生抵抗、寄生容量が増大し、所望の周波数が得られないなど性能が劣ることになる。そのため図 3B の構成では、高性能化する上で問題となる。

[0050]

一方図4では、図3Aに示す構成において、図1Bで説明したOSトランジスタであるトランジスタ43乃至48を適用した場合の、回路のレイアウトの模式図を示す。図4では、 $x-y$ 平面と、 $x-y$ 平面に垂直な z 軸と、を示している。図3Bと異なる点として、 z 軸方向に設けられる層の理解をしやすくするために、図4では斜視図として図示している。

[0051]

図4に図示するように基板51に設けられる発振回路50上には、 z 軸方向において、OSトランジスタを含む層61[1]、61[2]乃至61[N]が積層して設けられる。OSトランジスタを含む層61[1]、61[2]乃至61[N]の各層には、上記周波数補正回路40[1]乃至40[N]および当該周波数補正回路40[1]乃至40[N]と、発振回路50と、を接続するための配線52、53を z 方向に配置することができる。

[0052]

配線52、53および各回路は、 z 軸方向に設けられる。そのため各層においては、各回路と配線とを間隔を空けて配置することができる。また配線および各回路の間隔は、基板51の面積を大きくすることなく、空けて配置することができる。また図3Bの構成では、周波数補正回路が増えるにつれて配線と各回路との重なる部分が増加する。一方、図4の構成では、周波数補正回路が増えても配線と各回路との重なる部分を小さくすることができる。また、周波数補正回路40[1]乃至40[N]が設けられる層61[1]乃至61[N]を基板51から遠ざけることができるため、寄生容量を大幅に減らすことができる。そのため周波数補正回路40[1]乃至40[N]の数を増やしても回路の大型化を招かず、寄生抵抗、寄生容量の増大も小さい。したがって、半導体装置の小型化および省電力化に加え、周波数補正回路40[1]乃至40[N]の数を増やすことで所望の周波数に調整しやすくする等の高性能化を図ることができる。

[0053]

図5A、図5Bでは、図1Bで図示する周波数補正回路40の変形例を説明するための回路図を示す。

[0054]

図1Bにおいて、各トランジスタは、バックゲート電極がないトップゲート構造またはボトムゲート構造のトランジスタとして図示したが、トランジスタの構造はこれに限らない。例えば、図5Aに図示するように、ゲート電極に接続されたバックゲート電極を有するトランジスタ43A乃至48Aとしてもよい。図5Aの構成とすることで、各トランジスタを流れる電流量を増やすことができる。

[0055]

あるいは図5Bに図示するようにバックゲート電圧 V_{BG} を与える端子に接続されたバックゲート電極を有するトランジスタ43B乃至48Bとしてもよい。図5Bの構成とすることで、各トランジスタのしきい値電圧などの電気特性を外部より制御しやすくすることができる。

[0056]

以上説明した本発明の一態様の半導体装置は、回路面積の増加を抑制するとともに、発振周波数の調整をするなど高性能化が図られた半導体装置とすることができる。

[0057]

(実施の形態2)

本実施の形態では、上記実施の形態に示した半導体装置23を備えた集積回路を有する無線通信

装置の構成例について、図6および図7を用いて説明する。なお本実施の形態では、無線通信装置として、スマートフォンを一例として説明するが、携帯ゲーム端末、タブレットPC（Personal Computer）、ノート型PC等のその他の無線通信端末であってもよい。また、本実施の形態にかかる無線通信装置は、無線通信を行うことができる装置に適用することが可能である。

[0058]

図6に図示する無線通信装置10のブロック図では、アンテナANT、アプリケーションプロセッサ11、ベースバンドプロセッサ12、集積回路13（IC：Integrated Circuit）、メモリ14、バッテリー15、パワーマネジメントIC（PMIC：Power Management Integrated Circuit）16、表示部17、カメラ部18、操作入力部19、オーディオIC20、マイク21、及び、スピーカ22を有する。なお集積回路13は、RF（Radio Frequency）ICあるいは無線チップなどともいう。

[0059]

アンテナANTは、5Gの通信規格に対応するため、複数の周波数帯に応じて複数設けられる。

[0060]

アプリケーションプロセッサ11は、メモリ14に格納されたプログラムを読み出して、無線通信装置10の各種機能を実現するための処理を行う機能を有する。例えば、アプリケーションプロセッサ11は、メモリ14からOS（Operating System）プログラムを実行すると共に、このOSプログラムを動作基盤とするアプリケーションプログラムを実行する機能を有する。

[0061]

ベースバンドプロセッサ12は、無線通信装置10が送受信するデータに対して符号化（例えば、誤り訂正符号化）処理又は復号化処理等を含むベースバンド処理を行う機能を有する。具体的には、ベースバンドプロセッサ12は、送信データをアプリケーションプロセッサ11から受け取り、受け取った送信データに対して符号化処理を施して、集積回路13に送信する機能を有する。また、ベースバンドプロセッサ12は、集積回路13から受信データを受け取り、受け取った受信データに対して復号化処理を施してアプリケーションプロセッサ11に送信する機能を有する。

[0062]

集積回路13は、無線通信装置10が送受信するデータに対する変調処理又は復調処理を行う機能を有する。具体的には、集積回路13は、ベースバンドプロセッサ12から受け取った送信データを搬送波により変調処理して送信信号を生成し、アンテナANTを介して送信信号を出力する機能を有する。また、集積回路13は、アンテナANTを介して受信信号を受信し、受信信号を搬送波により復調処理して受信データを生成し、当該受信データをベースバンドプロセッサ12に送信する機能を有する。

[0063]

メモリ14は、アプリケーションプロセッサ11により利用されるプログラム及びデータを格納する機能を有する。なおメモリ14としては、電源が遮断されても記憶したデータを保持する不揮発性メモリと、電源が遮断された場合に記憶したデータがクリアされる揮発性メモリと、を含む。

[0064]

バッテリー15は、無線通信装置10が外部電源装置によらずに動作する場合に利用される。なお、

無線通信装置 10 は、外部電源が接続されている場合においてもバッテリー 15 の電源を利用することができる。また、バッテリー 15 としては、充電及び放電ができる二次電池を利用することが好ましい。

[0065]

パワーマネジメント IC 16 は、バッテリー 15 又は外部電源から内部電源電圧を生成する機能を有する。この内部電源電圧は、無線通信装置 10 の各ブロックに与えられる。このとき、パワーマネジメント IC 16 は、内部電源電圧の供給を受けるブロック毎に内部電源電圧を制御する機能を有する。パワーマネジメント IC 16 は、アプリケーションプロセッサ 11 からの指示に基づいて、内部電源電圧の制御を行う。さらに、パワーマネジメント IC 16 は、ブロック毎に内部電源電圧の供給と遮断とを制御することもできる。また、パワーマネジメント IC 16 は、外部電源装置の供給がある場合、バッテリー 15 への充電制御も行う機能を有する。

[0066]

表示部 17 は、液晶表示装置または発光表示装置であって、アプリケーションプロセッサ 11 における処理に従い様々な画像を表示する機能を有する。表示部 17 において表示される画像には、ユーザーが無線通信装置 10 に動作指示を与えるユーザーインタフェース画像、カメラ画像、動画等が含まれる。

[0067]

カメラ部 18 は、アプリケーションプロセッサ 11 からの指示に従い、画像を取得する機能を有する。操作入力部 19 は、ユーザーが操作して無線通信装置 10 に操作指示を与えるユーザーインタフェースとしての機能を有する。オーディオ IC 20 は、アプリケーションプロセッサ 11 から送信される音声データをデコードしてスピーカ 22 を駆動する機能を有する。加えてオーディオ IC 20 は、マイク 21 から得た音声情報をエンコードして音声データを生成し、当該音声データをアプリケーションプロセッサ 11 に出力する機能を有する。

[0068]

図 7 は、集積回路 13 の構成例を説明するためのブロック図である。図 7 に示す集積回路 13 は、ローノイズアンプ 101、ミキサー 102、ローパスフィルタ 103、可変ゲインアンプ 104、アナログデジタル変換回路 105、インターフェイス部 106、デジタルアナログ変換回路 107、可変ゲインアンプ 108、ローパスフィルタ 109、ミキサー 110、パワーアンプ 111、発振回路として機能する半導体装置 23、および制御回路 24 を有する。また図 7 では、アンテナ ANT、デュプレクサ DUP、ベースバンドプロセッサ 12 を併せて図示している。なおローノイズアンプ 101、ミキサー 102、ローパスフィルタ 103、可変ゲインアンプ 104、およびアナログデジタル変換回路 105 は受信回路ブロック、デジタルアナログ変換回路 107、可変ゲインアンプ 108、ローパスフィルタ 109、ミキサー 110、およびパワーアンプ 111 は送信回路ブロックという場合がある。

[0069]

なおベースバンドプロセッサ 12 及び集積回路 13 は、それぞれ個別の半導体チップによって実現される。なおデュプレクサ DUP は、アンテナスイッチなどを含んでいる。

[0070]

ローノイズアンプ 101 は、アンテナ ANT で受信した信号を低雑音で増幅する。ミキサー 102 は、発振回路として機能する半導体装置 23 の信号を用いて復調ならびにダウンコンバート（周

波数変換)する。ローパスフィルタ103は、ミキサー102からの信号における不要な高周波成分を除去する。可変ゲインアンプ104は、ローパスフィルタ103の出力信号をアナログデジタル変換回路105の入力レンジを加味したゲインで増幅する。アナログデジタル変換回路105は、可変ゲインアンプ104からのアナログ信号をデジタル信号に変換する。デジタル信号は、インターフェイス部106を介してベースバンドプロセッサ12に出力される。

[0071]

デジタルアナログ変換回路107は、インターフェイス部106で受信したデジタル信号をアナログ信号に変換する。可変ゲインアンプ108は、デジタルアナログ変換回路107の出力信号を増幅する。ローパスフィルタ109は、可変ゲインアンプ108からの信号における不要な高周波成分を除去する。ミキサー110は、発振回路として機能する半導体装置23の信号を用いて変調ならびにアップコンバート(周波数変換)する。パワーアンプ111は、ミキサー110の出力信号を所定のゲインで増幅し、出力する。

[0072]

本実施の形態に示す構成、構造、方法などは、他の実施の形態および実施例などに示す構成、構造、方法などと適宜組み合わせて用いることができる。

[0073]

(実施の形態3)

本実施の形態では、上記実施の形態に示したアナログデジタル変換回路105の構成例、特にアナログデジタル変換回路が有する比較回路の構成例について、図8A、図8B乃至図13A、図13Bを用いて説明する。

[0074]

図8Aは、アナログデジタル変換回路105が有する比較回路の回路構成の一例を示す図である。図8Aには、差動増幅回路71、オフセット補正回路72を図示している。また図8Aには、比較回路の入力端子VINP、VINN、および出力端子VOU TP、VOU TNを図示している。入力端子VINNは反転入力端子、出力端子VOU TNは反転出力端子を表す。

[0075]

差動増幅回路71は、入力端子VINP、VINNに入力される信号の差を増幅して出力端子VOU TP、VOU TNに出力する機能を有する。オフセット補正回路72は、差動増幅回路71のオフセット電圧を補正するための回路である。

[0076]

図8Bには、図8Aに図示するオフセット補正回路72の回路構成例を示す図である。オフセット補正回路72は、トランジスタ73、トランジスタ74、トランジスタ75、トランジスタ76、キャパシタ77、キャパシタ78および定電流回路79を有する。信号SENは、スイッチとして機能するトランジスタ75、76のオンまたはオフを制御するための信号である。電圧VCN、VCPは、オフセットを補正するための電圧である。トランジスタ73、74はオフセットを補正するための電圧に応じて、出力端子VOU TP、VOU TNに流れる電流を調整するためのトランジスタである。キャパシタ77は、トランジスタ73のゲートの電位に応じた電荷を保持するためのキャパシタである。キャパシタ78は、トランジスタ74のゲートの電位に応じた電荷を保持するためのキャパシタである。

[0077]

トランジスタ 73 のソースまたはドレインの一方は、出力端子 V_{OUTP} に接続される。トランジスタ 74 のソースまたはドレインの一方は、反転出力端子 V_{OUTN} に接続される。トランジスタ 75 のソースまたはドレインの一方は、トランジスタ 73 のゲートに接続される。トランジスタ 76 のソースまたはドレインの一方は、トランジスタ 74 のゲートに接続される。

[0078]

図 8B において、トランジスタ 73、74 は、Si トランジスタで n チャネル型の Si トランジスタである。Si トランジスタは、CMOS テクノロジーで作製することができる。

[0079]

トランジスタ 75、76 は、OS トランジスタで構成される。本発明の一態様の構成では、OS トランジスタを用いる構成とすることで、オフ時にソースとドレイン間を流れるリーク電流が極めて低いことを利用して、電圧 V_{CN} 、 V_{CP} を信号 S_{EN} の制御に応じてキャパシタ 77 およびキャパシタ 78 に保持させることができる。

[0080]

オフセット補正回路 72 では、信号 S_{EN} による電圧 V_{CN} 、 V_{CP} の更新の頻度を低減することができる。そのため、アナログデジタル変換回路が有する比較回路の低消費電力化を図ることができる。

[0081]

OS トランジスタを用いたオフセット補正回路 72 では、電荷の充電又は放電をすることによってアナログ電圧の書き換えおよび読み出しが可能となるため、実質的に無制限回のアナログ電圧の取得および読み出しが可能である。

[0082]

また OS トランジスタを用いたオフセット補正回路 72 では、Si トランジスタを用いた回路上などに OS トランジスタを自由に配置可能であるため、Si トランジスタで構成される差動増幅回路 71 上にオフセット補正回路 72 の集積化を容易に行うことができる。また OS トランジスタは、Si トランジスタと同様の製造装置を用いて作製することが可能であるため、低コストで作製可能である。

[0083]

また OS トランジスタは、ゲート電極、ソース電極およびドレイン電極に加えて、バックゲート電極を含むと、4 端子の半導体素子とすることができる。OS トランジスタは、ゲート電極またはバックゲート電極に与える電圧に応じて、ソースとドレインとの間を流れる信号の入出力が独立制御可能な電気回路網を構築することができる。そのため、LSI と同一思考で回路設計を行うことができる。加えて OS トランジスタは、高温環境下において、Si トランジスタよりも優れた電気特性を有する。具体的には、 125°C 以上 150°C 以下といった高温下においてもオン電流とオフ電流の比が大きいため、良好なスイッチング動作を行うことができる。

[0084]

図 9A、図 9B は、図 8B に図示するオフセット補正回路 72 の動作を説明するための回路図である。なお本明細書等において、回路図の動作を説明するための図では、説明をわかりやすくするため、オフとなるトランジスタにはバツ印を付し、オンとなるトランジスタにはバツ印を付していない。

[0085]

図9Aでは、オフセットを補正するための電圧 V_{CN} 、 V_{CP} の書き込みを行う動作を説明する。書き込みを行う動作では、信号 S_{EN} をHレベルとする。トランジスタ75、76には、電圧 V_{CN} 、 V_{CP} に応じた電流が流れる。電圧 V_{CN} 、 V_{CP} に応じた電荷が、キャパシタ77、78が接続されたノードFN、FNBに与えられる。図9Bでは、オフセットを補正するための電圧 V_{CN} 、 V_{CP} の保持を行う動作を説明する。保持を行う動作では、信号 S_{EN} をLレベルとする。トランジスタ75、76のそれぞれはオフ状態となるため、トランジスタ75、76には電流が流れない。電圧 V_{CN} 、 V_{CP} に応じた電荷が、キャパシタ77、78が接続されたノードFN、FNBに保持される。保持を行う期間においても、ノードFN、FNBに保持される電荷に応じて、オフセットの補正を行う動作を行うことができる。

[0086]

図10では、図8Bで説明したオフセット補正回路のより具体的な回路構成例について図示する。図10では、図8Bで図示した構成に加えて、トランジスタ83、84、トランジスタ85、86、キャパシタ87、88を備えた構成を図示している。電圧 V_{MAX} 、 V_{MIN} は、オフセットを補正するための電圧である。なお電圧 V_{MAX} 、 V_{MIN} は、抵抗分割して得られる複数の電圧でもよい。トランジスタ83、84、トランジスタ85、86は、スイッチとして機能する電圧である。信号 S_{SEL} は、トランジスタ83、84、トランジスタ85、86のオンまたはオフを制御するための信号である。キャパシタ87、88は、信号 S_{SEL} に応じて設定される電圧 V_{CN} 、 V_{CP} を保持する機能を有する。

[0087]

トランジスタ83、84、トランジスタ85、86は、Siトランジスタであっても、OSトランジスタであってもよい。

[0088]

図11は、図10で説明した信号 S_{EN} 、 S_{SEL} を生成する信号生成回路について説明するための図である。

[0089]

図11にはコンパレータ81、信号生成回路82を図示している。コンパレータ81は、出力端子 V_{OUTN} 、 V_{OUTP} の電圧を比較し、比較結果を信号 S_{COMP} として出力する。信号生成回路82は、信号 S_{COMP} に応じて、信号 S_{EN} 、 S_{SEL} を生成する。信号生成回路82は、信号 S_{COMP} を監視し、出力端子 V_{OUTN} 、 V_{OUTP} の電圧が釣り合うように信号 S_{EN} 、 S_{SEL} を制御する。信号 S_{EN} 、 S_{SEL} の出力を間欠的に停止することでコンパレータ81を停止することができ、省電力化を図ることができる。

[0090]

図12、図13A、図13Bでは、図8Bで図示するアナログデジタル変換回路105の変形例を説明するための回路図を示す。

[0091]

図8Bにおいて、トランジスタ73、74はSiトランジスタとして図示したが、OSトランジスタでもよい。図12は、トランジスタ73、74をOSトランジスタであるトランジスタ73A、74Aとした回路図である。また図12は、定電流回路79を、OSトランジスタであるトランジスタ75Aに置き換え、トランジスタ75Aのゲートにバイアス電圧 V_{BIAS} を与えた回路図である。OSトランジスタを有する層は、Siトランジスタが設けられる層に積層することができるため、

回路の小型化を図ることができる。

[0092]

図8Bにおいて、各トランジスタは、バックゲート電極がないトップゲート構造またはボトムゲート構造のトランジスタとして図示したが、トランジスタの構造はこれに限らない。例えば、図13Aに図示するように、ゲート電極に接続されたバックゲート電極を有するトランジスタ75Aおよび75Aとしてもよい。図13Aの構成とすることで、各トランジスタを流れる電流量を増やすことができる。

[0093]

あるいは図13Bに図示するようにバックゲート電圧 V_{BG} を与える端子に接続されたバックゲート電極を有するトランジスタ75Bおよび76Bとしてもよい。図13Bの構成とすることで、各トランジスタのしきい値電圧などの電気特性を外部より制御しやすくすることができる。

[0094]

本実施の形態に示す構成、構造、方法などは、他の実施の形態および実施例などに示す構成、構造、方法などと適宜組み合わせる用いることができる。

[0095]

(実施の形態4)

本実施の形態では、上記実施の形態で説明した半導体装置に適用可能なトランジスタの構成について説明する。一例として、異なる電気特性を有するトランジスタを積層して設ける構成について説明する。当該構成とすることで、半導体装置の設計自由度を高めることができる。また、異なる電気特性を有するトランジスタを積層して設けることで、半導体装置の集積度を高めることができる。

[0096]

半導体装置の断面構造の一部を図14に示す。図14に示す半導体装置は、トランジスタ550と、トランジスタ500と、容量600と、を有している。図16Aはトランジスタ500のチャネル長方向の断面図であり、図16Bはトランジスタ500のチャネル幅方向の断面図であり、図16Cはトランジスタ550のチャネル幅方向の断面図である。例えば、トランジスタ500は上記実施の形態に示したトランジスタ43乃至48に相当し、トランジスタ550はトランジスタ35、36に相当する。また、容量600はキャパシタ41、42に相当する。

[0097]

トランジスタ500は、OSトランジスタである。

[0098]

図14では、トランジスタ500はトランジスタ550の上方に設けられ、容量600はトランジスタ550、およびトランジスタ500の上方に設けられている。

[0099]

トランジスタ550は、基板311上に設けられ、導電体316、絶縁体315、基板311の一部からなる半導体領域313、ソース領域またはドレイン領域として機能する低抵抗領域314a、および低抵抗領域314bを有する。

[0100]

図16Cに示すように、トランジスタ550は、半導体領域313の上面およびチャネル幅方向の側面が絶縁体315を介して導電体316に覆われている。このように、トランジスタ550を

F i n型とすることにより、実効上のチャネル幅が増大することによりトランジスタ550のオン特性を向上させることができる。また、ゲート電極の電界の寄与を高くすることができるため、トランジスタ550のオフ特性を向上させることができる。

[0101]

なお、トランジスタ550は、pチャネル型、あるいはnチャネル型のいずれでもよい。

[0102]

半導体領域313のチャネルが形成される領域、その近傍の領域、ソース領域、またはドレイン領域となる低抵抗領域314a、および低抵抗領域314bなどにおいて、シリコン系半導体などの半導体を含むことが好ましく、単結晶シリコンを含むことが好ましい。または、Ge（ゲルマニウム）、SiGe（シリコンゲルマニウム）、GaAs（ガリウムヒ素）、GaAlAs（ガリウムアルミニウムヒ素）などを有する材料で形成してもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。またはGaAsとGaAlAs等を用いることで、トランジスタ550をHEMT（High Electron Mobility Transistor）としてもよい。

[0103]

低抵抗領域314a、および低抵抗領域314bは、半導体領域313に適用される半導体材料に加え、ヒ素、リンなどのn型の導電性を付与する元素、またはホウ素などのp型の導電性を付与する元素を含む。

[0104]

ゲート電極として機能する導電体316は、ヒ素、リンなどのn型の導電性を付与する元素、もしくはホウ素などのp型の導電性を付与する元素を含むシリコンなどの半導体材料、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。

[0105]

なお、導電体の材料によって仕事関数が決まるため、当該導電体の材料を選択することで、トランジスタのしきい値電圧を調整することができる。具体的には、導電体に窒化チタンや窒化タンタルなどの材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電体にタングステンやアルミニウムなどの金属材料を積層として用いることが好ましく、特にタングステンをを用いることが耐熱性の点で好ましい。

[0106]

トランジスタ550は、SOI（Silicon on Insulator）基板などを用いて形成してもよい。

[0107]

また、SOI基板としては、鏡面研磨ウエハに酸素イオンを注入した後、高温加熱することにより、表面から一定の深さに酸化層を形成させるとともに、表面層に生じた欠陥を消滅させて形成されたSIMOX（Separation by Implanted Oxygen）基板や、水素イオン注入により形成された微小ボイドの熱処理による成長を利用して半導体基板を劈開するスマートカット法、ELTRAN法（登録商標：Epitaxial Layer Transfer）などを用いて形成されたSOI基板を用いてもよい。単結晶基板を用いて形成されたトランジスタは、チャネル形成領域に単結晶半導体を有する。

[0108]

なお、図14に示すトランジスタ550は一例であり、その構成に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。例えば、半導体装置をOSトランジスタのみの単極性回路（nチャネル型トランジスタのみ、などと同極性のトランジスタを意味する）とする場合、図15に示すように、トランジスタ550の構成を、トランジスタ500と同様の構成にすればよい。なお、トランジスタ500の詳細については後述する。

[0109]

トランジスタ550を覆って、絶縁体320、絶縁体322、絶縁体324、および絶縁体326が順に積層して設けられている。

[0110]

絶縁体320、絶縁体322、絶縁体324、および絶縁体326として、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよい。

[0111]

なお、本明細書中において、酸化窒化シリコンとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。また、本明細書中において、酸化窒化アルミニウムとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化アルミニウムとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。

[0112]

絶縁体322は、その下方に設けられるトランジスタ550などによって生じる段差を平坦化する平坦化膜としての機能を有していてもよい。例えば、絶縁体322の上面は、平坦性を高めるために化学機械研磨（CMP）法等を用いた平坦化处理により平坦化されていてもよい。

[0113]

また、絶縁体324には、基板311、またはトランジスタ550などから、トランジスタ500が設けられる領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。

[0114]

水素に対するバリア性を有する膜の一例として、例えば、CVD法で形成した窒化シリコンを用いることができる。ここで、トランジスタ500等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ500と、トランジスタ550との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

[0115]

水素の脱離量は、例えば、昇温脱離ガス分析法（TDS）などを用いて分析することができる。例えば、絶縁体324の水素の脱離量は、TDS分析において、膜の表面温度が50℃から500℃の範囲において、水素原子に換算した脱離量が、絶縁体324の面積当たりに換算して、 $1.0 \times 10^{15} \text{ atoms/cm}^2$ 以下、好ましくは $5 \times 10^{15} \text{ atoms/cm}^2$ 以下であればよい。

[0116]

なお、絶縁体326は、絶縁体324よりも誘電率が低いことが好ましい。例えば、絶縁体326の比誘電率は4未満が好ましく、3未満がより好ましい。また例えば、絶縁体326の比誘電率

は、絶縁体 3 2 4 の比誘電率の 0.7 倍以下が好ましく、0.6 倍以下がより好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

[0 1 1 7]

また、絶縁体 3 2 0、絶縁体 3 2 2、絶縁体 3 2 4、および絶縁体 3 2 6 には容量 6 0 0、またはトランジスタ 5 0 0 と接続する導電体 3 2 8、および導電体 3 3 0 等が埋め込まれている。なお、導電体 3 2 8、および導電体 3 3 0 は、プラグまたは配線としての機能を有する。また、プラグまたは配線としての機能を有する導電体は、複数の構成をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、および導電体の一部がプラグとして機能する場合もある。

[0 1 1 8]

各プラグ、および配線（導電体 3 2 8、導電体 3 3 0 等）の材料としては、金属材料、合金材料、金属窒化物材料、または金属酸化物材料などの導電性材料を、単層または積層して用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、タングステンを用いることが好ましい。または、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

[0 1 1 9]

絶縁体 3 2 6、および導電体 3 3 0 上に、配線層を設けてもよい。例えば、図 1 4 では、絶縁体 3 5 0、絶縁体 3 5 2、および絶縁体 3 5 4 が順に積層して設けられている。また、絶縁体 3 5 0、絶縁体 3 5 2、および絶縁体 3 5 4 には、導電体 3 5 6 が形成されている。導電体 3 5 6 は、トランジスタ 5 5 0 と接続するプラグ、または配線としての機能を有する。なお導電体 3 5 6 は、導電体 3 2 8、および導電体 3 3 0 と同様の材料を用いて設けることができる。

[0 1 2 0]

なお、例えば、絶縁体 3 5 0 は、絶縁体 3 2 4 と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体 3 5 6 は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体 3 5 0 が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ 5 5 0 とトランジスタ 5 0 0 とは、バリア層により分離することができ、トランジスタ 5 5 0 からトランジスタ 5 0 0 への水素の拡散を抑制することができる。

[0 1 2 1]

なお、水素に対するバリア性を有する導電体としては、例えば、窒化タンタル等を用いるとよい。また、窒化タンタルと導電性が高いタングステンを積層することで、配線としての導電性を保持したまま、トランジスタ 5 5 0 からの水素の拡散を抑制することができる。この場合、水素に対するバリア性を有する窒化タンタル層が、水素に対するバリア性を有する絶縁体 3 5 0 と接する構成であることが好ましい。

[0 1 2 2]

絶縁体 3 5 4、および導電体 3 5 6 上に、配線層を設けてもよい。例えば、図 1 4 では、絶縁体 3 6 0、絶縁体 3 6 2、および絶縁体 3 6 4 が順に積層して設けられている。また、絶縁体 3 6 0、絶縁体 3 6 2、および絶縁体 3 6 4 には、導電体 3 6 6 が形成されている。導電体 3 6 6 は、プラグまたは配線としての機能を有する。なお導電体 3 6 6 は、導電体 3 2 8、および導電体 3 3 0 と同様の材料を用いて設けることができる。

[0123]

なお、例えば、絶縁体360は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体366は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体360が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ550とトランジスタ500とは、バリア層により分離することができ、トランジスタ550からトランジスタ500への水素の拡散を抑制することができる。

[0124]

絶縁体364、および導電体366上に、配線層を設けてもよい。例えば、図14では、絶縁体370、絶縁体372、および絶縁体374が順に積層して設けられている。また、絶縁体370、絶縁体372、および絶縁体374には、導電体376が形成されている。導電体376は、プラグまたは配線としての機能を有する。なお導電体376は、導電体328、および導電体330と同様の材料を用いて設けることができる。

[0125]

なお、例えば、絶縁体370は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体376は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体370が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ550とトランジスタ500とは、バリア層により分離することができ、トランジスタ550からトランジスタ500への水素の拡散を抑制することができる。

[0126]

絶縁体374、および導電体376上に、配線層を設けてもよい。例えば、図14では、絶縁体380、絶縁体382、および絶縁体384が順に積層して設けられている。また、絶縁体380、絶縁体382、および絶縁体384には、導電体386が形成されている。導電体386は、プラグまたは配線としての機能を有する。なお導電体386は、導電体328、および導電体330と同様の材料を用いて設けることができる。

[0127]

なお、例えば、絶縁体380は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体386は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体380が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ550とトランジスタ500とは、バリア層により分離することができ、トランジスタ550からトランジスタ500への水素の拡散を抑制することができる。

[0128]

上記において、導電体356を含む配線層、導電体366を含む配線層、導電体376を含む配線層、および導電体386を含む配線層、について説明したが、本実施の形態に係る半導体装置はこれに限られるものではない。導電体356を含む配線層と同様の配線層を3層以下にしてもよいし、導電体356を含む配線層と同様の配線層を5層以上にしてもよい。

[0129]

絶縁体384上には絶縁体510、絶縁体512、絶縁体514、および絶縁体516が、順に

積層して設けられている。絶縁体510、絶縁体512、絶縁体514、および絶縁体516のいずれかは、酸素や水素に対してバリア性のある物質を用いることが好ましい。

[0130]

例えば、絶縁体510、および絶縁体514には、例えば、基板311、またはトランジスタ550を設ける領域などから、トランジスタ500を設ける領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。したがって、絶縁体324と同様の材料を用いることができる。

[0131]

水素に対するバリア性を有する膜の一例として、CVD法で形成した窒化シリコンを用いることができる。ここで、トランジスタ500等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ500と、トランジスタ550との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

[0132]

また、水素に対するバリア性を有する膜として、例えば、絶縁体510、および絶縁体514には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

[0133]

特に、酸化アルミニウムは、酸素、およびトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中および作製後において、水素、水分などの不純物のトランジスタ500への混入を防止することができる。また、トランジスタ500を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ500に対する保護膜として用いることに適している。

[0134]

また、例えば、絶縁体512、および絶縁体516には、絶縁体320と同様の材料を用いることができる。また、これらの絶縁体に、比較的誘電率が低い材料を適用することで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体512、および絶縁体516として、酸化シリコン膜や酸化窒化シリコン膜などを用いることができる。

[0135]

また、絶縁体510、絶縁体512、絶縁体514、および絶縁体516には、導電体518、およびトランジスタ500を構成する導電体（例えば、導電体503）等が埋め込まれている。なお、導電体518は、容量600、またはトランジスタ550と接続するプラグ、または配線としての機能を有する。導電体518は、導電体328、および導電体330と同様の材料を用いて設けることができる。

[0136]

特に、絶縁体510、および絶縁体514と接する領域の導電体518は、酸素、水素、および水に対するバリア性を有する導電体であることが好ましい。当該構成により、トランジスタ550とトランジスタ500とは、酸素、水素、および水に対するバリア性を有する層で、分離することができ、トランジスタ550からトランジスタ500への水素の拡散を抑制することができる。

[0137]

絶縁体 516 の上方には、トランジスタ 500 が設けられている。

[0138]

図 16A および図 16B に示すように、トランジスタ 500 は、絶縁体 514 および絶縁体 516 に埋め込まれるように配置された導電体 503 と、絶縁体 516 および導電体 503 の上に配置された絶縁体 520 と、絶縁体 520 の上に配置された絶縁体 522 と、絶縁体 522 の上に配置された絶縁体 524 と、絶縁体 524 の上に配置された酸化物 530a と、酸化物 530a の上に配置された酸化物 530b と、酸化物 530b 上に互いに離れて配置された導電体 542a および導電体 542b と、導電体 542a および導電体 542b 上に配置され、導電体 542a と導電体 542b の間に重畳して開口が形成された絶縁体 580 と、開口の底面および側面に配置された絶縁体 545 と、絶縁体 545 の形成面に配置された導電体 560 と、を有する。

[0139]

また、図 16A および図 16B に示すように、酸化物 530a、酸化物 530b、導電体 542a、および導電体 542b と、絶縁体 580 の間に絶縁体 544 が配置されることが好ましい。また、図 16A および図 16B に示すように、導電体 560 は、絶縁体 545 の内側に設けられた導電体 560a と、導電体 560a の内側に埋め込まれるように設けられた導電体 560b と、を有することが好ましい。また、図 16A および図 16B に示すように、絶縁体 580、導電体 560、および絶縁体 545 の上に絶縁体 574 が配置されることが好ましい。

[0140]

なお、本明細書などにおいて、酸化物 530a、および酸化物 530b をまとめて酸化物 530 という場合がある。

[0141]

なお、トランジスタ 500 では、チャネルが形成される領域と、その近傍において、酸化物 530a、および酸化物 530b の 2 層を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、酸化物 530b の単層、または 3 層以上の積層構成を設ける構成にしてもよい。

[0142]

また、トランジスタ 500 では、導電体 560 を 2 層の積層構成として示しているが、本発明はこれに限られるものではない。例えば、導電体 560 が、単層構成であってもよいし、3 層以上の積層構成であってもよい。また、図 14、図 15、および図 16A に示すトランジスタ 500 は一例であり、その構成に限定されず、回路構成や駆動方法などに応じて適切なトランジスタを用いればよい。

[0143]

ここで、導電体 560 は、トランジスタのゲート電極として機能し、導電体 542a および導電体 542b は、それぞれソース電極またはドレイン電極として機能する。上記のように、導電体 560 は、絶縁体 580 の開口、および導電体 542a と導電体 542b に挟まれた領域に埋め込まれるように形成される。導電体 560、導電体 542a および導電体 542b の配置は、絶縁体 580 の開口に対して、自己整合的に選択される。つまり、トランジスタ 500 において、ゲート電極を、ソース電極とドレイン電極の間に、自己整合的に配置させることができる。よって、導電体 560 を位置合わせのマージンを設けることなく形成することができるので、トランジスタ 500 の占有面積の縮小を図ることができる。これにより、半導体装置の微細化、高集積化を図ることが

できる。

[0144]

さらに、導電体560が、導電体542aと導電体542bの間の領域に自己整合的に形成されるので、導電体560は、導電体542aまたは導電体542bと重畳する領域を有さない。これにより、導電体560と導電体542aおよび導電体542bとの間に形成される寄生容量を低減することができる。よって、トランジスタ500のスイッチング速度を向上させ、高い周波数特性を有せしめることができる。

[0145]

導電体560は、第1のゲート（トップゲートともいう）電極として機能する場合がある。また、導電体503は、第2のゲート（ボトムゲートともいう）電極として機能する場合がある。その場合、導電体503に印加する電位を、導電体560に印加する電位と、連動させず、独立して変化させることで、トランジスタ500のしきい値電圧を制御することができる。特に、導電体503に負の電位を印加することにより、トランジスタ500のしきい値電圧を0Vより大きくし、オフ電流を低減することが可能となる。したがって、導電体503に負の電位を印加したほうが、印加しない場合よりも、導電体560に印加する電位が0Vのときのドレイン電流を小さくすることができる。

[0146]

導電体503は、酸化物530、および導電体560と、重なるように配置する。これにより、導電体560、および導電体503に電位を印加した場合、導電体560から生じる電界と、導電体503から生じる電界と、がつながり、酸化物530に形成されるチャネル形成領域を覆うことができる。

[0147]

本明細書等において、一対のゲート電極（第1のゲート電極、および第2のゲート電極）の電界によって、チャネル形成領域を電氣的に取り囲むトランジスタの構成を、*surrounded channel*（*S-channel*）構成とよぶ。また、本明細書等において、*surrounded channel*（*S-channel*）構成は、ソース電極およびドレイン電極として機能する導電体542aおよび導電体542bに接する酸化物530の側面および周辺が、チャネル形成領域と同じくI型であるといった特徴を有する。また、導電体542aおよび導電体542bに接する酸化物530の側面および周辺は、絶縁体544と接しているため、チャネル形成領域と同様にI型となりうる。なお、本明細書等において、I型とは後述する、高純度真性と同様として扱うことができる。また、本明細書等で開示する*S-channel*構成は、*Fin*型構成およびプレーナ型構成とは異なる。*S-channel*構成を採用することで、短チャネル効果に対する耐性を高める、別言すると短チャネル効果が発生し難いトランジスタとすることができる。

[0148]

また、導電体503は、導電体518と同様の構成であり、絶縁体514および絶縁体516の開口の内壁に接して導電体503aが形成され、さらに内側に導電体503bが形成されている。なお、トランジスタ500では、導電体503aおよび導電体503bを積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体503は、単層、または3層以上の積層構成として設ける構成にしてもよい。

[0149]

ここで、導電体503aは、水素原子、水素分子、水分子、銅原子などの不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい。）導電性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する（上記酸素が透過しにくい。）導電性材料を用いることが好ましい。なお、本明細書において、不純物、または酸素の拡散を抑制する機能とは、上記不純物、または上記酸素のいずれか一または、すべての拡散を抑制する機能とする。

[0150]

例えば、導電体503aが酸素の拡散を抑制する機能を持つことにより、導電体503bが酸化して導電率が低下することを抑制することができる。

[0151]

また、導電体503が配線の機能を兼ねる場合、導電体503bは、タングステン、銅、またはアルミニウムを主成分とする、導電性が高い導電性材料を用いることが好ましい。なお、本実施の形態では導電体503を導電体503aと導電体503bの積層で図示したが、導電体503は単層構成であってもよい。

[0152]

絶縁体520、絶縁体522、および絶縁体524は、第2のゲート絶縁膜としての機能を有する。

[0153]

ここで、酸化物530と接する絶縁体524は、化学量論的組成を満たす酸素よりも多くの酸素を含む絶縁体を用いることが好ましい。当該酸素は、加熱により膜中から放出されやすい。本明細書などでは、加熱により放出される酸素を「過剰酸素」と呼ぶ場合がある。つまり、絶縁体524には、過剰酸素を含む領域（「過剰酸素領域」ともいう。）が形成されていることが好ましい。このような過剰酸素を含む絶縁体を酸化物530に接して設けることにより、酸化物530中の酸素欠損（ $V_{O: oxygen\ vacancy}$ ともいう）を低減し、トランジスタ500の信頼性を向上させることができる。なお、酸化物530中の酸素欠損に水素が入った場合、当該欠陥（以下、 V_{OH} と呼ぶ場合がある。）はドナーとして機能し、キャリアである電子が生成されることがある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成する場合がある。従って、水素が多く含まれている酸化物半導体を用いたトランジスタは、ノーマリーオン特性となりやすい。また、酸化物半導体中の水素は、熱、電界などのストレスによって動きやすいため、酸化物半導体に多くの水素が含まれると、トランジスタの信頼性が悪化する恐れもある。本発明の一態様においては、酸化物530中の V_{OH} をできる限り低減し、高純度真性または実質的に高純度真性にするのが好ましい。このように、 V_{OH} が十分低減された酸化物半導体を得るには、酸化物半導体中の水分、水素などの不純物を除去すること（「脱水」または「脱水素化处理」ともいう。）と、酸化物半導体に酸素を供給して酸素欠損を補填すること（「加酸素化处理」ともいう。）が重要である。 V_{OH} などの不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

[0154]

過剰酸素領域を有する絶縁体として、具体的には、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。加熱により酸素を脱離する酸化物とは、TDS（Thermal Desorption Spectroscopy）分析にて、酸素原子に換算しての酸素の脱離量が

1. $0 \times 10^{18} \text{ atoms/cm}^3$ 以上、好ましくは $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、さらに好ましくは $2.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、または $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上である酸化物膜である。なお、上記TDS分析時における膜の表面温度としては 100°C 以上 700°C 以下、または 100°C 以上 400°C 以下の範囲が好ましい。

[0155]

また、上記過剰酸素領域を有する絶縁体と、酸化物530と、を接して加熱処理、マイクロ波処理、またはRF処理のいずれかまたは複数の処理を行っても良い。当該処理を行うことで、酸化物530中の水、または水素を除去することができる。例えば、酸化物530において、 V_oH の結合が切断される反応が起きる、別言すると「 $\text{V}_o\text{H} \rightarrow \text{V}_o + \text{H}$ 」という反応が起きて、脱水素化することができる。このとき発生した水素の一部は、酸素と結合して H_2O として、酸化物530、または酸化物530近傍の絶縁体から除去される場合がある。また、水素の一部は、導電体542にゲッターリングされる場合がある。

[0156]

また、上記マイクロ波処理は、例えば、高密度プラズマを発生させる電源を有する装置、または、基板側にRFを印加する電源を有する装置を用いると好適である。例えば、酸素を含むガスを用い、且つ高密度プラズマを用いることより、高密度の酸素ラジカルを生成することができ、基板側にRFを印加することで、高密度プラズマによって生成された酸素ラジカルを、効率よく酸化物530、または酸化物530近傍の絶縁体中に導入することができる。また、上記マイクロ波処理は、圧力を 133 Pa 以上、好ましくは 200 Pa 以上、さらに好ましくは 400 Pa 以上とすればよい。また、マイクロ波処理を行う装置内に導入するガスとしては、例えば、酸素と、アルゴンとを用い、酸素流量比 ($\text{O}_2 / (\text{O}_2 + \text{Ar})$) が 50% 以下、好ましくは 10% 以上 30% 以下で行うとよい。

[0157]

また、トランジスタ500の作製工程中において、酸化物530の表面が露出した状態で、加熱処理を行うと好適である。当該加熱処理は、例えば、 100°C 以上 450°C 以下、より好ましくは 350°C 以上 400°C 以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを 10 ppm 以上、 1% 以上、もしくは 10% 以上含む雰囲気で行う。例えば、加熱処理は酸素雰囲気で行うことが好ましい。これにより、酸化物530に酸素を供給して、酸素欠損 (V_o) の低減を図ることができる。また、加熱処理は減圧状態で行ってもよい。または、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気中で加熱処理した後に、脱離した酸素を補うために、酸化性ガスを 10 ppm 以上、 1% 以上、または 10% 以上含む雰囲気で行ってもよい。または、酸化性ガスを 10 ppm 以上、 1% 以上、または 10% 以上含む雰囲気中で加熱処理した後に、連続して窒素ガスもしくは不活性ガスの雰囲気中で加熱処理を行ってもよい。

[0158]

なお、酸化物530に加酸素化処理を行うことで、酸化物530中の酸素欠損を、供給された酸素により修復させる、別言すると「 $\text{V}_o + \text{O} \rightarrow \text{null}$ 」という反応を促進させることができる。さらに、酸化物530中に残存した水素に供給された酸素が反応することで、当該水素を H_2O として除去する（脱水化する）ことができる。これにより、酸化物530中に残存していた水素が酸素欠損に再結合して V_oH が形成されるのを抑制することができる。

[0159]

また、絶縁体524が、過剰酸素領域を有する場合、絶縁体522は、酸素（例えば、酸素原子、

酸素分子など）の拡散を抑制する機能を有する（上記酸素が透過しにくい）ことが好ましい。

[0160]

絶縁体522が、酸素や不純物の拡散を抑制する機能を有することで、酸化物530が有する酸素は、絶縁体520側へ拡散することがなく、好ましい。また、導電体503が、絶縁体524や、酸化物530が有する酸素と反応することを抑制することができる。

[0161]

絶縁体522は、例えば、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛（PZT）、チタン酸ストロンチウム（SrTiO₃）、または（Ba, Sr）TiO₃（BST）などのいわゆるh i g h - k材料を含む絶縁体を単層または積層で用いることが好ましい。トランジスタの微細化、および高集積化が進むと、ゲート絶縁膜の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁膜として機能する絶縁体にh i g h - k材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。

[0162]

特に、不純物、および酸素などの拡散を抑制する機能を有する（上記酸素が透過しにくい）絶縁性材料であるアルミニウム、ハフニウムの一方または双方の酸化物を含む絶縁体を用いるとよい。アルミニウム、ハフニウムの一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。このような材料を用いて絶縁体522を形成した場合、絶縁体522は、酸化物530からの酸素の放出や、トランジスタ500の周辺部から酸化物530への水素等の不純物の混入を抑制する層として機能する。

[0163]

または、これらの絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。またはこれらの絶縁体を窒化処理してもよい。上記の絶縁体に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。

[0164]

また、絶縁体520は、熱的に安定していることが好ましい。例えば、酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため、好適である。また、h i g h - k材料の絶縁体を酸化シリコン、または酸化窒化シリコンと組み合わせることで、熱的に安定かつ比誘電率の高い積層構成の絶縁体520や、絶縁体526を得ることができる。

[0165]

なお、図16Aおよび図16Bのトランジスタ500では、3層の積層構成からなる第2のゲート絶縁膜として、絶縁体520、絶縁体522、および絶縁体524が図示されているが、第2のゲート絶縁膜は、単層、2層、または4層以上の積層構成を有していてもよい。その場合、同じ材料からなる積層構成に限定されず、異なる材料からなる積層構成でもよい。

[0166]

トランジスタ500は、チャネル形成領域を含む酸化物530に、酸化物半導体として機能する金属酸化物を用いる。例えば、酸化物530として、I n - M - Z n酸化物（元素Mは、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、

ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種）等の金属酸化物を用いるとよい。

[0167]

酸化物半導体として機能する金属酸化物の形成は、スパッタリング法で行なってもよいし、ALD (Atomic Layer Deposition) 法で行なってもよい。なお、酸化物半導体として機能する金属酸化物については、他の実施の形態で詳細に説明する。

[0168]

また、酸化物530においてチャネル形成領域にとして機能する金属酸化物は、バンドギャップが2 eV以上、好ましくは2.5 eV以上のものを用いることが好ましい。このように、バンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。

[0169]

酸化物530は、酸化物530b下に酸化物530aを有することで、酸化物530aよりも下方に形成された構成物から、酸化物530bへの不純物の拡散を抑制することができる。

[0170]

なお、酸化物530は、各金属原子の原子数比が異なる複数の酸化物層の積層構成を有することが好ましい。具体的には、酸化物530aに用いる金属酸化物において、構成元素中の元素Mの原子数比が、酸化物530bに用いる金属酸化物における、構成元素中の元素Mの原子数比より、大きいことが好ましい。また、酸化物530aに用いる金属酸化物において、Inに対する元素Mの原子数比が、酸化物530bに用いる金属酸化物における、Inに対する元素Mの原子数比より大きいことが好ましい。また、酸化物530bに用いる金属酸化物において、元素Mに対するInの原子数比が、酸化物530aに用いる金属酸化物における、元素Mに対するInの原子数比より大きいことが好ましい。

[0171]

また、酸化物530aの伝導帯下端のエネルギーが、酸化物530bの伝導帯下端のエネルギーより高くなることが好ましい。また、言い換えると、酸化物530a電子親和力が、酸化物530bの電子親和力より小さいことが好ましい。

[0172]

ここで、酸化物530aおよび酸化物530bの接合部において、伝導帯下端のエネルギー準位はなだらかに変化する。換言すると、酸化物530aおよび酸化物530bの接合部における伝導帯下端のエネルギー準位は、連続的に変化または連続接合するともいうことができる。このようにするためには、酸化物530aと酸化物530bとの界面において形成される混合層の欠陥準位密度を低くするとよい。

[0173]

具体的には、酸化物530aと酸化物530bが、酸素以外に共通の元素を有する（主成分とする）ことで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物530bがIn-Ga-Zn酸化物の場合、酸化物530aとして、In-Ga-Zn酸化物、Ga-Zn酸化物、酸化ガリウムなどを用いるとよい。

[0174]

このとき、キャリアの主たる経路は酸化物530bとなる。酸化物530aを上述の構成とする

ことで、酸化物 530 a と酸化物 530 b との界面における欠陥準位密度を低くすることができる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ 500 は高いオン電流を得られる。

[0175]

酸化物 530 b 上には、ソース電極、およびドレイン電極として機能する導電体 542 a、および導電体 542 b が設けられる。導電体 542 a、および導電体 542 b としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンから選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いることが好ましい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いることが好ましい。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物は、酸化しにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。更に、窒化タンタルなどの金属窒化物膜は、水素または酸素に対するバリア性があるため好ましい。

[0176]

また、図 16 では、導電体 542 a、および導電体 542 b を単層構成として示したが、2 層以上の積層構成としてもよい。例えば、窒化タンタル膜とタングステン膜を積層するとよい。また、チタン膜とアルミニウム膜を積層してもよい。また、タングステン膜上にアルミニウム膜を積層する二層構成、銅-マグネシウム-アルミニウム合金膜上に銅膜を積層する二層構成、チタン膜上に銅膜を積層する二層構成、タングステン膜上に銅膜を積層する二層構成としてもよい。

[0177]

また、チタン膜または窒化チタン膜と、そのチタン膜または窒化チタン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にチタン膜または窒化チタン膜を形成する三層構成、モリブデン膜または窒化モリブデン膜と、そのモリブデン膜または窒化モリブデン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にモリブデン膜または窒化モリブデン膜を形成する三層構成等がある。なお、酸化インジウム、酸化錫または酸化亜鉛を含む透明導電材料を用いてもよい。

[0178]

また、図 16 A に示すように、酸化物 530 の、導電体 542 a（導電体 542 b）との界面とその近傍には、低抵抗領域として、領域 543 a、および領域 543 b が形成される場合がある。このとき、領域 543 a はソース領域またはドレイン領域の一方として機能し、領域 543 b はソース領域またはドレイン領域の他方として機能する。また、領域 543 a と領域 543 b に挟まれる領域にチャンネル形成領域が形成される。

[0179]

酸化物 530 と接するように上記導電体 542 a（導電体 542 b）を設けることで、領域 543 a（領域 543 b）の酸素濃度が低減する場合がある。また、領域 543 a（領域 543 b）に

導電体 5 4 2 a (導電体 5 4 2 b) に含まれる金属と、酸化物 5 3 0 の成分とを含む金属化合物層が形成される場合がある。このような場合、領域 5 4 3 a (領域 5 4 3 b) のキャリア密度が増加し、領域 5 4 3 a (領域 5 4 3 b) は、低抵抗領域となる。

[0180]

絶縁体 5 4 4 は、導電体 5 4 2 a、および導電体 5 4 2 b を覆うように設けられ、導電体 5 4 2 a、および導電体 5 4 2 b の酸化を抑制する。このとき、絶縁体 5 4 4 は、酸化物 5 3 0 の側面を覆い、絶縁体 5 2 4 と接するように設けられてもよい。

[0181]

絶縁体 5 4 4 として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、ネオジム、ランタンまたは、マグネシウムなどから選ばれた一種、または二種以上が含まれた金属酸化物を用いることができる。また、絶縁体 5 4 4 として、窒化酸化シリコンまたは窒化シリコンなども用いることができる。

[0182]

特に、絶縁体 5 4 4 として、アルミニウム、またはハフニウムの一方または双方の酸化物を含む絶縁体である、酸化アルミニウム、酸化ハフニウム、アルミニウム、およびハフニウムを含む酸化物 (ハフニウムアルミネート) などを用いることが好ましい。特に、ハフニウムアルミネートは、酸化ハフニウム膜よりも、耐熱性が高い。そのため、後の工程での熱処理において、結晶化しにくいため好ましい。なお、導電体 5 4 2 a、および導電体 5 4 2 b が耐酸化性を有する材料、または、酸素を吸収しても著しく導電性が低下しない場合、絶縁体 5 4 4 は、必須の構成ではない。求めるトランジスタ特性により、適宜設計すればよい。

[0183]

絶縁体 5 4 4 を有することで、絶縁体 5 8 0 に含まれる水、および水素などの不純物が絶縁体 5 4 5 を介して、酸化物 5 3 0 b に拡散することを抑制することができる。また、絶縁体 5 8 0 が有する過剰酸素により、導電体 5 6 0 が酸化するのを抑制することができる。

[0184]

絶縁体 5 4 5 は、第 1 のゲート絶縁膜として機能する。絶縁体 5 4 5 は、上述した絶縁体 5 2 4 と同様に、過剰に酸素を含み、かつ加熱により酸素が放出される絶縁体を用いて形成することが好ましい。

[0185]

具体的には、過剰酸素を有する酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素、および窒素を添加した酸化シリコン、空孔を有する酸化シリコンを用いることができる。特に、酸化シリコン、および酸化窒化シリコンは熱に対し安定であるため好ましい。

[0186]

過剰酸素を含む絶縁体を絶縁体 5 4 5 として設けることにより、絶縁体 5 4 5 から、酸化物 5 3 0 b のチャネル形成領域に効果的に酸素を供給することができる。また、絶縁体 5 2 4 と同様に、絶縁体 5 4 5 中の水または水素などの不純物濃度が低減されていることが好ましい。絶縁体 5 4 5 の膜厚は、1 nm 以上 20 nm 以下とするのが好ましい。

[0187]

また、絶縁体 5 4 5 が有する過剰酸素を、効率的に酸化物 5 3 0 へ供給するために、絶縁体 5 4

5と導電体560との間に金属酸化物を設けてもよい。当該金属酸化物は、絶縁体545から導電体560への酸素拡散を抑制することが好ましい。酸素の拡散を抑制する金属酸化物を設けることで、絶縁体545から導電体560への過剰酸素の拡散が抑制される。つまり、酸化物530へ供給する過剰酸素量の減少を抑制することができる。また、過剰酸素による導電体560の酸化を抑制することができる。当該金属酸化物としては、絶縁体544に用いることができる材料を用いればよい。

[0188]

なお、絶縁体545は、第2のゲート絶縁膜と同様に、積層構成としてもよい。トランジスタの微細化、および高集積化が進むと、ゲート絶縁膜の薄膜化により、リーク電流などの問題が生じる場合があるため、ゲート絶縁膜として機能する絶縁体を、high-k材料と、熱的に安定している材料との積層構成とすることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。また、熱的に安定かつ比誘電率の高い積層構成とすることができる。

[0189]

第1のゲート電極として機能する導電体560は、図16Aおよび図16Bでは2層構成として示しているが、単層構成でもよいし、3層以上の積層構成であってもよい。

[0190]

導電体560aは、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子(N_2O 、 NO 、 NO_2 など)、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素(例えば、酸素原子、酸素分子などの少なくとも一)の拡散を抑制する機能を有する導電性材料を用いることが好ましい。導電体560aが酸素の拡散を抑制する機能を持つことにより、絶縁体545に含まれる酸素により、導電体560bが酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、ルテニウム、または酸化ルテニウムなどを用いることが好ましい。また、導電体560aとして、酸化物530に適用できる酸化物半導体を用いることができる。その場合、導電体560bをスパッタリング法で成膜することで、導電体560aの電気抵抗値を低下させて導電体にすることができる。これをOC(Oxide Conductor)電極と呼ぶことができる。

[0191]

また、導電体560bは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体560bは、配線としても機能するため、導電性が高い導電体を用いることが好ましい。例えば、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることができる。また、導電体560bは積層構成としてもよく、例えば、チタン又は窒化チタンと上記導電性材料との積層構成としてもよい。

[0192]

絶縁体580は、絶縁体544を介して、導電体542a、および導電体542b上に設けられる。絶縁体580は、過剰酸素領域を有することが好ましい。例えば、絶縁体580として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素、および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、または樹脂などを有することが好ましい。特に、酸化シリコン、および酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、空孔を有する酸化シリコンは、後の工程で、

容易に過剰酸素領域を形成することができるため好ましい。

[0193]

絶縁体580は、過剰酸素領域を有することが好ましい。加熱により酸素が放出される絶縁体580を設けることで、絶縁体580中の酸素を酸化物530へと効率良く供給することができる。なお、絶縁体580中の水または水素などの不純物濃度が低減されていることが好ましい。

[0194]

絶縁体580の開口は、導電体542aと導電体542bの間の領域に重畳して形成される。これにより、導電体560は、絶縁体580の開口、および導電体542aと導電体542bに挟まれた領域に、埋め込まれるように形成される。

[0195]

半導体装置を微細化するに当たり、ゲート長を短くすることが求められるが、導電体560の導電性が下がらないようにする必要がある。そのために導電体560の膜厚を大きくすると、導電体560はアスペクト比が高い形状となりうる。本実施の形態では、導電体560を絶縁体580の開口に埋め込むように設けるため、導電体560をアスペクト比の高い形状にしても、工程中に導電体560を倒壊させることなく、形成することができる。

[0196]

絶縁体574は、絶縁体580の上面、導電体560の上面、および絶縁体545の上面に接して設けられることが好ましい。絶縁体574をスパッタリング法で成膜することで、絶縁体545、および絶縁体580へ過剰酸素領域を設けることができる。これにより、当該過剰酸素領域から、酸化物530中に酸素を供給することができる。

[0197]

例えば、絶縁体574として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、またはマグネシウムなどから選ばれた一種、または二種以上が含まれた金属酸化物を用いることができる。

[0198]

特に、酸化アルミニウムはバリア性が高く、0.5nm以上3.0nm以下の薄膜であっても、水素、および窒素の拡散を抑制することができる。したがって、スパッタリング法で成膜した酸化アルミニウムは、酸素供給源であるとともに、水素などの不純物のバリア膜としての機能も有することができる。

[0199]

また、絶縁体574の上に、層間膜として機能する絶縁体581を設けることが好ましい。絶縁体581は、絶縁体524などと同様に、膜中の水または水素などの不純物濃度が低減されていることが好ましい。

[0200]

また、絶縁体581、絶縁体574、絶縁体580、および絶縁体544に形成された開口に、導電体540a、および導電体540bを配置する。導電体540aおよび導電体540bは、導電体560を挟んで対向して設ける。導電体540aおよび導電体540bは、後述する導電体546、および導電体548と同様の構成である。

[0201]

絶縁体581上には、絶縁体582が設けられている。絶縁体582は、酸素や水素に対してバ

リア性のある物質を用いることが好ましい。したがって、絶縁体 5 8 2 には、絶縁体 5 1 4 と同様の材料を用いることができる。例えば、絶縁体 5 8 2 には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

[0202]

特に、酸化アルミニウムは、酸素、およびトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中および作製後において、水素、水分などの不純物のトランジスタ 5 0 0 への混入を防止することができる。また、トランジスタ 5 0 0 を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ 5 0 0 に対する保護膜として用いることに適している。

[0203]

また、絶縁体 5 8 2 上には、絶縁体 5 8 6 が設けられている。絶縁体 5 8 6 は、絶縁体 3 2 0 と同様の材料を用いることができる。また、これらの絶縁体に、比較的誘電率が低い材料を適用することで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体 5 8 6 として、酸化シリコン膜や酸化窒化シリコン膜などを用いることができる。

[0204]

また、絶縁体 5 2 0、絶縁体 5 2 2、絶縁体 5 2 4、絶縁体 5 4 4、絶縁体 5 8 0、絶縁体 5 7 4、絶縁体 5 8 1、絶縁体 5 8 2、および絶縁体 5 8 6 には、導電体 5 4 6、および導電体 5 4 8 等が埋め込まれている。

[0205]

導電体 5 4 6、および導電体 5 4 8 は、容量 6 0 0、トランジスタ 5 0 0、またはトランジスタ 5 5 0 と接続するプラグ、または配線としての機能を有する。導電体 5 4 6、および導電体 5 4 8 は、導電体 3 2 8、および導電体 3 3 0 と同様の材料を用いて設けることができる。

[0206]

また、トランジスタ 5 0 0 の形成後、トランジスタ 5 0 0 を囲むように開口を形成し、当該開口を覆うように、水素、または水に対するバリア性が高い絶縁体を形成してもよい。上述のバリア性の高い絶縁体でトランジスタ 5 0 0 を包み込むことで、外部から水分、および水素が侵入するのを防止することができる。または、複数のトランジスタ 5 0 0 をまとめて、水素、または水に対するバリア性が高い絶縁体で包み込んでもよい。なお、トランジスタ 5 0 0 を囲むように開口を形成する場合、例えば、絶縁体 5 2 2 または絶縁体 5 1 4 に達する開口を形成し、絶縁体 5 2 2 または絶縁体 5 1 4 に接するように上述のバリア性の高い絶縁体を形成すると、トランジスタ 5 0 0 の作製工程の一部を兼ねられるため、好適である。なお、水素、または水に対するバリア性が高い絶縁体としては、例えば、絶縁体 5 2 2 または絶縁体 5 1 4 と同様の材料を用いればよい。

[0207]

続いて、トランジスタ 5 0 0 の上方には、容量 6 0 0 が設けられている。容量 6 0 0 は、導電体 6 1 0 と、導電体 6 2 0 と、絶縁体 6 3 0 とを有する。

[0208]

また、導電体 5 4 6、および導電体 5 4 8 上に、導電体 6 1 2 を設けてもよい。導電体 6 1 2 は、トランジスタ 5 0 0 と接続するプラグ、または配線としての機能を有する。導電体 6 1 0 は、容量 6 0 0 の電極としての機能を有する。なお、導電体 6 1 2、および導電体 6 1 0 は、同時に形成す

ることができる。

[0209]

導電体612、および導電体610には、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウムから選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜（窒化タンタル膜、窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等を用いることができる。または、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの導電性材料を適用することもできる。

[0210]

本実施の形態では、導電体612、および導電体610を単層構成で示したが、当該構成に限定されず、2層以上の積層構成でもよい。例えば、バリア性を有する導電体と導電性が高い導電体との間に、バリア性を有する導電体、および導電性が高い導電体に対して密着性が高い導電体を形成してもよい。

[0211]

絶縁体630を介して、導電体610と重畳するように、導電体620を設ける。なお、導電体620は、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、特にタングステンを用いることが好ましい。また、導電体などの他の構成と同時に形成する場合は、低抵抗金属材料であるCu（銅）やAl（アルミニウム）等を用いればよい。

[0212]

導電体620、および絶縁体630上には、絶縁体640が設けられている。絶縁体640は、絶縁体620と同様の材料を用いて設けることができる。また、絶縁体640は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。

[0213]

本構成を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、微細化または高集積化を図ることができる。

[0214]

本発明の一態様の半導体装置に用いることができる基板としては、ガラス基板、石英基板、サファイア基板、セラミック基板、金属基板（例えば、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板、タングステン基板、タングステン・ホイルを有する基板など）、半導体基板（例えば、単結晶半導体基板、多結晶半導体基板、または化合物半導体基板など）SOI（Silicon on Insulator）基板、などを用いることができる。また、本実施の形態の処理温度に耐えうる耐熱性を有するプラスチック基板を用いてもよい。ガラス基板の一例としては、バリウムホウケイ酸ガラス、アルミノシリケートガラス、またはアルミノホウケイ酸ガラス、またはソーダライムガラスなどがある。他にも、結晶化ガラスなどを用いることができる。

[0215]

または、基板として、可撓性基板、貼り合わせフィルム、繊維状の材料を含む紙、または基材フィルムなどを用いることができる。可撓性基板、貼り合わせフィルム、基材フィルムなどの一例と

しては、以下のものがあげられる。例えば、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）、ポリエーテルサルフォン（PES）、ポリテトラフルオロエチレン（PTFE）に代表されるプラスチックがある。または、一例としては、アクリル等の合成樹脂などがある。または、一例としては、ポリプロピレン、ポリエステル、ポリフッ化ビニル、またはポリ塩化ビニルなどがある。または、一例としては、ポリアミド、ポリイミド、アラミド樹脂、エポキシ樹脂、無機蒸着フィルム、または紙類などがある。特に、半導体基板、単結晶基板、またはSOI基板などを用いてトランジスタを製造することによって、特性、サイズ、または形状などのばらつきが少なく、電流能力が高く、サイズの小さいトランジスタを製造することができる。このようなトランジスタによって回路を構成すると、回路の低消費電力化、または回路の高集積化を図ることができる。

[0216]

また、基板として、可撓性基板を用い、可撓性基板上に直接、トランジスタ、抵抗、および／または容量などを形成してもよい。または、基板と、トランジスタ、抵抗、および／または容量などの間に剥離層を設けてもよい。剥離層は、その上に半導体装置を一部あるいは全部完成させた後、基板より分離し、他の基板に転載するために用いることができる。その際、トランジスタ、抵抗、および／または容量などは耐熱性の劣る基板や可撓性の基板にも転載できる。なお、上述の剥離層には、例えば、タングステン膜と酸化シリコン膜との無機膜の積層構成の構成や、基板上にポリイミド等の有機樹脂膜が形成された構成、水素を含むシリコン膜等を用いることができる。

[0217]

つまり、ある基板上に半導体装置を形成し、その後、別の基板に半導体装置を転置してもよい。半導体装置が転置される基板の一例としては、上述したトランジスタを形成することが可能な基板に加え、紙基板、セロファン基板、アラミドフィルム基板、ポリイミドフィルム基板、石材基板、木材基板、布基板（天然繊維（絹、綿、麻）、合成繊維（ナイロン、ポリウレタン、ポリエステル）若しくは再生繊維（アセテート、キュブラ、レーヨン、再生ポリエステル）などを含む）、皮革基板、またはゴム基板などがある。これらの基板を用いることにより、可撓性を有する半導体装置の製造、壊れにくい半導体装置の製造、耐熱性の付与、軽量化、または薄型化を図ることができる。

[0218]

可撓性を有する基板上に半導体装置を設けることで、重量の増加を抑え、且つ破損しにくい半導体装置を提供することができる。

[0219]

<トランジスタの変形例1>

図17A、図17Bに示すトランジスタ500Aは、図16A、図16Bに示す構成のトランジスタ500の変形例である。図17Aはトランジスタ500Aの上面図であり、図17Bはトランジスタ500Aのチャネル長方向の断面図（図17Aにおいて一点鎖線で示すL1-L2部位の断面図）である。なお、図17A、図17Bに示す構成は、トランジスタ550等、本発明の一態様の半導体装置が有する他のトランジスタにも適用することができる。

[0220]

図17A、図17Bに示す構成のトランジスタ500Aは、絶縁体552、絶縁体513および絶縁体404を有する点が、図16A、図16Bに示す構成のトランジスタ500と異なる。また、導電体540aの側面に接して絶縁体552が設けられ、導電体540bの側面に接して絶縁体5

52が設けられる点が、図16A、図16Bに示す構成のトランジスタ500と異なる。さらに、絶縁体520を有さない点が、図16A、図16Bに示す構成のトランジスタ500と異なる。

[0221]

図17A、図17Bに示す構成のトランジスタ500は、絶縁体512上に絶縁体513が設けられる。また、絶縁体574上、および絶縁体513上に絶縁体404が設けられる。

[0222]

図17A、図17Bに示す構成のトランジスタ500では、絶縁体514、絶縁体516、絶縁体522、絶縁体524、絶縁体544、絶縁体580、および絶縁体574がパターンニングされており、絶縁体404がこれらを覆う構成になっている。つまり、絶縁体404は、絶縁体574の上面、絶縁体574の側面、絶縁体580の側面、絶縁体544の側面、絶縁体524の側面、絶縁体522の側面、絶縁体516の側面、絶縁体514の側面、絶縁体513の上面とそれぞれ接する。これにより、酸化物530等は、絶縁体404と絶縁体513によって外部から隔離される。

[0223]

絶縁体513および絶縁体404は、水素（例えば、水素原子、水素分子などの少なくとも一）または水分子の拡散を抑制する機能が高いことが好ましい。例えば、絶縁体513および絶縁体404として、水素バリア性が高い材料である、窒化シリコンまたは窒化酸化シリコンを用いることが好ましい。これにより、酸化物530に水素等が拡散することを抑制することができるので、トランジスタ500Aの特性低下を抑制できる。よって、本発明の一態様の半導体装置の信頼性を高めることができる。

[0224]

絶縁体552は、絶縁体581、絶縁体404、絶縁体574、絶縁体580、および絶縁体544に接して設けられる。絶縁体552は、水素または水分子の拡散を抑制する機能を有することが好ましい。たとえば、絶縁体552として、水素バリア性が高い材料である、窒化シリコン、酸化アルミニウム、または窒化酸化シリコン等の絶縁体を用いることが好ましい。特に、窒化シリコンは水素バリア性が高い材料であるので、絶縁体552として用いると好適である。絶縁体552として水素バリア性が高い材料を用いることにより、水または水素等の不純物が、絶縁体580等から導電体540aおよび導電体540bを通じて酸化物530に拡散することを抑制することができる。また、絶縁体580に含まれる酸素が導電体540aおよび導電体540bに吸収されることを抑制することができる。以上により、本発明の一態様の半導体装置の信頼性を高めることができる。

[0225]

<トランジスタの変形例2>

図18A、図18Bおよび図18Cを用いて、トランジスタ500Bの構成例を説明する。図18Aはトランジスタ500Bの上面図である。図18Bは、図18Aに一点鎖線で示すL1-L2部位の断面図である。図18Cは、図18Aに一点鎖線で示すW1-W2部位の断面図である。なお、図18Aの上面図では、図の明瞭化のために一部の要素の記載を省略している。

[0226]

トランジスタ500Bはトランジスタ500の変形例であり、トランジスタ500に置き換え可能なトランジスタである。よって、説明の繰り返しを防ぐため、主にトランジスタ500Bのトラ

ンジスタ 500 と異なる点について説明する。

[0227]

第1のゲート電極として機能する導電体 560 は、導電体 560 a、および導電体 560 a 上の導電体 560 b を有する。導電体 560 a は、水素原子、水素分子、水分子、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

[0228]

導電体 560 a が酸素の拡散を抑制する機能を持つことにより、導電体 560 b の材料選択性を向上することができる。つまり、導電体 560 a を有することで、導電体 560 b の酸化が抑制され、導電率が低下することを防止することができる。

[0229]

また、導電体 560 の上面および側面と絶縁体 545 の側面を覆うように、絶縁体 544 を設けることが好ましい。なお、絶縁体 544 は、水または水素などの不純物、および酸素の拡散を抑制する機能を有する絶縁性材料を用いるとよい。例えば、酸化アルミニウムまたは酸化ハフニウムなどを用いることが好ましい。また、他にも、例えば、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジムまたは酸化タンタルなどの金属酸化物、窒化酸化シリコンまたは窒化シリコンなどを用いることができる。

[0230]

絶縁体 544 を設けることで、導電体 560 の酸化を抑制することができる。また、絶縁体 544 を有することで、絶縁体 580 が有する水、および水素などの不純物がトランジスタ 500 B へ拡散することを抑制することができる。

[0231]

トランジスタ 500 B は、導電体 542 a の一部と導電体 542 b の一部に導電体 560 が重なるため、トランジスタ 500 よりも寄生容量が大きくなりやすい。よって、トランジスタ 500 に比べて動作周波数が低くなる傾向がある。しかしながら、絶縁体 580 などに開口を設けて導電体 560 や絶縁体 545 などを埋めこむ工程が不要であるため、トランジスタ 500 と比較して生産性が高い。

[0232]

本実施の形態に示す構成、構造、方法などは、他の実施の形態および実施例などに示す構成、構造、方法などと適宜組み合わせる用いることができる。

[0233]

(実施の形態 5)

本実施の形態では、金属酸化物の一種である酸化物半導体について説明する。

[0234]

金属酸化物は、少なくともインジウムまたは亜鉛を含むことが好ましい。特にインジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウム、スズなどが含まれていることが好ましい。また、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウム、コバルトなどから選ばれた一種、または複数種が含まれていてもよい。

[0235]

<結晶構造の分類>

まず、酸化物半導体における、結晶構造の分類について、図19Aを用いて説明を行う。図19Aは、酸化物半導体、代表的にはIGZO（Inと、Gaと、Znと、を含む金属酸化物）の結晶構造の分類を説明する図である。

[0236]

図19Aに示すように、酸化物半導体は、大きく分けて「Amorphous（無定形）」と、「Crystalline（結晶性）」と、「Crystal（結晶）」と、に分類される。また、「Amorphous」の中には、completely amorphousが含まれる。また、「Crystalline」の中には、CAAC（c-axis-aligned crystalline）、nc（nanocrystalline）、及びCAC（cloud-aligned composite）が含まれる。なお、「Crystalline」の分類には、single crystal、poly crystal、及びcompletely amorphousは除かれる。また、「Crystal」の中には、single crystal、及びpoly crystalが含まれる。

[0237]

なお、図19Aに示す太枠内の構造は、「Amorphous（無定形）」と、「Crystal（結晶）」との間の中間状態であり、新しい境界領域（New crystalline phase）に属する構造である。すなわち、当該構造は、エネルギー的に不安定な「Amorphous（無定形）」や、「Crystal（結晶）」とは全く異なる構造と言い換えることができる。

[0238]

なお、膜または基板の結晶構造は、X線回折（XRD：X-Ray Diffraction）スペクトルを用いて評価することができる。ここで、「Crystalline」に分類されるCAAC-IGZO膜のGIXD（Grazing-Incidence XRD）測定で得られるXRDスペクトルを図19Bに示す。なお、GIXD法は、薄膜法またはSeemann-Bohlin法ともいう。以降、図19Bに示すGIXD測定で得られるXRDスペクトルを、単にXRDスペクトルと記す。なお、図19Bに示すCAAC-IGZO膜の組成は、In：Ga：Zn＝4：2：3〔原子数比〕近傍である。また、図19Bに示すCAAC-IGZO膜の厚さは、500nmである。

[0239]

図19Bに示すように、CAAC-IGZO膜のXRDスペクトルでは、明確な結晶性を示すピークが検出される。具体的には、CAAC-IGZO膜のXRDスペクトルでは、 $2\theta = 31^\circ$ 近傍に、c軸配向を示すピークが検出される。なお、図19Bに示すように、 $2\theta = 31^\circ$ 近傍のピークは、ピーク強度が検出された角度を軸に左右非対称である。

[0240]

また、膜または基板の結晶構造は、極微電子線回折法（NBED：Nano Beam Electron Diffraction）によって観察される回折パターン（極微電子線回折パターンともいう。）にて評価することができる。CAAC-IGZO膜の回折パターンを、図19Cに示す。図19Cは、電子線を基板に対して平行に入射するNBEDによって観察される回折パターンである。なお、図19Cに示すCAAC-IGZO膜の組成は、In：Ga：Zn＝4：2：3

[原子数比] 近傍である。また、極微電子線回折法では、プローブ径を1 nmとして電子線回折が行われる。

[0241]

図19Cに示すように、CAAC-IGZO膜の回折パターンでは、c軸配向を示す複数のスポットが観察される。

[0242]

<<酸化物半導体の構造>>

なお、酸化物半導体は、結晶構造に着目した場合、図19Aとは異なる分類となる場合がある。例えば、酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、上述のCAAC-OS、及びnc-OSがある。また、非単結晶酸化物半導体には、多結晶酸化物半導体、擬似非晶質酸化物半導体(a-like OS: amorphous-like oxide semiconductor)、非晶質酸化物半導体、などが含まれる。

[0243]

ここで、上述のCAAC-OS、nc-OS、及びa-like OSの詳細について、説明を行う。

[0244]

[CAAC-OS]

CAAC-OSは、複数の結晶領域を有し、当該複数の結晶領域はc軸が特定の方向に配向している酸化物半導体である。なお、特定の方向とは、CAAC-OS膜の厚さ方向、CAAC-OS膜の被形成面の法線方向、またはCAAC-OS膜の表面の法線方向である。また、結晶領域とは、原子配列に周期性を有する領域である。なお、原子配列を格子配列とみなすと、結晶領域とは、格子配列の揃った領域でもある。さらに、CAAC-OSは、a-b面方向において複数の結晶領域が連結する領域を有し、当該領域は歪みを有する場合がある。なお、歪みとは、複数の結晶領域が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を指す。つまり、CAAC-OSは、c軸配向し、a-b面方向には明らかな配向をしていない酸化物半導体である。

[0245]

なお、上記複数の結晶領域のそれぞれは、1つまたは複数の微小な結晶(最大径が10 nm未満である結晶)で構成される。結晶領域が1つの微小な結晶で構成されている場合、当該結晶領域の最大径は10 nm未満となる。また、結晶領域が多数の微小な結晶で構成されている場合、当該結晶領域の大きさは、数十nm程度となる場合がある。

[0246]

また、In-M-Zn酸化物(元素Mは、アルミニウム、ガリウム、イットリウム、スズ、チタンなどから選ばれた一種、または複数種)において、CAAC-OSは、インジウム(In)、及び酸素を有する層(以下、In層)と、元素M、亜鉛(Zn)、及び酸素を有する層(以下、(M, Zn)層)とが積層した、層状の結晶構造(層状構造ともいう)を有する傾向がある。なお、インジウムと元素Mは、互いに置換可能である。よって、(M, Zn)層にはインジウムが含まれる場合がある。また、In層には元素Mが含まれる場合がある。なお、In層にはZnが含まれる場合もある。当該層状構造は、例えば、高分解能TEM像において、格子像として観察される。

[0247]

CAAC-OS膜に対し、例えば、XRD装置を用いて構造解析を行うと、 $\theta/2\theta$ スキャンを用いたOut-of-plane XRD測定では、c軸配向を示すピークが $2\theta = 31^\circ$ またはその近傍に検出される。なお、c軸配向を示すピークの位置（ 2θ の値）は、CAAC-OSを構成する金属元素の種類、組成などにより変動する場合がある。

[0248]

また、例えば、CAAC-OS膜の電子線回折パターンにおいて、複数の輝点（スポット）が観測される。なお、あるスポットと別のスポットとは、試料を透過した入射電子線のスポット（ダイレクトスポットともいう。）を対称中心として、点対称の位置に観測される。

[0249]

上記特定の方向から結晶領域を観察した場合、当該結晶領域内の格子配列は、六方格子を基本とするが、単位格子は正六角形とは限らず、非正六角形である場合がある。また、上記歪みにおいて、五角形、七角形などの格子配列を有する場合がある。なお、CAAC-OSにおいて、歪み近傍においても、明確な結晶粒界（グレインバウンダリー）を確認することはできない。即ち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、CAAC-OSが、a-b面方向において酸素原子の配列が稠密でないことや、金属原子が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためと考えられる。

[0250]

なお、明確な結晶粒界が確認される結晶構造は、いわゆる多結晶（polycrystal）と呼ばれる。結晶粒界は、再結合中心となり、キャリアが捕獲されトランジスタのオン電流の低下、電界効果移動度の低下などを引き起こす可能性が高い。よって、明確な結晶粒界が確認されないCAAC-OSは、トランジスタの半導体層に好適な結晶構造を有する結晶性の酸化物の一つである。なお、CAAC-OSを構成するには、Znを有する構成が好ましい。例えば、In-Zn酸化物、及びIn-Ga-Zn酸化物は、In酸化物よりも結晶粒界の発生を抑制できるため好適である。

[0251]

CAAC-OSは、結晶性が高く、明確な結晶粒界が確認されない酸化物半導体である。よって、CAAC-OSは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、酸化物半導体の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、CAAC-OSは不純物や欠陥（酸素欠損など）の少ない酸化物半導体ともいえる。従って、CAAC-OSを有する酸化物半導体は、物理的性質が安定する。そのため、CAAC-OSを有する酸化物半導体は熱に強く、信頼性が高い。また、CAAC-OSは、製造工程における高い温度（所謂サーマルバジェット）に対しても安定である。したがって、OSトランジスタにCAAC-OSを用いると、製造工程の自由度を広げることが可能となる。

[0252]

[nc-OS]

nc-OSは、微小な領域（例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域）において原子配列に周期性を有する。別言すると、nc-OSは、微小な結晶を有する。なお、当該微小な結晶の大きさは、例えば、1nm以上10nm以下、特に1nm以上3nm以下であることから、当該微小な結晶をナノ結晶ともいう。また、nc-OSは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-O

Sは、分析方法によっては、a-l i k e OSや非晶質酸化物半導体と区別が付かない場合がある。例えば、n c-O S膜に対し、XRD装置を用いて構造解析を行うと、 $\theta/2\theta$ スキャンを用いたO u t-o f-p l a n e XRD測定では、結晶性を示すピークが検出されない。また、n c-O S膜に対し、ナノ結晶よりも大きいプローブ径（例えば50nm以上）の電子線を用いる電子線回折（制限視野電子線回折ともいう。）を行うと、ハローパターンのような回折パターンが観測される。一方、n c-O S膜に対し、ナノ結晶の大きさと近いナノ結晶より小さいプローブ径（例えば1nm以上30nm以下）の電子線を用いる電子線回折（ナノビーム電子線回折ともいう。）を行うと、ダイレクトスポットを中心とするリング状の領域内に複数のスポットが観測される電子線回折パターンが取得される場合がある。

[0253]

[a-l i k e OS]

a-l i k e OSは、n c-O Sと非晶質酸化物半導体との間の構造を有する酸化物半導体である。a-l i k e OSは、鬆又は低密度領域を有する。即ち、a-l i k e OSは、n c-O S及びC A A C-O Sと比べて、結晶性が低い。また、a-l i k e OSは、n c-O S及びC A A C-O Sと比べて、膜中の水素濃度が高い。

[0254]

<<酸化物半導体の構成>>

次に、上述のC A C-O Sの詳細について、説明を行う。なお、C A C-O Sは材料構成に関する。

[0255]

[C A C-O S]

C A C-O Sとは、例えば、金属酸化物を構成する元素が、0.5nm以上10nm以下、好ましくは、1nm以上3nm以下、またはその近傍のサイズで偏在した材料の一構成である。なお、以下では、金属酸化物において、一つまたは複数の金属元素が偏在し、該金属元素を有する領域が、0.5nm以上10nm以下、好ましくは、1nm以上3nm以下、またはその近傍のサイズで混合した状態をモザイク状、またはパッチ状ともいう。

[0256]

さらに、C A C-O Sとは、第1の領域と、第2の領域と、に材料が分離することでモザイク状となり、当該第1の領域が、膜中に分布した構成（以下、クラウド状ともいう。）である。つまり、C A C-O Sは、当該第1の領域と、当該第2の領域とが、混合している構成を有する複合金属酸化物である。

[0257]

ここで、I n-G a-Z n酸化物におけるC A C-O Sを構成する金属元素に対するI n、G a、およびZ nの原子数比のそれぞれを、[I n]、[G a]、および[Z n]と表記する。例えば、I n-G a-Z n酸化物におけるC A C-O Sにおいて、第1の領域は、[I n]が、C A C-O S膜の組成における[I n]よりも大きい領域である。また、第2の領域は、[G a]が、C A C-O S膜の組成における[G a]よりも大きい領域である。または、例えば、第1の領域は、[I n]が、第2の領域における[I n]よりも大きく、且つ、[G a]が、第2の領域における[G a]よりも小さい領域である。また、第2の領域は、[G a]が、第1の領域における[G a]よりも大きく、且つ、[I n]が、第1の領域における[I n]よりも小さい領域である。

[0258]

具体的には、上記第1の領域は、インジウム酸化物、インジウム亜鉛酸化物などが主成分である領域である。また、上記第2の領域は、ガリウム酸化物、ガリウム亜鉛酸化物などが主成分である領域である。つまり、上記第1の領域を、Inを主成分とする領域と言い換えることができる。また、上記第2の領域を、Gaを主成分とする領域と言い換えることができる。

[0259]

なお、上記第1の領域と、上記第2の領域とは、明確な境界が観察できない場合がある。

[0260]

例えば、In-Ga-Zn酸化物におけるCAC-OSでは、エネルギー分散型X線分光法（EDX: Energy Dispersive X-ray spectroscopy）を用いて取得したEDXマッピングにより、Inを主成分とする領域（第1の領域）と、Gaを主成分とする領域（第2の領域）とが、偏在し、混合している構造を有することが確認できる。

[0261]

CAC-OSをトランジスタに用いる場合、第1の領域に起因する導電性と、第2の領域に起因する絶縁性とが、相補的に作用することにより、スイッチングさせる機能（On/Offさせる機能）をCAC-OSに付与することができる。つまり、CAC-OSとは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。導電性の機能と絶縁性の機能とを分離させることで、双方の機能を最大限に高めることができる。よって、CAC-OSをトランジスタに用いることで、高いオン電流（ I_{on} ）、高い電界効果移動度（ μ ）、および良好なスイッチング動作を実現することができる。

[0262]

酸化物半導体は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、a-like OS、CAC-OS、nc-OS、CAAC-OSのうち、二種以上を有していてもよい。

[0263]

<酸化物半導体を有するトランジスタ>

続いて、上記酸化物半導体をトランジスタに用いる場合について説明する。

[0264]

上記酸化物半導体をトランジスタに用いることで、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

[0265]

トランジスタには、キャリア濃度の低い酸化物半導体を用いることが好ましい。例えば、酸化物半導体のキャリア濃度は $1 \times 10^{17} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{15} \text{ cm}^{-3}$ 以下、さらに好ましくは $1 \times 10^{13} \text{ cm}^{-3}$ 以下、より好ましくは $1 \times 10^{11} \text{ cm}^{-3}$ 以下、さらに好ましくは $1 \times 10^{10} \text{ cm}^{-3}$ 未満であり、 $1 \times 10^{-9} \text{ cm}^{-3}$ 以上である。なお、酸化物半導体膜のキャリア濃度を低くする場合においては、酸化物半導体膜中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性又は実質的に高純度真性と言う。なお、キャリア濃度の低い酸化物半導体を、高純度真性又は実質的に高純度真性な酸化物半導体と呼ぶ場合がある。

[0266]

また、高純度真性又は実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

[0267]

また、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャネル形成領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

[0268]

従って、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

[0269]

<不純物>

ここで、酸化物半導体中における各不純物の影響について説明する。

[0270]

酸化物半導体において、第14族元素の一つであるシリコンや炭素が含まれると、酸化物半導体において欠陥準位が形成される。このため、酸化物半導体におけるシリコンや炭素の濃度と、酸化物半導体との界面近傍のシリコンや炭素の濃度（二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）により得られる濃度）を、 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

[0271]

また、酸化物半導体にアルカリ金属又はアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。従って、アルカリ金属又はアルカリ土類金属が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、SIMSにより得られる酸化物半導体中のアルカリ金属又はアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。

[0272]

また、酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア濃度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体を半導体を用いたトランジスタはノーマリーオン特性となりやすい。または、酸化物半導体において、窒素が含まれると、トラップ準位が形成される場合がある。この結果、トランジスタの電気特性が不安定となる場合がある。このため、SIMSにより得られる酸化物半導体中の窒素濃度を、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下にする。

[0273]

また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体中の水素はできる限り低減されていることが好ましい。

具体的には、酸化物半導体において、SIMSにより得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満にする。

[0274]

不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

[0275]

本実施の形態に示す構成、構造、方法などは、他の実施の形態および実施例などに示す構成、構造、方法などと適宜組み合わせ用いることができる。

[0276]

(実施の形態6)

本実施の形態では上述した半導体装置の応用例について説明する。

[0277]

[半導体ウエハ、チップ]

図20Aは、ダイシング処理が行なわれる前の基板711の上面図を示している。基板711としては、例えば、半導体基板（「半導体ウエハ」ともいう。）を用いることができる。基板711上には、複数の回路領域712が設けられている。回路領域712には、本発明の一態様に係る半導体装置や、CPU、RFタグ、またはイメージセンサなどを設けることができる。

[0278]

複数の回路領域712は、それぞれが分離領域713に囲まれている。分離領域713と重なる位置に分離線（「ダイシングライン」ともいう。）714が設定される。分離線714に沿って基板711を切断することで、回路領域712を含むチップ715を基板711から切り出すことができる。図20Bにチップ715の拡大図を示す。

[0279]

また、分離領域713に導電層や半導体層を設けてもよい。分離領域713に導電層や半導体層を設けることで、ダイシング工程時に生じうるESDを緩和し、ダイシング工程の歩留まり低下を防ぐことができる。また、一般にダイシング工程は、基板の冷却、削りくずの除去、帯電防止などを目的として、炭酸ガスなどを溶解させて比抵抗を下げた純水を切削部に流しながら行なわれる。分離領域713に導電層や半導体層を設けることで、当該純水の使用量を削減することができる。よって、半導体装置の生産コストを低減することができる。また、半導体装置の生産性を高めることができる。

[0280]

分離領域713に設ける半導体層としては、バンドギャップが 2.5 eV 以上 4.2 eV 以下、好ましくは 2.7 eV 以上 3.5 eV 以下の材料を用いることが好ましい。このような材料を用いると、蓄積された電荷をゆっくりと放電することができるため、ESDによる電荷の急激な移動が抑えられ、静電破壊を生じにくくすることができる。

[0281]

[電子部品]

チップ715を電子部品に適用する例について、図21を用いて説明する。なお、電子部品は、半導体パッケージ、またはIC用パッケージともいう。電子部品は、端子取り出し方向や、端子の

形状に応じて、複数の規格や名称が存在する。

[0282]

電子部品は、組み立て工程（後工程）において、上記実施の形態に示した半導体装置と該半導体装置以外の部品が組み合わされて完成する。

[0283]

図21Aに示すフローチャートを用いて、後工程について説明する。前工程において上記実施の形態に示した半導体装置を有する素子基板が完成した後、該素子基板の裏面（半導体装置などが形成されていない面）を研削する「裏面研削工程」を行なう（ステップS721）。研削により素子基板を薄くすることで、素子基板の反りなどを低減し、電子部品の小型化を図ることができる。

[0284]

次に、素子基板を複数のチップ（チップ715）に分離する「ダイシング工程」を行う（ステップS722）。そして、分離したチップを個々ピックアップしてリードフレーム上に接合する「ダイボンディング工程」を行う（ステップS723）。ダイボンディング工程におけるチップとリードフレームとの接合は、樹脂による接合や、テープによる接合など、適宜製品に応じて適した方法を選択する。なお、リードフレームに代えてインターポーザ基板上にチップを接合してもよい。

[0285]

次いで、リードフレームのリードとチップ上の電極とを、金属の細線（ワイヤー）で電気的に接続する「ワイヤーボンディング工程」を行う（ステップS724）。金属の細線には、銀線や金線を用いることができる。また、ワイヤーボンディングは、ボールボンディングや、ウェッジボンディングを用いることができる。

[0286]

ワイヤーボンディングされたチップは、エポキシ樹脂などで封止される「封止工程（モールド工程）」が施される（ステップS725）。封止工程を行うことで電子部品の内部が樹脂で充填され、チップに内蔵される回路部やチップとリードを接続するワイヤーを機械的な外力から保護することができ、また水分や埃による特性の劣化（信頼性の低下）を低減することができる。

[0287]

次いで、リードフレームのリードをめっき処理する「リードめっき工程」を行なう（ステップS726）。めっき処理によりリードの錆を防止し、後にプリント基板に実装する際のはんだ付けをより確実に行うことができる。次いで、リードを切断および成形加工する「成形工程」を行なう（ステップS727）。

[0288]

次いで、パッケージの表面に印字処理（マーキング）を施す「マーキング工程」を行なう（ステップS728）。そして外観形状の良否や動作不良の有無などを調べる「検査工程」（ステップS729）を経て、電子部品が完成する（ステップS729）。

[0289]

また、完成した電子部品の斜視模式図を図21Bに示す。図21Bでは、電子部品の一例として、QFP（Quad Flat Package）の斜視模式図を示している。図21Bに示す電子部品750は、リード755および半導体装置753を示している。半導体装置753としては、上記実施の形態に示した半導体装置などを用いることができる。

[0290]

図 2 1 B に示す電子部品 7 5 0 は、例えばプリント基板 7 5 2 に実装される。このような電子部品 7 5 0 が複数組み合わされて、それぞれがプリント基板 7 5 2 上で電氣的に接続されることで電子部品が実装された基板（実装基板 7 5 4）が完成する。完成した実装基板 7 5 4 は、電子機器などに用いられる。

[0 2 9 1]

〔電子機器〕

次に、本発明の一態様に係る半導体装置または上記電子部品を備えた電子機器の例について図 2 2 を用いて説明を行う。

[0 2 9 2]

本発明の一態様に係る半導体装置または電子部品を用いた電子機器として、テレビ、モニタ等の表示装置、照明装置、デスクトップ型或いはノート型のパーソナルコンピュータ、ワードプロセッサ、DVD (Digital Versatile Disc) などの記録媒体に記憶された静止画又は動画を再生する画像再生装置、ポータブルCDプレーヤ、ラジオ、テープレコーダ、ヘッドホンステレオ、ステレオ、置き時計、壁掛け時計、コードレス電話子機、トランシーバ、携帯電話、自動車電話、携帯型ゲーム機、タブレット型端末、パチンコ機などの大型ゲーム機、電卓、携帯可能な情報端末（「携帯情報端末」ともいう。）、電子手帳、電子書籍端末、電子翻訳機、音声入力機器、ビデオカメラ、デジタルスチルカメラ、電気シェーバ、電子レンジ等の高周波加熱装置、電気炊飯器、電気洗濯機、電気掃除機、温水器、扇風機、毛髪乾燥機、エアコンディショナー、加湿器、除湿器などの空調設備、食器洗い器、食器乾燥器、衣類乾燥器、布団乾燥器、電気冷蔵庫、電気冷凍庫、電気冷凍冷蔵庫、DNA保存用冷凍庫、懐中電灯、チェーンソーなどの工具、煙感知器、透析装置などの医療機器などが挙げられる。さらに、誘導灯、信号機、ベルトコンベア、エレベータ、エスカレータ、産業用ロボット、電力貯蔵システム、電力の平準化やスマートグリッドのための蓄電装置などの産業機器が挙げられる。

[0 2 9 3]

また、蓄電装置からの電力を用いて電動機により推進する移動体なども、電子機器の範疇に含まれるものとする。上記移動体として、例えば、電気自動車（EV）、内燃機関と電動機を併せ持ったハイブリッド車（HEV）、プラグインハイブリッド車（PHEV）、これらのタイヤ車輪を無限軌道に変えた装軌車両、電動アシスト自転車を含む原動機付自転車、自動二輪車、電動車椅子、ゴルフ用カート、小型又は大型船舶、潜水艦、ヘリコプター、航空機、ロケット、人工衛星、宇宙探査機や惑星探査機、宇宙船などが挙げられる。

[0 2 9 4]

本発明の一態様に係る半導体装置または電子部品は、これらの電子機器に内蔵される通信装置などに用いることができる。

[0 2 9 5]

電子機器は、センサ（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、においまたは赤外線を測定する機能を含むもの）などを有していてもよい。

[0 2 9 6]

電子機器は、様々な機能を有することができる。例えば、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能、タッチパネル機能、カレンダー、日付または時刻などを表示

する機能、様々なソフトウェア（プログラム）を実行する機能、無線通信機能、記録媒体に記録されているプログラムまたはデータを読み出す機能等を有することができる。

[0297]

図22および図23A乃至図23Fに、電子機器の一例を示す。図22において、表示装置8000は、本発明の一態様に係る半導体装置8004を用いた電子機器の一例である。具体的に、表示装置8000は、TV放送受信用の表示装置に相当し、筐体8001、表示部8002、スピーカ部8003、半導体装置8004、蓄電装置8005などを有する。本発明の一態様に係る半導体装置8004は、筐体8001の内部に設けられている。半導体装置8004により、制御情報や、制御プログラムなどを保持することができる。また、半導体装置8004は通信機能を有し、表示装置8000をIoT機器として機能させることができる。また、表示装置8000は、商用電源から電力の供給を受けることもできるし、蓄電装置8005に蓄積された電力を用いることもできる。

[0298]

表示部8002には、液晶表示装置、有機EL素子などの発光素子を各画素に備えた発光表示装置、電気泳動表示装置、DMD (Digital Micromirror Device)、PDP (Plasma Display Panel)、FED (Field Emission Display) などの表示装置を用いることができる。

[0299]

なお、表示装置には、TV放送受信用の他、パーソナルコンピュータ用、広告表示用など、全ての情報表示用表示装置が含まれる。

[0300]

図22において、据え付け型の照明装置8100は、本発明の一態様に係る半導体装置8103を用いた電子機器の一例である。具体的に、照明装置8100は、筐体8101、光源8102、半導体装置8103、蓄電装置8105などを有する。図22では、半導体装置8103が、筐体8101及び光源8102が据え付けられた天井8104の内部に設けられている場合を例示しているが、半導体装置8103は、筐体8101の内部に設けられていても良い。半導体装置8103により、光源8102の発光輝度などの情報や、制御プログラムなどを保持することができる。また、半導体装置8103は通信機能を有し、照明装置8100を、IoT機器として機能させることができる。また、照明装置8100は、商用電源から電力の供給を受けることもできるし、蓄電装置に蓄積された電力を用いることもできる。

[0301]

なお、図22では天井8104に設けられた据え付け型の照明装置8100を例示しているが、本発明の一態様に係る半導体装置は、天井8104以外、例えば側壁8405、床8406、窓8407などに設けられた据え付け型の照明装置に用いることもできるし、卓上型の照明装置などに用いることもできる。

[0302]

また、光源8102には、電力を利用して人工的に光を得る人工光源を用いることができる。具体的には、白熱電球、蛍光灯などの放電ランプ、LEDや有機EL素子などの発光素子が、上記人工光源の一例として挙げられる。

[0303]

図 22 において、室内機 8200 及び室外機 8204 を有するエアコンディショナーは、本発明の一態様に係る半導体装置 8203 を用いた電子機器の一例である。具体的に、室内機 8200 は、筐体 8201、送風口 8202、半導体装置 8203、蓄電装置 8205 などを有する。図 22 では、半導体装置 8203 が、室内機 8200 に設けられている場合を例示しているが、半導体装置 8203 は室外機 8204 に設けられていても良い。或いは、室内機 8200 と室外機 8204 の両方に、半導体装置 8203 が設けられていても良い。半導体装置 8203 により、エアコンディショナーの制御情報や、制御プログラムなどを保持することができる。また、半導体装置 8203 は通信機能を有し、エアコンディショナーを、IoT 機器として機能させることができる。また、エアコンディショナーは、商用電源から電力の供給を受けることもできるし、蓄電装置 8205 に蓄積された電力を用いることもできる。

[0304]

なお、図 22 では、室内機と室外機で構成されるセパレート型のエアコンディショナーを例示しているが、室内機の機能と室外機の機能とを 1 つの筐体に有する一体型のエアコンディショナーに、本発明の一態様に係る半導体装置を用いることもできる。

[0305]

図 22 において、電気冷凍冷蔵庫 8300 は、本発明の一態様に係る半導体装置 8304 を用いた電子機器の一例である。具体的に、電気冷凍冷蔵庫 8300 は、筐体 8301、冷蔵室用扉 8302、冷凍室用扉 8303、半導体装置 8304、蓄電装置 8305 などを有する。図 22 では、蓄電装置 8305 が、筐体 8301 の内部に設けられている。半導体装置 8304 により、電気冷凍冷蔵庫 8300 の制御情報や、制御プログラムなどを保持することができる。また、半導体装置 8304 は通信機能を有し、電気冷凍冷蔵庫 8300 を、IoT 機器として機能させることができる。また、電気冷凍冷蔵庫 8300 は、商用電源から電力の供給を受けることもできるし、蓄電装置 8305 に蓄積された電力を用いることもできる。

[0306]

図 23A に、腕時計型の携帯情報端末の一例を示す。携帯情報端末 6100 は、筐体 6101、表示部 6102、バンド 6103、操作ボタン 6105 などを備える。また、携帯情報端末 6100 は、その内部に二次電池と、本発明の一態様に係る半導体装置または電子部品を備える。本発明の一態様に係る半導体装置または電子部品を携帯情報端末 6100 に用いることで、携帯情報端末 6100 を、IoT 機器として機能させることができる。

[0307]

図 23B は、携帯電話機の一例を示している。携帯情報端末 6200 は、筐体 6201 に組み込まれた表示部 6202 の他、操作ボタン 6203、スピーカ 6204、マイクロフォン 6205 などを備えている。

[0308]

また、携帯情報端末 6200 は、表示部 6202 と重なる領域に指紋センサ 6209 を備える。指紋センサ 6209 は有機光センサであってもよい。指紋は個人によって異なるため、指紋センサ 6209 で指紋パターンを取得して、個人認証を行うことができる。指紋センサ 6209 で指紋パターンを取得するための光源として、表示部 6202 から発せられた光を用いることができる。

[0309]

また、携帯情報端末 6200 は、その内部に二次電池と、本発明の一態様に係る半導体装置また

は電子部品を備える。本発明の一態様に係る半導体装置または電子部品を携帯情報端末 6 2 0 0 に用いることで、携帯情報端末 6 2 0 0 を、I o T 機器として機能させることができる。

[0 3 1 0]

図 2 3 C は、掃除ロボットの一例を示している。掃除ロボット 6 3 0 0 は、筐体 6 3 0 1 上面に配置された表示部 6 3 0 2、側面に配置された複数のカメラ 6 3 0 3、ブラシ 6 3 0 4、操作ボタン 6 3 0 5、各種センサなどを有する。図示されていないが、掃除ロボット 6 3 0 0 には、タイヤ、吸い込み口等が備えられている。掃除ロボット 6 3 0 0 は自走し、ゴミ 6 3 1 0 を検知し、下面に設けられた吸い込み口からゴミを吸引することができる。

[0 3 1 1]

例えば、掃除ロボット 6 3 0 0 は、カメラ 6 3 0 3 が撮影した画像を解析し、壁、家具または段差などの障害物の有無を判断することができる。また、画像解析により、配線などブラシ 6 3 0 4 に絡まりそうな物体を検知した場合は、ブラシ 6 3 0 4 の回転を止めることができる。掃除ロボット 6 3 0 0 は、その内部に二次電池と、本発明の一態様に係る半導体装置または電子部品を備える。本発明の一態様に係る半導体装置または電子部品を掃除ロボット 6 3 0 0 に用いることで、掃除ロボット 6 3 0 0 を、I o T 機器として機能させることができる。

[0 3 1 2]

図 2 3 D は、ロボットの一例を示している。図 2 3 D に示すロボット 6 4 0 0 は、演算装置 6 4 0 9、照度センサ 6 4 0 1、マイクロフォン 6 4 0 2、上部カメラ 6 4 0 3、スピーカ 6 4 0 4、表示部 6 4 0 5、下部カメラ 6 4 0 6 および障害物センサ 6 4 0 7、移動機構 6 4 0 8 を備える。

[0 3 1 3]

マイクロフォン 6 4 0 2 は、使用者の話し声及び環境音等を検知する機能を有する。また、スピーカ 6 4 0 4 は、音声を発する機能を有する。ロボット 6 4 0 0 は、マイクロフォン 6 4 0 2 およびスピーカ 6 4 0 4 を用いて、使用者とコミュニケーションをとることが可能である。

[0 3 1 4]

表示部 6 4 0 5 は、種々の情報の表示を行う機能を有する。ロボット 6 4 0 0 は、使用者の望みの情報を表示部 6 4 0 5 に表示することが可能である。表示部 6 4 0 5 は、タッチパネルを搭載していてもよい。また、表示部 6 4 0 5 は取り外しのできる情報端末であっても良く、ロボット 6 4 0 0 の定位置に設置することで、充電およびデータの受け渡しを可能とする。

[0 3 1 5]

上部カメラ 6 4 0 3 および下部カメラ 6 4 0 6 は、ロボット 6 4 0 0 の周囲を撮像する機能を有する。また、障害物センサ 6 4 0 7 は、移動機構 6 4 0 8 を用いてロボット 6 4 0 0 が前進する際の進行方向における障害物の有無を察知することができる。ロボット 6 4 0 0 は、上部カメラ 6 4 0 3、下部カメラ 6 4 0 6 および障害物センサ 6 4 0 7 を用いて、周囲の環境を認識し、安全に移動することが可能である。本発明の一態様の発光装置は表示部 6 4 0 5 に用いることができる。

[0 3 1 6]

ロボット 6 4 0 0 は、その内部に二次電池と、本発明の一態様に係る半導体装置または電子部品を備える。本発明の一態様に係る半導体装置または電子部品をロボット 6 4 0 0 に用いることで、ロボット 6 4 0 0 を、I o T 機器として機能させることができる。

[0 3 1 7]

図 2 3 E は、飛行体の一例を示している。図 2 3 E に示す飛行体 6 5 0 0 は、プロペラ 6 5 0 1、

カメラ 6 5 0 2、およびバッテリー 6 5 0 3などを有し、自律して飛行する機能を有する。

[0 3 1 8]

例えば、カメラ 6 5 0 2で撮影した画像データは、電子部品 6 5 0 4に記憶される。電子部品 6 5 0 4は、画像データを解析し、移動する際の障害物の有無などを察知することができる。また、電子部品 6 5 0 4によってバッテリー 6 5 0 3の蓄電容量の変化から、バッテリー残量を推定することができる。飛行体 6 5 0 0は、その内部に本発明の一態様に係る半導体装置または電子部品を備える。本発明の一態様に係る半導体装置または電子部品を飛行体 6 5 0 0に用いることで、飛行体 6 5 0 0を、I o T機器として機能させることができる。

[0 3 1 9]

図 2 3 Fは、自動車の一例を示している。自動車 7 1 6 0は、エンジン、タイヤ、ブレーキ、操舵装置、カメラなどを有する。自動車 7 1 6 0は、その内部に本発明の一態様に係る半導体装置または電子部品を備える。本発明の一態様に係る半導体装置または電子部品を自動車 7 1 6 0に用いることで、自動車 7 1 6 0を、I o T機器として機能させることができる。

[0 3 2 0]

本実施例に示す構成、構造、方法などは、他の実施の形態、および実施例に示す構成、構造、方法などと適宜組み合わせて用いることができる。

[0 3 2 1]

(実施の形態 7)

本明細書などに示したOSトランジスタを用いて、ノーマリーオフCPU（「N o f f－CPU」ともいう。）を実現することができる。なお、N o f f－CPUとは、ゲート電圧が0Vであっても非導通状態（オフ状態ともいう）であるノーマリーオフ型のトランジスタを含む集積回路である。

[0 3 2 2]

N o f f－CPUは、N o f f－CPU内の動作不要な回路への電力供給を停止し、当該回路を待機状態にすることができる。電力供給が停止され、待機状態になった回路では電力が消費されない。よって、N o f f－CPUは、電力使用量を最小限にすることができる。また、N o f f－CPUは、電力供給が停止されても設定条件などの動作に必要な情報を長期間保持することができる。待機状態からの復帰は当該回路への電力供給を再開するだけでよく、設定条件などの再書き込みが不要である。すなわち、待機状態からの高速復帰が可能である。このように、N o f f－CPUは、動作速度を大きく落とすことなく消費電力を低減できる。

[0 3 2 3]

N o f f－CPUは、例えば、I o T（I n t e r n e t o f T h i n g s）分野のI o T末端機器（「エンドポイントマイコン」ともいう。）8 0 3などの小規模システムに好適に用いることができる。

[0 3 2 4]

図 2 4にI o Tネットワークの階層構造と要求仕様の傾向を示す。図 2 4では、要求仕様として消費電力8 0 4と処理性能8 0 5を示している。I o Tネットワークの階層構造は、上層部であるクラウド分野8 0 1と下層部である組み込み分野8 0 2に大別される。クラウド分野8 0 1には例えばサーバーが含まれる。組み込み分野8 0 2には例えば機械、産業用ロボット、車載機器、家電などが含まれる。

[0 3 2 5]

上層ほど、消費電力の少なさよりも高い処理性能が求められる。よって、クラウド分野 801 では高性能 CPU、高性能 GPU、大規模 SoC (System on a Chip) などが用いられる。また、下層ほど処理性能よりも消費電力の少なさが求められ、デバイス個数も爆発的に多くなる。本発明の一態様に係る半導体装置は、低消費電力が求められる IoT 末端機器の通信装置に好適に用いることができる。

[0326]

なお、「エンドポイント」とは、組み込み分野 802 の末端領域を示す。エンドポイントに用いられるデバイスとしては、例えば、工場、家電、インフラ、農業などで使用されるマイコンが該当する。

[0327]

図 25 にエンドポイントマイコンの応用例として、ファクトリーオートメーションのイメージ図を示す。工場 884 はインターネット回線 (Internet) を介してクラウド 883 と接続される。また、クラウド 883 は、インターネット回線を介してホーム 881 およびオフィス 882 と接続される。インターネット回線は有線通信方式であってもよいし、無線通信方式であってもよい。例えば、無線通信方式の場合は、通信装置に本発明の一態様に係る半導体装置を用いて、第 4 世代移動通信システム (4G) や第 5 世代移動通信システム (5G) などの通信規格に沿った無線通信を行えばよい。また、工場 884 は、インターネット回線を介して工場 885 および工場 886 と接続してもよい。

[0328]

工場 884 はマスタデバイス (制御機器) 831 を有する。マスタデバイス 831 は、クラウド 883 と接続し、情報の授受を行う機能を有する。また、マスタデバイス 831 は、IoT 末端機器 841 に含まれる複数の産業用ロボット 842 と、M2M (Machine to Machine) インターフェイス 832 を介して接続される。M2M インターフェイス 832 としては、例えば、有線通信方式の一種である産業イーサネット (「イーサネット」は登録商標) や、無線通信方式の一種であるローカル 5G などを用いてもよい。

[0329]

工場の管理者は、ホーム 881 またはオフィス 882 から、クラウド 883 を介して工場 884 に接続し、稼働状況などを知ることができる。また、誤品・欠品チェック、置き場所指示、タクトタイムの計測などを行うことができる。

[0330]

近年「スマート工場」と銘打って、世界的に IoT の工場への導入が進められている。スマート工場の事例では、エンドポイントマイコンによる単なる検査、監査だけでなく、故障検知や異常予測なども行う事例が報告されている。

[0331]

エンドポイントマイコンなどの小規模システムは、稼働時のシステム全体の消費電力が小さい場合が多いため、No f f -CPU による待機動作時の電力削減効果が大きくなる。一方で、IoT の組み込み分野では即応性が求められる場合があるが、No f f -CPU を用いることで待機動作時からの高速復帰が実現できる。

[0332]

本実施の形態に示す構成、構造、方法などは、他の実施の形態および実施例などに示す構成、構

造、方法などと適宜組み合わせ用いることができる。

[0333]

(本明細書等の記載に関する付記)

以上の実施の形態、および実施の形態における各構成の説明について、以下に付記する。

[0334]

各実施の形態に示す構成は、他の実施の形態あるいは実施例に示す構成と適宜組み合わせ、本発明の一態様とすることができる。また、1つの実施の形態の中に、複数の構成例が示される場合は、構成例を適宜組み合わせることが可能である。

[0335]

なお、ある一つの実施の形態の中で述べる内容（一部の内容でもよい）は、その実施の形態で述べる別の内容（一部の内容でもよい）、および／または、一つ若しくは複数の別の実施の形態で述べる内容（一部の内容でもよい）に対して、適用、組み合わせ、または置き換えなどを行うことが出来る。

[0336]

なお、実施の形態の中で述べる内容とは、各々の実施の形態において、様々な図を用いて述べる内容、または明細書に記載される文章を用いて述べる内容のことである。

[0337]

なお、ある一つの実施の形態において述べる図（一部でもよい）は、その図の別の部分、その実施の形態において述べる別の図（一部でもよい）、および／または、一つ若しくは複数の別の実施の形態において述べる図（一部でもよい）に対して、組み合わせることにより、さらに多くの図を構成させることが出来る。

[0338]

また本明細書等において、ブロック図では、構成要素を機能毎に分類し、互いに独立したブロックとして示している。しかしながら実際の回路等においては、構成要素を機能毎に切り分けることが難しく、一つの回路に複数の機能が係わる場合や、複数の回路にわたって一つの機能が関わる場合があり得る。そのため、ブロック図のブロックは、明細書で説明した構成要素に限定されず、状況に応じて適切に言い換えることができる。

[0339]

また、図面において、大きさ、層の厚さ、または領域は、説明の便宜上任意の大きさに示したものである。よって、必ずしもそのスケールに限定されない。なお図面は明確性を期すために模式的に示したものであり、図面に示す形状または値などに限定されない。例えば、ノイズによる信号、電圧、若しくは電流のばらつき、または、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

[0340]

また、図面等において図示する構成要素の位置関係は、相対的である。従って、図面を参照して構成要素を説明する場合、位置関係を示す「上に」、「下に」等の語句は便宜的に用いられる場合がある。構成要素の位置関係は、本明細書の記載内容に限定されず、状況に応じて適切に言い換えることができる。

[0341]

本明細書等において、トランジスタの接続関係を説明する際、「ソースまたはドレインの一方」

（または第1電極、または第1端子）、ソースとドレインとの他方を「ソースまたはドレインの他方」（または第2電極、または第2端子）という表記を用いる。これは、トランジスタのソースとドレインは、トランジスタの構造または動作条件等によって変わるためである。なおトランジスタのソースとドレインの呼称については、ソース（ドレイン）端子や、ソース（ドレイン）電極等、状況に応じて適切に言い換えることができる。

[0342]

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

[0343]

また、本明細書等において、電圧と電位は、適宜言い換えることができる。電圧は、基準となる電位からの電位差のことであり、例えば基準となる電位をグラウンド電圧（接地電圧）とすると、電圧を電位に言い換えることができる。グラウンド電位は必ずしも0Vを意味するとは限らない。なお電位は相対的なものであり、基準となる電位によっては、配線等に与える電位を変化させる場合がある。

[0344]

また本明細書等において、ノードは、回路構成やデバイス構造等に応じて、端子、配線、電極、導電層、導電体、不純物領域等と言い換えることが可能である。また、端子、配線等をノードと言い換えることが可能である。

[0345]

本明細書等において、AとBとが接続されている、とは、AとBとが電氣的に接続されているものをいう。ここで、AとBとが電氣的に接続されているとは、AとBとの間で対象物（スイッチ、トランジスタ素子、またはダイオード等の素子、あるいは当該素子および配線を含む回路等を指す）が存在する場合にAとBとの電気信号の伝達が可能である接続をいう。なおAとBとが電氣的に接続されている場合には、AとBとが直接接続されている場合を含む。ここで、AとBとが直接接続されているとは、上記対象物を介することなく、AとBとの間で配線（または電極）等を介してAとBとの電気信号の伝達が可能である接続をいう。換言すれば、直接接続とは、等価回路で表した際に同じ回路図として見なせる接続をいう。

[0346]

本明細書等において、スイッチとは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有するものをいう。または、スイッチとは、電流を流す経路を選択して切り替える機能を有するものをいう。

[0347]

本明細書等において、チャネル長とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲートとが重なる領域、またはチャネルが形成される領域における、ソースとドレインとの間の距離をいう。

[0348]

本明細書等において、チャネル幅とは、例えば、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが重なる領域、またはチャネルが形成される領

域における、ソースとドレインとが向かい合っている部分の長さをいう。

[0349]

なお本明細書等において、「膜」、「層」などの語句は、場合によっては、または、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

[符号の説明]

[0350]

10：無線通信装置、11：アプリケーションプロセッサ、12：ベースバンドプロセッサ、13：集積回路、14：メモリ、15：バッテリー、16：パワーマネジメントIC、17：表示部、18：カメラ部、19：操作入力部、20：オーディオIC、21：マイク、22：スピーカ、23：半導体装置、24：制御回路、31：コイル、32：コイル、33：キャパシタ、35：トランジスタ、36：トランジスタ、40：周波数補正回路、41：キャパシタ、42：キャパシタ、43：トランジスタ、43A：トランジスタ、43B：トランジスタ、44：トランジスタ、45：トランジスタ、46：トランジスタ、47：トランジスタ、48：トランジスタ、48A：トランジスタ、48B：トランジスタ、49：切替回路、50：発振回路、51：基板、52：配線、61：層、71：差動増幅回路、72：オフセット補正回路、73：トランジスタ、73A：トランジスタ、74：トランジスタ、75：トランジスタ、75A：トランジスタ、76：トランジスタ、76B：トランジスタ、77：キャパシタ、78：キャパシタ、79：定電流回路、81：コンパレータ、82：信号生成回路、83：トランジスタ、85：トランジスタ、87：キャパシタ、101：ローノイズアンプ、102：ミキサー、103：ローパスフィルタ、104：可変ゲインアンプ、105：アナログデジタル変換回路、106：インターフェイス部、107：デジタルアナログ変換回路、108：可変ゲインアンプ、109：ローパスフィルタ、110：ミキサー、111：パワーアンプ、311：基板、313：半導体領域、314a：低抵抗領域、314b：低抵抗領域、315：絶縁体、316：導電体、320：絶縁体、322：絶縁体、324：絶縁体、326：絶縁体、328：導電体、330：導電体、350：絶縁体、352：絶縁体、354：絶縁体、356：導電体、360：絶縁体、362：絶縁体、364：絶縁体、366：導電体、370：絶縁体、372：絶縁体、374：絶縁体、376：導電体、380：絶縁体、382：絶縁体、384：絶縁体、386：導電体、404：絶縁体、500：トランジスタ、500A：トランジスタ、500B：トランジスタ、503：導電体、503a：導電体、503b：導電体、510：絶縁体、512：絶縁体、513：絶縁体、514：絶縁体、516：絶縁体、518：導電体、520：絶縁体、522：絶縁体、524：絶縁体、526：絶縁体、530：酸化物、530a：酸化物、530b：酸化物、540a：導電体、540b：導電体、542：導電体、542a：導電体、542b：導電体、543a：領域、543b：領域、544：絶縁体、545：絶縁体、546：導電体、548：導電体、550：トランジスタ、552：絶縁体、560：導電体、560a：導電体、560b：導電体、574：絶縁体、580：絶縁体、581：絶縁体、582：絶縁体、586：絶縁体、600：容量、609：操作入力部、610：導電体、612：導電体、620：導電体、630：絶縁体、640：絶縁体、711：基板、712：回路領域、713：分離領域、714：分離線、715：チップ、750：電子部品、752：プリント基板、753：半導体装置、754：実装基板、755：リード、801：クラウド分野、8

02 : 分野、804 : 消費電力、805 : 処理性能、831 : マスタデバイス、832 : インターフェイス、841 : IoT 末端機器、842 : 産業用ロボット、881 : ホーム、882 : オフィス、883 : クラウド、884 : 工場、885 : 工場、886 : 工場、6100 : 携帯情報端末、6101 : 筐体、6102 : 表示部、6103 : バンド、6105 : 操作ボタン、6200 : 携帯情報端末、6201 : 筐体、6202 : 表示部、6203 : 操作ボタン、6204 : スピーカ、6205 : マイクロフォン、6209 : 指紋センサ、6300 : 掃除ロボット、6301 : 筐体、6302 : 表示部、6303 : カメラ、6304 : ブラシ、6305 : 操作ボタン、6310 : ゴミ、6400 : ロボット、6401 : 照度センサ、6402 : マイクロフォン、6403 : 上部カメラ、6404 : スピーカ、6405 : 表示部、6406 : 下部カメラ、6407 : 障害物センサ、6408 : 移動機構、6409 : 演算装置、6500 : 飛行体、6501 : プロペラ、6502 : カメラ、6503 : バッテリ、6504 : 電子部品、7160 : 自動車、8000 : 表示装置、8001 : 筐体、8002 : 表示部、8003 : スピーカ部、8004 : 半導体装置、8005 : 蓄電装置、8100 : 照明装置、8101 : 筐体、8102 : 光源、8103 : 半導体装置、8104 : 天井、8105 : 蓄電装置、8200 : 室内機、8201 : 筐体、8202 : 送風口、8203 : 半導体装置、8204 : 室外機、8205 : 蓄電装置、8300 : 電気冷凍冷蔵庫、8301 : 筐体、8302 : 冷蔵室用扉、8303 : 冷凍室用扉、8304 : 半導体装置、8305 : 蓄電装置、8405 : 側壁、8406 : 床、8407 : 窓

請求の範囲

[請求項 1]

第 1 コイルと、第 2 コイルと、第 1 キャパシタと、第 2 キャパシタと、第 1 トランジスタと、第 2 トランジスタと、を有する発振回路と、

第 3 キャパシタと、第 4 キャパシタと、第 3 トランジスタと、第 4 トランジスタと、切替回路と、を有する周波数補正回路と、を有し、

前記切替回路は、前記第 3 トランジスタおよび前記第 4 トランジスタの導通状態または非導通状態を制御する機能を有し、

前記周波数補正回路は、前記発振回路の上方の層に設けられ、前記発振回路の発振周波数を調整する機能を有し、

前記第 1 トランジスタおよび第 2 トランジスタは、チャネル形成領域にシリコンを有する半導体層を有し、

前記第 3 トランジスタおよび第 4 トランジスタは、チャネル形成領域に酸化物半導体を有する半導体層を有する、半導体装置。

[請求項 2]

請求項 1 において、

前記切替回路は、第 5 トランジスタ乃至第 8 トランジスタを有し、

前記第 5 トランジスタ乃至前記第 8 トランジスタは、チャネル形成領域に酸化物半導体を有する半導体層を有する、半導体装置。

[請求項 3]

請求項 2 において、

前記第 5 トランジスタは、前記第 3 トランジスタのゲートと、前記第 3 キャパシタと、の間の導通状態または非導通状態を制御する機能を有し、

前記第 6 トランジスタは、前記第 4 トランジスタのゲートと、前記第 4 キャパシタと、の間の導通状態または非導通状態を制御する機能を有し、

前記第 7 トランジスタは、前記第 3 トランジスタのゲートと、低電源電位を与える配線と、の間の導通状態または非導通状態を制御する機能を有し、

前記第 8 トランジスタは、前記第 4 トランジスタのゲートと、低電源電位を与える前記配線と、の間の導通状態または非導通状態を制御する機能を有する、半導体装置。

[請求項 4]

アンテナと、ミキサーと、発振器と、アナログデジタル変換回路と、を有する集積回路を有し、前記発振器は、

第 1 コイルと、第 2 コイルと、第 1 キャパシタと、第 2 キャパシタと、第 1 トランジスタと、第 2 トランジスタと、を有する発振回路と、

第 3 キャパシタと、第 4 キャパシタと、第 3 トランジスタと、第 4 トランジスタと、切替回路と、を有する周波数補正回路と、を有し、

前記切替回路は、前記第 3 トランジスタおよび前記第 4 トランジスタの導通状態または非導通状態を制御する機能を有し、

前記周波数補正回路は、前記発振回路の上方の層に設けられ、前記発振回路の発振周波数を調整する機能を有し、

前記第1トランジスタおよび第2トランジスタは、チャネル形成領域にシリコンを有する半導体層を有し、

前記第3トランジスタおよび第4トランジスタは、チャネル形成領域に酸化物半導体を有する半導体層を有する、無線通信装置。

[請求項5]

請求項4において、

前記切替回路は、第5トランジスタ乃至第8トランジスタを有し、

前記第5トランジスタ乃至前記第8トランジスタは、チャネル形成領域に酸化物半導体を有する半導体層を有する、無線通信装置。

[請求項6]

請求項5において、

前記第5トランジスタは、前記第3トランジスタのゲートと、前記第3キャパシタと、の間の導通状態または非導通状態を制御する機能を有し、

前記第6トランジスタは、前記第4トランジスタのゲートと、前記第4キャパシタと、の間の導通状態または非導通状態を制御する機能を有し、

前記第7トランジスタは、前記第3トランジスタのゲートと、低電源電位を与える配線と、の間の導通状態または非導通状態を制御する機能を有し、

前記第8トランジスタは、前記第4トランジスタのゲートと、低電源電位を与える前記配線と、の間の導通状態または非導通状態を制御する機能を有する、無線通信装置。

[請求項7]

請求項4乃至6のいずれか一において、

前記アナログデジタル変換回路は、比較回路を有し、

前記比較回路は、差動増幅回路と、オフセット補正回路と、を有し、

前記差動回路は、出力端子と、反転出力端子と、を有し、

前記オフセット補正回路は、定電流回路と、第9トランジスタ乃至第12トランジスタを有し、

前記第9トランジスタのソースまたはドレインの一方は、前記出力端子に電氣的に接続され、

前記第10トランジスタのソースまたはドレインの一方は、前記反転出力端子に電氣的に接続され、

前記第11トランジスタのソースまたはドレインの一方は、前記第9トランジスタのゲートに電氣的に接続され、

前記第12トランジスタのソースまたはドレインの一方は、前記第10トランジスタのゲートに電氣的に接続され、

前記第11トランジスタおよび第12トランジスタは、チャネル形成領域に酸化物半導体を有する半導体層を有する、無線通信装置。

1/25

図 1A

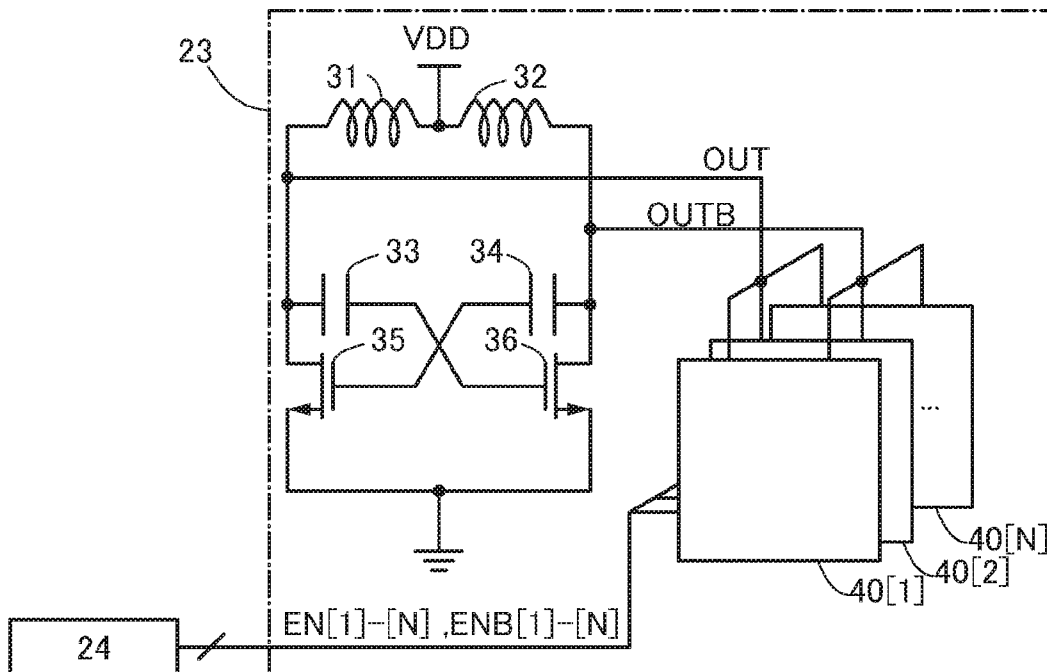


図 1B

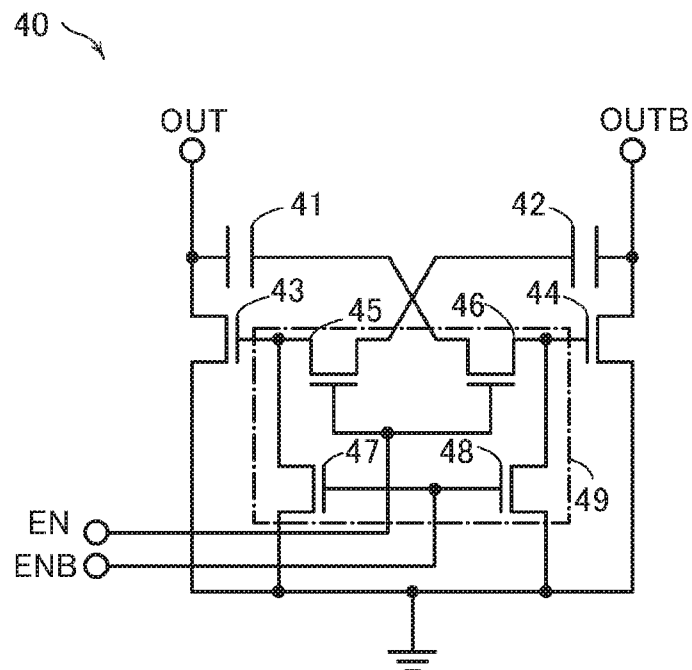


图 2A

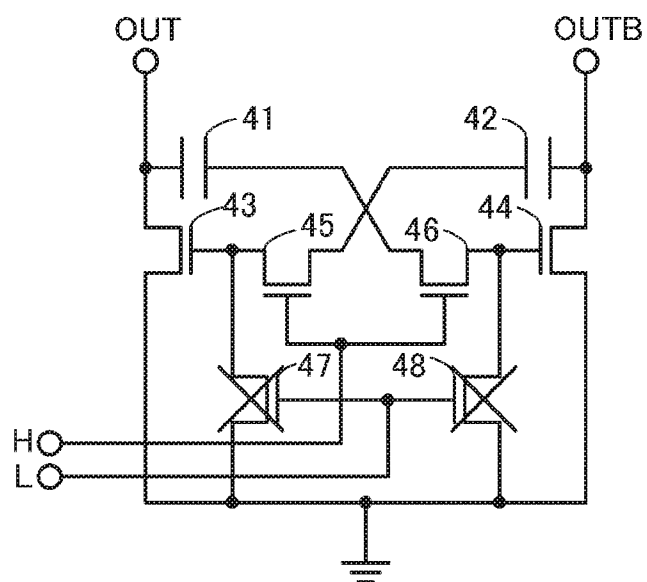
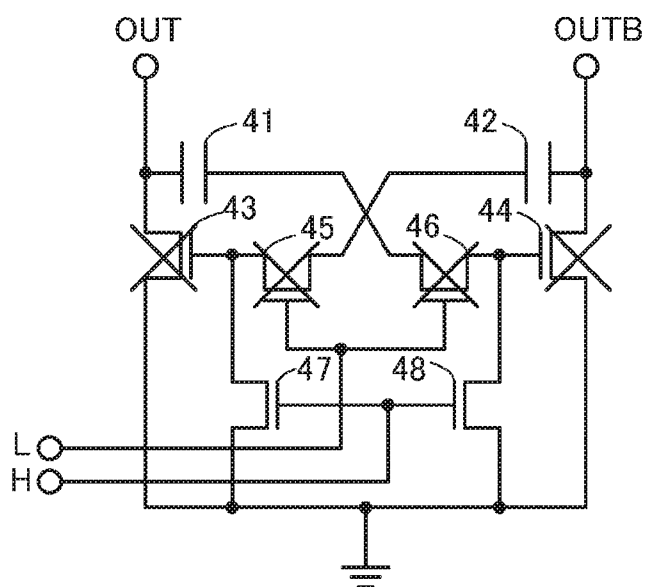
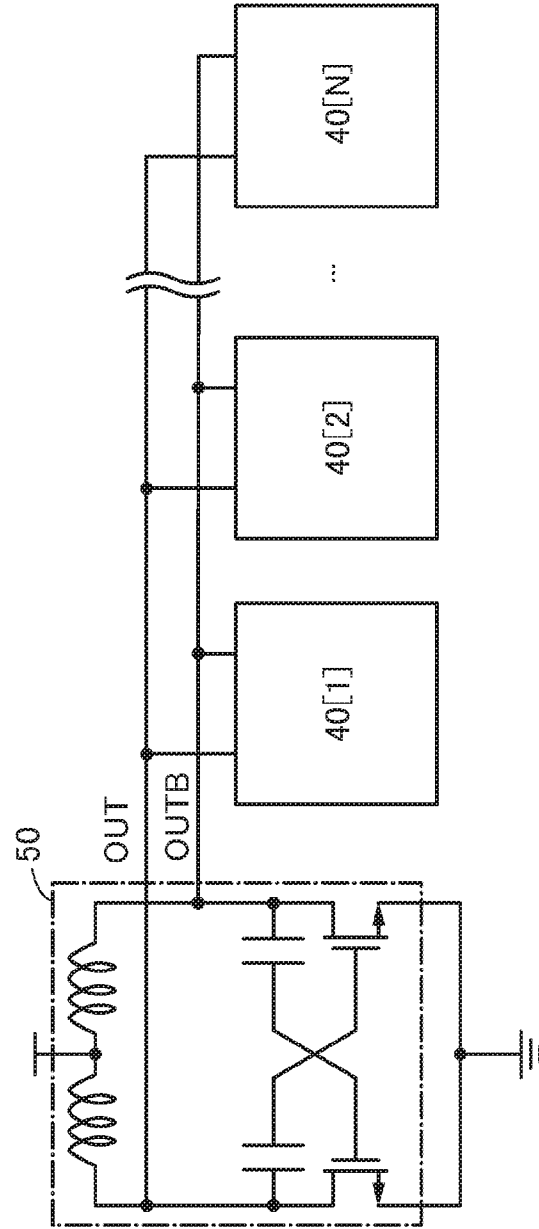


图 2B



3A



3B

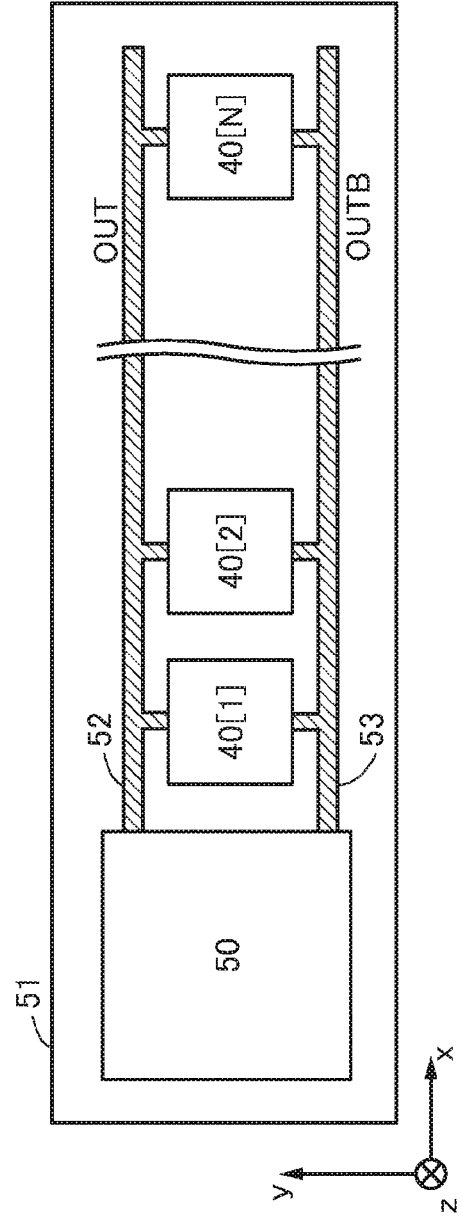
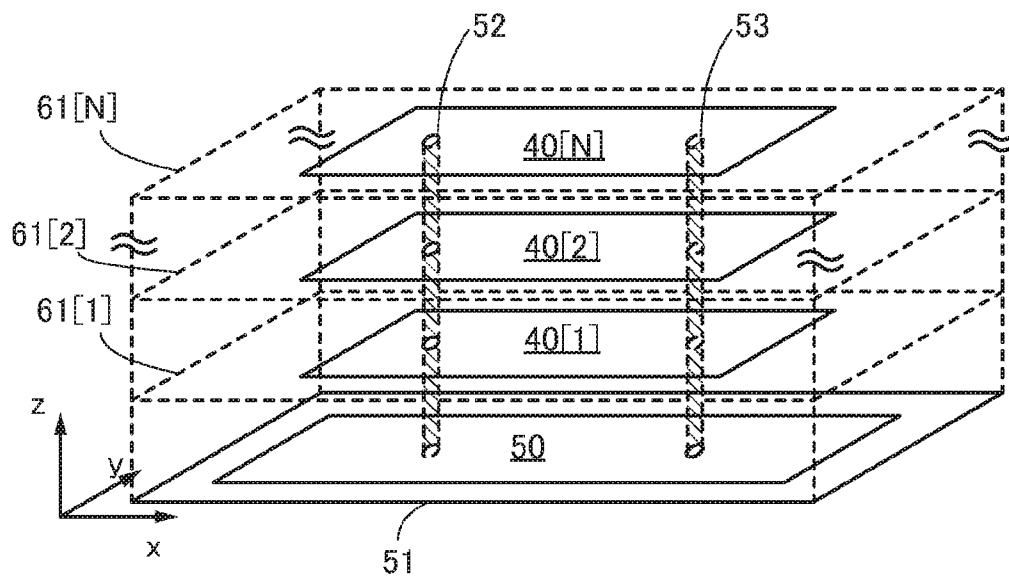


図4

4/25



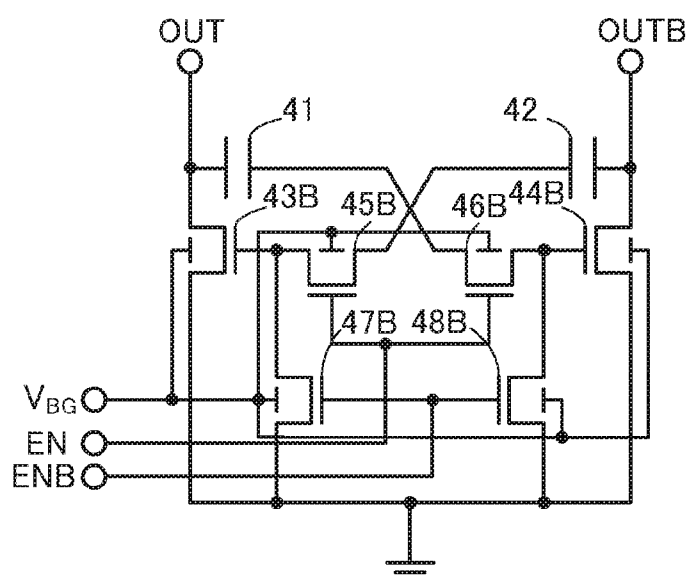
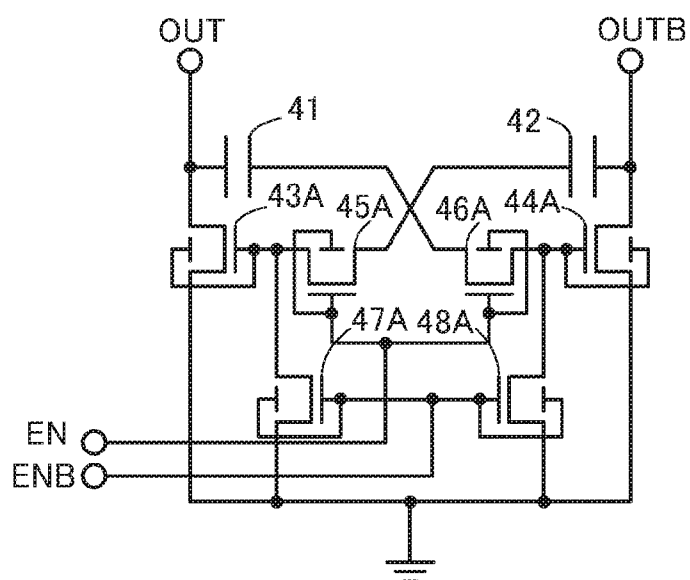
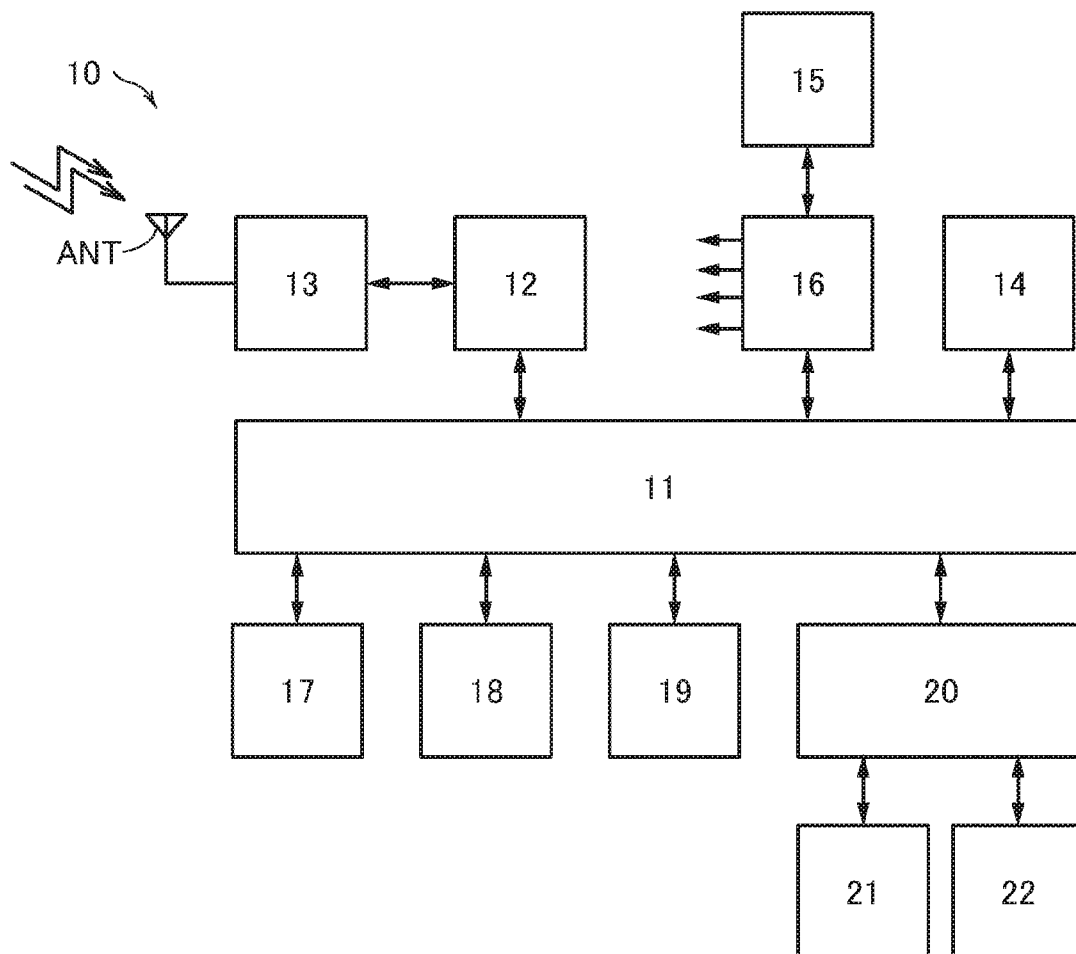


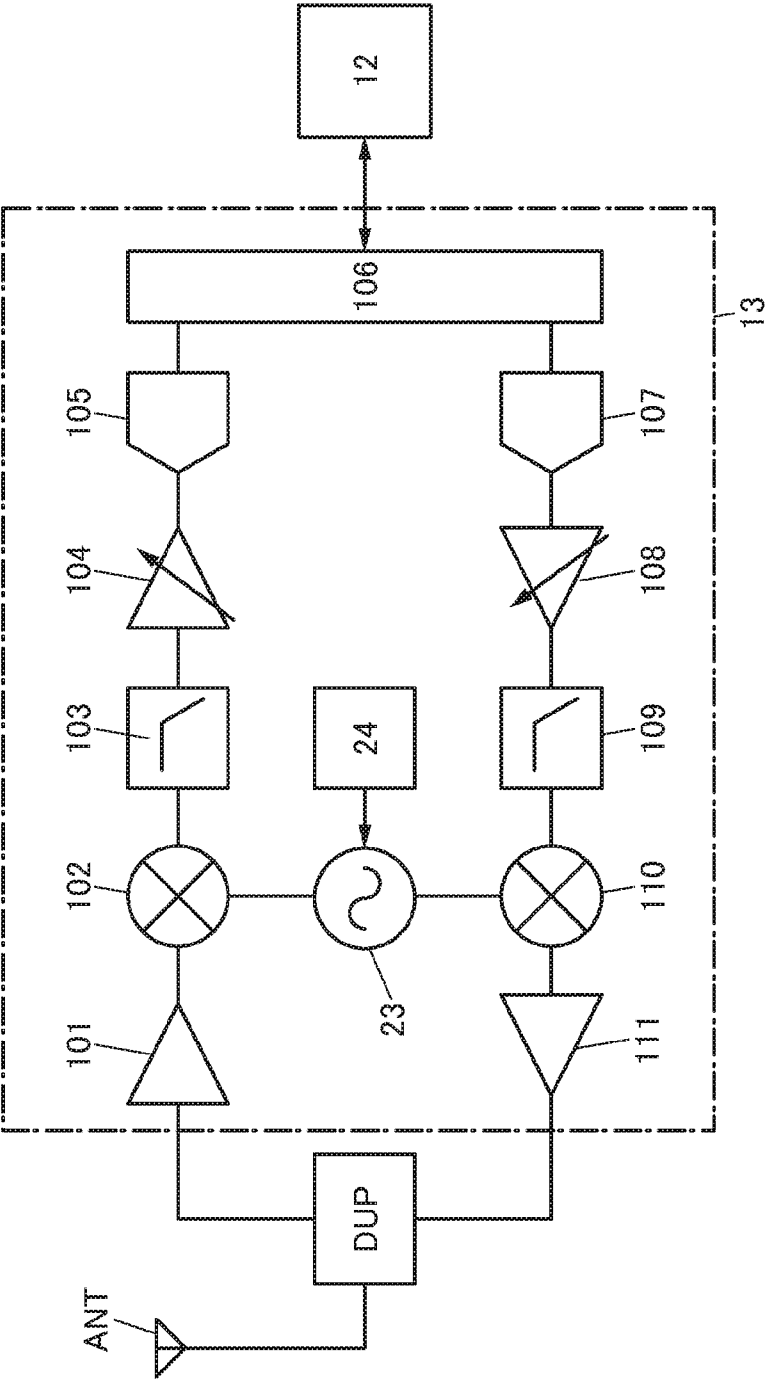
図6

6/25



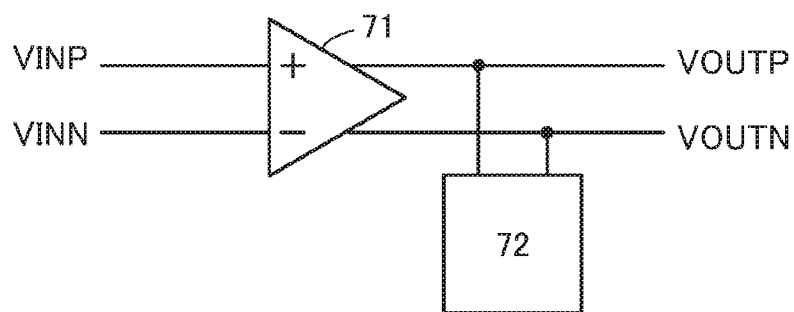
7/25

7





105 ↘



105 ↘

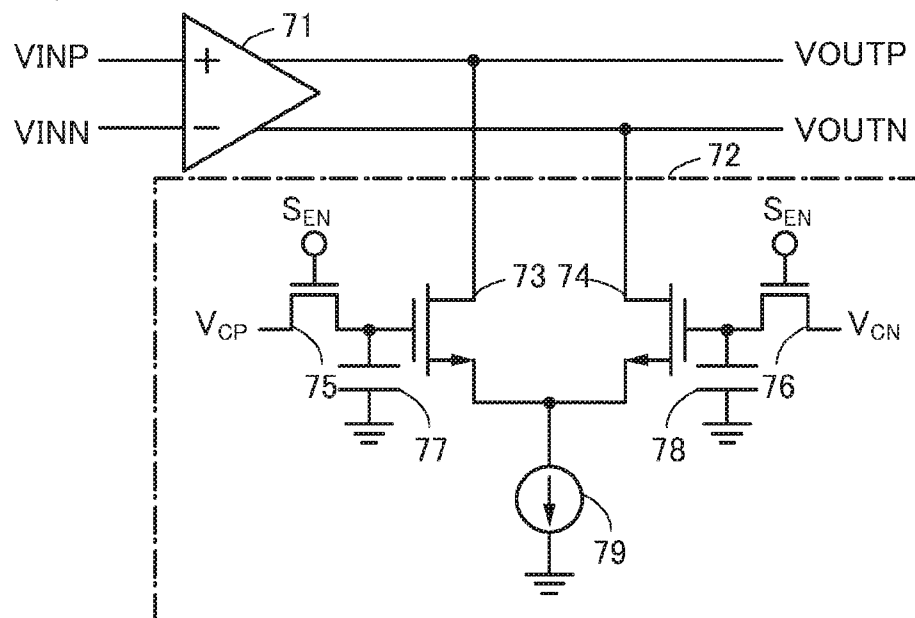


図9A

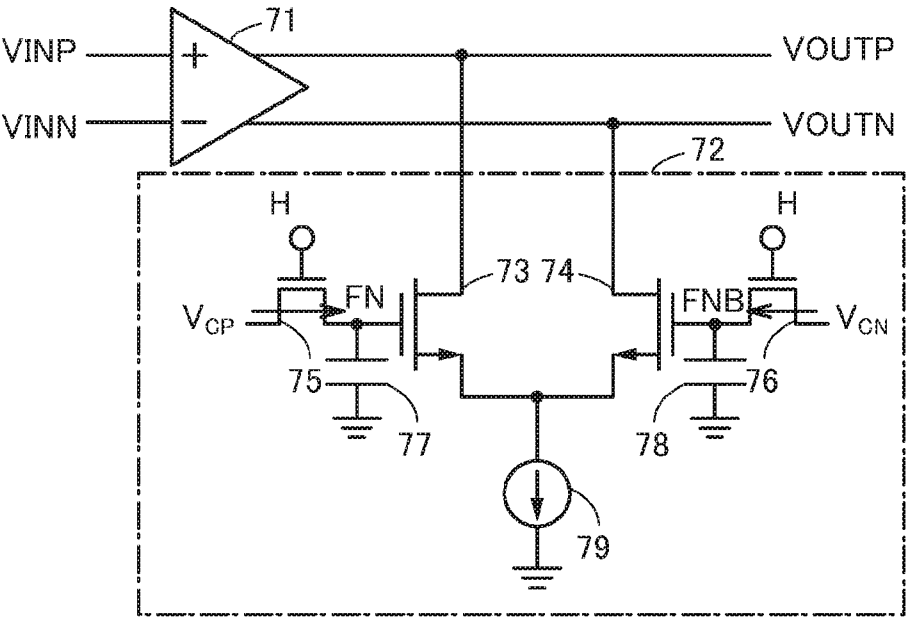
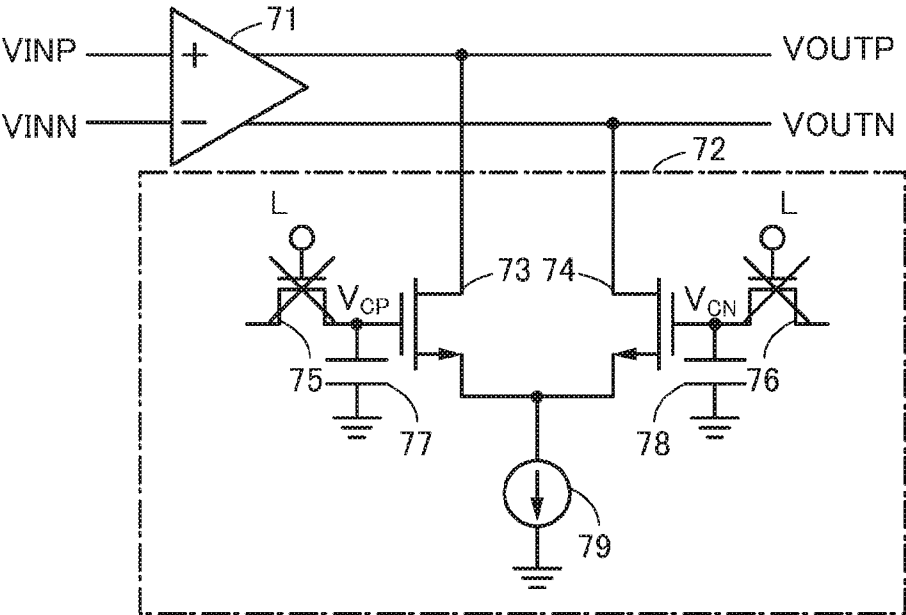
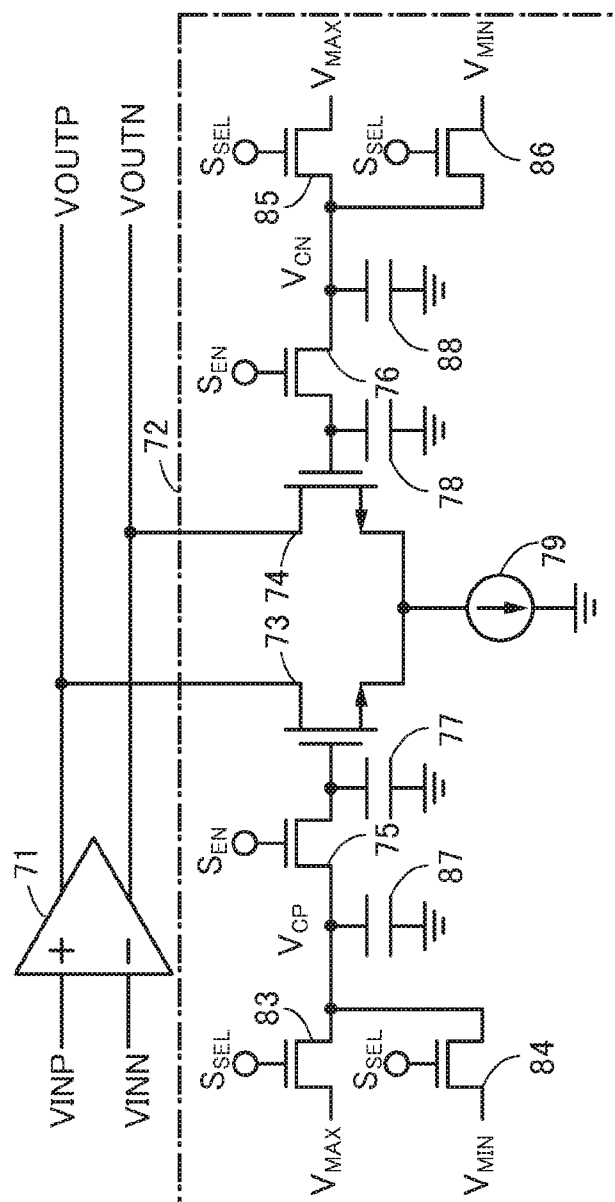


図9B



10/25



11

11/25

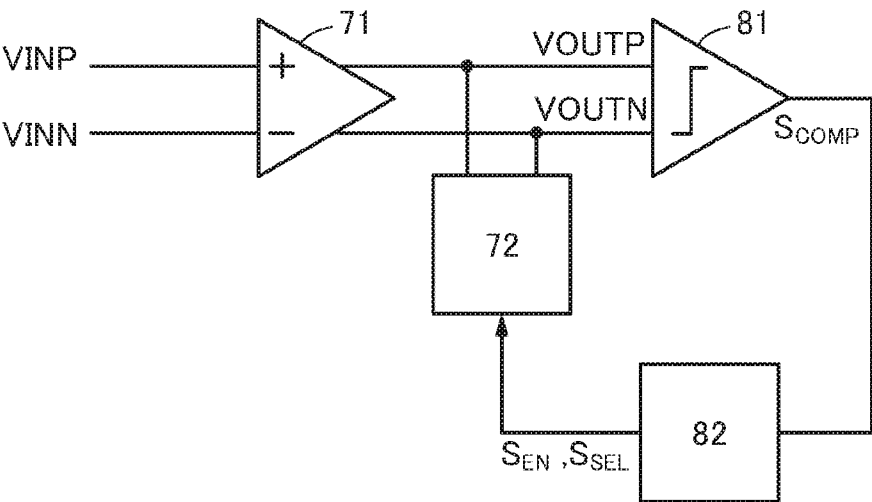
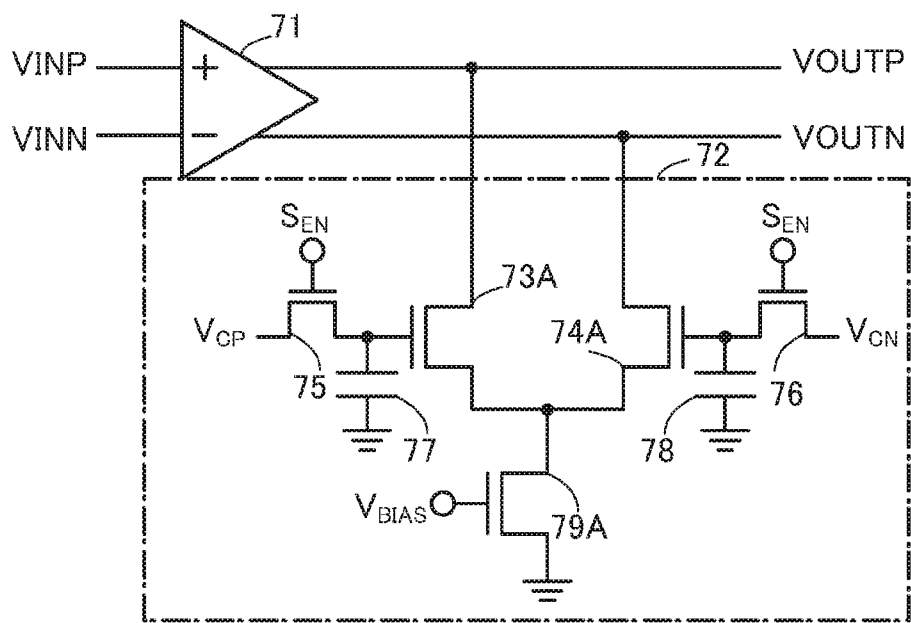


图 12

12/25



13/25

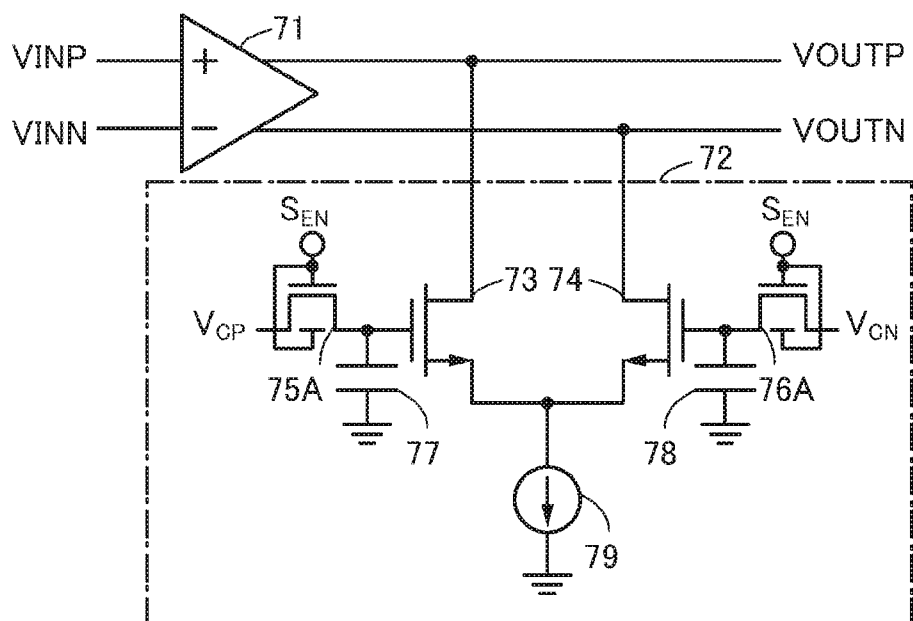
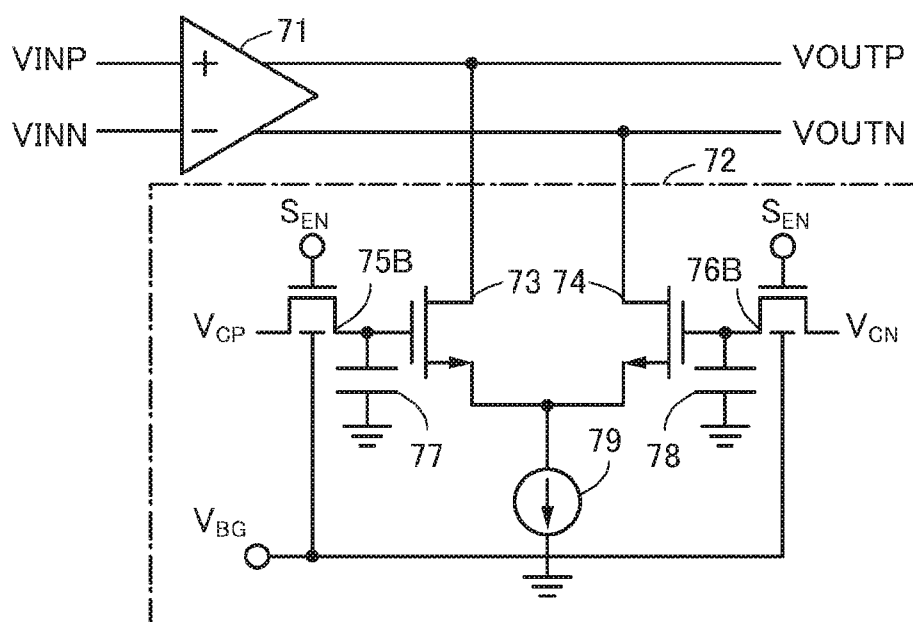
 13B

图 14

14/25

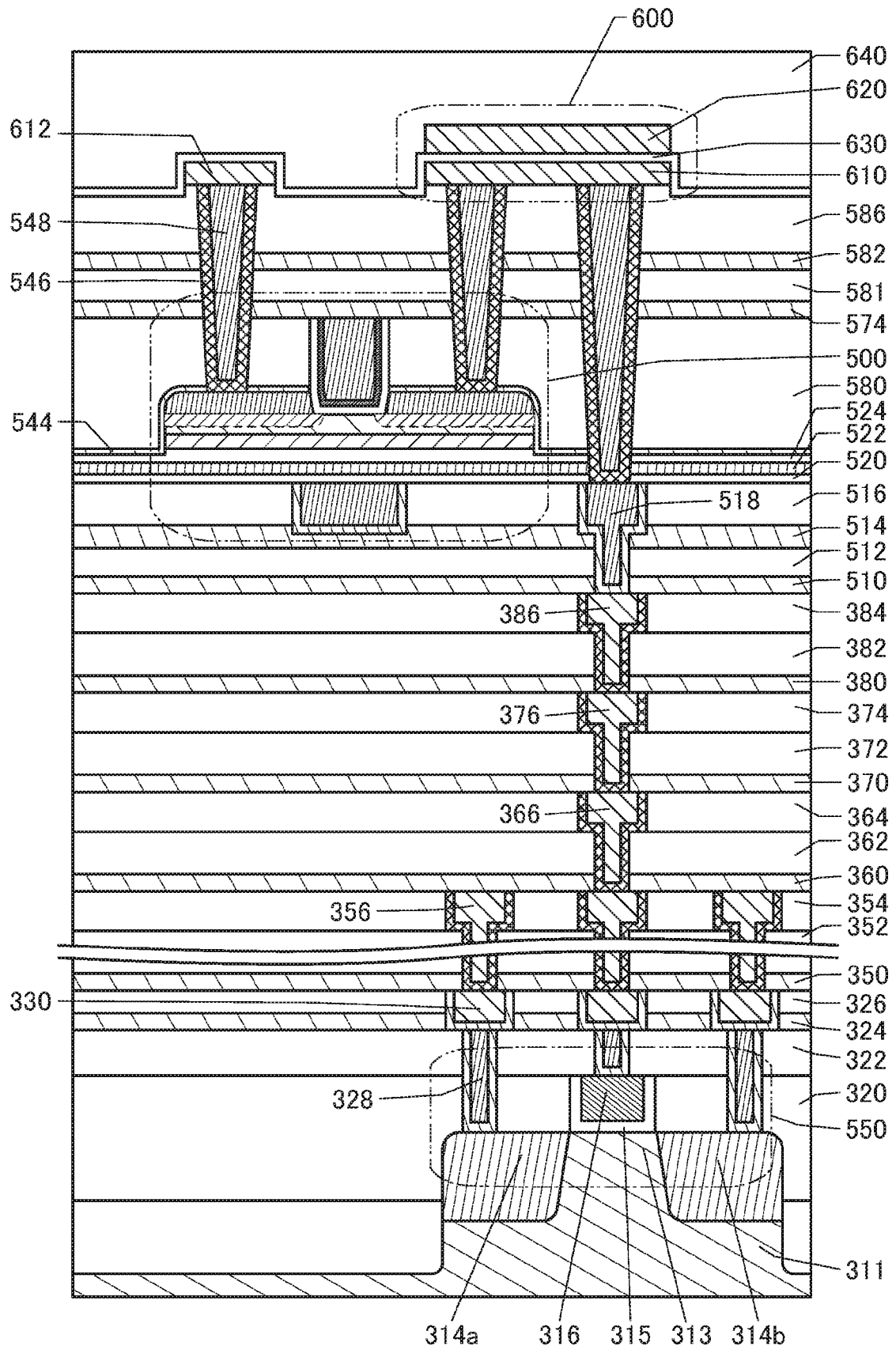
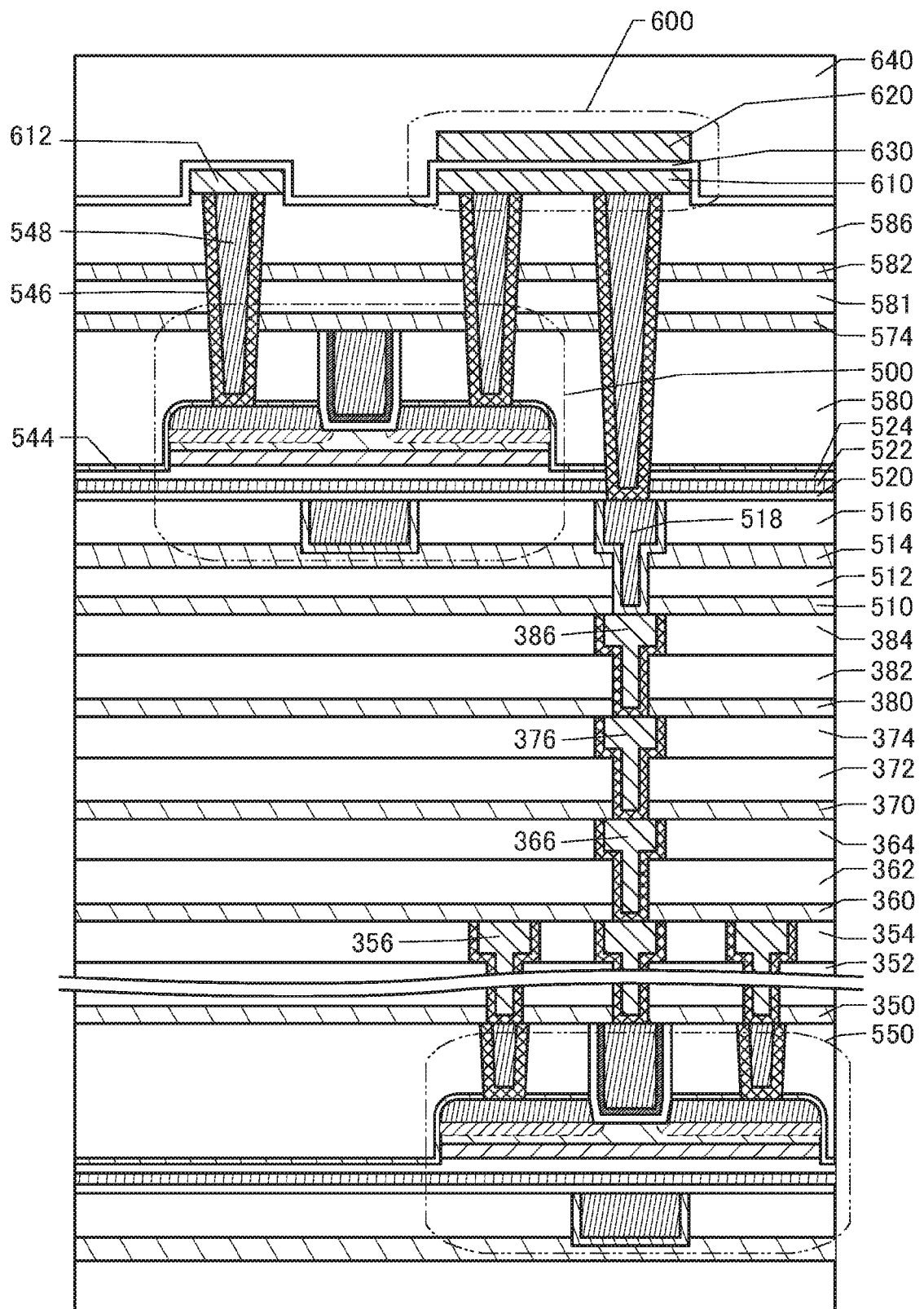


图15

15/25



16/25

図 16A

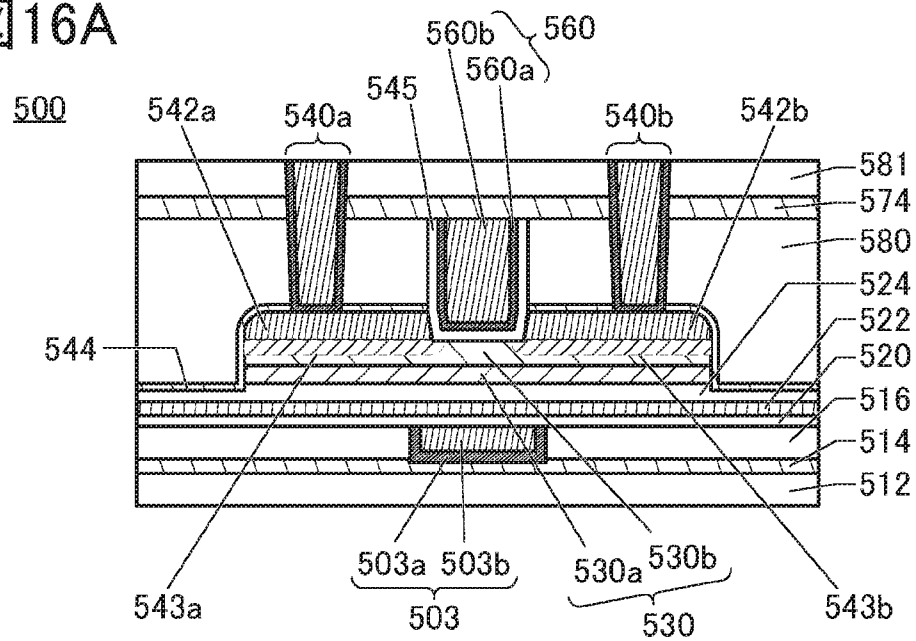


図 16B

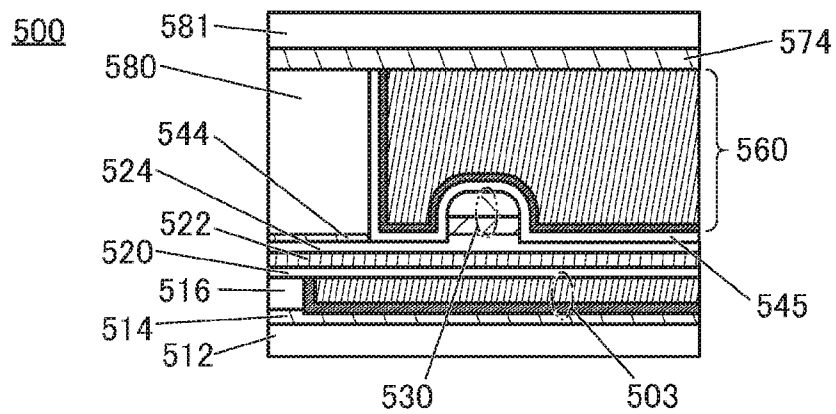


図 16C

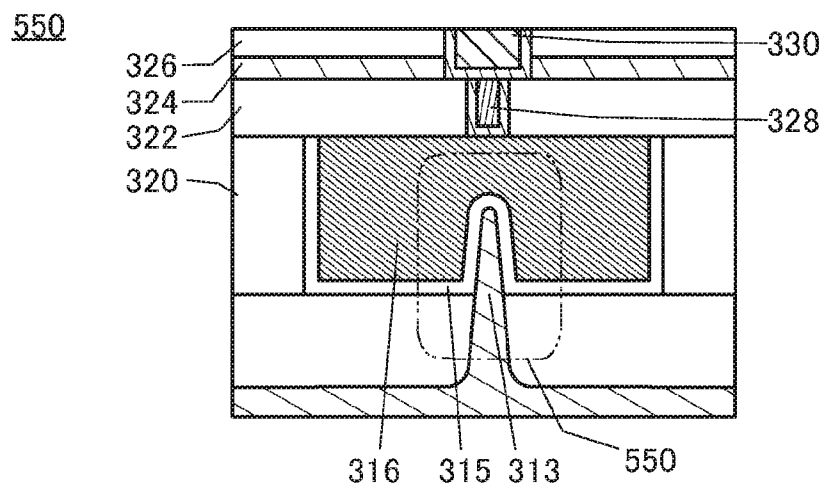


図17A

17/25

500A

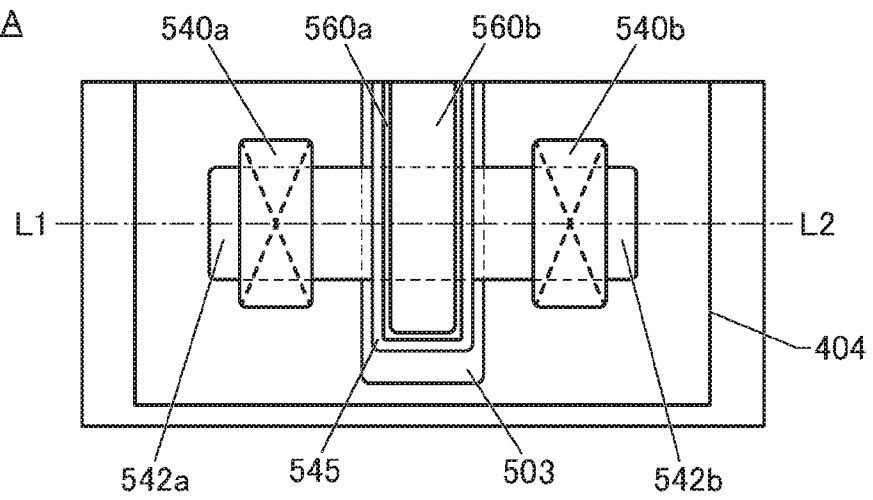
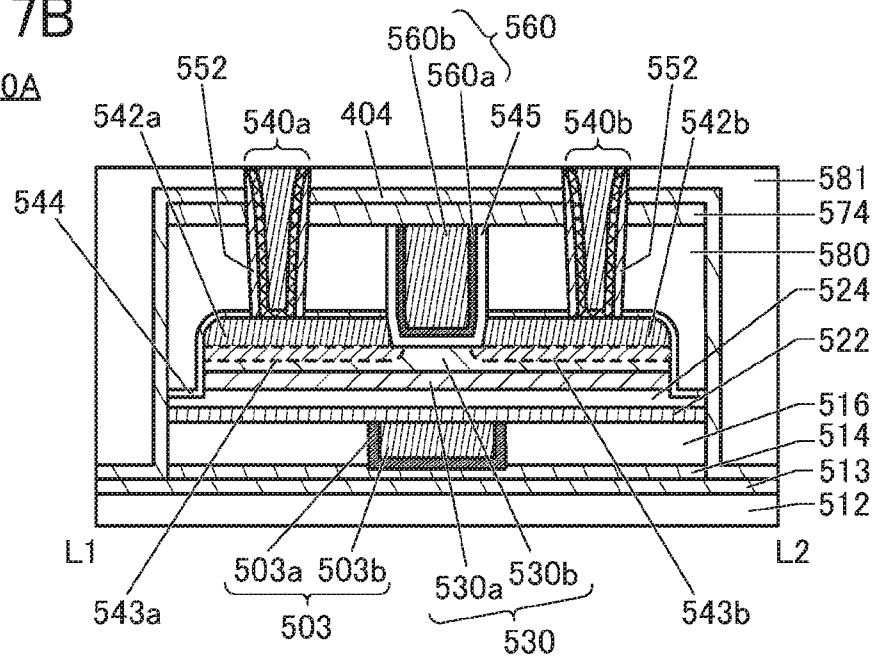


図17B

500A



18/25

図18A

500B

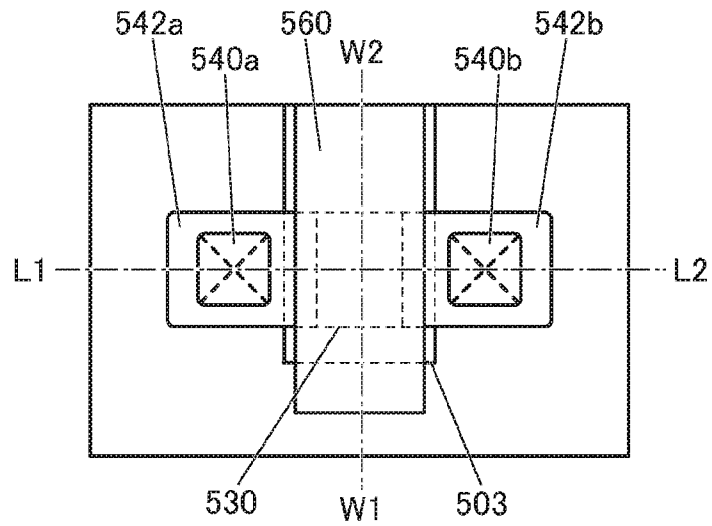


図18B

500B

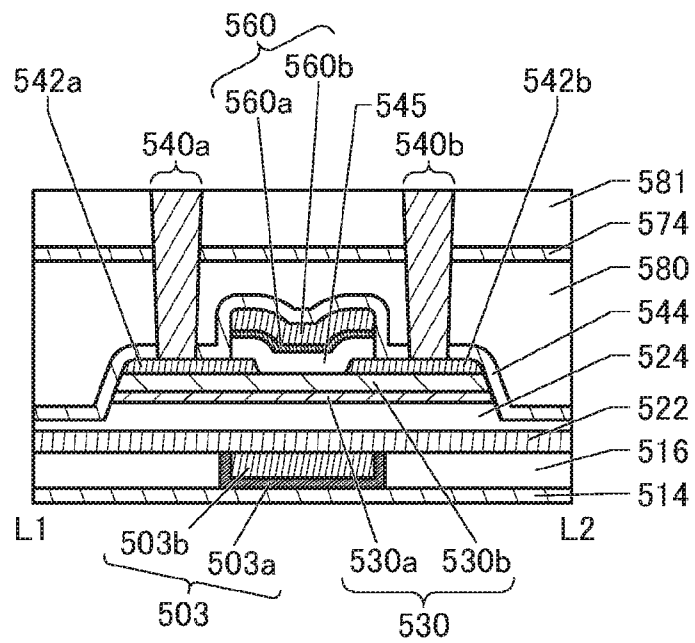


図18C

500B

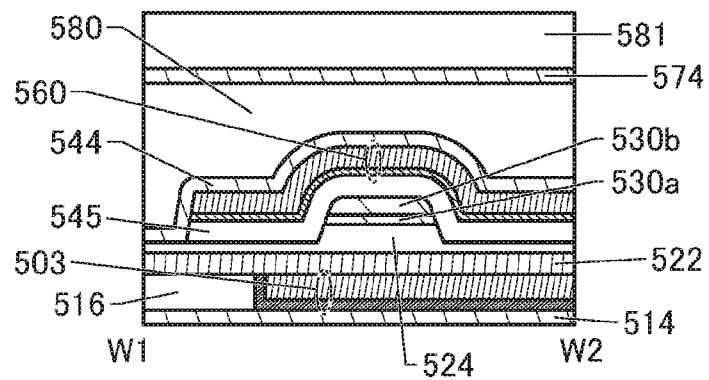


図19A

中間状態 新しい境界領域		
Amorphous (無定形)	Crystalline (結晶性)	Crystal (結晶)
・completely amorphous	・CAAC ・nc ・CAC	・single crystal ・poly crystal

図19B

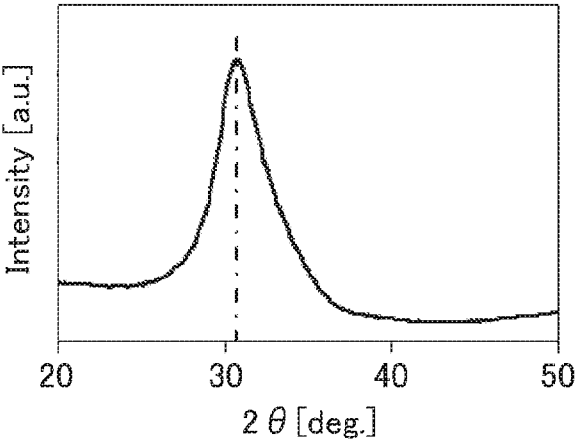


図19C

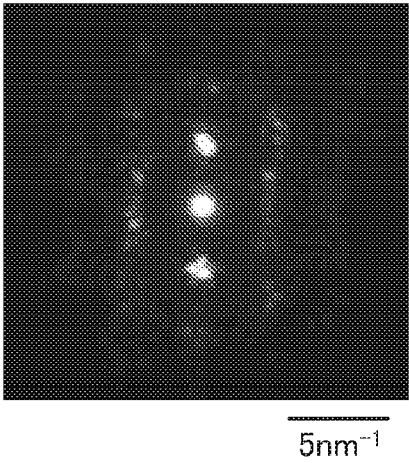


図20A

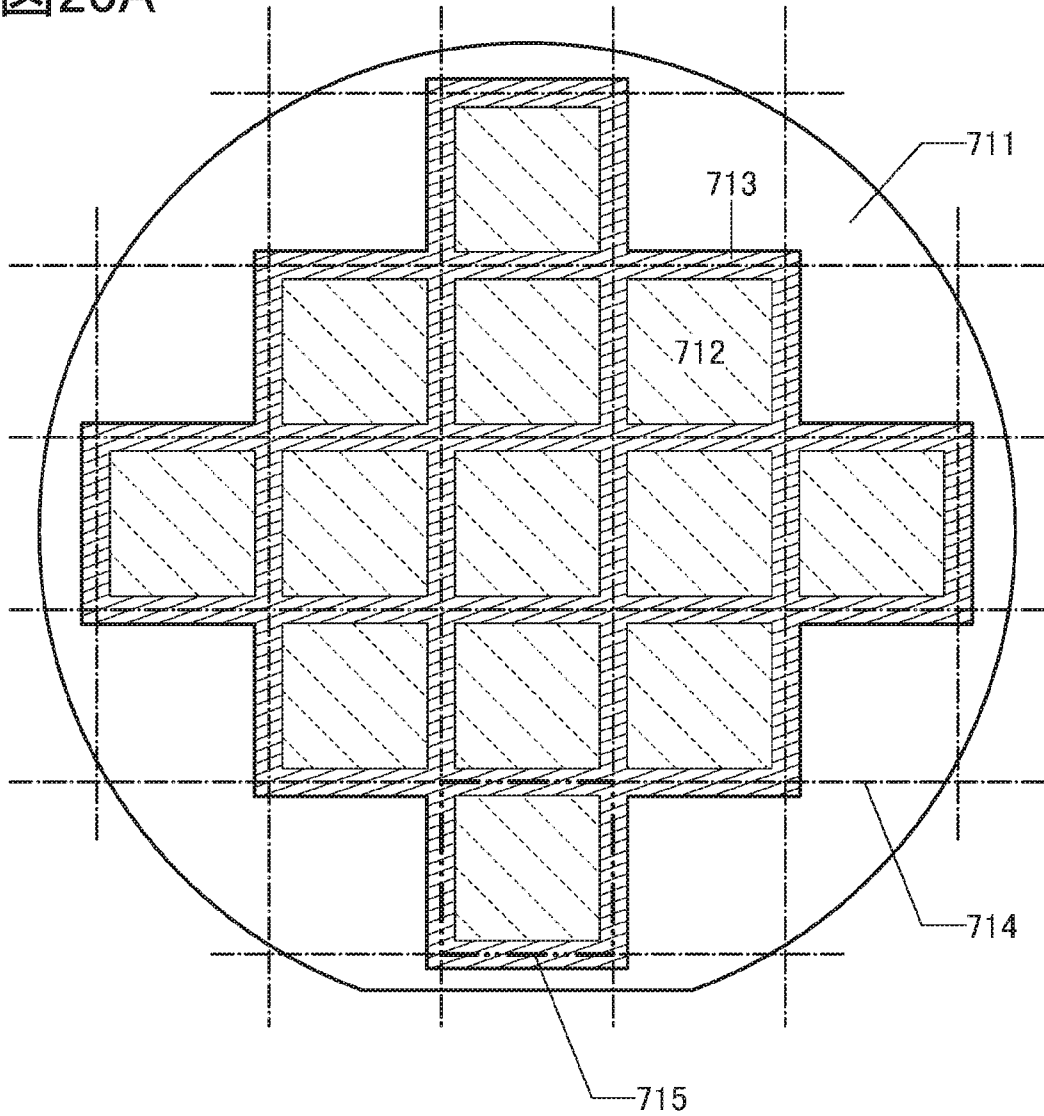
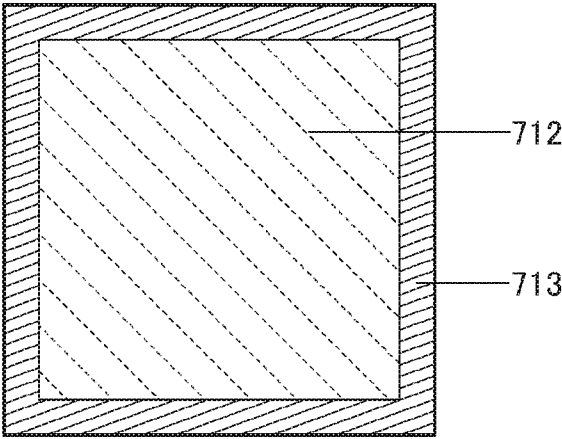


図20B

715



21/25

図21A

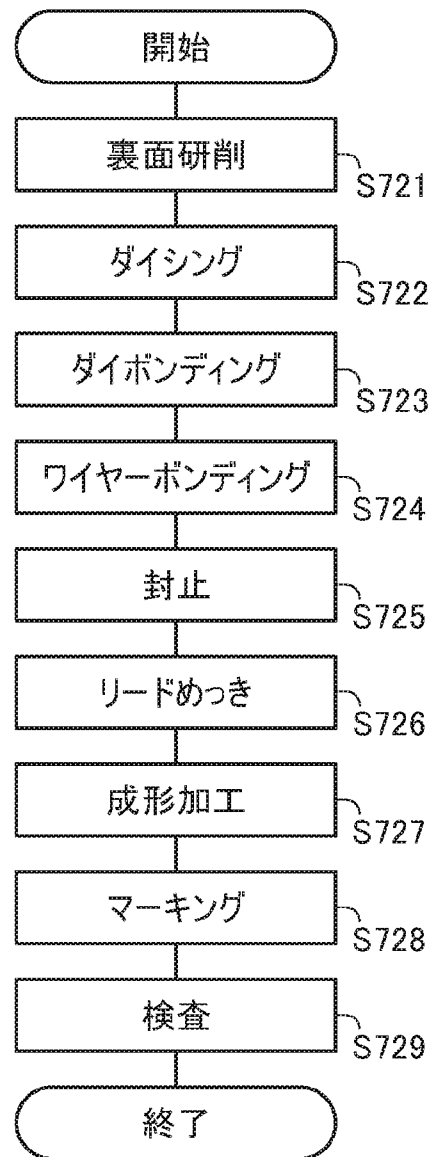


図21B

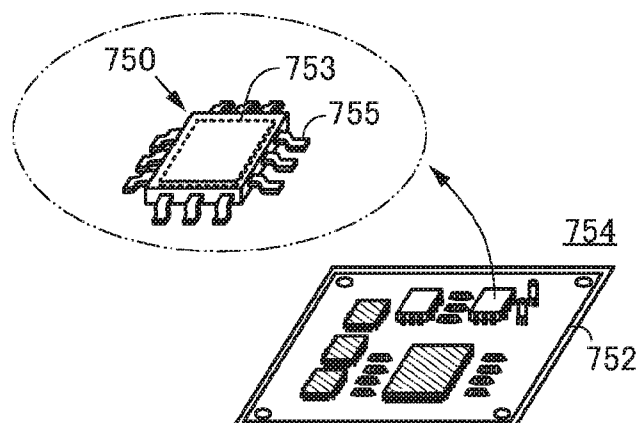
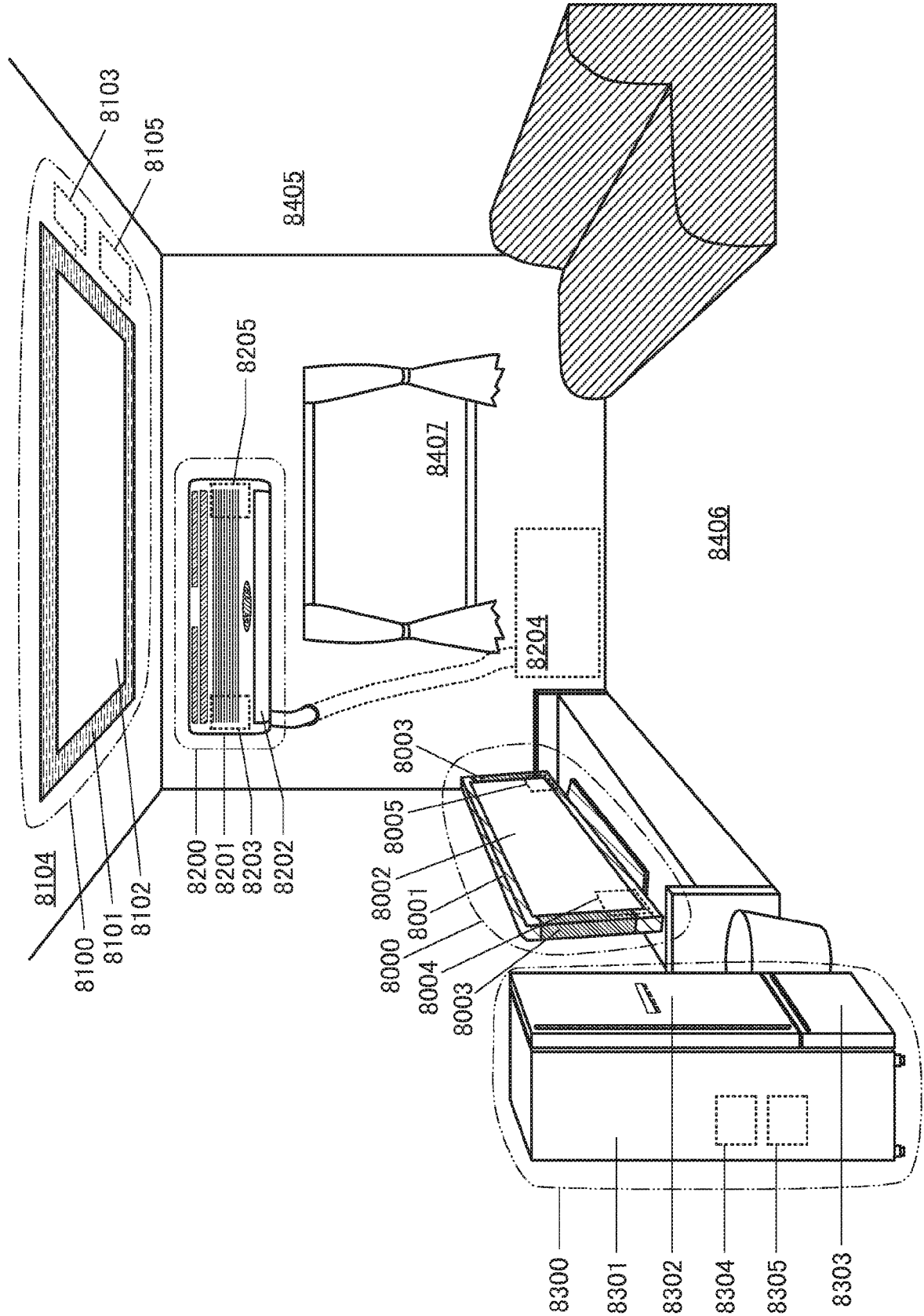


图 22



23/25

图 23A

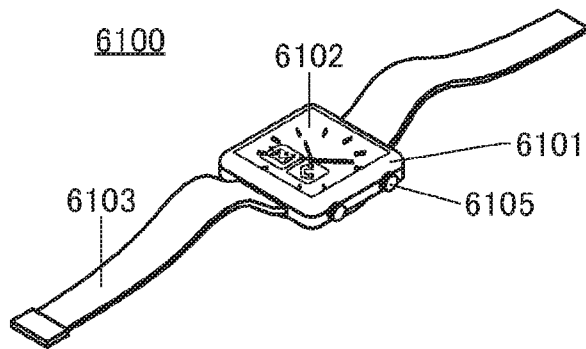


图 23B

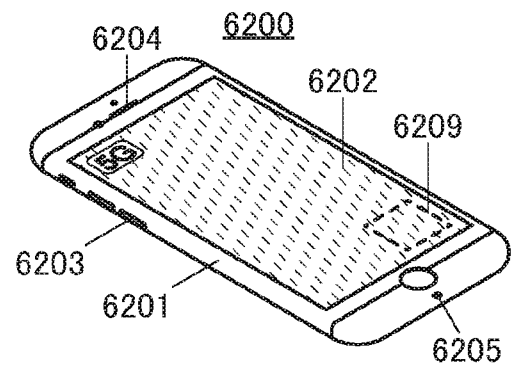


图 23C

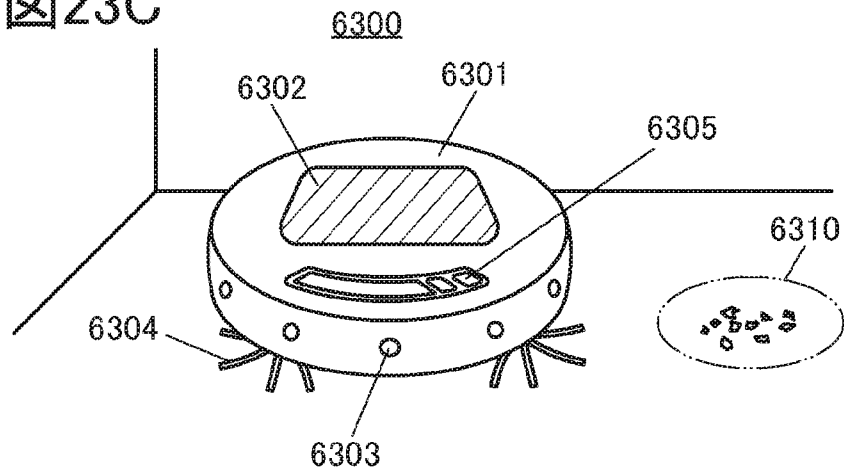


图 23D

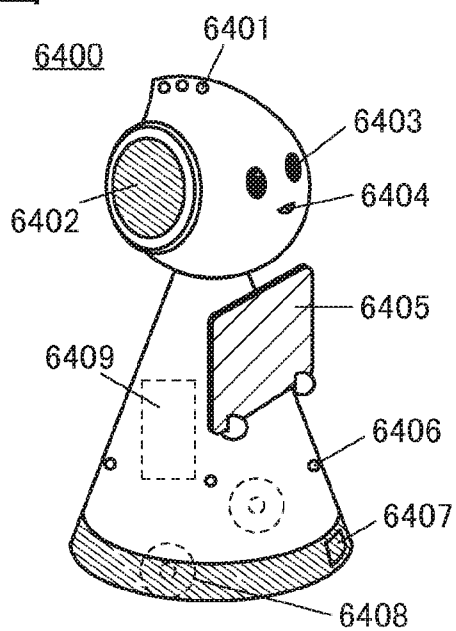


图 23E

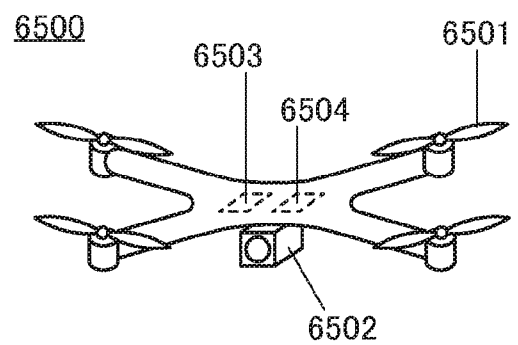


图 23F

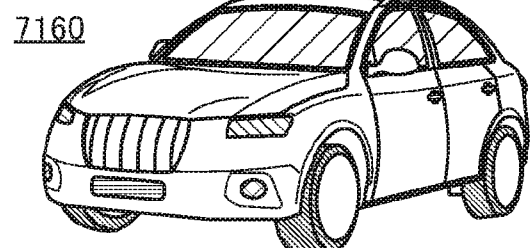
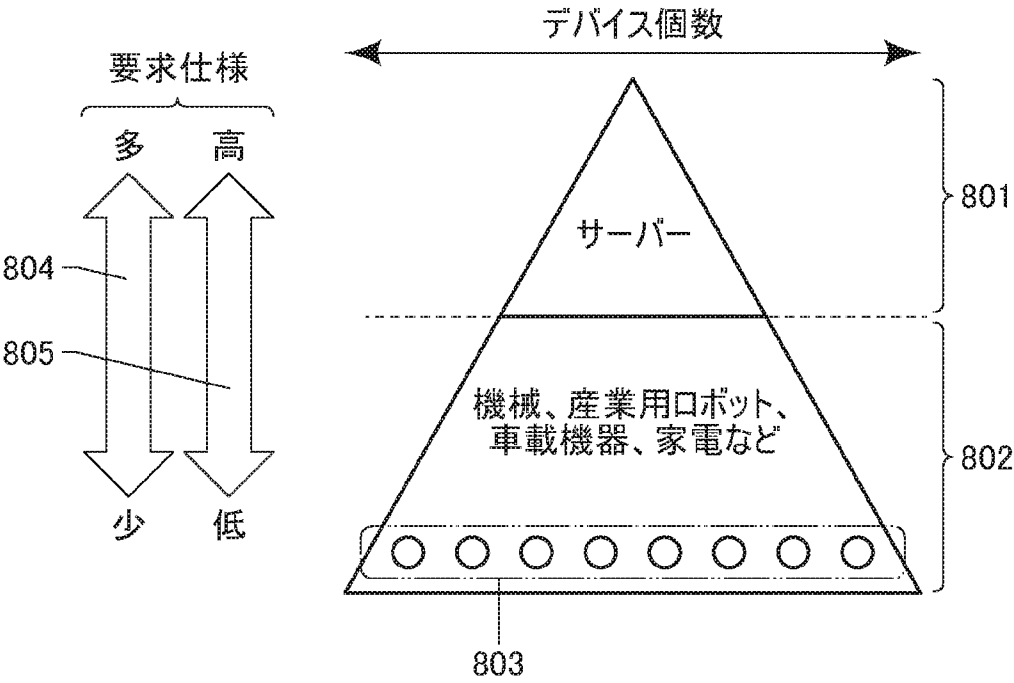
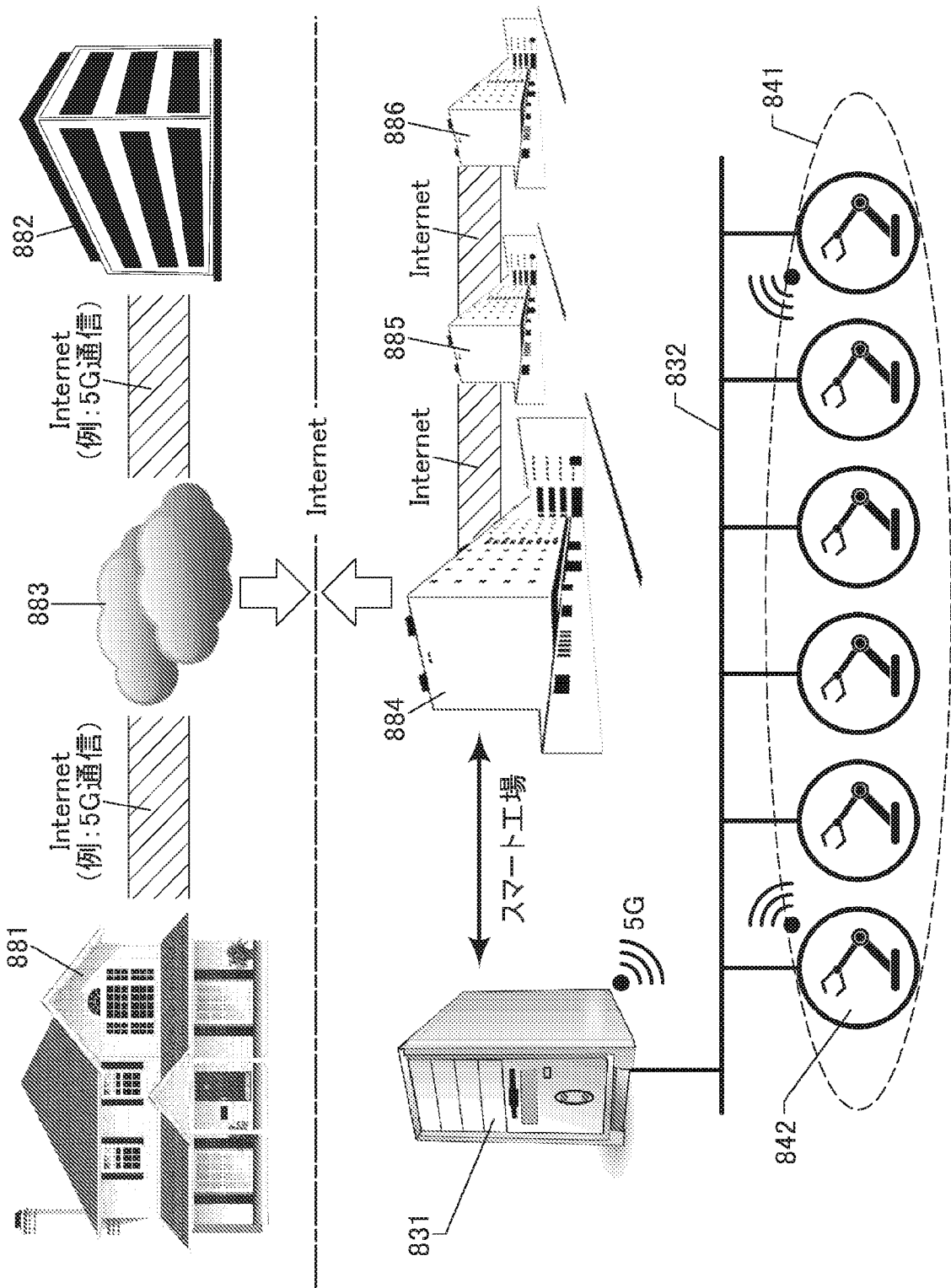


図24

24/25



25



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2020/054665

A. CLASSIFICATION OF SUBJECT MATTER

H03B 5/02(2006.01)i; H03B 5/08(2006.01)i; H03B 5/12(2006.01)i; H01L 21/822(2006.01)i; H01L 27/04(2006.01)i; H01L 21/8234(2006.01)i; H01L 27/06(2006.01)i; H01L 27/088(2006.01)i; H01L 29/786(2006.01)i

FI: H03B5/08 A; H01L29/78 618B; H01L29/78 613Z; H01L27/04 L; H01L27/04 C; H01L27/06 102A; H01L27/088 E; H01L27/088 331E; H01L27/04 F; H03B5/02 B; H03B5/12 B; H03B5/12 E; H03B5/12 A

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03B5/02; H03B5/08; H03B5/12; H01L21/822; H01L27/04; H01L21/8234; H01L27/06; H01L27/088; H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2017-188884 A (ANALOG DEVICES GLOBAL) 12.10.2017 (2017-10-12) paragraphs [0008]-[0019], fig. 1-2	1-7
Y	JP 2018-186313 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 22.11.2018 (2018-11-22) paragraphs [0216]-[0255], fig. 9-10	1-7
Y	JP 1-259628 A (HITACHI, LTD.) 17.10.1989 (1989-10-17) page 3, lower left column, line 4 to page 5, upper left column, line 5, fig. 2	7
A	JP 2009-284329 A (TOSHIBA CORP.) 03.12.2009 (2009-12-03) fig. 1, 4	1-7
A	WO 2013/136766 A1 (SEIKO EPSON CORP.) 19.09.2013 (2013-09-19) fig. 2	1-7



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
14 August 2020 (14.08.2020)

Date of mailing of the international search report
25 August 2020 (25.08.2020)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/IB2020/054665

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2017-188884 A	12 Oct. 2017	US 2017/0288650 A1 paragraphs [0009]-[0023], fig. 1-2 DE 102017106095 A1 CN 107276535 A	
JP 2018-186313 A	22 Nov. 2018	JP 2014-199924 A US 2014/0264324 A1 paragraphs [0229]-[0268], fig. 9-10 JP 2020-31245 A WO 2014/142333 A1 CN 105009299 A KR 10-2015-0129825 A	
JP 1-259628 A	17 Oct. 1989	(Family: none)	
JP 2009-284329 A	03 Dec. 2009	US 2009/0289732 A1 fig. 1, 4	
WO 2013/136766 A1	19 Sep. 2013	US 2015/0077193 A1 fig. 2 CN 104160627 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H03B 5/02(2006.01)i; H03B 5/08(2006.01)i; H03B 5/12(2006.01)i; H01L 21/822(2006.01)i; H01L 27/04(2006.01)i; H01L 21/8234(2006.01)i; H01L 27/06(2006.01)i; H01L 27/088(2006.01)i; H01L 29/786(2006.01)i FI: H03B5/08 A; H01L29/78 618B; H01L29/78 613Z; H01L27/04 L; H01L27/04 C; H01L27/06 102A; H01L27/088 E; H01L27/088 331E; H01L27/04 F; H03B5/02 B; H03B5/12 B; H03B5/12 E; H03B5/12 A																				
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H03B5/02; H03B5/08; H03B5/12; H01L21/822; H01L27/04; H01L21/8234; H01L27/06; H01L27/088; H01L29/786 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2020年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2020年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2020年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2020年	日本国実用新案登録公報	1996-2020年	日本国登録実用新案公報	1994-2020年										
日本国実用新案公報	1922-1996年																			
日本国公開実用新案公報	1971-2020年																			
日本国実用新案登録公報	1996-2020年																			
日本国登録実用新案公報	1994-2020年																			
C. 関連すると認められる文献 <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>Y</td> <td>JP 2017-188884 A（アナログ・デヴァイシズ・グローバル）12.10.2017（2017-10-12） 段落[0008]-[0019], [図1]-[図2]</td> <td>1-7</td> </tr> <tr> <td>Y</td> <td>JP 2018-186313 A（株式会社半導体エネルギー研究所）22.11.2018（2018-11-22） 段落[0216]-[0255], [図9]-[図10]</td> <td>1-7</td> </tr> <tr> <td>Y</td> <td>JP 1-259628 A（株式会社日立製作所）17.10.1989（1989-10-17） 第3頁左下欄第4行-第5頁左上欄第5行, 第2図</td> <td>7</td> </tr> <tr> <td>A</td> <td>JP 2009-284329 A（株式会社東芝）03.12.2009（2009-12-03） [図1], [図4]</td> <td>1-7</td> </tr> <tr> <td>A</td> <td>WO 2013/136766 A1（セイコーエプソン株式会社）19.09.2013（2013-09-19） [図2]</td> <td>1-7</td> </tr> </tbody> </table> ☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。 * 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	Y	JP 2017-188884 A（アナログ・デヴァイシズ・グローバル）12.10.2017（2017-10-12） 段落[0008]-[0019], [図1]-[図2]	1-7	Y	JP 2018-186313 A（株式会社半導体エネルギー研究所）22.11.2018（2018-11-22） 段落[0216]-[0255], [図9]-[図10]	1-7	Y	JP 1-259628 A（株式会社日立製作所）17.10.1989（1989-10-17） 第3頁左下欄第4行-第5頁左上欄第5行, 第2図	7	A	JP 2009-284329 A（株式会社東芝）03.12.2009（2009-12-03） [図1], [図4]	1-7	A	WO 2013/136766 A1（セイコーエプソン株式会社）19.09.2013（2013-09-19） [図2]	1-7
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号																		
Y	JP 2017-188884 A（アナログ・デヴァイシズ・グローバル）12.10.2017（2017-10-12） 段落[0008]-[0019], [図1]-[図2]	1-7																		
Y	JP 2018-186313 A（株式会社半導体エネルギー研究所）22.11.2018（2018-11-22） 段落[0216]-[0255], [図9]-[図10]	1-7																		
Y	JP 1-259628 A（株式会社日立製作所）17.10.1989（1989-10-17） 第3頁左下欄第4行-第5頁左上欄第5行, 第2図	7																		
A	JP 2009-284329 A（株式会社東芝）03.12.2009（2009-12-03） [図1], [図4]	1-7																		
A	WO 2013/136766 A1（セイコーエプソン株式会社）19.09.2013（2013-09-19） [図2]	1-7																		
国際調査を完了した日 14.08.2020		国際調査報告の発送日 25.08.2020																		
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 石田 昌敏 5W 4181 電話番号 03-3581-1101 内線 3576																		

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/IB2020/054665

引用文献			公表日	パテントファミリー文献	公表日
JP	2017-188884	A	12.10.2017	US 2017/0288650 A1 段落[0009]-[0023], [図1]- [図2] DE 102017106095 A1 CN 107276535 A	
JP	2018-186313	A	22.11.2018	JP 2014-199924 A US 2014/0264324 A1 段落[0229]-[0268], [図9]- [図10] JP 2020-31245 A WO 2014/142333 A1 CN 105009299 A KR 10-2015-0129825 A	
JP	1-259628	A	17.10.1989	(ファミリーなし)	
JP	2009-284329	A	03.12.2009	US 2009/0289732 A1 [図1], [図4]	
WO	2013/136766	A1	19.09.2013	US 2015/0077193 A1 [図2] CN 104160627 A	