



(19) 中華民國智慧財產局

(12) 發明說明書公告本 (11) 證書號數：TW I553861 B

(45) 公告日：中華民國 105 (2016) 年 10 月 11 日

(21) 申請案號：101124916 (22) 申請日：中華民國 101 (2012) 年 07 月 11 日

(51) Int. Cl. : H01L29/78 (2006.01) H01L29/04 (2006.01)

(30) 優先權：2011/07/14 日本 2011-155577

(71) 申請人：富士電機股份有限公司 (日本) FUJI ELECTRIC CO., LTD. (JP)
日本(72) 發明人：曹大為 CAO, DAWEI (CN)；北村睦美 KITAMURA, MUTSUMI (JP)；田村隆博
TAMURA, TAKAHIRO (JP)；大西泰彥 ONISHI, YASUHIKO (JP)

(74) 代理人：林志剛

(56) 參考文獻：

JP 2003-224273A

JP 2005-203565A

US 2001-15752A

審查人員：王人毅

申請專利範圍項數：6 項 圖式數：6 共 29 頁

(54) 名稱

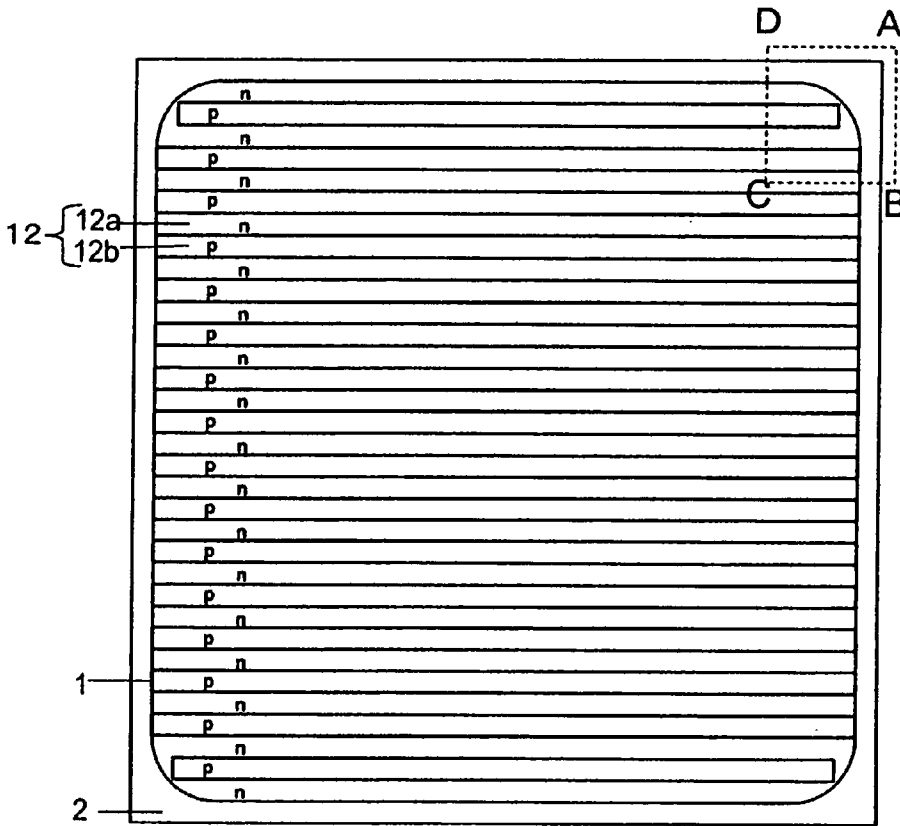
高耐壓半導體裝置

(57) 摘要

n 型區域與 p 型區域重複交互配置於與半導體基板的主面平行之方向的並聯 pn 層內的半導體區域之重複次數為偶數。耐壓構造部的第 2 並聯 pn 層(細微 SJ 晶格(12E))之 n 漂移區域(12c)與 p 區隔區域(12d)的重複節距，係元件活性部的第 1 並聯 pn 層(主 SJ 晶格(12))內之 n 漂移區域(12a)與 p 區隔區域(12b)的重複節距之 2/3。在具有矩形狀之平面形狀的半導體基板之四隅的角隅部之主 SJ 晶格(12)與細微 SJ 晶格(12E)的邊際中，主 SJ 晶格(12)的 2 節距晶格之端部與細微 SJ 晶格(12E)的 3 節距之端部對向。藉此，減低製程參差所致之影響，更可減低細微 SJ 晶格(12E)之 n 漂移區域(12c)與 p 區隔區域(12d)的相互擴散。

指定代表圖：

圖 1



符號簡單說明：

1 . . . 元件活性部

2 . . . 耐壓構造部

12 . . . 第 1 並聯 pn 層(主 SJ 晶格)

12a . . . 主 SJ 晶格的 n 漂移區域

12b . . . 主 SJ 晶格的 p 區隔區域

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101124916

※申請日：101年07月11日

※IPC分類：

一、發明名稱：(中文/英文)

高耐壓半導體裝置

H01L 29/178 2006.01

H01L 29/10 2006.01

二、中文發明摘要：

n 型區域與 p 型區域重複交互配置於與半導體基板的主面平行之方向的並聯 pn 層內的半導體區域之重複次數為偶數。耐壓構造部的第 2 並聯 pn 層(細微 SJ 晶格(12E))之 n 漂移區域(12c)與 p 區隔區域(12d)的重複節距，係元件活性部的第 1 並聯 pn 層(主 SJ 晶格(12))內之 n 漂移區域(12a)與 p 區隔區域(12b)的重複節距之 2/3。在具有矩形狀之平面形狀的半導體基板之四隅的角隅部之主 SJ 晶格(12)與細微 SJ 晶格(12E)的邊際中，主 SJ 晶格(12)的 2 節距晶格之端部與細微 SJ 晶格(12E)的 3 節距之端部對向。藉此，減低製程參差所致之影響，更可減低細微 SJ 晶格(12E)之 n 漂移區域(12c)與 p 區隔區域(12d)的相互擴散。

三、英文發明摘要：

000000

000000

四、指定代表圖：

(一) 本案指定代表圖為：第(1)圖。

(二) 本代表圖之元件符號簡單說明：

1：元件活性部

2：耐壓構造部

12：第1並聯pn層(主SJ晶格)

12a：主SJ晶格的n漂移區域

12b：主SJ晶格的p區隔區域

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明係關於 MOS（由金屬-氧化膜-半導體所成的絕緣閘極）型場效電晶體等的高耐壓半導體裝置，尤其關於具有超級連接構造，主電流通於半導體基板之兩主面之間的縱型半導體裝置（vertical semiconductor device）。

【先前技術】

在通常的縱型 MOSFET（絕緣閘極型場效電晶體）中，高電阻的 n^- 漂移層係具有在 ON 狀態時，將漂移電流通於縱方向（基板深度方向）的功能。所以，藉由縮短此 n^- 漂移層的電流路徑，亦即，減少 n^- 漂移層的厚度，漂移電阻會變低，故可獲得降低 MOSFET 的實質 ON 電阻之效果。

另一方面，高電阻的 n^- 漂移層係具有在 OFF 狀態時，會空乏化而保持高耐壓的功能。所以，過度削薄高電阻的 n^- 漂移層時，耐壓會變低，故從 p 基底區域與 n^- 漂移層的 pn 接合擴散之空乏層可利用較低之施加電壓到達汲極電極。另一方面，在增厚高電阻的 n^- 漂移層時，到達矽（Si）的臨界電場強度之反向偏壓電壓會變高，故成為高耐壓半導體裝置。

然而，在過度增厚高電阻的 n^- 漂移層時，ON 電阻會變大，增加損失。如此，在縱型 MOSFET 中，因為在 ON 電阻與耐壓之間有交互損益的關係，故一般來說難以同時

提升 ON 電阻及耐壓雙方的特性。

作為同時提升有此種交互損益關係之複數半導體特性的裝置，公知有具備於漂移層，交互重複接合 p 型區域與 n 型區域的構造之超級連接 (super junction，以下稱為 SJ) 構造的超級連接半導體裝置。此 SJ 構造係在適用於縱型之高耐壓半導體裝置時，於 n⁻漂移層中使延伸於基板的深度方向且寬度狹窄之 p 型區域與 n 型區域，交互重複並聯於與基板主面平行之方向的構造 (以下稱為並聯 pn 層)。

由該等複數 p 型區域與 n 型區域所成之並聯 pn 層，係即使在將 p 型區域與 n 型區域分別設為高不純物濃度的低電阻區域時，在 OFF 時利用較低之施加電壓，從並聯 pn 層內之所有區域間的 pn 接合擴散之空乏層也設為可迅速地使兩區域空乏化之程度的狹窄寬度，故公知為可同時獲得低 ON 電阻與高耐壓特性的構造。但是，對於藉由 SJ 構造來實際獲得高耐壓特性來說，重點是以盡可能使包含於 p 型區域與 n 型區域的不純物量成為均等之方式進行控制。

又，在將 SJ 構造形成於主電流通之元件活性部內的 n⁻漂移層之縱型 MOSFET 中，包圍元件活性部之耐壓構造部的構造也需要設為與通常的功率 MOSFET 不同之構造。亦即，對於為了實現具有 SJ 構造之 MOSFET 的高耐壓化來說，需要以保持高耐壓之方式適切設計之耐壓構造部。通常，耐壓構造部必須設為比元件活性部更保持高耐

壓的構造，故於耐壓構造部也形成有 SJ 構造或擬似 SJ 構造。即使在此耐壓構造部內，也因在 n 型區域與 p 型區域的不純物量不相等時，耐壓構造部的耐壓會降低，故導致高耐壓半導體裝置的耐壓降低。

爲了解決此問題，公知將耐壓構造部之並聯 pn 層的不純物量設爲元件活性部之並聯 pn 層的不純物量之 1/2 即可（例如參照後述專利文獻 1、2）。

〔 先前技術文獻 〕

〔 專利文獻 〕

〔 專利文獻 1 〕 日本特開 2000-277726 號公報

〔 專利文獻 2 〕 日本特開 2003-224273 號公報

【 發明內容 】

〔 發明所欲解決之課題 〕

對於如前述專利文獻 1、2，將耐壓構造部之並聯 pn 層的不純物量設爲元件活性部之並聯 pn 層的不純物量之 1/2 來說，將對耐壓構造部之不純物離子注入的量數量設爲對元件活性部之不純物離子注入的量數量之 1/2，或將不純物離子注入用遮罩的開口寬度於耐壓構造部中設爲元件活性部的 1/2 即可。例如，作爲將對耐壓構造部之不純物離子注入的量數量設爲對元件活性部之不純物離子注入的量數量之 1/2 的具體方法，揭示有將不純物離子注入分作數次來進行，將對耐壓構造部的離子注入次數設爲比對元件活性部的離子注入次數少之方法，但是，有產率變差

且成本提高的問題。

另一方面，將不純物離子注入用遮罩的開口寬度於耐壓構造部中設為元件活性部的 $1/2$ 之方法，因為僅使遮罩之開口部的寬度變化，所以可容易實現，但是，必須將耐壓構造部之遮罩開口寬度設為元件活性部之遮罩開口寬度的 $1/2$ 而使其變得細微。為此，耐壓構造部的並聯 pn 層實際上有容易受到製程參差所致之影響的問題。又，並聯 pn 層的 p 型區域及 n 型區域之寬度及節距的細微化雖然對改善特性來說有效，但是，會增加 p 型區域的 p 型不純物與 n 型區域的 n 型不純物之相互區域間的擴散（以下設為相互擴散），有不純物濃度的參差不齊變大，並聯 pn 層不會被形成的懸念。

此發明係為了消除上述之先前記述所致之問題點，提供減低製程參差所致之影響，並減低構成耐壓構造部之第 2 並聯 pn 層的 p 型區域及 n 型區域間的相互擴散的高耐壓半導體裝置。又，此發明係為了消除上述之先前記述所致之問題點，目的為提供具備佈局容易之超級連接的高耐壓半導體裝置。

〔用以解決課題之手段〕

為了解決前述之課題，達成本發明的目的，關於此發明的高耐壓半導體裝置，係作為漂移層，具備於與第 1 導電型高不純物濃度的半導體基板之一方主面垂直之方向具有長邊形狀的第 1 導電型半導體區域與第 2 導電型半導體

區域是在與前述半導體基板之主面平行之方向相互鄰接的並聯 pn 層，並具有在前述並聯 pn 層為 ON 狀態下電流通，在 OFF 狀態下會空乏化而阻止電壓之構造，並具有以下特徵。具備前述並聯 pn 層中，成為主電流路徑之元件活性部內的第 1 並聯 pn 層。具備前述並聯 pn 層中，圍住前述元件活性部之耐壓構造部內的第 2 並聯 pn 層。前述並聯 pn 層內的鄰接數為偶數。前述第 2 並聯 pn 層內之前述第 1 導電型半導體區域與前述第 2 導電型半導體區域的鄰接節距，係前述第 1 並聯 pn 層內之前述第 1 導電型半導體區域與前述第 2 導電型半導體區域的鄰接節距的 $2/3$ 。具有矩形狀之平面形狀的前述半導體基板之四隅的角隅部之前述第 1 並聯 pn 層與前述第 2 並聯 pn 層的邊際，係為前述第 1 並聯 pn 層鄰接之兩個端部與前述第 2 並聯 pn 層鄰接之 3 個端部對向。

又，關於此發明的高耐壓半導體裝置，其特徵為於上述之發明中，於前述第 2 並聯 pn 層的表面，更具備：低濃度第 1 導電型半導體區域，係不純物濃度比前述第 1 並聯 pn 層的前述第 1 導電型半導體區域還低。

又，關於此發明的高耐壓半導體裝置，其特徵為於上述之發明中，前述第 1 並聯 pn 層，係具有往與前述第 1 導電型半導體區域和前述第 2 導電型半導體區域相互重複並排之方向正交的方向延伸之條紋狀的平面佈局。

進而，關於此發明的高耐壓半導體裝置，其特徵為於上述之發明中，藉由對應每一偶數節距來改變位於前述半

導體基板之四隅的角隅部之前述第 1 並聯 pn 層的端部之長度，於前述元件活性部之外周的前述耐壓構造部之四隅的角隅部附近之部分構成曲率部；前述第 2 並聯 pn 層的最內側端部以對應前述曲率部的長度，與前述半導體基板的主面平行朝向前述半導體基板的內側延伸。

又，關於此發明的高耐壓半導體裝置，其特徵為於上述之發明中，前述第 1 並聯 pn 層，係具有於前述第 1 導電型半導體區域內前述第 2 導電型半導體區域被配置成矩陣狀的平面佈局。

又，關於此發明的高耐壓半導體裝置，其特徵為於上述之發明中，前述並聯 pn 層內的半導體區域並未具備用以取得電荷平衡的遷移部。所謂電荷平衡係指並聯 pn 層內的第 1 導電型半導體區域與第 2 導電型半導體區域之不純物量設為相等之狀況。

依據上述發明，藉由將耐壓構造部內之第 2 並聯 pn 層的節距設為元件活性部內之第 1 並聯 pn 層的節距之 $2/3$ ，可使並聯 pn 層內的第 1 導電型半導體區域及第 2 導電型半導體區域間的相互擴散及製程參差減少為比先前的 SJ 構造少。又，依據上述發明，因為利用並聯 pn 層內的半導體區域不具備用以取得電荷平衡的遷移部，OFF 時的漂移層之空乏化能以最低耐壓獲得，故最易於獲得高耐壓特性。

[發明的效果]

依據關於本發明的高耐壓半導體裝置，可發揮減低製程參差所致之影響，可減低構成耐壓構造部之第 2 並聯 pn 層的 p 型區域及 n 型區域內之間的相互擴散之效果。又，依據關於本發明的高耐壓半導體裝置，可發揮可提供具備佈局容易之超級連接的高耐壓半導體裝置之效果。

【實施方式】

以下，參照添附圖面，詳細說明關於此發明之高耐壓半導體裝置的適切之實施形態。於本說明書及添附圖面中，在冠上 n 或 p 的層或區域中，分別代表電子或電洞為多數載子。又，於 n 或 p 附加之 + 及 - 係代表比未附加之層或區域更高之高不純物濃度及更低之低不純物濃度。再者，於以下實施形態的說明及添附圖面中，對於相同構造附加相同符號，省略重複的說明。在以下的說明中，將第 1 導電型設為 n 型，第 2 導電型設為 p 型來進行說明。

（實施形態 1）

針對關於實施形態 1 的高耐壓半導體裝置，以具有超級連接（super junction：SJ）構造的縱型 MOSFET（以下稱為 SJ-MOSFET）為例進行說明。圖 1 係揭示關於本發明的實施形態 1 之 SJ-MOSFET 之構造的俯視圖。圖 2 係放大揭示以圖 1 的 ABCD 為頂點之矩形包圍之部分的俯視圖。於圖 1、2，為了明確揭示 SJ 構造的平面構造，僅揭示 SJ 構造的平面佈局。

如圖 1、2 所示，關於本發明的實施形態 1 之 SJ-MOSFET 係於元件活性部 1 內的漂移層具備主 SJ 晶格，於耐壓構造部 2 內的漂移層具備細微 SJ 晶格。所謂元件活性部 1 係 ON 時成爲電流路徑的區域。所謂耐壓構造部 2 係緩和元件活性部 1 之周邊部的電場，且保持耐壓的區域。耐壓構造部 2 係位於包圍元件活性部 1 的外周。於圖 1，揭示僅第 1 並聯 pn 層 12 的平面佈局，於圖 2，揭示放大以圖 1 的晶片之角隅部的 ABCD 爲頂點之矩形（以下稱爲矩形 ABCD）所包圍之部分，晶片角隅部之主 SJ 晶格 12 及細微 SJ 晶格 12E 雙方的平面佈局。

所謂主 SJ 晶格 12 係於元件活性部 1 內，將 n 型區域 12a 與 p 型區域 12b 交互重複配置於與基板主面平行之方向的第一並聯 pn 層。主 SJ 晶格 12 係例如具有往與 n 型區域 12a 與 p 型區域 12b 交互重複並排之方向正交的方向延伸之條紋狀的平面佈局。所謂細微 SJ 晶格 12E 係於耐壓構造部 2 內，將 n 型區域 12c 與 p 型區域 12d 交互重複配置於與基板主面平行之方向的第二並聯 pn 層。細微 SJ 晶格 12E 係例如具有於 n 型區域 12c 內 p 型區域 12d 被配置成矩陣狀的平面佈局。

具體來說，如圖 2 所示，耐壓構造部 2 內的第一並聯 pn 層（細微 SJ 晶格 12E）係具有構成細微 SJ 晶格 12E 的 n 型區域 12c 爲格子狀的平面佈局。在晶片角隅部中，於元件活性部 1 內的第一並聯 pn 層（主 SJ 晶格 12）之耐壓構造部側的端部中，藉由依每兩組的主 SJ 晶格 12，來

改變與基板主面平行之方向的長度，作為整體，構成曲率部。然後，於耐壓構造部 2 內的第 2 並聯 pn 層（細微 SJ 晶格 12E）之內側端部中，配置有對應第 1 並聯 pn 層（主 SJ 晶格 12）之端部形狀的 3 組細微 SJ 晶格 12E。將並聯 pn 層之 1 個 n 型區域與鄰接此 n 型區域之 1 個 p 型區域設為 1 組。

如此，關於實施形態 1 的 SJ-MOSFET 係於元件活性部 1 內的漂移層具備第 1 並聯 pn 層（主 SJ 晶格 12），與於耐壓構造部 2 內的漂移層具備第 2 並聯 pn 層（細微 SJ 晶格 12E）。接著，針對關於實施形態 1 之 SJ-MOSFET 的剖面構造進行說明。圖 3 係揭示圖 2 的切斷線 E-F 之剖面構造的剖面圖。切斷線 E-F 係橫跨主 SJ 晶格 12 及細微 SJ 晶格 12E 的切斷線。

如圖 3 所示，主 SJ 晶格 12 及細微 SJ 晶格 12E 係構成在設置於 n^+ 型半導體基板 11 表面的成為 n 型漂移區域的 n 型區域內。具體來說，主 SJ 晶格 12 及細微 SJ 晶格 12E 係藉由具有對於 n 型漂移區域的 n^+ 型半導體基板 11 側，從相反側的主面往與該主面垂直之方向延伸的長邊形狀，且重複並排配置於與基板主面平行之方向（短邊方向）的 n 型區域（以下稱為 n 漂移區域）12a、12c 及 p 型區域（以下稱為 p 區隔區域）12b、12d 所構成。 n^+ 型半導體基板 11 係比 n 漂移區域 12a、12c 還低電阻（高不純物濃度）。

於 n^+ 型半導體基板 11 的背面，設置有背面電極。 n^+

型半導體基板 11 係具有 n^+ 汲極區域的功能，背面電極係具有汲極電極 8 的功能。此種 SJ 構造的狀況中，OFF 時從 n 漂移區域 12a 與 p 區隔區域 12b 的 pn 接合，空乏層會迅速擴散至兩側的 n 漂移區域 12a 及 p 區隔區域 12b，藉由設定各區域之短邊方向的寬度，使得可利用低電壓來完全空乏化，可達成高耐壓化。

於元件活性部 1 內，在對於各 p 區隔區域 12b 的 n^+ 型半導體基板 11 側之相反側的表面層，設置有 p 基底區域 13a。於 p 基底區域 13a 的表面層，設置有 n^+ 源極區域 14 與 p^+ 接觸區域 13b。 p^+ 接觸區域 13b 的不純物濃度高於 p 基底區域 13a 的不純物濃度。在被 n^+ 源極區域 14 與 n 漂移區域 12a 挾持之 p 基底區域 13a 的表面上，透過閘極絕緣膜 5 設置有由多晶矽膜所成的閘極電極 6。在 n^+ 源極區域 14 及 p^+ 接觸區域 13b 的表面，藉由鋁膜，設置有同時接觸 n^+ 源極區域 14 及 p^+ 接觸區域 13b 的源極電極 7。閘極電極 6 係藉由設置在表面上的層間絕緣膜 9，確保與更覆蓋其上的源極電極 7 之絕緣。

於耐壓構造部 2 中，在對於第 2 並聯 pn 層（細微 SJ 晶格 12E）的 n^+ 型半導體基板 11 側之相反側的表面層，以覆蓋第 2 並聯 pn 層的表面整體之方式作為均勻的不純物濃度區域，而形成 n^- 區域 3。 n^- 區域 3 的不純物濃度係低於元件活性部 1 之 n 漂移區域 12a 的不純物濃度。在此 n^- 區域 3 內，以所定間隔設置有 p 型護環。進而，設置有覆蓋 n^- 區域 3 的場絕緣膜 4。符號 15 係抑制空乏層延伸

過度的阻擋電極。

第 2 並聯 pn 層（細微 SJ 晶格 12E）的鄰接節距係設為元件活性部 1 內之第 1 並聯 pn 層（主 SJ 晶格 12）的鄰接節距之 $2/3$ ，未設置遷移部的構造為本發明的特徵。所謂遷移部係設為元件活性部 1 之 n 漂移區域 12a 與 p 區隔區域 12b 之不純物量的關係，和耐壓構造部 2 之 n 漂移區域 12c 與 p 區隔區域 12d 之不純物量的關係之中間的不純物量的區域。

所謂第 1 並聯 pn 層的鄰接節距係 n 漂移區域 12a 與 p 區隔區域 12b 的鄰接節距。所謂第 2 並聯 pn 層的鄰接節距係 n 漂移區域 12c 與 p 區隔區域 12d 的鄰接節距。亦即，於第 1 並聯 pn 層與第 2 並聯 pn 層的邊際中，第 1 並聯 pn 層之鄰接的兩組主 SJ 晶格 12 的端部，與第 2 並聯 pn 層之鄰接的 3 組細微 SJ 晶格 12E 的端部對向。

藉由將耐壓構造部 2 內之第 2 並聯 pn 層（細微 SJ 晶格 12E）的鄰接節距設為元件活性部 1 之第 1 並聯 pn 層（主 SJ 晶格 12）的鄰接節距之 $2/3$ 的細微圖案，可將 p 型區隔區域及 n 型漂移區域內之間的相互擴散及製程參差抑制為比先前的 SJ 構造少。所謂先前的 SJ 構造係將耐壓構造部之第 2 並聯 pn 層的鄰接節距設為元件活性部之第 1 並聯 pn 層的鄰接節距之 $1/2$ 之狀況（參照後述之圖 4）。進而，因為 OFF 時耐壓構造部 2 的空乏層比元件活性部 1 的空乏層更容易擴散，故可獲得更高之耐壓。

針對此點，更詳細地比較圖 2 所示之關於本發明的實

施形態 1 之耐壓構造部 2 的平面佈局，與圖 4 所示之先前技術之耐壓構造部的平面佈局來進行說明。圖 4 係放大揭示先前的耐壓構造部之一部分的俯視圖。於圖 4，揭示形成先前之 SJ-MOSFET 的晶片角隅部之平面佈局。圖 4 所示之區域的範圍係與圖 2 所示之以矩形 ABCD 包圍之區域的範圍相同。

如圖 4 所示，在先前的 SJ-MOSFET 中，於元件活性部 100 內，設置有將 n 型區域 212a 與 p 型區域 212b 交互重複配置於與基板主面平行之方向的第 1 並聯 pn 層（主 SJ 晶格 212）。於耐壓構造部 200 內，設置有將 n 型區域 212c 與 p 型區域 212d 交互重複配置於與基板主面平行之方向的第 2 並聯 pn 層（細微 SJ 晶格 212E）。先前的耐壓構造部 200 內之並聯 pn 層（細微 SJ 晶格 212E）的節距係為元件活性部 100 內之第 1 並聯 pn 層（主 SJ 晶格 212）的節距之 1/2。

於關於本發明的實施形態 1 之耐壓構造部 2 中，可減低在先前的耐壓構造部 200 內之並聯 pn 層 212E 之狀況中易於產生的製程參差所致之影響，也易於控制不純物量。且也可減低耐壓構造部 2 的 n 漂移區域 12c 與 p 區隔區域 12d 的相互擴散之影響。

進而，如先前的 SJ-MOSFET，在將元件活性部的主 SJ 晶格之節距的數量設為奇數，而需要與細微 SJ 晶格之間的遷移部時，為了利用此遷移部來獲得電荷平衡，更需要細微 SJ 晶格的配置，製程參差會變大，所以並不理

想。相對於此，關於本發明的 SJ-MOSFET 因為元件活性部 1 的主 SJ 晶格之節距的數量為偶數，不需要更細微之晶格配置的遷移部之設置，可獲得可簡略化平面佈局的優點。

又，關於本發明的 SJ-MOSFET，形成於矩形狀的晶片之 SJ-MOSFET 的 4 隅的角隅部之第 1 並聯 pn 層（主 SJ 晶格 12）與第 2 並聯 pn 層（細微 SJ 晶格 12E）的邊際，為第 1 並聯 pn 層的 2 節距之端部與第 2 並聯 pn 層的 3 節距之端部對向的構造。為此，可不設置遷移部而獲得電荷平衡。

圖 2 所示之高耐壓半導體裝置的角隅部之平面佈局係為一例，可進行各種變更。例如，耐壓構造部 2 之第 2 並聯 pn 層 12E 的 p 區隔區域 12d 之平面形狀並不限定於正方形狀，作為圓狀及長方形或六角形狀等的多角形狀亦可。

（實施形態 2）

圖 5 係揭示關於本發明的實施形態 2 之 SJ-MOSFET 之一部分的俯視圖。圖 6 係揭示圖 5 的切斷線 G-H 之剖面構造的剖面圖。於圖 5，揭示以圖 1 的矩形 ABCD 包圍之部分的另一例。關於實施形態 2 的 SJ-MOSFET 與關於實施形態 1 的 SJ-MOSFET 之不同之處，係以下兩點。第 1 個不同點，係在元件活性部 1 內重複圖案配置之並聯 pn 層（主 SJ 晶格 12）並不是條紋狀的平面佈局，是於 n 漂

移區域 12a 內 p 區隔區域 12b 被配置成矩陣狀的平面佈局之點。

第 2 個不同點，係於耐壓構造部 2 的表面側，作為均勻的不純物濃度區域，並未形成 n^- 區域 3。關於實施形態 2 的 SJ-MOSFET 之前述兩個不同點之外的構造，係與關於實施形態 1 的 SJ-MOSFET 相同。即使於關於此實施形態 2 的 SJ-MOSFET 中，因為耐壓構造部 2 的第 2 並聯 pn 層 12E 之節距小於元件活性部 1 內的並聯 pn 層 12 之節距（大概為 $2/3$ ），故與實施形態 1 相同，可取得在 OFF 時耐壓構造部 2 的空乏層比元件活性部 1 更容易擴散，可獲得更高之耐壓的優點。

如上所說明般，依據本發明，藉由將耐壓構造部內之第 2 並聯 pn 層的節距設為元件活性部內之第 1 並聯 pn 層的節距之 $2/3$ ，可使並聯 pn 層內的 p 型區隔區域及 n 型漂移區域內之間的相互擴散及製程參差減少為比先前的 SJ 構造少。又，依據上述發明，因為利用並聯 pn 層內的半導體區域不具備用以取得電荷平衡的遷移部（ n^- 區域），OFF 時的漂移層之空乏化能以最低耐壓獲得，故最易於獲得高耐壓特性。

在以上說明的本發明中，以 SJ-MOSFET 為例進行說明，但是，並不限定於上述之實施形態，可適用於在漂移層中形成 SJ 構造之各種裝置。又，在各實施形態中將第 1 導電型設為 n 型，將第 2 導電型設為 p 型，但是，本發明即使將第 1 導電型設為 p 型，將第 2 導電型設為 n 型也

同樣成立。

〔產業上之利用可能性〕

如上所述，關於本發明的高耐壓半導體裝置係可有效利用於 MOS（由金屬-氧化膜-半導體所成的絕緣閘極）型場效電晶體等，於半導體基板的兩主面之間流通主電流之縱型的高耐壓・大電流的功率半導體裝置。

【圖式簡單說明】

〔圖 1〕圖 1 係揭示關於本發明的實施形態 1 之 SJ-MOSFET 之構造的俯視圖。

〔圖 2〕圖 2 係放大揭示以圖 1 的 ABCD 為頂點之矩形包圍之部分的俯視圖。

〔圖 3〕圖 3 係揭示圖 2 的切斷線 E-F 之剖面構造的剖面圖。

〔圖 4〕圖 4 係放大揭示先前的耐壓構造部之一部分的俯視圖。

〔圖 5〕圖 5 係揭示關於本發明的實施形態 2 之 SJ-MOSFET 之一部分的俯視圖。

〔圖 6〕圖 6 係揭示圖 5 的切斷線 G-H 之剖面構造的剖面圖。

【主要元件符號說明】

1：元件活性部

- 2 : 耐壓構造部
- 3 : n^- 區域 (低濃度第 1 導電型半導體區域)
- 4 : 場絕緣膜
- 5 : 閘極絕緣膜
- 6 : 閘極電極
- 7 : 源極電極
- 8 : 汲極電極
- 9 : 層間絕緣膜
- 11 : n^+ 型半導體基板 (n^+ 汲極區域)
- 12 : 第 1 並聯 pn 層 (主 SJ 晶格)
- 12a : 主 SJ 晶格的 n 漂移區域 (第 1 導電型半導體區域)
- 12b : 主 SJ 晶格的 p 區隔區域 (第 2 導電型半導體區域)
- 12E : 第 2 並聯 pn 層 (細微 SJ 晶格)
- 12c : 細微 SJ 晶格的 n 漂移區域 (第 1 導電型半導體區域)
- 12d : 細微 SJ 晶格的 p 區隔區域 (第 2 導電型半導體區域)
- 13a : p 基底區域
- 13b : p^+ 接觸區域
- 14 : n^+ 源極區域
- 15 : 阻擋電極

七、申請專利範圍：

1. 一種高耐壓半導體裝置，係作為漂移層，具備於與第 1 導電型高不純物濃度的半導體基板之一方主面垂直之方向具有長邊形狀的第 1 導電型半導體區域與第 2 導電型半導體區域是在與前述半導體基板之主面平行之方向相互鄰接的並聯 pn 層，並具有在前述並聯 pn 層為 ON 狀態下電流通，在 OFF 狀態下會空乏化而阻止電壓之構造的高耐壓半導體裝置，其特徵為：

具備：

第 1 並聯 pn 層，係前述並聯 pn 層中，成為主電流路徑之元件活性部內的第 1 並聯 pn 層；及

第 2 並聯 pn 層，係前述並聯 pn 層中，圍住前述元件活性部之耐壓構造部內的第 2 並聯 pn 層；

將前述第 1 並聯 pn 層內之一個前述第 1 導電型半導體區域與該第 1 導電型半導體區域旁之一個前述第 2 導電型半導體區域作為 1 組，並將該 2 組的寬度設為 1 時，將前述第 2 並聯 pn 層內之一個前述第 1 導電型半導體區域與該第 1 導電型半導體區域旁之一個前述第 2 導電型半導體區域作為 1 組，而該 1 組的寬度為 $2/3$ ；

具有矩形狀之平面形狀的前述半導體基板之四隅的角隅部之前述第 1 並聯 pn 層與前述第 2 並聯 pn 層的邊際，係為前述第 1 並聯 pn 層鄰接之 2 組的端部與前述第 2 並聯 pn 層鄰接之 3 組的端部對向。

2. 如申請專利範圍第 1 項所記載之高耐壓半導體裝

置，其中，

於前述第 2 並聯 pn 層的表面，更具備：低濃度第 1 導電型半導體區域，係不純物濃度比前述第 1 並聯 pn 層的前述第 1 導電型半導體區域還低。

3. 如申請專利範圍第 2 項所記載之高耐壓半導體裝置，其中，

前述第 1 並聯 pn 層，係具有往與前述第 1 導電型半導體區域和前述第 2 導電型半導體區域相互重複並排之方向正交的方向延伸之條紋狀的平面佈局。

4. 如申請專利範圍第 1 項所記載之高耐壓半導體裝置，其中，

藉由對應每一偶數節距來改變位於前述半導體基板之四隅的角隅部之前述第 1 並聯 pn 層的端部之長度，於前述元件活性部之外周的前述耐壓構造部之四隅的角隅部附近之部分構成曲率部；

前述第 2 並聯 pn 層的最內側端部以對應前述曲率部的長度，與前述半導體基板的主面平行朝向前述半導體基板的內側延伸。

5. 如申請專利範圍第 4 項所記載之高耐壓半導體裝置，其中，

前述第 1 並聯 pn 層，係具有於前述第 1 導電型半導體區域內前述第 2 導電型半導體區域被配置成矩陣狀的平面佈局。

6. 如申請專利範圍第 1 項所記載之高耐壓半導體裝

置，其中，

前述並聯 pn 層內的半導體區域並未具備用以取得電荷平衡的遷移部。

圖 1

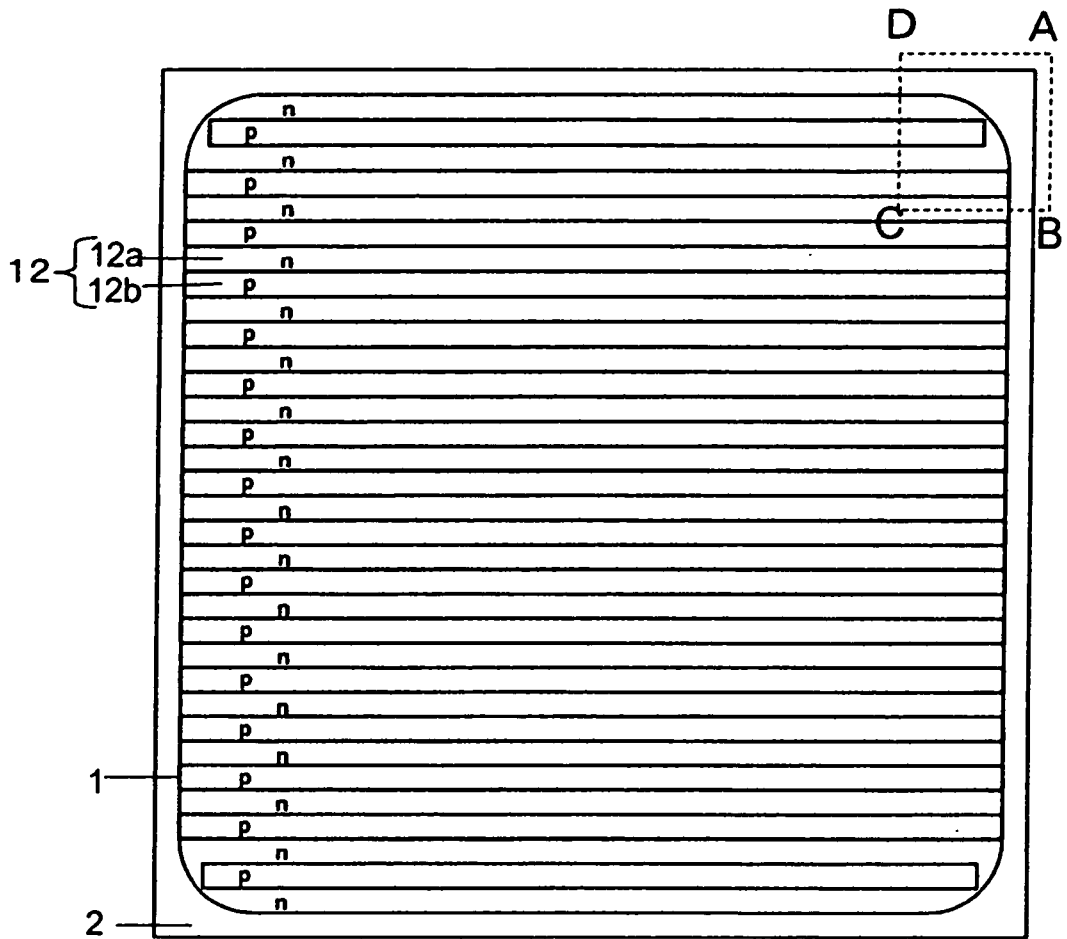


圖2

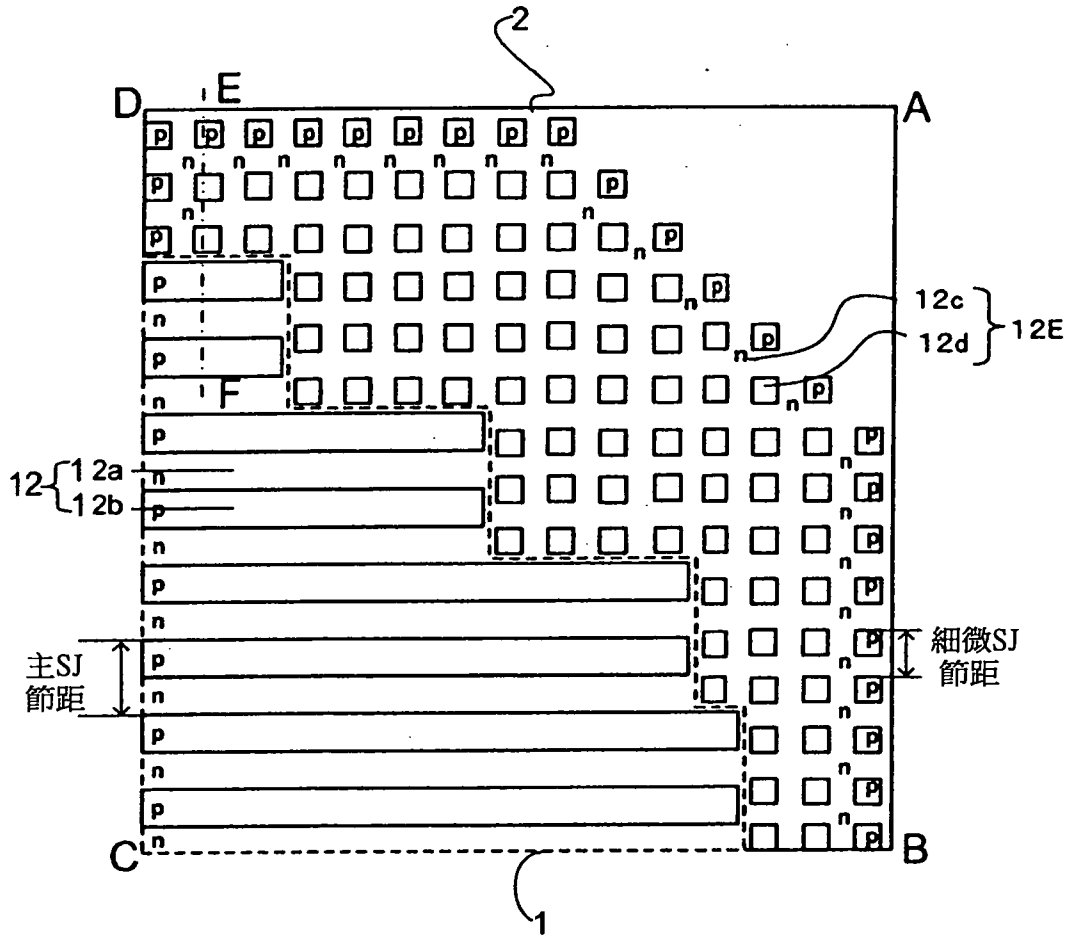


圖3

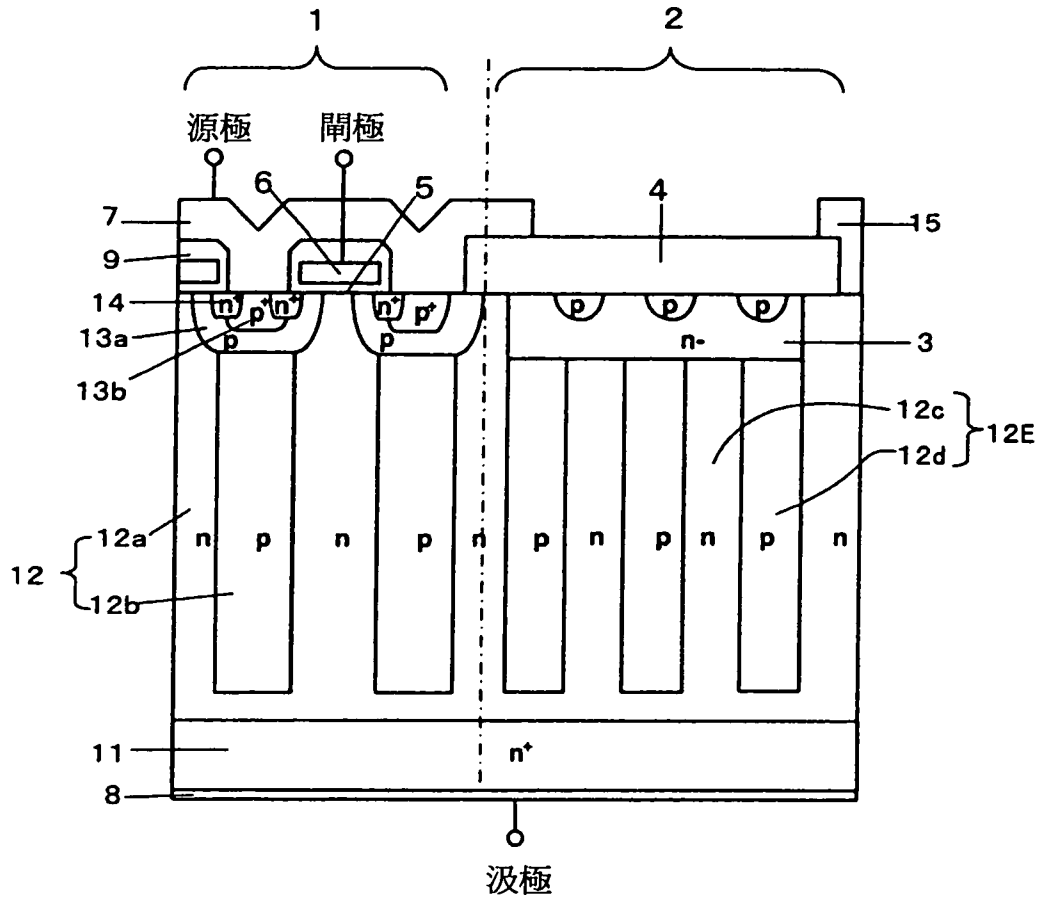


圖4

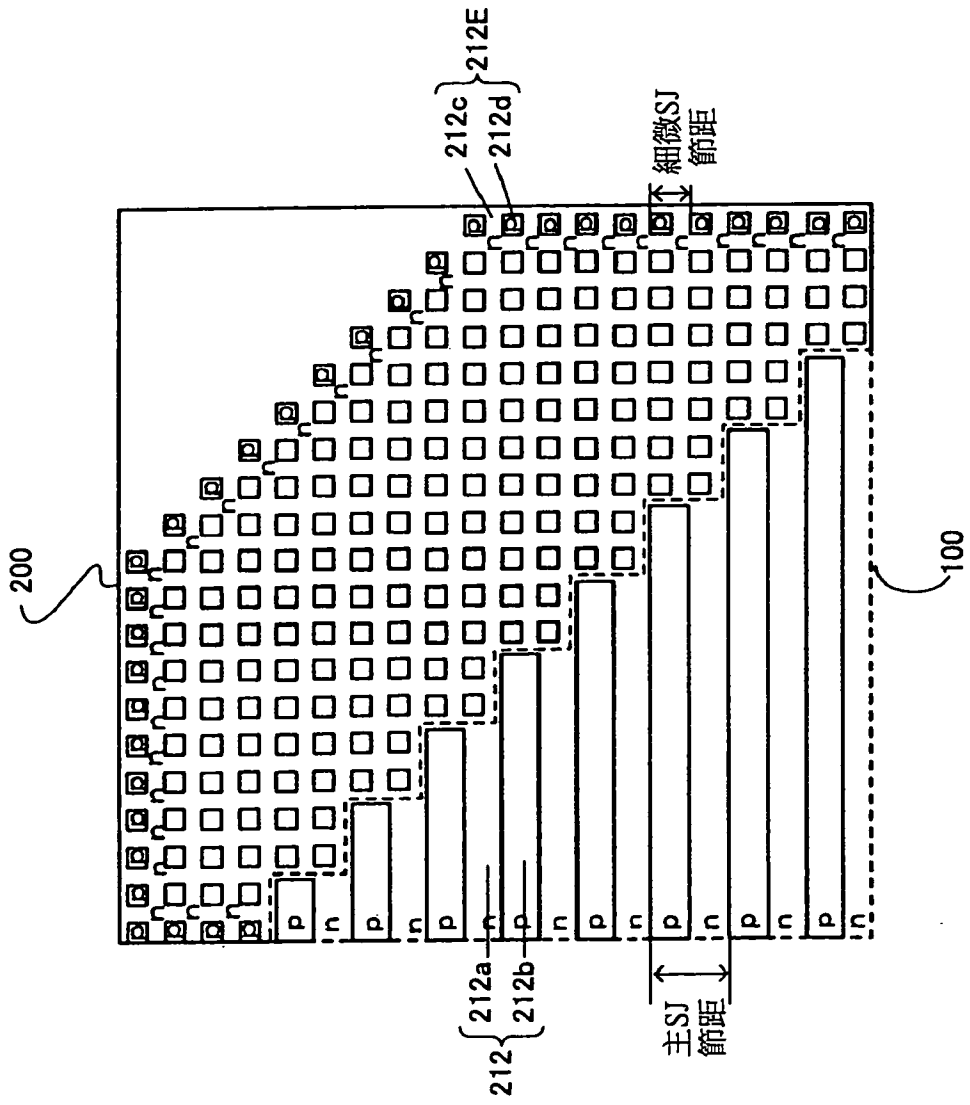


圖5

