



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I721223 B

(45)公告日：中華民國 110 (2021) 年 03 月 11 日

(21)申請案號：106136283

(22)申請日：中華民國 106 (2017) 年 10 月 23 日

(51)Int. Cl. : **H01L21/02 (2006.01)****H01L21/762 (2006.01)****H01L27/12 (2006.01)**

(30)優先權：2016/10/26 美國

62/412,937

(71)申請人：環球晶圓股份有限公司 (中華民國) GLOBALWAFERS CO., LTD. (TW)

新竹市新竹科學工業園區東區工業東二路 8 號

(72)發明人：王剛 WANG, GANG (CN)；立柏特 傑佛瑞 L LIBBERT, JEFFREY L. (US)；湯瑪斯 尚恩 喬治 THOMAS, SHAWN GEORGE (US)；劉慶旻 LIU, QINGMIN (CN)

(74)代理人：陳長文；洪榮宗

(56)參考文獻：

US 2008/0128806A1

US 2013/0344680A1

審查人員：施喻懷

申請專利範圍項數：57 項 圖式數：5 共 52 頁

(54)名稱

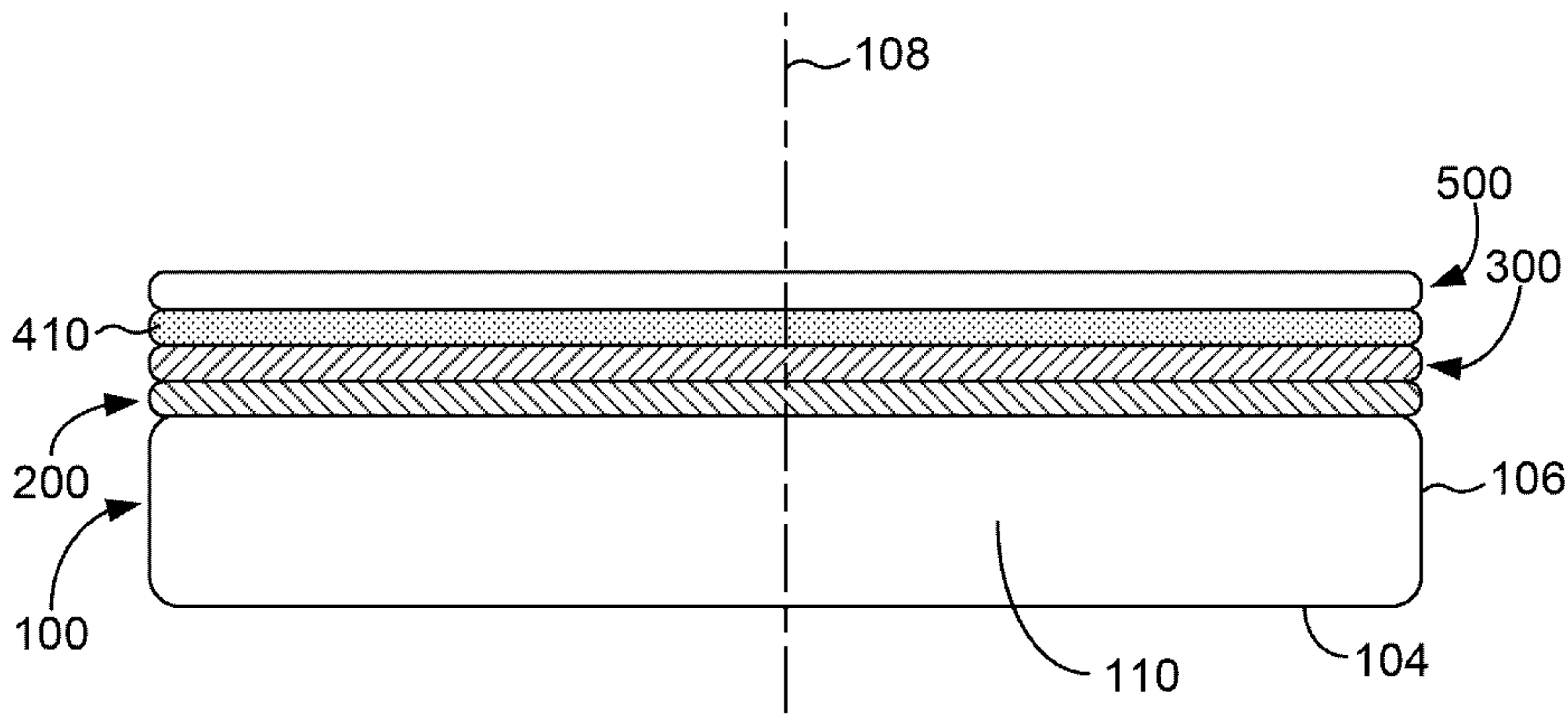
具有較佳電荷捕獲效率之高電阻率絕緣體上矽基板

(57)摘要

本發明提供一種多層絕緣體上半導體結構，其中處置基板及與該處置基板界面接觸之一磊晶層包括相反類型之電活性摻雜物。該磊晶層由處置基板自由載子耗盡，藉此導致一高表觀電阻率，其改良 RF 裝置之結構之功能。

A multilayer semiconductor on insulator structure is provided in which the handle substrate and an epitaxial layer in interfacial contact with the handle substrate comprise electrically active dopants of opposite type. The epitaxial layer is depleted by the handle substrate free carriers, thereby resulting in a high apparent resistivity, which improves the function of the structure in RF devices.

指定代表圖：



【圖3E】

符號簡單說明：

- 100 . . . 單晶半導體處置晶圓
- 104 . . . 後表面
- 106 . . . 圓周邊緣
- 108 . . . 中心軸
- 110 . . . 主體區域
- 200 . . . 磊晶層
- 300 . . . 電荷捕獲層
- 410 . . . 介電層
- 500 . . . 單晶半導體裝置層



I721223

【發明摘要】

【中文發明名稱】

具有較佳電荷捕獲效率之高電阻率絕緣體上矽基板

【英文發明名稱】

HIGH RESISTIVITY SILICON-ON-INSULATOR SUBSTRATE
HAVING ENHANCED CHARGE TRAPPING EFFICIENCY

【中文】

本發明提供一種多層絕緣體上半導體結構，其中處置基板及與該處置基板界面接觸之一磊晶層包括相反類型之電活性摻雜物。該磊晶層由處置基板自由載子耗盡，藉此導致一高表觀電阻率，其改良RF裝置之結構之功能。

【英文】

A multilayer semiconductor on insulator structure is provided in which the handle substrate and an epitaxial layer in interfacial contact with the handle substrate comprise electrically active dopants of opposite type. The epitaxial layer is depleted by the handle substrate free carriers, thereby resulting in a high apparent resistivity, which improves the function of the structure in RF devices.

【指定代表圖】

圖3E

【代表圖之符號簡單說明】

100 單晶半導體處置晶圓

104 後表面

106	圓周邊緣
108	中心軸
110	主體區域
200	磊晶層
300	電荷捕獲層
410	介電層
500	單晶半導體裝置層

【發明說明書】

【中文發明名稱】

具有較佳電荷捕獲效率之高電阻率絕緣體上矽基板

【英文發明名稱】

HIGH RESISTIVITY SILICON-ON-INSULATOR SUBSTRATE
HAVING ENHANCED CHARGE TRAPPING EFFICIENCY

【技術領域】

【先前技術】

一般由一單晶錠(例如一矽錠)製備半導體晶圓，該單晶錠經修整及研磨以使一或多個平面或切口用於在後續程序中適當定向晶圓。接著，將錠切割為個體晶圓。儘管本文中將參考由矽構造之半導體晶圓，但可使用其他材料來製備半導體晶圓，諸如鍺、碳化矽、矽鍺、砷化鎵及III族及V族元素之其他合金(諸如氮化鎵或磷化銮)或II族及VI族元素之合金(諸如硫化鎘或氧化鋅)。

半導體晶圓(例如矽晶圓)可用於製備複合層結構。一複合層結構(例如一絕緣體上半導體結構，且更具體而言，一絕緣體上矽(SOI)結構)大體上包括一處置晶圓或處置層、一裝置層及介於處置層與裝置層之間的一絕緣(即，介電)膜(通常為氧化物層)。一般而言，裝置層之厚度係介於0.01微米至20微米之間，諸如，厚度介於0.05微米至20微米之間。厚膜裝置層可具有介於約1.5微米至約20微米之間的一裝置層厚度。薄膜裝置層可具有介於約0.01微米至約0.20微米之間的一厚度。一般而言，藉由使兩個晶圓密切接觸以藉此藉由凡得瓦(van der Waal)力來引發結合且接著進行一熱處理以強化結合來產生諸如絕緣體上矽(SOI)、藍寶石上矽(SOS)及石英

上矽之複合層結構。退火可將末端矽烷醇基轉換為兩個界面之間的矽氧烷鍵，藉此強化結合。

在熱退火之後，結合結構經受進一步處理以移除施體晶圓之一實質部分以達成層轉移。例如，可使用例如蝕刻或研磨之晶圓薄化技術(通常指稱回蝕SOI (即，**BESOI**))，其中一矽晶圓經結合至處置晶圓且接著被緩慢蝕除，直至處置晶圓上僅保留一薄矽層。參閱(例如)美國專利第5,189,500號，其揭示內容依宛如全文闡述引用之方式併入本文中。此方法既耗時又昂貴，浪費數個基板之一者，且一般不具有適合於不到數微米之薄層之厚度均勻性。

達成層轉移之另一常用方法利用氫植入及接著熱致層分離。在施體晶圓之前表面下方之一特定深度處植入粒子(原子或電離原子，例如氫原子或氫原子及氮原子之一組合)。植入之粒子在其植入之特定深度處形成施體晶圓中之一分割面。施體晶圓之表面經清洗以移除在植入程序期間沈積於晶圓上之有機化合物或其他污染物，諸如硼化合物。

接著，透過一親水結合程序來將施體晶圓之前表面結合至一處置晶圓以形成一結合晶圓。在結合之前，藉由使晶圓之表面曝露於含有(例如)氧或氮之電漿來活化施體晶圓及/或處置晶圓。曝露於電漿在通常指稱表面活化之一程序中使表面之結構改質，該活化程序使施體晶圓及處置晶圓之一或兩者之表面具親水性。另外，可藉由一濕式處理(諸如SC1清洗或氫氟酸)來化學活化晶圓之表面。濕式處理及電漿活化可依任一順序發生，或晶圓可僅經受一處理。接著，將晶圓緊壓在一起且在其等之間形成一結合。此結合係相對較弱的(歸因於凡得瓦力)且必須在發生進一步處理之前加以強化。

在一些程序中，藉由加熱或退火結合晶圓對來強化施體晶圓與處置晶圓(即，一結合晶圓)之間的親水結合。在一些程序中，晶圓結合可發生於諸如約 300°C 至約 500°C 之間的低溫處。在一些程序中，晶圓結合可發生於諸如約 800°C 至約 1100°C 之間的高溫處。高溫引起施體晶圓與處置晶圓之鄰接表面之間形成共價鍵以因此固化施體晶圓與處置晶圓之間的結合。在加熱或退火結合晶圓之同時，早先植入於施體晶圓中之粒子弱化分割面。

接著，沿分割面使施體晶圓之一部分與結合晶圓分離(即，分割)以形成SOI晶圓。可藉由將結合晶圓放置於一夾具中來實施分割，其中垂直於結合晶圓之對置側施加機械力以將施體晶圓之一部分與結合晶圓拉開。根據一些方法，利用吸盤來施加機械力。藉由在分割面處將一機械楔施加於結合晶圓之邊緣處以引發一裂縫沿分割面擴展來引發實體晶圓之部分之分離。接著，由吸盤施加之機械力將施體晶圓之部分與結合晶圓拉開以因此形成一SOI結構。

根據其他方法，結合對可代以在一段時間內經受一高溫以使施體晶圓之部分與結合晶圓分離。曝露於高溫引起裂縫沿分割面開始及擴展以因此分離施體晶圓之一部分。裂縫歸因於由植入離子形成空隙而形成，植入離子因奧斯瓦熟化(Ostwald ripening)而生長。用氫氣及氮氣填充空隙。空隙成為薄層。薄層中之加壓氣體使微腔及微裂縫擴展，其弱化植入面上之矽。若在適當時間停止退火，則可藉由一機械程序來分割經弱化結合晶圓。然而，若熱處理在一較長時間內及/或在一較高溫度處持續，則微裂縫擴展到達其中所有裂縫沿分割面合併之層級以因此分離施體晶圓之一部分。此方法允許有較佳轉移層均勻性且允許重複利用施體晶圓，但通常需

要將植入且結合之對加熱至接近 500°C 之溫度。

將高電阻率絕緣體上半導體(例如絕緣體上矽)晶圓用於諸如天線開關之RF相關裝置在成本及整合度方面提供優於傳統基板之益處。為減少寄生功率損失且最小化將導電基板用於高頻應用時固有之諧波失真，使用具有一高電阻率之基板晶圓係必要的，但係不夠的。據此，用於一RF裝置之處置晶圓之電阻率一般大於約 500 Ohm-cm 。現參考圖1，一絕緣體上矽結構2包括一極高電阻率矽晶圓4、一埋藏氧化物(BOX)層6及一矽裝置層10。此一基板易於在BOX/處理界面處形成高導電率電荷反轉或累積層12以引起產生自由載子(電子或電洞)，此減小基板之有效電阻率且導致依RF頻率操作裝置時之寄生功率損失及裝置非線性度。此等反轉/累積層可歸因於BOX固定電荷、氧化物捕獲電荷、界面捕獲電荷及甚至施加於裝置本身之DC偏壓。

因此，需要一方法來捕獲任何誘發反轉或累積層中之電荷，使得即使在非常近之表面區域中亦維持基板之高電阻率。總所周知，高電阻率處置基板與埋藏氧化物(BOX)之間的電荷捕獲層(CTL)可提高使用SOI晶圓所製造之RF裝置之效能。已提出諸多方法來形成此等高界面捕獲層。例如，現參考圖2，使用針對RF裝置應用之一CTL來產生一絕緣體上半導體結構20 (例如一絕緣體上矽或SOI)之一方法係基於將一未摻雜多晶矽膜28沈積於具有高電阻率之一矽基板22上且接著在其上形成氧化物24及頂部矽層26之一堆疊。一多晶矽層28充當矽基板22與埋藏氧化物層24之間的一高缺陷率層。參閱圖2，其描繪在一絕緣體上矽結構20中用作一高電阻率基板22與埋藏氧化物層24之間的一電荷捕獲層28之一多晶矽膜。一替代方法係植入重離子以產生一近表面損傷層。將諸如射頻裝置之裝置建置

於頂部矽層26中。

學術研究已表明，氧化物與基板之間的多晶矽層改良裝置隔離，減少傳輸線損失，且減少諧波失真。例如，參閱：H. S. Gamble等人之「Low-loss CPW lines on surface stabilized high resistivity silicon」，*Microwave Guided Wave Lett.*，9 (10)，第395頁至第397頁，1999年；D. Lederer、R. Lobet及J.-P. Raskin之「Enhanced high resistivity SOI wafers for RF applications」，*IEEE Intl. SOI Conf.*，第46頁至第47頁，2004年；D. Lederer及J.-P. Raskin之「New substrate passivation method dedicated to high resistivity SOI wafer fabrication with increased substrate resistivity」，*IEEE Electron Device Letters*，第26卷，第11期，第805頁至第807頁，2005年；D. Lederer、B. Aspar、C. Laghaé及J.-P. Raskin之「Performance of RF passive structures and SOI MOSFETs transferred on a passivated HR SOI substrate」，*IEEE International SOI Conference*，第29頁至第30頁，2006年；及Daniel C. Kerret等人之「Identification of RF harmonic distortion on Si substrates and its reduction using a trap-rich layer」，*Silicon Monolithic Integrated Circuits in RF Systems, 2008 (SiRF 2008)(IEEE Topical Meeting)*，第151頁至第154頁，2008年。

【發明內容】

本發明係針對一種製備一多層基板之方法，該方法包括：將一磊晶層磊晶沈積於一單晶半導體處置基板之前表面上，其中該單晶半導體處置基板包括：兩個大體上平行之主表面，其等之一者係該單晶半導體處置基板之該前表面且其等之另一者係該單晶半導體處置基板之一後表面；一圓

周邊緣，其接合該單晶半導體處置基板之該前表面及該後表面；一中心面，其介於該單晶半導體處置基板之該前表面與該後表面之間；及一主體區域，其介於該單晶半導體處置基板之該前表面與該後表面之間，其中該單晶半導體處置基板具有至少約500 ohm-cm之一最小主體區域電阻率且該磊晶層具有介於約100 ohm-cm至約5000 ohm-cm之間的一電阻率；將一電荷捕獲層沈積於該磊晶層上，該電荷捕獲層包括具有至少約3000 ohm-cm之一電阻率的多晶矽；及將一單晶半導體施體基板之一前表面上之一介電層結合至該電荷捕獲層以藉此形成一結合結構，其中該單晶半導體施體基板包括：兩個大體上平行之主表面，其等之一者係該半導體施體基板之該前表面且其等之另一者係該半導體施體基板之一後表面；一圓周邊緣，其接合該半導體施體基板之該前表面及該後表面；及一中心面，其介於該半導體施體基板之該前表面與該後表面之間。

本發明進一步係針對一種製備一多層基板之方法，該方法包括：將一磊晶層磊晶沈積於一單晶半導體處置基板之前表面上，其中該單晶半導體處置基板包括：兩個大體上平行之主表面，其等之一者係該單晶半導體處置基板之該前表面且其等之另一者係該單晶半導體處置基板之一後表面；一圓周邊緣，其接合該單晶半導體處置基板之該前表面及該後表面；一中心面，其介於該單晶半導體處置基板之該前表面與該後表面之間；及一主體區域，其介於該單晶半導體處置基板之該前表面與該後表面之間，其中該單晶半導體處置基板包括選自由硼、鋁、鎵、銦及其等之任何組合組成之群組的一電活性p型摻雜物且該磊晶層包括選自由砷、磷、銻及其等之任何組合組成之群組的一電活性n型摻雜物，其中該電活性n型摻雜物之濃度小於約 1×10^{14} 個原子/cm³；將一電荷捕獲層沈積於該磊晶層上，該

電荷捕獲層包括多晶矽；及將一單晶半導體施體基板之一前表面上之一介電層結合至該電荷捕獲層以藉此形成一結合結構，其中該單晶半導體施體基板包括：兩個大體上平行之主表面，其等之一者係該半導體施體基板之該前表面且其等之另一者係該半導體施體基板之一後表面；一圓周邊緣，其接合該半導體施體基板之該前表面及該後表面；及一中心面，其介於該半導體施體基板之該前表面與該後表面之間。

本發明亦進一步係針對一種多層結構，其包括：一單晶半導體處置基板，其中該單晶半導體處置基板包括：兩個大體上平行之主表面，其等之一者係該單晶半導體處置基板之一前表面且其等之另一者係該單晶半導體處置基板之一後表面；一圓周邊緣，其接合該單晶半導體處置基板之該前表面及該後表面；一中心面，其介於該單晶半導體處置基板之該前表面與該後表面之間；及一主體區域，其介於該單晶半導體處置基板之該前表面與該後表面之間，其中該單晶半導體處置基板包括選自由硼、鋁、鎵、銦及其等之任何組合組成之群組的一電活性p型摻雜物；一磊晶層，其與該單晶半導體處置基板之該前表面界面接觸，其中該磊晶層包括選自由砷、磷、銻及其等之任何組合組成之群組的一電活性n型摻雜物，其中該電活性n型摻雜物之濃度小於約 1×10^{14} 個原子/cm³；一電荷捕獲層，其與該磊晶層界面接觸，該電荷捕獲層包括多晶矽；一介電層，其與該電荷捕獲層界面接觸；及一單晶半導體裝置層，其與該介電層界面接觸。

將在下文中部分明白及部分指出其他目的及特徵。

【圖式簡單說明】

圖1係包括一高電阻率基板及一埋藏氧化物層之一絕緣體上矽晶圓之一繪圖。

圖2係根據先前技術之一絕緣體上矽晶圓之一繪圖，該SOI晶圓包括介於一高電阻率基板與一埋藏氧化物層之間的一多晶矽電荷捕獲層。

圖3A至圖3E描繪根據本發明之一些實施例之一程序流程。

圖4係展示根據本發明之一結構之一基板上所層疊之半導體材料(設計樣本)之電阻率及根據習知方法之一基板上所層疊之半導體材料(控制樣本)之電阻率的一圖形。

圖5係展示根據本發明之一些實施例之設計基板上之較佳RF效能的一圖形。資料係來自共面波導裝置量測。

【實施方式】

相關申請案之交叉參考

本申請案主張2016年10月26日申請之美國臨時申請案第62/412,937號之優先權，該案之揭示內容依宛如全文闡述引用之方式併入本文中。

根據本發明，提供一種用於製備包括一電荷捕獲層(CTL)之一絕緣體上半導體複合結構(SOI，例如一絕緣體上矽複合結構)之方法。本發明進一步係針對一種包括一電荷捕獲層(CTL)之絕緣體上半導體複合結構(例如一絕緣體上矽複合結構)。本發明提供一種設計單晶半導體處置基板以增強用於射頻裝置中之SOI結構之電效能之方法。

在一些實施例中，本發明係針對一種藉由設計多晶矽電荷捕獲層(CTL)與基板(在一些實施例中，其可具有約1,000 ohm-cm至約6,000 ohm-cm之間的範圍內之一電阻率)以藉此顯著提高完成RF裝置之效能來製造SOI晶圓之方法。除多晶矽電荷捕獲層之外，已證明基板電阻率在抑制2次及3次諧波失真(HD2及HD3)中發揮一定作用。將基板電阻率增大至>10,000 Ohm-cm (超高電阻率(UHR))使自由載子最少化，使得HD2/HD3

被更有效抑制。然而，難以藉由設計拉晶程序來獲得且控制此高電阻率，因為任何污染及程序變動會導致良率損失。此外，晶圓熱處理會導致自晶體生長程序期間所併入之氧產生熱施體，此會改變P型基板之電阻率或甚至翻轉P型基板之類型。由UHR基板引起之其他處理問題可包含藉由電動卡盤之晶圓處置，度量挑戰需要一特定電導，如電容量規、SRP等等。此外，結合界面處所捕獲之污染物(諸如硼及鋁)可輕易地透過多晶矽擴散且減小多晶矽層之電阻率或誘發多晶矽層之再結晶，其等之任一者亦減弱多晶矽提高RF效能之效力。鑑於此，在一些較佳實施例中，用於製造根據本發明之一SOI結構的單晶半導體處置基板可具有約1,000 ohm-cm至約6,000 Ohm-cm之範圍內之電阻率以達成超級HD2/HD3抑制。處置基板包括一磊晶層，其具有約100 ohm-cm至約5000 ohm-cm之間(諸如約200 ohm-cm至約2000 ohm-cm之間，諸如約400 ohm-cm至約1000 ohm-cm之間)的範圍內之一目標電阻率。目標電阻率係無耗盡層之量測電阻率，其通常針對相同類型之一基板上所生長之一層(例如n型基板上之N型磊晶層或p型基板上之p型磊晶層)來獲得。根據本發明之一些實施例，與基板相比，磊晶層經沈積有相反類型之電活性摻雜物，例如，基板可包括p型摻雜物，而磊晶層經沈積有一n型摻雜物，或基板可包括n型摻雜物，而磊晶層經沈積有一p型摻雜物。藉由使磊晶層摻雜有相反類型之一摻雜物，可藉由相反類型之基板來耗盡磊晶層。即，摻雜有n型摻雜物之磊晶層可由p型基板耗盡，或摻雜有p型摻雜物之磊晶層可由n型基板耗盡。據此，磊晶層具有比目標電阻率高得多之一表觀電阻率。表觀電阻率係一給定樣本之量測電阻率，諸如圖4中之設計案例，其中5微米厚之n型磊晶矽層由p型基板耗盡。由於磊晶層中之載子被耗盡，所以量測電阻率更高10倍。

具有受控厚度及目標電阻率之磊晶層經生長使得其被完全耗盡以導致一高表觀電阻率。高表觀電阻率導致較佳RF效能，如圖5（其描繪二次諧波失真之減少）中所描繪。有利地，具有一較低範圍之電阻率的處置基板可用於RF裝置中，藉此消除與UHR基板相關聯之程序及度量問題。

I. 半導體處置基板及半導體施體基板

用於本發明中之基板包含一半導體處置基板(例如一單晶半導體處置晶圓)及一半導體施體基板(例如一單晶半導體施體晶圓)。一絕緣體上半導體複合結構中之半導體裝置層來源於單晶半導體施體晶圓。可藉由晶圓薄化技術(諸如，蝕刻一半導體施體基板)或藉由分割包括一損傷面之一半導體施體基板來將半導體裝置層轉移至半導體處置基板上。

圖3A至圖3E描繪根據本發明之一些實施例之一程序流程。參考圖3A，其描繪一例示性非限制單晶半導體處置晶圓100。一般而言，單晶半導體處置晶圓100包括兩個大體上平行之主表面。平行表面之一者係單晶半導體處置晶圓100之一前表面102，且另一平行表面係單晶半導體處置晶圓100之一後表面104。單晶半導體處置晶圓100包括接合前表面102及後表面104之一圓周邊緣106。單晶半導體處置晶圓100包括一中心軸108，其垂直於兩個大體上平行之主表面102、104且亦垂直於由前表面102與後表面104之間的中點界定之一中心面。單晶半導體處置晶圓100包括介於兩個大體上平行之主表面102、104之間的一主體區域110。由於半導體晶圓(例如矽晶圓)通常具有一些總厚度變動(TTV)、翹曲及彎曲，所以前表面102上之每個點與後表面104上之每個點之間的中點可不恰好落於一平面內。然而，實際上，TTV、翹曲及彎曲通常較微小，使得可認為中點近乎完全落於大致等距地介於前表面102與後表面104之間的一假想

中心面內。

在本文中所描述之任何操作之前，單晶半導體處置晶圓100之前表面102及後表面104可為實質上相同的。僅為方便起見且一般為了區分其上執行本發明之方法之操作的表面，將一表面稱為一「前表面」或一「後表面」。在本發明之內文中，一單晶半導體處置晶圓100（例如一單晶矽處置晶圓）之一「前表面」係指變成結合結構之一內表面的基板之主表面。據此，一單晶半導體處置晶圓100（例如一處置晶圓）之一「後表面」係指變成結合結構之一外表面的主表面。類似地，一單晶半導體施體基板（例如一單晶矽施體晶圓）之一「前表面」係指變成結合結構之一內表面的單晶半導體施體基板之主表面，且一單晶半導體施體基板（例如一單晶矽施體晶圓）之一「後表面」係指變成結合結構之一外表面的主表面。在本發明之內文中，一或多個絕緣層可經製備於單晶半導體處置基板100及單晶半導體施體基板之任一者或兩者之前表面上。在完成習知結合及晶圓薄化步驟之後，單晶半導體施體基板形成絕緣體上半導體（例如絕緣體上矽）複合結構之半導體裝置層。

單晶半導體處置基板及單晶半導體施體基板可為單晶半導體晶圓。在較佳實施例中，半導體晶圓包括選自由矽、碳化矽、矽鍺、砷化鎵、氮化鎵、磷化銮、砷化銮鎵、鍺及其等之組合組成之群組的一材料。本發明之單晶半導體晶圓（例如單晶矽處置晶圓及單晶矽施體晶圓）通常具有至少約150 mm、至少約200 mm、至少約300 mm或至少約450 mm之一標稱直徑。晶圓厚度可自約250微米變動至約1500微米，諸如介於約300微米至約1000微米之間，適宜在約500微米至約1000微米之範圍內。在一些特定實施例中，晶圓厚度可為約725微米。在一些實施例中，晶圓厚度可為約

775微米。

在尤佳實施例中，單晶半導體晶圓包括已自根據習知丘克拉斯基(Czochralski)晶體生長法或浮區生長法所生長之一單晶錠切割之單晶矽晶圓。例如，F. Shimura之「Semiconductor Silicon Crystal Technology」(Academic Press，1989年)及「Silicon Chemical Etching」(J. Grabmaier ed.) Springer-Verlag，N.Y.，1982年)(其等以引用方式併入本文中)中揭示此等方法及標準矽切割、研磨、蝕刻及拋光技術。較佳地，藉由熟習技術者已知之標準方法來拋光且清洗晶圓。例如，參閱W.C. O'Mara等人之「*Handbook of Semiconductor Silicon Technology*」(Noyes Publications)。可視需要在(例如)一標準SC1/SC2溶液中清洗晶圓。在一些實施例中，本發明之單晶矽晶圓係已自根據習知丘克拉斯基(「Cz」)晶體生長法所生長之一單晶錠切割之單晶矽晶圓，其通常具有至少約150 mm、至少約200 mm、至少約300 mm或至少約450 mm之一標稱直徑。較佳地，單晶矽處置晶圓及單晶矽施體晶圓兩者具有無表面缺陷(諸如劃痕、大顆粒等等)之經鏡面拋光之前表面光潔度。晶圓厚度可自約250微米變動至約1500微米，諸如介於約300微米至約1000微米之間，適宜在約500微米至約1000微米之範圍內。在一些特定實施例中，晶圓厚度可介於約725微米至約800微米之間，諸如，介於約750微米至約800微米之間。在一些實施例中，晶圓厚度可為約725微米。在一些實施例中，晶圓厚度可為約775微米。

在一些實施例中，單晶半導體晶圓(即，單晶半導體處置晶圓及單晶半導體施體晶圓)包括具有一般藉由丘克拉斯基生長法所達成之濃度的填隙氧。在一些實施例中，單晶半導體晶圓包括具有約4 PPMA至約18

PPMA之間的一濃度的氧。在一些實施例中，半導體晶圓包括具有約10 PPMA至約35 PPMA之間的一濃度的氧。在一些實施例中，單晶矽晶圓包括具有不大於約10 PPMA之一濃度的氧。可根據SEMI MF 1188-1105來量測填隙氧。

單晶半導體處置晶圓100可具有可藉由丘克拉斯基法或浮區法所獲得之任何電阻率。據此，單晶半導體處置晶圓100之電阻率係基於本發明之結構之最終用途/應用之要求。因此，電阻率可自毫歐姆或更小變動至百萬歐姆或更大。在一些實施例中，單晶半導體處置晶圓100包括一p型或n型摻雜物。適合摻雜物包含硼(p型)、鎵(p型)、磷(n型)、銻(n型)及砷(n型)。摻雜物濃度係基於處置晶圓之所要電阻率來選擇。在一些實施例中，單晶半導體處置基板包括一p型摻雜物。在一些實施例中，單晶半導體處置基板係包括一p型摻雜物(諸如硼)之一單晶矽晶圓。

在一些實施例中，單晶半導體處置晶圓100具有一相對較低最小體電阻率，諸如低於約100 ohm-cm、低於約50 ohm-cm、低於約1 ohm-cm、低於約0.1 ohm-cm或甚至低於約0.01 ohm-cm。在一些實施例中，單晶半導體處置晶圓100具有一相對較低最小體電阻率，諸如低於約100 ohm-cm或介於約1 ohm-cm至約100 ohm-cm之間。低電阻率晶圓可包括電活性摻雜物，諸如硼(p型)、鎵(p型)、鋁(p型)、銮(p型)、磷(n型)、銻(n型)及砷(n型)。

在一些實施例中，單晶半導體處置晶圓100具有一相對較高最小體電阻率。高電阻率晶圓一般自藉由丘克拉斯基法或浮區法所生長之單晶錠切割。高電阻率晶圓可包括一般具有非常低濃度之電動活性摻雜物，諸如硼(p型)、鎵(p型)、鋁(p型)、銮(p型)、磷(n型)、銻(n型)及砷(n型)。Cz生

長矽晶圓可在自約600°C至約1000°C之範圍內之一溫度處經受一熱退火以毀滅由在晶體生長期間併入之氧引起之熱施體。在一些實施例中，單晶半導體處置晶圓具有至少100 Ohm-cm或甚至至少約500 Ohm-cm之一最小體電阻率，諸如，介於約100 Ohm-cm至約100,000 Ohm-cm之間，或介於約500 Ohm-cm至約100,000 Ohm-cm之間，或介於約1000 Ohm-cm至約100,000 Ohm-cm之間，或介於約500 Ohm-cm至約10,000 Ohm-cm之間，或介於約750 Ohm-cm至約10,000 Ohm-cm之間，介於約1000 Ohm-cm至約10,000 Ohm-cm之間，介於約1000 Ohm-cm至約6000 Ohm-cm之間，介於約2000 Ohm-cm至約10,000 Ohm-cm之間，介於約3000 Ohm-cm至約10,000 Ohm-cm之間，或介於約3000 Ohm-cm至約5,000 Ohm-cm之間。在一些較佳實施例中，單晶半導體處置基板具有介於約1000 Ohm-cm至約6,000 Ohm-cm之間的一體電阻率。此項技術中已知用於製備高電阻率晶圓之方法，且可自諸如SunEdison Semiconductor Ltd. (St. Peters, MO；舊稱MEMC Electronic Materials, Inc.)之商業供應商購得此等高電阻率晶圓。

在一些較佳實施例中，單晶半導體處置基板包括選自由硼、鋁、鎵、銦及其等之任何組合組成之群組之一電活性摻雜物。在一些較佳實施例中，單晶半導體處置基板包括可依小於約 2×10^{13} 個原子/cm³、小於約 1×10^{13} 個原子/cm³ (諸如小於約 5×10^{12} 個原子/cm³)或小於約 1×10^{12} 個原子/cm³之一濃度存在之硼。此項技術中已知用於製備高電阻率晶圓之方法，且可自諸如SunEdison Semiconductor Ltd. (St. Peters, MO；舊稱MEMC Electronic Materials, Inc.)之商業供應商購得此等高電阻率晶圓。

單晶半導體處置晶圓100可包括單晶矽。單晶半導體處置晶圓100可

具有(例如)(100)、(110)或(111)晶體定向之任何者，且可由結構之最終用途指定晶體定向之選擇。

可根據此項技術中已知之方法來視情況使前表面102、後表面104或兩者氧化。可藉由此項技術中已知之方法(諸如熱氧化(其中將消耗所沈積半導體材料膜之一些部分)或CVD氧化物沈積)來完成氧化。前表面102、後表面104或兩者上之氧化層可為至少約1奈米厚，諸如介於約10奈米至約5000奈米之間厚，諸如介於約100奈米至約1000奈米之間或介於約200奈米至約400奈米之間。在一些實施例中，氧化層係相對較薄的，諸如介於約5埃至約25埃之間，諸如介於約10埃至約15埃之間。可藉由曝露於諸如一SC1/SC2清洗溶液之一標準清洗溶液來獲得薄氧化物層。在一些實施例中，SC1溶液包括5份去離子水、1份含水 NH_4OH (氫氧化銨，29重量%之 NH_3)及1份含水 H_2O_2 (過氧化氫，30%)。在一些實施例中，可藉由曝露於包括氧化劑之水溶液(諸如SC2溶液)來使處置基板氧化。在一些實施例中，SC2溶液包括5份去離子水、1份含水 HCl (氫氯酸，39重量%)及1份含水 H_2O_2 (過氧化氫，30%)。

II. 磊晶沈積

根據本發明之方法且參考圖3A及圖3B，藉由一磊晶法來將一磊晶層200沈積於起始單晶半導體處置基板100之前表面102上。

可藉由一氣相磊晶法或一液相磊晶法來將磊晶層200沈積於起始單晶半導體處置基板100之前表面102上。例如，可使用金屬有機化學氣相沈積(MOVCD)、物理氣相沈積(PVD)、化學氣相沈積(CVD)、低壓化學氣相沈積(LPCVD)、電漿增強化學氣相沈積(PECVD)、分子束磊晶法(MBE)或液相磊晶法(LPE)來沈積磊晶層200。磊晶沈積導致具有相同於

起始單晶半導體處置基板100之下伏晶體結構的一半導體層。例如，一單晶矽處置基板100可具有(100)、(100)及(110)之晶體定向。在一些實施例中，單晶矽處置基板100可具有(100)晶體定向。磊晶層200與下伏基板100之晶體定向一致。據此，在一些實施例中，單晶矽處置基板100及磊晶層200具有(100)晶體定向。適合於磊晶沈積之一反應器係一ASM或Applied Materials商用磊晶反應器。磊晶沈積之反應條件包含自約600°C至約1100°C之間的範圍內之一溫度、在約1托至約760托之間(諸如約10托至約760托之間)的一壓力處。氫氣(H₂)係一適合運載氣體，其具有約10 slm至約200 slm之間的一流速。

用於一氣相磊晶法之矽前驅物包含甲矽烷、四氫化矽(矽烷)、丙矽烷、乙矽烷、戊矽烷、新戊矽烷、四矽烷、二氯矽烷(SiH₂Cl₂)、三氯矽烷(SiHCl₃)、四氯化矽(SiCl₄)及其他。包括矽之磊晶層200之總厚度可介於約0.2微米至約20微米之間厚或約0.5微米至約10微米之間厚，諸如介於約5微米至約10微米之間厚。可在磊晶反應器中使用諸如四氯化矽及甲烷之前驅物藉由熱電漿化學氣相沈積來沈積摻雜有碳之矽。適合於CVD或PECVD之碳前驅物包含甲矽烷、甲烷、乙烷、乙烯及其他。針對LPCVD沈積，甲矽烷係一尤佳前驅物，因為其提供碳及矽兩者。針對PECVD沈積，較佳前驅物包含矽烷及甲烷。在一些實施例中，磊晶層200包括依約0.1莫耳%至約5莫耳%之間或約0.5莫耳%至約2莫耳%之間的一碳濃度摻雜碳之矽。包括摻雜有碳之矽的磊晶層200之總厚度可介於約0.1微米至約20微米之間厚，諸如介於約0.1微米至約10微米之間厚，諸如介於約5微米至約10微米之間厚。

在一些實施例中，磊晶層200可包括一電活性摻雜物。摻雜物可為p

型(諸如硼(p型)、鎵(p型)、鋁(p型)、銦(p型))或n型(諸如磷(n型)、銻(n型)及砷(n型))。可藉由包含一適宜前驅物氣體(諸如硼前驅物(例如，藉由使乙硼烷(B_2H_6)包含於反應氣體混合物中)、砷前驅物(例如，藉由使砷化氫(AsH_3)包含於反應氣體混合物中)、磷前驅物(例如，藉由使磷化氫(PH_3)包含於反應氣體混合物中)及銻前驅物(例如，藉由使二聚銻包含於反應氣體混合物中))來將一摻雜物併入至磊晶層200中。磊晶層之電阻率可在自約100 ohm-cm至約5000 ohm-cm之間的範圍內，諸如介於約200 ohm-cm至約2000 ohm-cm之間，諸如介於約400 ohm-cm至約1000 ohm-cm之間。據此，磊晶層中之一電活性摻雜物之濃度可小於約 1×10^{14} 個原子/cm³、小於約 1×10^{13} 個原子/cm³，諸如小於約 5×10^{12} 個原子/cm³。

在一些實施例中，磊晶層200可經摻雜有與單晶半導體處置基板100內之電活性摻雜物相反之電活性摻雜物類型。在一些實施例中，單晶半導體處置基板包括具有小於約 2×10^{13} 個原子/cm³、小於約 1×10^{13} 個原子/cm³(諸如小於約 5×10^{12} 個原子/cm³)或小於約 1×10^{12} 個原子/cm³之一濃度之一電活性p型摻雜物(諸如硼(p型)、鎵(p型)、鋁(p型)、銦(p型))。在一些實施例中，電活性p型摻雜物(諸如硼(p型)、鎵(p型)、鋁(p型)、銦(p型))之濃度可為至少約 1×10^{12} 個原子/cm³，諸如至少約 2×10^{12} 個原子/cm³。此等濃度大體上對應於約1000 ohm-cm至約6000 ohm-cm之範圍內之一電阻率。磊晶層可包括具有小於約 1×10^{14} 個原子/cm³、小於約 1×10^{13} 個原子/cm³(諸如小於約 5×10^{12} 個原子/cm³)之一濃度之一電活性n型摻雜物(諸如磷(n型)、銻(n型)及砷(n型))。在一些實施例中，電活性n型摻雜物(諸如磷(n型)、銻(n型)及砷(n型))之濃度係至少約 1×10^{12} 個原子/cm³，諸如至少約 2×10^{12} 個原子/cm³。此等濃度大體上對應於約100 ohm-cm至約5000

ohm-cm之間的範圍內之一電阻率，諸如介於約200 ohm-cm至約2000 ohm-cm之間，諸如介於約400 ohm-cm至約1000 ohm-cm之間。磊晶層摻雜物類型、磊晶層電阻率及磊晶層厚度及處置基板之摻雜物類型及電阻率的組合導致完全被耗盡之一磊晶層。因此，磊晶層達成大於約5000 Ohm-cm或甚至大於約10,000 Ohm-cm之一表觀電阻率。參閱圖4，其展示本發明之多層結構相較於一控制結構之效應。圖4係展示根據本發明之一結構之一基板上所層疊之半導體材料(設計樣本)之較高表觀電阻率與根據習知方法之一基板上所層疊之半導體材料(控制樣本)之較低電阻率之比較的一圖形。

III. 電荷捕獲層之沈積

根據本發明之方法且參考圖3B及圖3C，將一電荷捕獲層300沈積於磊晶層200上。在一些實施例中，電荷捕獲層300包括多晶矽。此等材料包含多晶半導體材料及非晶半導體材料。可為多晶或非晶之材料包含矽(Si)、矽鍺(SiGe)、摻雜有碳之矽(SiC)及鍺(Ge)。多晶半導體(例如多晶矽)表示包括具有隨機晶體定向之小矽晶體的一材料。多晶材料表示包括具有隨機晶體定向之小晶體的一材料。多晶晶粒之大小可小至約20奈米，且晶粒大小一般在自約20奈米至約1微米之間(諸如約0.3微米至約1微米之間)的範圍內。根據本發明之方法，所沈積之多晶材料之晶粒大小越小，電荷捕獲層之缺陷率越高。多晶矽電荷捕獲層之電阻率可為至少100 Ohm-cm、至少約500 Ohm-cm、至少約1000 Ohm-cm、至少約3000 Ohm-cm或甚至至少約7000 Ohm-cm，諸如介於約100 Ohm-cm至約100,000 Ohm-cm之間，或介於約500 Ohm-cm至約100,000 Ohm-cm之間，或介於約1000 Ohm-cm至約100,000 Ohm-cm之間，或介於約750

Ohm-cm至約100,000 Ohm-cm之間。在一些較佳實施例中，多晶矽層之電阻率係介於約3000 Ohm-cm至約100,000 Ohm-cm之間，諸如介於約3000 Ohm-cm至約10,000 Ohm-cm之間或甚至介於約7000 Ohm-cm至約100,000 Ohm-cm之間，諸如介於約7000 Ohm-cm至約10,000 Ohm-cm之間。

可藉由氣相沈積來沈積用於將電荷捕獲層300沈積至磊晶層200上之材料。可藉由化學或物理氣相沈積(例如，藉由金屬有機化學氣相沈積(MOVCD)、物理氣相沈積(PVD)、化學氣相沈積(CVD)、低壓化學氣相沈積(LPCVD)或電漿增強化學氣相沈積(PECVD))來沈積用於將電荷捕獲層300沈積至磊晶層200上之材料。在較佳實施例中，藉由CVD來沈積多晶矽。用於CVD之矽前驅物包含甲矽烷、四氫化矽(矽烷)、丙矽烷、乙矽烷、戊矽烷、新戊矽烷、四矽烷、二氯矽烷(SiH_2Cl_2)、三氯矽烷(SiHCl_3)、四氯化矽(SiCl_4)及其他。在一些較佳實施例中，矽前驅物係選自矽烷、二氯矽烷(SiH_2Cl_2)及三氯矽烷(SiHCl_3)中。例如，可在大於約850°C (諸如約850°C至約1100°C之間或約850°C至1000°C之間)之溫度處藉由矽烷、二氯矽烷(SiH_2Cl_2)及三氯矽烷(SiHCl_3)之CVD來將多晶矽沈積至表面氧化層上。高溫促成高生長率及其他優點，藉此促成產出率及成本減少。CVD沈積速率可為至少約0.1微米/分鐘，諸如介於約0.1微米/分鐘至約10微米/分鐘之間或介於約0.1微米/分鐘至約2微米/分鐘之間。多晶矽層之沈積可繼續，直至層具有至少約0.1微米之一厚度，諸如介於約0.1微米至約50微米之間，諸如介於約0.1微米至約20微米之間，介於約0.1微米至約10微米之間，介於約0.5微米至約5微米之間，或介於約0.5微米至約3微米之間，諸如介於約1微米至約2微米之間或介於約2微米至約5微米之

間。沈積可發生於約1托至約760托之間(諸如約1托至約400托之間)的一壓力處。

在一些實施例中，在沈積一多晶矽晶種層之後中斷藉由化學氣相沈積來沈積多晶矽層。多晶矽晶種層可具有小於最終多晶矽電荷捕獲層之所要總厚度的一厚度。據此，多晶晶種層可經沈積至小於20微米、小於10微米、小於5微米、小於3微米、小於2微米或小於1微米或小於0.5微米之一厚度，諸如介於約50奈米至約20微米之間，或介於約50奈米至約10微米之間，或介於約50奈米至約5微米之間，或介於約50奈米至約3微米之間，或介於約50奈米至約2微米之間，或介於約50奈米至約1微米之間，或介於約50奈米至約500奈米之間，或介於約50奈米至約200奈米之間。晶種層之厚度由多晶矽晶核之大小設定。為達成有效應力釋放，晶種層需要覆蓋下伏層之表面，同時留下小於50 nm之空隙，此使H₂能夠到達多晶矽晶種層與下伏層之間的界面。H₂還原界面氧化物且促進多晶矽晶種層之晶粒邊界處之原子擴散至基板且因此釋放膜應力。當晶種層足夠厚以完全防止H₂到達下伏層時，後續退火程序無法有效釋放膜應力。另一方面，當晶種層係非連續的且兩個相鄰晶核之間的開口區域寬於50 nm時，在晶種退火程序期間形成大晶核。大晶核將在多晶矽沈積結束時生長為大晶粒(即，直徑>1μm)，此降低捕獲效率。可藉由終止矽前驅物流入至CVD室中來中斷沈積。在中斷多晶矽之沈積之後，可使包括多晶晶種層之處置基板退火。使多晶晶種層退火促成所要電荷捕獲層性質，諸如獲得一潔淨表面、一高純度膜、一高電阻率膜、所要晶核大小及均勻性及殘留膜應力減小。在一些實施例中，該多晶矽晶種層經受一高溫退火以將膜應力減小至約0 MPa至約500 MPa之間的一範圍，諸如介於約0 MPa至約100 MPa之

間。可使多晶晶種層在大於約 1000°C (諸如 1000°C 至 1200°C 之間或約 1000°C 至約 1100°C 之間)之一溫度處退火。可使晶種層在約1秒至約300秒之間(諸如約5秒至約60秒之間或約10秒至約40秒之間)的一持續時間內退火。退火之周圍氣氛可包括氫氣、氯化氫、氯氣或氫氣、氯化氫及氯氣之任何組合。可在減小壓力或大氣壓力(諸如約1托至約760托之間或約10托至約760托之間)處執行退火步驟。多晶矽膜之晶粒大小及應力由退火溫度、持續時間及氣流控制。在適宜退火持續時間之後，在將單晶半導體處置基板冷卻至約 850°C 至約 1000°C 之間的一溫度之後恢復藉由化學氣相沈積來沈積多晶矽層。

在一些實施例中，在沈積完成之後使包括磊晶層200及多晶矽電荷捕獲層300之單晶半導體處置基板100退火。使多晶層退火促成所要電荷捕獲層性質，諸如，獲得一潔淨表面、一高純度膜、一高電阻率膜、所要晶核大小及均勻性及殘留膜應力減小。在一些實施例中，經完全沈積之多晶矽電荷捕獲層經受一高溫退火以將膜應力減小至約0 MPa至約500 MPa之間的一範圍，諸如介於約0 MPa至約100 MPa之間。可使包括磊晶層200及多晶矽電荷捕獲層300之處置基板100在大於約 1000°C (諸如約 1000°C 至約 1100°C 之間)之一溫度處退火。可使包括磊晶層200及多晶矽電荷捕獲層300之處置基板100在約1秒至約300秒之間(諸如約5秒至約60秒之間或約10秒至約40秒之間)的一持續時間內退火。用於退火之周圍氣氛可包括氫氣、氯化氫、氯氣或氫氣、氯化氫及氯氣之任何組合。在適宜退火持續時間之後，可使CVD室冷卻至一安全溫度以移除單晶半導體處置基板。

在一些實施例中，可使一絕緣或介電層形成於所沈積電荷捕獲層300

之頂部上。絕緣層可包括半導體氧化物、半導體氮化物或半導體氮氧化物。根據本發明之介電層可包括選自二氧化矽、氮化矽、氮氧化矽、氧化鉛、氧化鈦、氧化鋯、氧化釧、氧化鋇及其等之任何組合中之絕緣材料。在一些實施例中，介電層包括選自由二氧化矽、氮化矽、氮氧化矽及其等之任何組合組成之群組的一或多個絕緣材料。介電層可包括兩個絕緣層、三個絕緣層或三個以上絕緣層。各絕緣層可包括選自二氧化矽、氮氧化矽、氮化矽、氧化鉛、氧化鈦、氧化鋯、氧化釧、氧化鋇及其等之任何組合中之一材料。在一些實施例中，各絕緣層可包括選自由二氧化矽、氮化矽、氮氧化矽及其等之任何組合組成之群組的一材料。在一些實施例中，介電層包括三個絕緣層。在一些實施例中，三個絕緣層包括二氧化矽層、與該二氧化矽層界面接觸之氮化矽層及與該氮化矽層界面接觸之二氧化矽層。

可藉由此項技術中已知之方法(諸如熱氧化(其中將消耗所沈積半導體材料膜之一些部分)及/或CVD氧化物及/或氮化物沈積)來完成絕緣層之沈積。在一些實施例中，可使電荷捕獲層熱氧化(其中將消耗所沈積半導體材料膜之一些部分)或可藉由CVD氧化物及/或氮化物沈積來生長膜。在一些實施例中，可在諸如一ASM A400之一爐中使電荷捕獲層熱氧化。在一氧化氛圍中，溫度可在自750°C至1200°C之範圍內。氧化周圍氣氛可為惰性氣體(諸如Ar或N₂)及O₂之一混合物。氧含量可自1%變動至10%或更高。在一些實施例中，氧化周圍氣氛可高達100% (「乾式氧化」)。在一些實施例中，周圍氣氛可包括惰性氣體(諸如Ar或N₂)及氧化氣體(諸如O₂)及水蒸氣之一混合物(「濕式氧化」)。在一例示性實施例中，可將半導體處置晶圓裝載至諸如一A400之一垂直爐中。藉由N₂及O₂之一混合物來將

溫度漸變至氧化溫度。在已獲得所要氧化物厚度之後，關閉O₂且降低爐溫且自爐卸載晶圓。為將氮併入界面層中以沈積氮化矽或氮氧化矽，氣氛可僅包括氮氣或包括氧氣及氮氣之一組合，且可將溫度升高至1100°C至1400°C之間的一溫度。一替代氮氣源係氨氣。在一些實施例中，可在足以提供約2000埃至約10,000埃厚之一絕緣層之一持續時間內處理電荷捕獲層。

在沈積電荷捕獲層300且視情況沈積一絕緣層之後，視情況進行晶圓清洗及拋光。在一些實施例中，所沈積之多晶矽電荷捕獲層具有約50奈米之由RMS_{2x2 um2}量測之一表面粗糙度。可視需要(例如)在一標準SC1/SC2溶液中清洗晶圓。另外，晶圓，特定言之，電荷捕獲層或選用之絕緣層，可經受化學機械拋光(CMP)以將表面粗糙度較佳地減小至小於約5埃、較佳地小於約2埃(諸如約1埃至約2埃之間)之RMS_{2x2 um2}之位準，其中均方

$$\text{根 } R_q = \sqrt{\frac{1}{n} \sum_{i=1}^n y_i^2}$$

粗糙度輪廓含有沿跡線之有序等間距點，且y_i係自中線至資料點之垂直距離。當一表面粗糙度較佳地小於2埃時，表面準備好用於結合。

IV. 電漿活化

在一些實施例中，包括磊晶層200及多晶矽電荷捕獲層300之單晶半導體處置基板100經受氧電漿及/或氮電漿表面活化。在一些實施例中，氧電漿及/或氮電漿表面活化工具係一市售工具，諸如可購自EV Group之工具，諸如EVG®810LT Low Temp Plasma Activation System。將包括磊晶層200及多晶矽電荷捕獲層300之單晶半導體處置基板100裝載至室中。抽空室且使用一運載氣體(諸如氬氣)中之氧氣源及/或氮氣源來將室回填至小於大氣壓之一壓力以藉此產生電漿。氧氣及/或氮氣係適合於電漿氧化

物處理之源氣體。氮氣及/或氮氣及/或一氧化氮(NO)及/或一氧化二氮(N₂O)氣體係適合於電漿氮化物處理之源氣體。可藉由包含氧氣源及氮氣源來沈積氮氧化物電漿膜。另外，亦使用一氧化氮或一氧化二氮將氧併入至絕緣層中以藉此沈積氮氧化物膜。為沈積氮化矽或氧化矽電漿膜，適合矽前驅物包含甲矽烷、四氫化矽(矽烷)、丙矽烷、乙矽烷、戊矽烷、新戊矽烷、四矽烷、二氯矽烷(SiH₂Cl₂)、三氯矽烷(SiHCl₃)、四氯化矽(SiCl₄)及其他。適當地添加Ar作為一運載氣體。

使單晶半導體處置基板100在可在自約1秒至約120秒之範圍內之期望時間內曝露於此電漿以生長一薄氧化物、氮化物或氮氧化物層。氧化物、氮化物或氮氧化物層可具有自約10埃至約100埃之範圍內之一厚度。此氮化物層可充當一有效擴散障壁以防止被捕於結合界面處之污染物擴散至及穿過多晶矽捕獲層。執行電漿表面活化以使電荷捕獲層300之表面或選用絕緣層之表面具親水性且適於結合至一單晶半導體施體基板。在電漿活化之後，使用去離子水來沖洗活化表面。接著，在結合之前使晶圓旋轉變乾。

V. 結合結構之製備

參考圖3D，接著將根據本文中所描述之方法所製備之高電阻率單晶半導體處置基板100（例如一單晶半導體處置晶圓，諸如一單晶矽處置晶圓）(其包括磊晶層200及多晶矽電荷捕獲層300)結合至根據習知層轉移法所製備之一半導體施體基板400（例如一單晶半導體施體晶圓）。單晶半導體施體基板400可為一單晶半導體晶圓。在較佳實施例中，半導體晶圓包括選自由矽、碳化矽、矽鍺、砷化鎵、氮化鎵、磷化銮、砷化銮鎵、鍺及其等之組合組成之群組的一材料。取決於最終積體電路裝置之所要性質，

單晶半導體(例如矽)施體晶圓400可包括選自硼(p型)、鎵(p型)、鋁(p型)、銦(p型)、磷(n型)、銻(n型)及砷(n型)中之一摻雜物。單晶半導體(例如矽)施體晶圓之電阻率可在自1 Ohm-cm至500 Ohm-cm之範圍內，通常為自5 Ohm-cm至25 Ohm-cm。單晶半導體施體晶圓400可經受包含氧化、植入及植入後清洗之標準程序步驟。據此，已被蝕刻及拋光且視情況經氧化之一半導體施體基板400 (諸如常用於製備多層半導體結構之一材料之一單晶半導體晶圓，例如一單晶矽施體晶圓)經受離子植入以在施體基板中形成一損傷層。

在一些實施例中，半導體施體基板400包括一介電層410。根據本發明之介電層410可包括選自二氧化矽、氮化矽、氮氧化矽、氧化鉛、氧化鈦、氧化鋅、氧化鋁、氧化鋇及其等之任何組合中之絕緣材料。在一些實施例中，介電層410包括一或多個絕緣層，其等包括選自由二氧化矽、氮化矽、氮氧化矽及其等之任何組合組成之群組的一材料。在一些實施例中，介電層具有至少約10奈米厚之一厚度，諸如介於約10奈米至約10,000奈米之間，介於約10奈米至約5,000奈米之間，介於約50奈米至約400奈米之間，或介於約100奈米至約400奈米之間，諸如約50奈米、約100奈米或約200奈米。

在一些實施例中，介電層410包括多個絕緣材料層。介電層可包括兩個絕緣層、三個絕緣層或三個以上絕緣層。各絕緣層可包括選自二氧化矽、氮氧化矽、氮化矽、氧化鉛、氧化鈦、氧化鋅、氧化鋁、氧化鋇及其等之任何組合中之一材料。在一些實施例中，各絕緣層可包括選自由二氧化矽、氮化矽、氮氧化矽及其等之任何組合組成之群組的一材料。各絕緣層可具有至少約10奈米厚之一厚度，諸如介於約10奈米至約10,000奈米之

間，介於約10奈米至約5,000奈米之間，介於約50奈米至約400奈米之間，或介於約100奈米至約400奈米之間，諸如約50奈米、約100奈米或約200奈米。

在一些實施例中，可使單晶半導體施體基板400（例如一單晶矽施體基板）之前表面熱氧化（其中將消耗所沈積半導體材料膜之一些部分）以製備半導體氧化物膜，或可藉由CVD氧化物沈積來生長半導體氧化物（例如二氧化矽）膜。在一些實施例中，可使單晶半導體施體基板400之前表面依上文所描述之相同方式在諸如一ASM A400之一爐中熱氧化。在一些實施例中，使單晶半導體施體基板400氧化以在前表面層上提供至少約1奈米厚、約10奈米厚（諸如，介於約10奈米至約10,000奈米之間，介於約10奈米至約5,000奈米之間，或介於約100奈米至約400奈米之間）之氧化物層。在一些實施例中，單晶半導體施體基板400上之氧化層係相對較薄的，諸如介於約5埃至約25埃之間，諸如介於約10埃至約15埃之間。可藉由曝露於諸如一SC1/SC2清洗溶液之一標準清洗溶液來獲得薄氧化物層。

可在諸如一Applied Materials Quantum II、一Quantum LEAP或一Quantum X之一市售儀器中實施離子植入。所植入之離子包含He、H、H₂或其等之組合。依足以在半導體施體基板中形成一損傷層之一密度及持續時間實施離子植入。植入物密度可在自約10¹²個離子/cm²至約10¹⁷個離子/cm²之範圍內，諸如自約10¹⁴個離子/cm²至約10¹⁷個離子/cm²，諸如自約10¹⁵個離子/cm²至約10¹⁶個離子/cm²。植入能量可在自約1 keV至約3,000 keV之範圍內，諸如自約10 keV至約3,000 keV。植入能量可在自約1 keV至約3,000 keV之範圍內，諸如自約5 keV至約1,000 keV，或自約5 keV至約200 keV，或自約5 keV至約100 keV，或自約5 keV至約80 keV。植

入深度判定最終SOI結構中之單晶半導體裝置層之厚度。可將離子植入至約100埃至約30,000埃之間的一深度，諸如介於約200埃至約20,000埃之間，諸如介於約2000埃至約15,000埃之間或介於約15,000埃至約30,000埃之間。在一些實施例中，可期望在植入之後使單晶半導體施體晶圓(例如單晶矽施體晶圓)經受一清洗。在一些較佳實施例中，清洗可包含一晶圓濕式清洗(Piranha clean)、接著一DI水沖洗及SC1/SC2清洗。

在本發明之一些實施例中，使其內具有藉由 He^+ 、 H^+ 、 H_2^+ 及其等之組合之離子植入所形成之一離子植入區域的單晶半導體施體基板400在足以在單晶半導體施體基板中形成一熱活化分割面之一溫度處退火。一適合工具之一實例可為諸如一Blue M模型之一簡單箱式爐。在一些較佳實施例中，使經離子植入之單晶半導體施體基板在自約200°C至約350°C、自約225°C至約350°C (較佳地約350°C)之一溫度處退火。熱退火可發生於自約2小時至約10小時(諸如約2小時)之一持續時間內。此等溫度範圍內之熱退火足以形成一熱活化分割面。在用於活化分割面之熱退火之後，較佳地清洗單晶半導體施體基板表面。

在一些實施例中，經離子植入且視情況經清洗且視情況經退火之單晶半導體施體基板經受氧電漿及/或氮電漿表面活化。在一些實施例中，氧電漿表面活化工具係一市售工具，諸如可購自EV Group之工具，諸如EVG®810LT Low Temp Plasma Activation System。將經離子植入且視情況經清洗之單晶半導體施體晶圓裝載至室中。抽空室且使用 O_2 或 N_2 來將室回填至小於大氣壓之一壓力以藉此產生電漿。使單晶半導體施體晶圓在可在自約1秒至約120秒之範圍內之期望時間內曝露於此電漿。執行氧或氮電漿表面活化以使單晶半導體施體基板之前表面具親水性且適於結合

至根據上文所描述之方法所製備之一單晶半導體處置基板。在電漿活化之後，使用去離子水來沖洗活化表面。接著，在結合之前使晶圓旋轉變乾。

接著，使單晶半導體施體基板400之親水性前表面層及包括磊晶層200及多晶矽電荷捕獲層300之單晶半導體處置基板100之前表面密切接觸以藉此形成一結合結構。結合結構包括一介電層410，例如諸如氧化矽之一埋藏氧化物。

由於機械結合係相對較弱的，所以結合結構經進一步退火以固化單晶半導體施體基板400與包括磊晶層200及多晶矽電荷捕獲層300之單晶半導體處置基板100之間的結合。在本發明之一些實施例中，使結合結構在足以在單晶半導體施體基板中形成一熱活化分割面之一溫度處退火。一適合工具之一實例可為諸如一Blue M模型之一簡單箱式爐。在一些較佳實施例中，使結合結構在自約200°C至約350°C、自約225°C至約350°C (較佳地約350°C)之一溫度處退火。熱退火可發生於自約0.5小時至約10小時之一持續時間(較佳地約2小時之一持續時間)內。此等溫度範圍內之熱退火足以形成一熱活化分割面。在用於活化分割面之熱退火之後，可分割結合結構。

在一些實施例中，退火可發生於相對較高壓力處，諸如介於約0.5 MPa至約200 MPa之間，諸如介於約0.5 MPa至約100 MPa之間，諸如介於約0.5 MPa至約50 MPa之間，或介於約0.5 MPa至約10 MPa之間，或介於約0.5 MPa至約5 MPa之間。在習知結合方法中，溫度可能受限於「自動分割(autocleave)」。此發生於植入面處之薄層之壓力超過外部均衡壓力時。據此，由於自動分割，習知退火會受限於約350°C至約400°C之間的結合溫度。在植入及結合之後，使晶圓較弱地保持在一起。但晶圓之間

的間隙足以防止氣體穿入或漏出。可藉由熱處理來加強弱結合，但使用氣體填充植入期間所形成之腔。當加熱時，腔內氣體加壓。據估計，取決於劑量，壓力可達到0.2 GPa至1 GPa (Cherkashin等人，J. Appl. Phys. 118，245301 (2015))。當壓力超過一臨界值時，層脫離。此指稱一自動分割或熱分割。此防止退火中之較高溫度或較長時間。根據本發明之一些實施例，結合發生於高壓(諸如介於約0.5 MPa至約200 MPa之間，諸如介於約0.5 MPa至約100 MPa之間，諸如介於約0.5 MPa至約50 MPa之間，或介於約0.5 MPa至約10 MPa之間，或介於約0.5 MPa至約5 MPa之間)處，其藉此實現高溫處之結合。在一些實施例中，使結合結構在自約300°C至約700°C、自約400°C至約600°C (諸如介於約400°C至約450°C之間或甚至介於約450°C至約600°C之間或介於約350°C至約450°C之間)之一溫度處退火。增加熱預算將對結合強度產生一積極效應。熱退火可發生於自約0.5小時至約10小時之一持續時間(諸如介於約0.5小時至約3小時之間，較佳地約2小時之一持續時間)內。此等溫度範圍內之熱退火足以形成一熱活化分割面。在習知結合退火中，處置晶圓及施體晶圓兩者之邊緣可歸因於滾離而變得疏遠。在此區域中，不存在層轉移。其被稱為梯台。預期加壓結合會減小此梯台以使SOI層朝向邊緣向外進一步延伸。機制係基於捕獲氣穴被壓縮且向外「拉上拉鏈(zippering)」。在用於活化分割面之熱退火之後，可分割結合結構。

在熱退火之後，單晶半導體施體基板400與包括磊晶層200及多晶矽電荷捕獲層300之單晶半導體處置基板100之間的結合足夠強以經由在分割面處分割結合結構來引發層轉移。分割可根據此項技術中已知之技術來發生。在一些實施例中，可將結合結構放置於一習知分割台中，該分割台

之一側貼附至固定吸盤且另一側上之一鉸接臂由額外吸盤貼附。在吸盤附接處附近引發一裂縫且可移動臂圍繞鉸鏈樞轉以將晶圓分割開。分割移除半導體施體晶圓之一部分以藉此在絕緣體上半導體複合結構上留下一單晶半導體裝置層500，較佳為一矽裝置層。參閱圖3E。

在分割之後，經分割結構可經受一高溫退火以進一步加強經轉移裝置層500與包括磊晶層200及多晶矽電荷捕獲層300之單晶半導體處置基板100之間的結合。一適合工具之一實例可為諸如一ASM A400之一垂直爐。在一些較佳實施例中，使結合結構在自約1000°C至約1200°C之一溫度處(較佳地，在約1000°C處)退火。熱退火可發生於自約0.5小時至約8小時之一持續時間(較佳地約2小時至約4小時之一持續時間)內。此等溫度範圍內之熱退火足以加強經轉移裝置層與單晶半導體處置基板之間的結合。

在分割及高溫退火之後，結合結構可經受經設計以移除薄熱氧化物且自表面清洗顆粒之一清洗程序。在一些實施例中，可藉由在使用H₂作為一運載氣體之一水平流單晶圓磊晶反應器中經受一氣相HCl蝕刻程序來使單晶半導體裝置層達到所要厚度及光滑度。在一些實施例中，半導體裝置層500可具有介於約10奈米至約20微米之間、介於約20奈米至約3微米之間(諸如介於約20奈米至約2微米之間，諸如介於約20奈米至約1.5微米之間或介於約1.5微米至約3微米之間)的一厚度。厚膜裝置層可具有介於約1.5微米至約20微米之間的一裝置層厚度。薄膜裝置層可具有介於約0.01微米至約0.20微米之間的一厚度。

在一些實施例中，可將一磊晶層沈積於經轉移單晶半導體裝置層500上。一沈積磊晶層可包括實質上相同於下伏單晶半導體裝置層500之電特性。替代地，磊晶層可包括不同於下伏單晶半導體裝置層500之電特性。

一磊晶層可包括選自由矽、碳化矽、矽鍺、砷化鎵、氮化鎵、磷化銦、砷化銦鎵、鍺及其等之組合組成之群組的一材料。取決於最終積體電路裝置之所要性質，磊晶層可包括選自硼(p型)、鎵(p型)、鋁(p型)、銦(p型)、磷(n型)、銻(n型)及砷(n型)中之一摻雜物。磊晶層之電阻率可在自1 Ohm-cm至50 Ohm-cm之範圍內，通常為自5 Ohm-cm至25 Ohm-cm。在一些實施例中，磊晶層可具有介於約10奈米至約20微米之間、介於約20奈米至約3微米之間(諸如介於約20奈米至約2微米之間，諸如介於約20奈米至約1.5微米之間或介於約1.5微米至約3微米之間)的一厚度。

完成SOI晶圓包括單晶半導體處置基板100、磊晶層200、單晶矽電荷捕獲層300、介電層410 (例如埋藏氧化物層)及半導體裝置層500，接著可經受製程末段度量檢測且最後使用典型SC1-SC2程序來清洗。

實例1

使用分別具有1,500 Ohm-cm及4,000 Ohm-cm之電阻率的兩個群組之200 mm直徑硼摻雜矽(100)基板來展示使用一設計磊晶層來提高RF效能之優點。在一商用濕式清洗台中使用SC1/SC2清洗液來清洗基板，接著磊晶生長5微米至10微米之間(在此實例中為5微米)的一矽層。在一200 mm Centura反應器中，在大氣壓處在1000°C至1100°C之間(在此實例中為1100°C)的一溫度處進行矽磊晶生長。使用三氯矽烷(TCS)作為矽前驅物，且使用H₂作為運載氣體。用於提供2微米/分鐘至4微米/分鐘之間(此實例中為4 um/min)的一生長率的典型程序條件係：TCS具有10 g/min之一流速，H₂具有20 slm之一流速。藉由生長溫度及n型TCS背景摻雜來將磊晶層目標電阻率控制於200 Ohm-cm至2000 Ohm-cm之間(在此實例中為1000 Ohm-cm)。在完成矽磊晶層之後，自反應器卸載晶圓且使用

SC1/SC2來清洗晶圓以形成化學氧化物，接著，除沈積溫度係介於900°C至1000°C之間(在此實例中為950°C)之外，在相同反應器中使用相同氣流來進行2.8 μm 厚多晶矽沈積。控制晶圓不經受矽磊晶生長，而是僅進行多晶矽沈積。接著，拋光晶圓以形成僅留下2 μm 多晶矽之一光滑多晶矽表面且使用晶圓作為用於SOI製造之處置基板。對完成SOI晶圓進行SRP及共面波導(CPW) RF量測兩者。圖4中之SRP曲線展示由於p型處置基板耗盡磊晶層而使電阻率自多晶矽實質上增大至設計處置基板中之處置基板。由於基板中之自由載子顯著減少，所以HD2減少10%至15%。參閱圖5。為在不使用上文所揭示之設計方法之情況下達成類似效能提高，需要具有更高10倍之電阻率之一基板，其易於在裝置製造熱程序期間出現類型翻轉。類型翻轉導致不可控基板電阻率且對裝置效能產生負面影響。

儘管已詳細描述本發明，但應明白，可在不背離隨附申請專利範圍中所界定之本發明之範疇的情況下進行修改及變動。

當介紹本發明或其較佳實施例之元件時，冠詞「一」及「該」意欲意謂存在該等元件之一或多者。術語「包括」、「包含」及「具有」意欲具包含性且意謂可存在除所列元件之外之額外元件。

鑑於上文，可看出本發明之若干目的被達成且其他有利結果被實現。

由於可不背離本發明之範疇的情況下對上述產品及方法作出各種改變，所以期望以上描述中所含及附圖中所展示之全部事項應被解譯為意在說明而非限制。

【符號說明】

2 絕緣體上矽結構

4	矽晶圓
6	埋藏氧化物(BOX)層
10	矽裝置層
12	高電阻率電荷反轉或累積層
20	絕緣體上半導體結構/絕緣體上矽結構
22	高電阻率矽基板
24	埋藏氧化物層
26	頂部矽層
28	未摻雜多晶矽層/電荷捕獲層
100	單晶半導體處置晶圓
102	前表面
104	後表面
106	圓周邊緣
108	中心軸
110	主體區域
200	磊晶層
300	電荷捕獲層
400	單晶半導體施體基板/單晶半導體施體晶圓
410	介電層
500	單晶半導體裝置層

【發明申請專利範圍】

【第1項】

一種製備一多層基板之方法，該方法包括：

將一磊晶層磊晶地沈積於一單晶半導體處置基板之前表面上，其中該單晶半導體處置基板包括：兩個大體上平行之主表面，其等之一者係該單晶半導體處置基板之該前表面且其等之另一者係該單晶半導體處置基板之一後表面；一圓周邊緣，其接合該單晶半導體處置基板之該前表面及該後表面；一中心面，其介於該單晶半導體處置基板之該前表面與該後表面之間；及一主體區域，其介於該單晶半導體處置基板之該前表面與該後表面之間，其中該單晶半導體處置基板具有至少約500 ohm-cm之一最小主體區域電阻率，及進一步其中該單晶半導體處置基板具有一處置晶體定向，且其中該磊晶層具有介於約100 ohm-cm至約5000 ohm-cm之間的一電阻率，及進一步其中該磊晶層具有相同於該處置晶體定向之一晶體定向；

將一電荷捕獲層沈積於該磊晶層上，該電荷捕獲層包括具有至少約3000 ohm-cm之一電阻率的多晶矽；及

將一單晶半導體施體基板之一前表面上之一介電層結合至該電荷捕獲層以藉此形成一結合結構，其中該單晶半導體施體基板包括：兩個大體上平行之主表面，其等之一者係該半導體施體基板之該前表面且其等之另一者係該半導體施體基板之一後表面；一圓周邊緣，其接合該半導體施體基板之該前表面及該後表面；及一中心面，其介於該半導體施體基板之該前表面與該後表面之間，其中該單晶半導體施體基板包括一分割面。

【第2項】

如請求項1之方法，其中該單晶半導體處置基板包括單晶矽。

【第3項】

如請求項1之方法，其中該單晶半導體施體基板包括單晶矽。

【第4項】

如請求項1之方法，其中該單晶半導體處置基板具有介於約1000 Ohm-cm至約100,000 Ohm-cm之間的一體電阻率。

【第5項】

如請求項1之方法，其中該單晶半導體處置基板具有介於約1000 Ohm-cm至約6,000 Ohm-cm之間的一體電阻率。

【第6項】

如請求項1之方法，其中該單晶半導體處置基板包括選自由硼、鋁、鎵、銦及其等之任何組合組成之群組的一電活性摻雜物。

【第7項】

如請求項1之方法，其中該磊晶層具有介於約200 Ohm-cm至約2000 Ohm-cm之間的一電阻率。

【第8項】

如請求項1之方法，其中該磊晶層具有介於約400 Ohm-cm至約1000 Ohm-cm之間的一電阻率。

【第9項】

如請求項1之方法，其中該磊晶層包括矽及選自由砷、磷、銻及其等之任何組合組成之群組的一電活性摻雜物。

【第10項】

如請求項9之方法，其中包括矽之該磊晶層係介於約0.2微米至約20

微米之間厚。

【第11項】

如請求項9之方法，其中包括矽之該磊晶層係介於約0.5微米至約10微米之間厚。

【第12項】

如請求項1之方法，其中該磊晶層包括依約0.1莫耳%至約5莫耳%之間的一碳濃度摻雜碳之矽。

【第13項】

如請求項12之方法，其中該磊晶層包括依約0.5莫耳%至約2莫耳%之間的一碳濃度摻雜碳之矽。

【第14項】

如請求項12之方法，其中包括摻雜有碳之矽的該磊晶層係介於約0.1微米至約10微米之間厚。

【第15項】

如請求項1之方法，其中該電荷捕獲層具有至少約7000 Ohm-cm之一電阻率。

【第16項】

如請求項1之方法，其進一步包括：在與該單晶半導體施體基板之該前表面上之該介電層結合之前，使一絕緣層形成於該電荷捕獲層上，其中該絕緣層包括半導體氧化物或半導體氮氧化物。

【第17項】

如請求項1之方法，其中該介電層包括選自由二氧化矽、氮化矽、氮氧化矽、氧化鉛、氧化鈦、氧化鋯、氧化釧及其等之一組合組成

之群組的一材料。

【第18項】

如請求項1之方法，其進一步包括：在足以加強該單晶半導體施體基板之該介電層與該單晶半導體處置基板之該前表面上之該電荷捕獲層之間的該結合之一溫度處及一持續時間內加熱該結合結構。

【第19項】

如請求項1之方法，其進一步包括：在該單晶半導體施體基板之該分割面處機械地分割該結合結構以藉此製備包括該單晶半導體處置基板、該磊晶層、該電荷捕獲層、該介電層及一單晶半導體裝置層之一分割結構。

【第20項】

一種製備一多層基板之方法，該方法包括：

將一磊晶層磊晶地沈積於一單晶半導體處置基板之前表面上，其中該單晶半導體處置基板包括：兩個大體上平行之主表面，其等之一者係該單晶半導體處置基板之該前表面且其等之另一者係該單晶半導體處置基板之一後表面；一圓周邊緣，其接合該單晶半導體處置基板之該前表面及該後表面；一中心面，其介於該單晶半導體處置基板之該前表面與該後表面之間；及一主體區域，其介於該單晶半導體處置基板之該前表面與該後表面之間，其中該單晶半導體處置基板包括選自由硼、鋁、鎵、銦及其等之任何組合組成之群組的一電活性p型摻雜物，及進一步其中該單晶半導體處置基板具有一處置晶體定向，且其中該磊晶層包括選自由砷、磷、銻及其等之任何組合組成之群組的一電活性n型摻雜物，其中該電活性n型摻雜物之濃度小於約 1×10^{14} 個原子/cm³，及進一步其中該磊晶層具有相同於該處置晶體定向之一晶體定向；

將一電荷捕獲層沈積於該磊晶層上，該電荷捕獲層包括多晶矽；及

將一單晶半導體施體基板之一前表面上之一介電層結合至該電荷捕獲層以藉此形成一結合結構，其中該單晶半導體施體基板包括：兩個大體上平行之主表面，其等之一者係該半導體施體基板之該前表面且其等之另一者係該半導體施體基板之一後表面；一圓周邊緣，其接合該半導體施體基板之該前表面及該後表面；及一中心面，其介於該半導體施體基板之該前表面與該後表面之間，其中該單晶半導體施體基板包括一分割面。

【第21項】

如請求項20之方法，其中該單晶半導體處置基板包括單晶矽。

【第22項】

如請求項20之方法，其中該單晶半導體施體基板包括單晶矽。

【第23項】

如請求項20之方法，其中該單晶半導體處置基板包括具有小於約 2×10^{13} 個原子/cm³ 之一濃度的該電活性p型摻雜物。

【第24項】

如請求項20之方法，其中該單晶半導體處置基板包括具有小於約 1×10^{13} 個原子/cm³ 之一濃度的該電活性p型摻雜物。

【第25項】

如請求項20之方法，其中該單晶半導體處置基板包括具有小於約 5×10^{12} 個原子/cm³ 之一濃度的該電活性p型摻雜物。

【第26項】

如請求項20之方法，其中該磊晶層中之該電活性n型摻雜物之濃度小於約 1×10^{13} 個原子/cm³。

【第27項】

如請求項20之方法，其中該磊晶層中之該電活性n型摻雜物之濃度小於約 5×10^{12} 個原子/cm³。

【第28項】

如請求項20之方法，其中該磊晶層包括矽。

【第29項】

如請求項28之方法，其中包括矽之該磊晶層係介於約0.2微米至約20微米之間厚。

【第30項】

如請求項20之方法，其中該磊晶層包括依約0.1莫耳%至約5莫耳%之間的一碳濃度摻雜碳之矽。

【第31項】

如請求項20之方法，其中該磊晶層包括依約0.5莫耳%至約2莫耳%之間的一碳濃度摻雜碳之矽。

【第32項】

如請求項20之方法，其中該電荷捕獲層具有至少約3000 Ohm-cm之一電阻率。

【第33項】

如請求項20之方法，其中該電荷捕獲層具有至少約7000 Ohm-cm之一電阻率。

【第34項】

如請求項20之方法，其進一步包括：在與該單晶半導體施體基板之該前表面上之該介電層結合之前，使一絕緣層形成於該電荷捕獲層上，其

中該絕緣層包括半導體氧化物或半導體氮氧化物。

【第35項】

如請求項20之方法，其中該介電層包括選自由二氧化矽、氮化矽、氮氧化矽、氧化鉛、氧化鈦、氧化鋯、氧化釧、氧化鋇及其等之一組合組成之群組的一材料。

【第36項】

如請求項20之方法，其進一步包括：在足以加強該單晶半導體施體基板之該介電層與該單晶半導體處置基板之該前表面上之該電荷捕獲層之間的該結合之一溫度處及一持續時間內加熱該結合結構。

【第37項】

如請求項20之方法，其進一步包括：在該單晶半導體施體基板之該分割面處機械地分割該結合結構以藉此製備包括該單晶半導體處置基板、該磊晶層、該電荷捕獲層、該介電層及一單晶半導體裝置層之一分割結構。

【第38項】

一種多層結構，其包括：

一單晶半導體處置基板，其中該單晶半導體處置基板包括：兩個大體上平行之主表面，其等之一者係該單晶半導體處置基板之一前表面且其等之另一者係該單晶半導體處置基板之一後表面；一圓周邊緣，其接合該單晶半導體處置基板之該前表面及該後表面；一中心面，其介於該單晶半導體處置基板之該前表面與該後表面之間；及一主體區域，其介於該單晶半導體處置基板之該前表面與該後表面之間，其中該單晶半導體處置基板包括選自由硼、鋁、鎵、銦及其等之任何組合組成之群組的一電活性p型

摻雜物，及進一步其中該單晶半導體處置基板具有一處置晶體定向；及

一磊晶層，其與該單晶半導體處置基板之該前表面界面接觸，其中該磊晶層包括選自由砷、磷、銻及其等之任何組合組成之群組的一電活性n型摻雜物，其中該電活性n型摻雜物之濃度小於約 1×10^{14} 個原子/cm³，及進一步其中該磊晶層具有相同於該處置晶體定向之一晶體定向；

一電荷捕獲層，其與該磊晶層界面接觸，該電荷捕獲層包括多晶矽，及具有至少約3000 Ohm-cm之一電阻率；

一介電層，其與該電荷捕獲層界面接觸；及

一單晶半導體裝置層，其與該介電層界面接觸。

【第39項】

如請求項38之多層結構，其中該單晶半導體處置基板包括單晶矽，及該單晶半導體裝置層包括單晶矽。

【第40項】

如請求項38之多層結構，其中該單晶半導體處置基板包括具有小於約 2×10^{13} 個原子/cm³之一濃度的該電活性p型摻雜物。

【第41項】

如請求項38之多層結構，其中該單晶半導體處置基板包括具有小於約 1×10^{13} 個原子/cm³之一濃度的該電活性p型摻雜物。

【第42項】

如請求項38之多層結構，其中該單晶半導體處置基板包括具有小於約 5×10^{12} 個原子/cm³之一濃度的該電活性p型摻雜物。

【第43項】

如請求項38之多層結構，其中該磊晶層中之該電活性n型摻雜物之濃

度小於約 1×10^{13} 個原子/cm³。

【第44項】

如請求項38之多層結構，其中該磊晶層中之該電活性n型摻雜物之濃度小於約 5×10^{12} 個原子/cm³。

【第45項】

如請求項38之多層結構，其中該磊晶層包括矽。

【第46項】

如請求項38之多層結構，其中該磊晶層包括依約0.1莫耳%至約5莫耳%之間的一碳濃度摻雜碳之矽。

【第47項】

如請求項38之多層結構，其中該磊晶層包括依約0.5莫耳%至約2莫耳%之間的一碳濃度摻雜碳之矽。

【第48項】

如請求項38之多層結構，其中該電荷捕獲層具有至少約7000 Ohm-cm之一電阻率。

【第49項】

一種多層結構，其包括：

一單晶半導體處置基板，其中該單晶半導體處置基板包括：兩個大體上平行之主表面，其等之一者係該單晶半導體處置基板之一前表面且其等之另一者係該單晶半導體處置基板之一後表面；一圓周邊緣，其接合該單晶半導體處置基板之該前表面及該後表面；一中心面，其介於該單晶半導體處置基板之該前表面與該後表面之間；及一主體區域，其介於該單晶半導體處置基板之該前表面與該後表面之間，其中該單晶半導體處置基板

包括選自由硼、鋁、鎵、銦及其等之任何組合組成之群組的一電活性p型摻雜物，及具有至少約500 Ohm-cm之一最小主體區域電阻率，及進一步其中該單晶半導體處置基板具有一處置晶體定向；

一磊晶層，其與該單晶半導體處置基板之該前表面界面接觸，其中該磊晶層包括選自由砷、磷、銻及其等之任何組合組成之群組的一電活性n型摻雜物，其中該磊晶層具有介於約100 Ohm-cm至約5,000 Ohm-cm之間之一電阻率，及進一步其中該磊晶層具有相同於該處置晶體定向之一晶體定向；

一電荷捕獲層，其與該磊晶層界面接觸，該電荷捕獲層包括多晶矽以及具有至少約3000 Ohm-cm之一電阻率；

一介電層，其與該電荷捕獲層界面接觸；及

一單晶半導體裝置層，其與該介電層界面接觸。

【第50項】

如請求項49之多層結構，其中該單晶半導體處置基板包括單晶矽，及該單晶半導體裝置層包括單晶矽。

【第51項】

如請求項49之多層結構，其中該單晶半導體處置基板具有介於約1,000 Ohm-cm至約100,000 Ohm-cm之間之一體電阻率。

【第52項】

如請求項49之多層結構，其中該單晶半導體處置基板具有介於約1,000 Ohm-cm至約6,000 Ohm-cm之間之一體電阻率。

【第53項】

如請求項49之多層結構，其中該磊晶層具有介於約200 Ohm-cm至約

2,000 Ohm-cm之間之一電阻率。

【第54項】

如請求項49之多層結構，其中該磊晶層具有介於約400 Ohm-cm至約1,000 Ohm-cm之間之一電阻率。

【第55項】

如請求項49之多層結構，其中該電荷捕獲層具有至少約7,000 Ohm-cm之一電阻率。

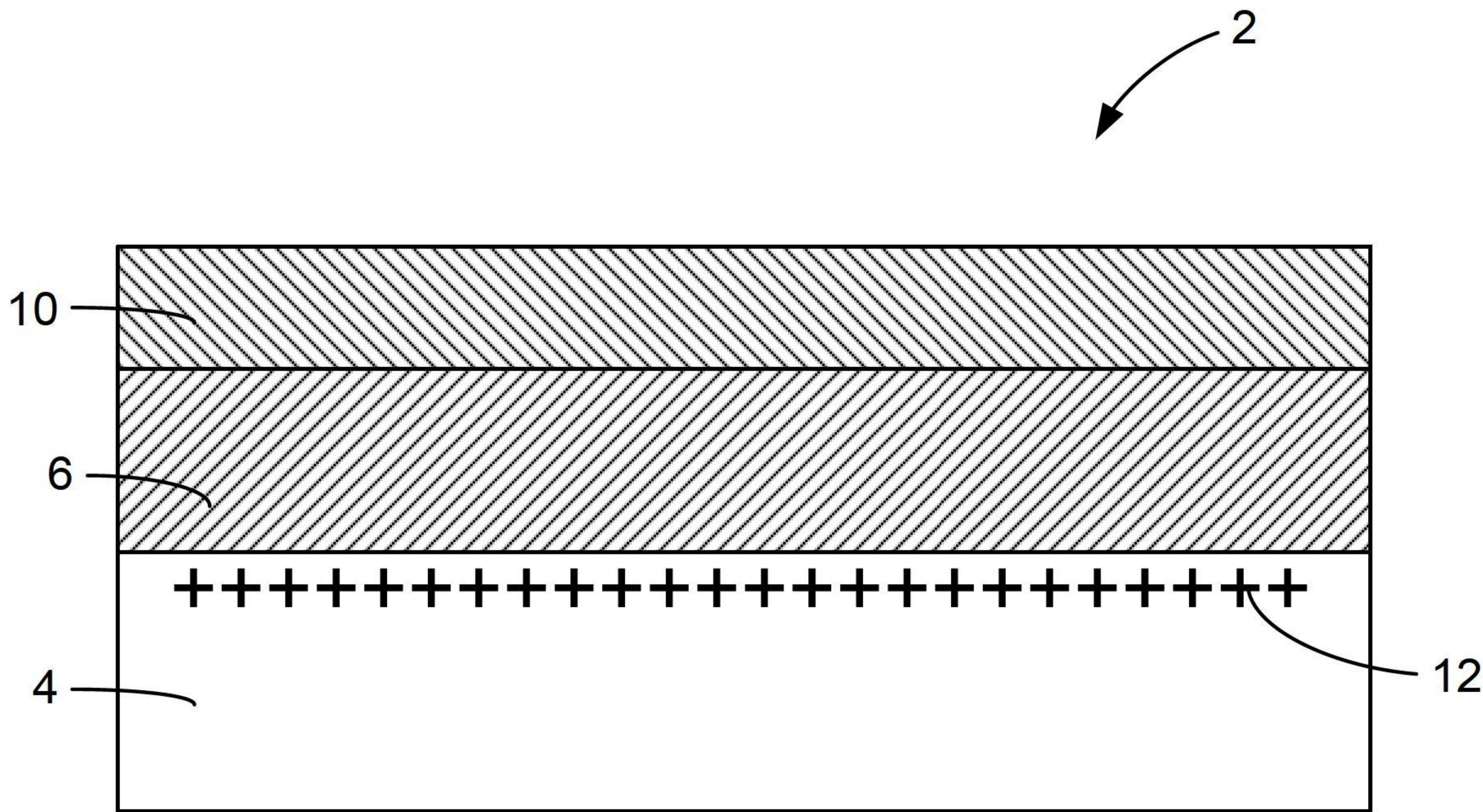
【第56項】

如請求項49之多層結構，其中該磊晶層包括矽。

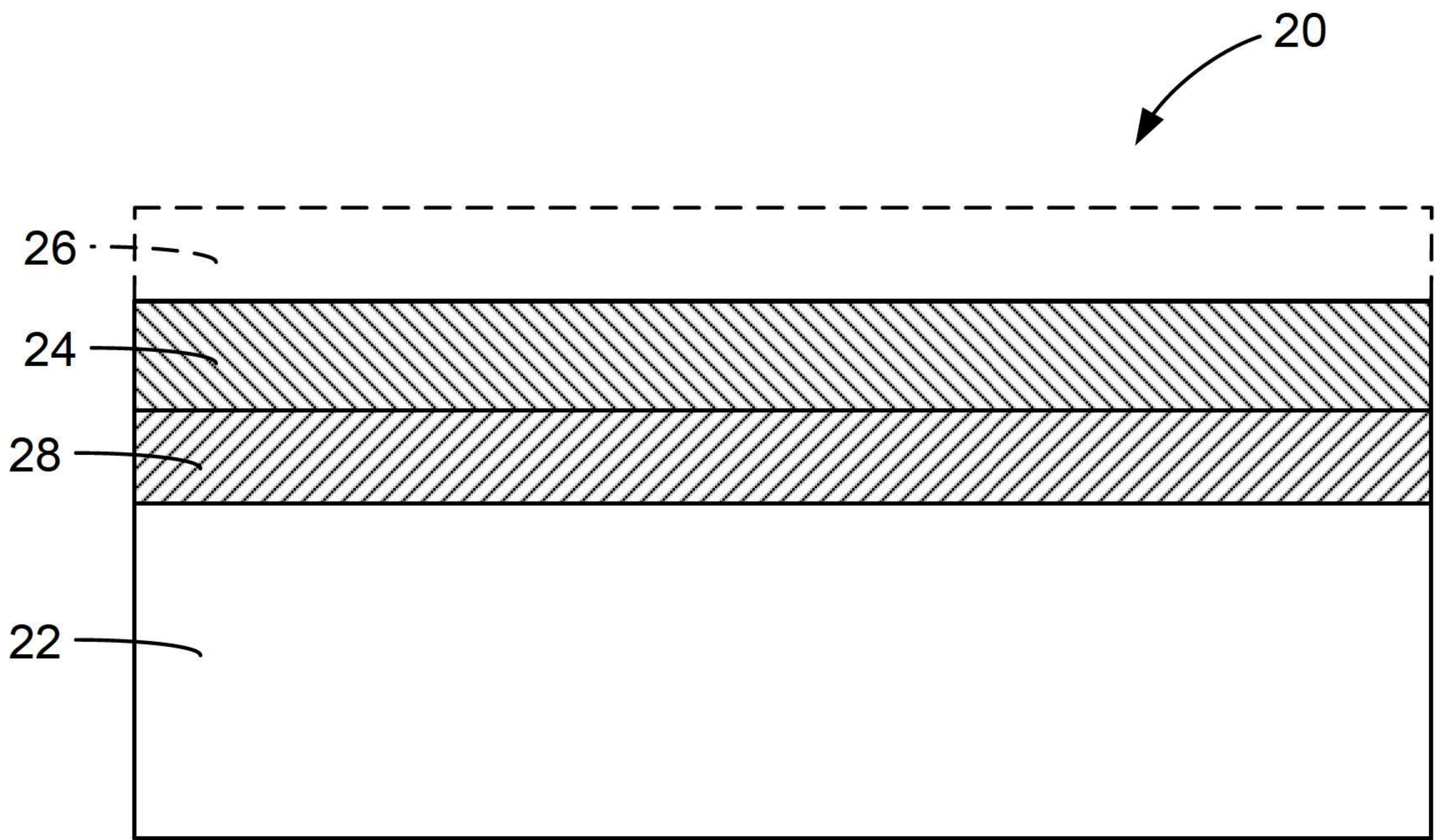
【第57項】

如請求項49之多層結構，其中該磊晶層包括依約0.1莫耳%至約5莫耳%之間的一碳濃度摻雜碳之矽。

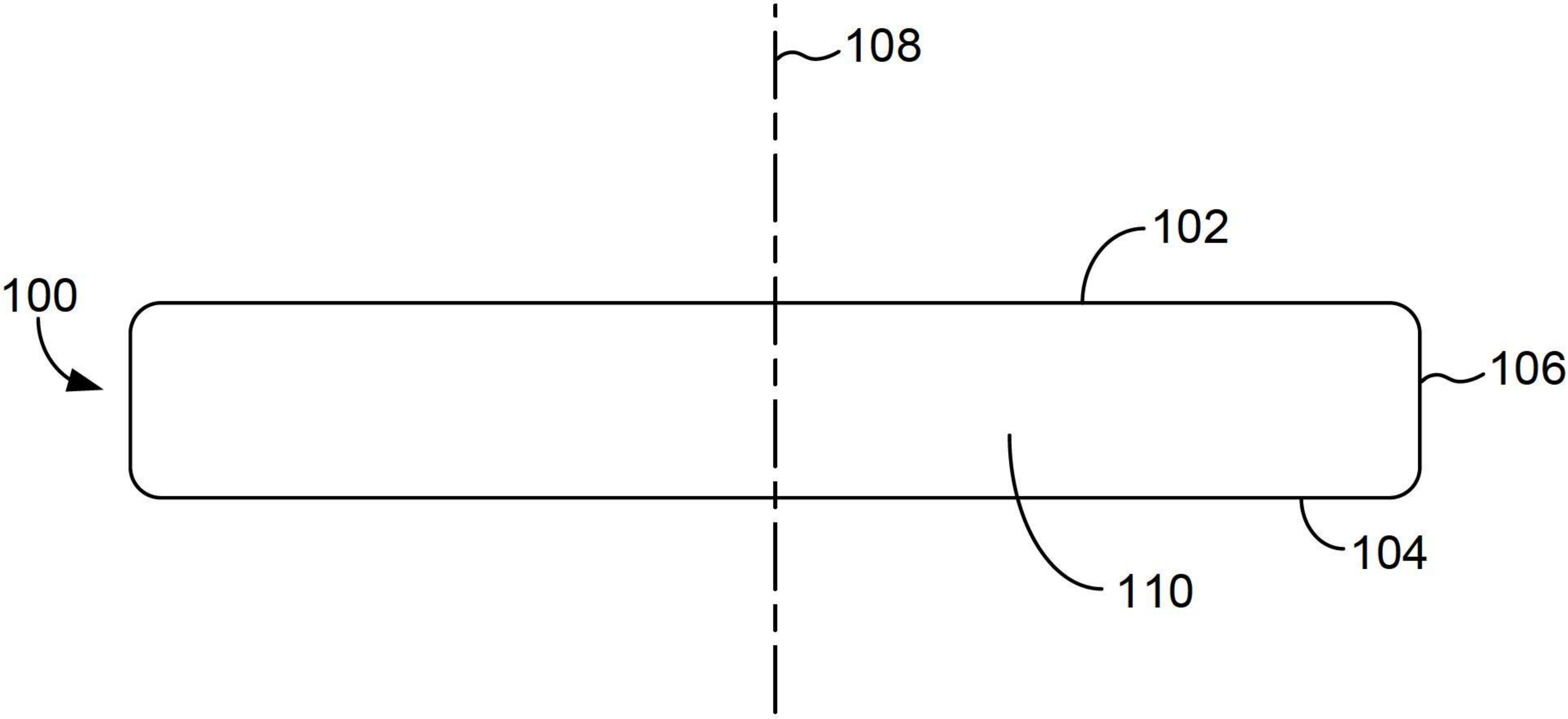
【發明圖式】



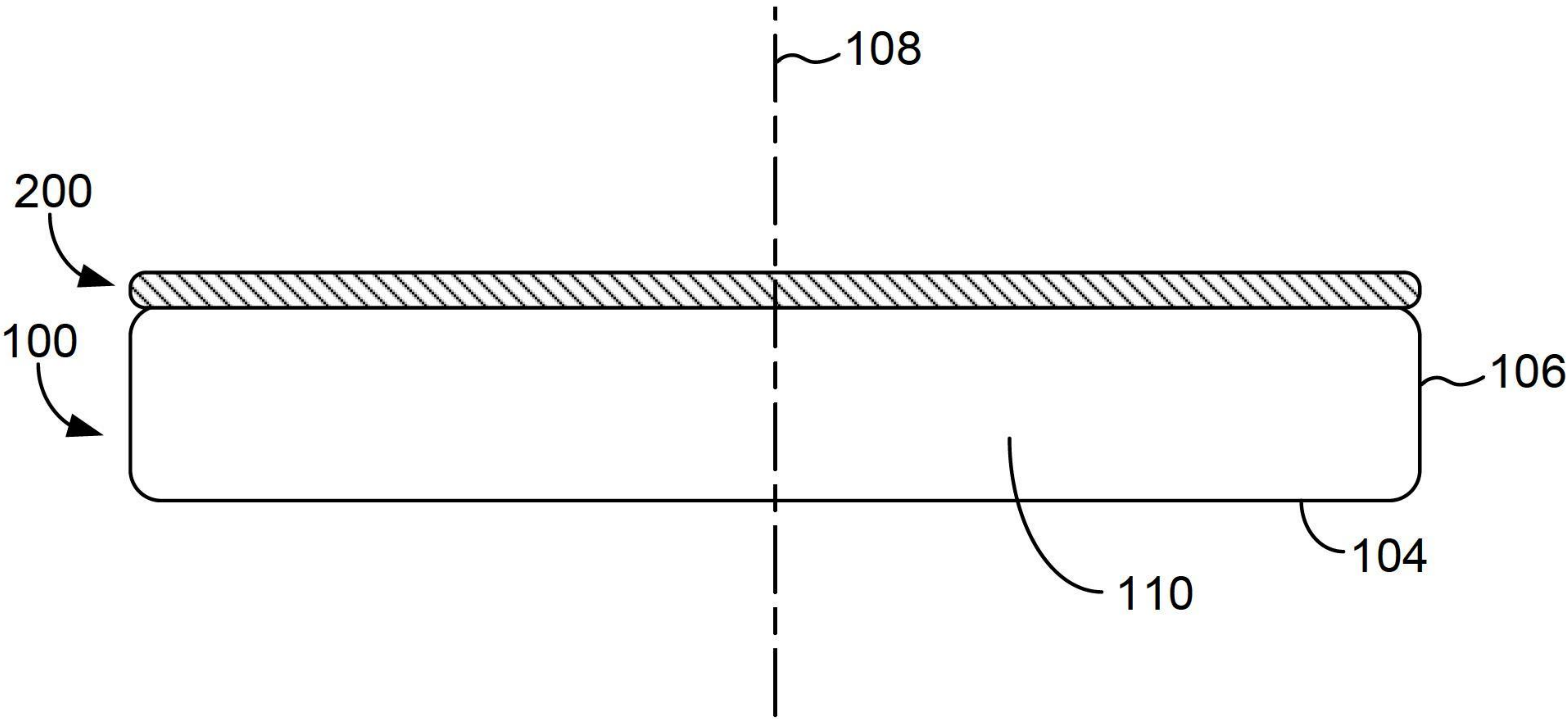
【圖1】



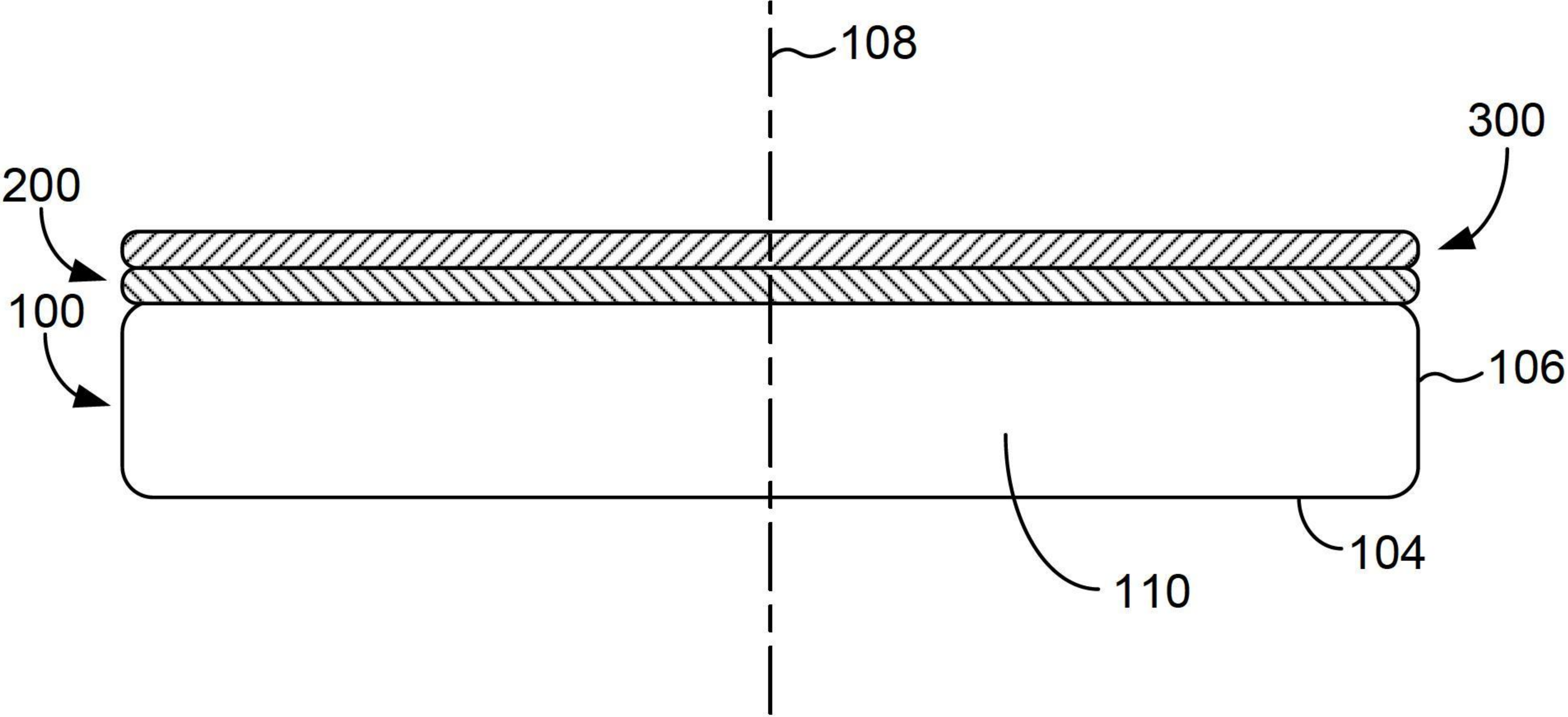
【圖2】



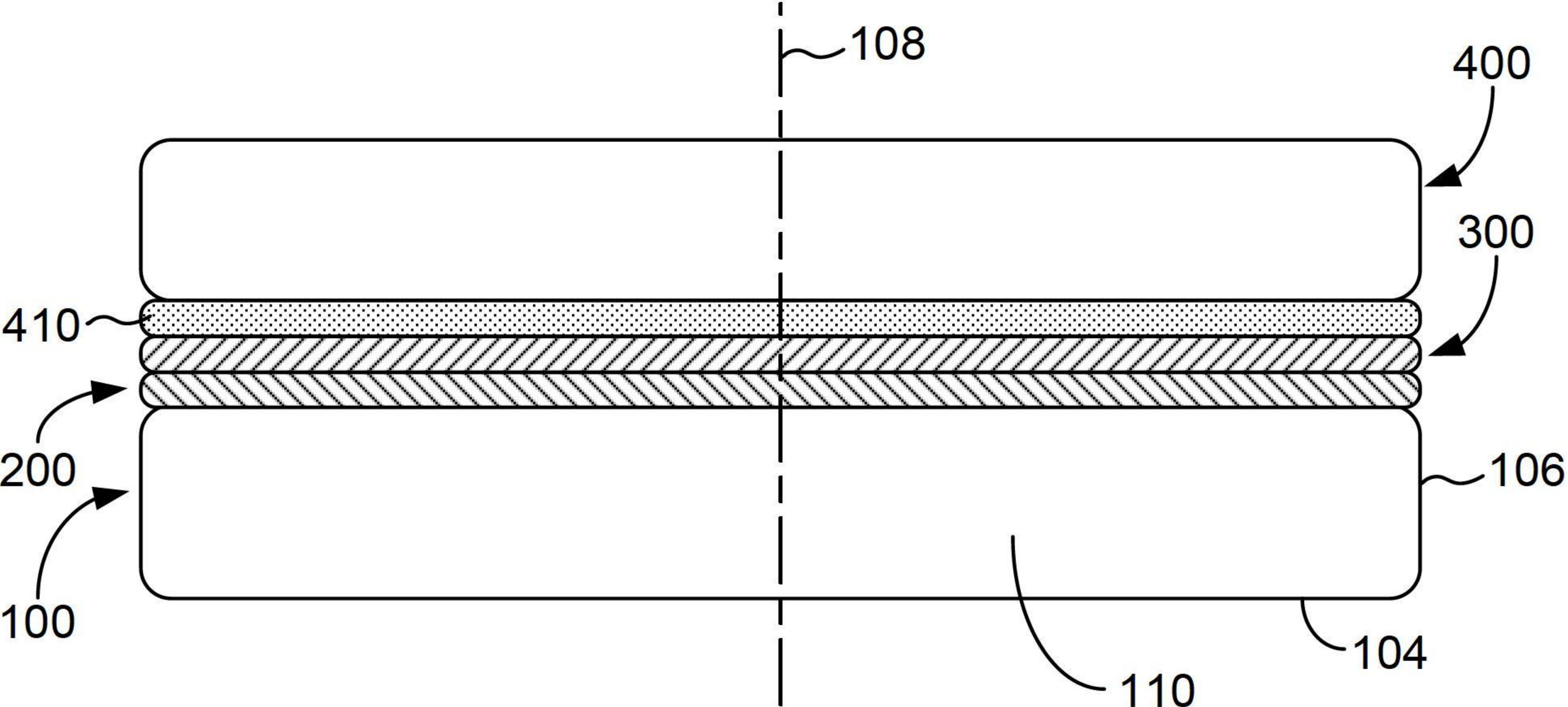
【圖3A】



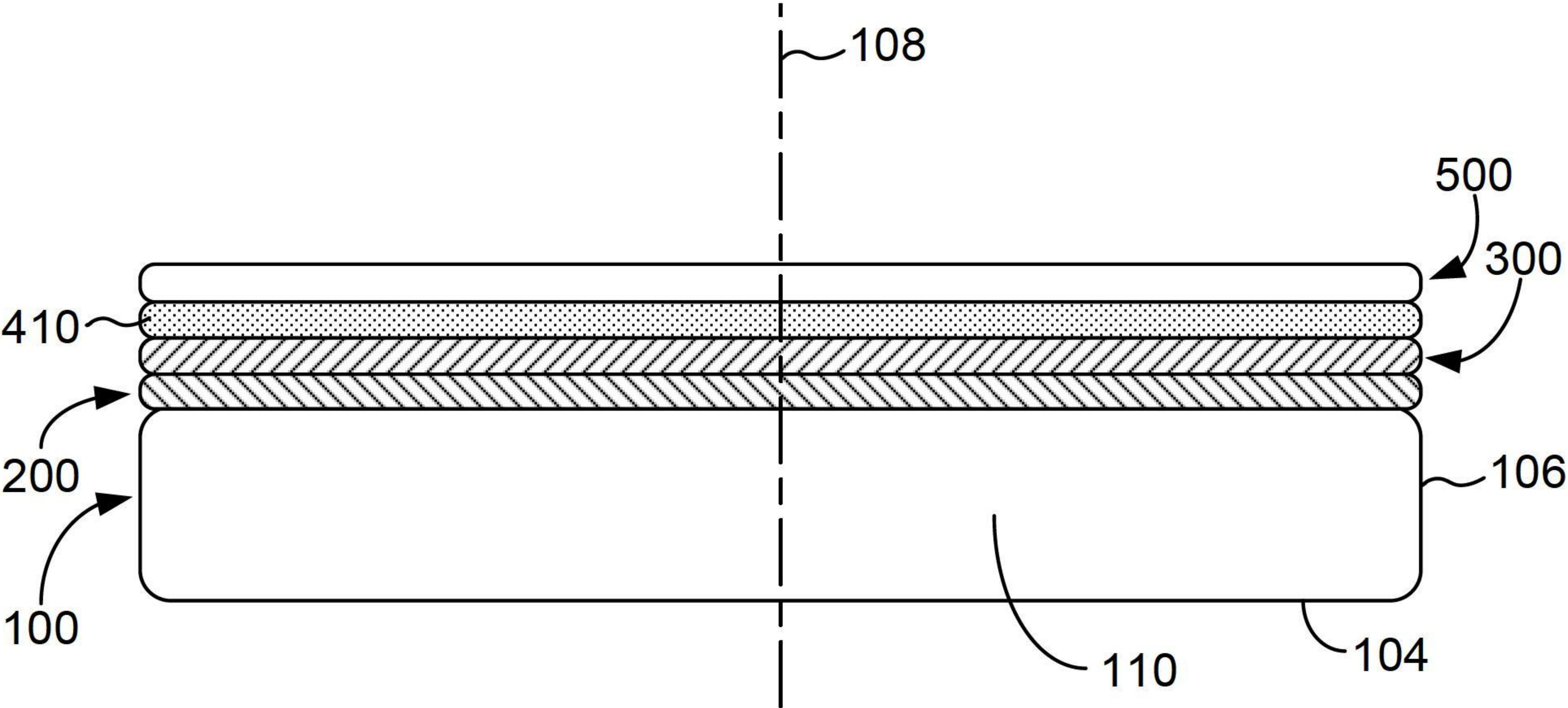
【圖3B】



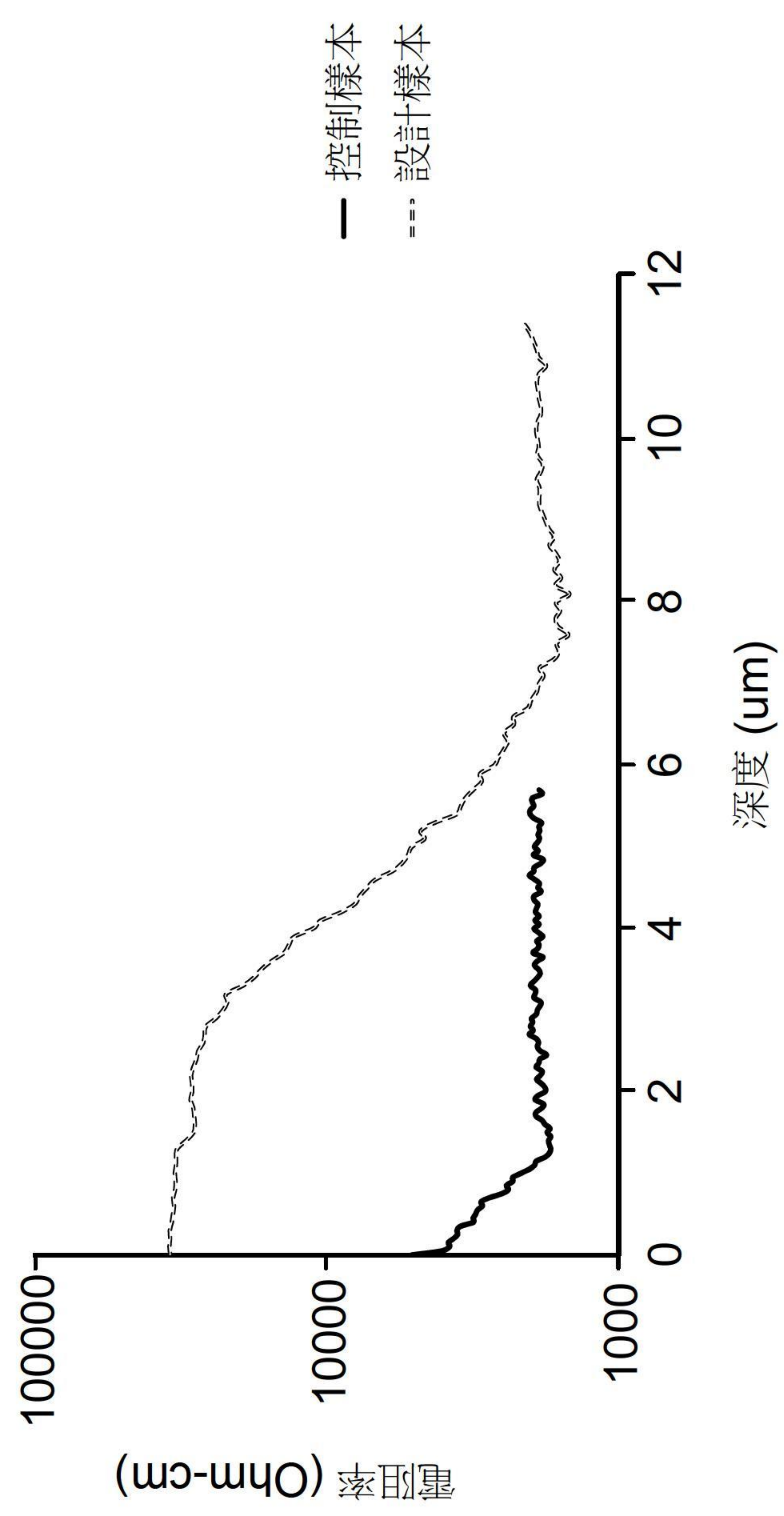
【圖3C】



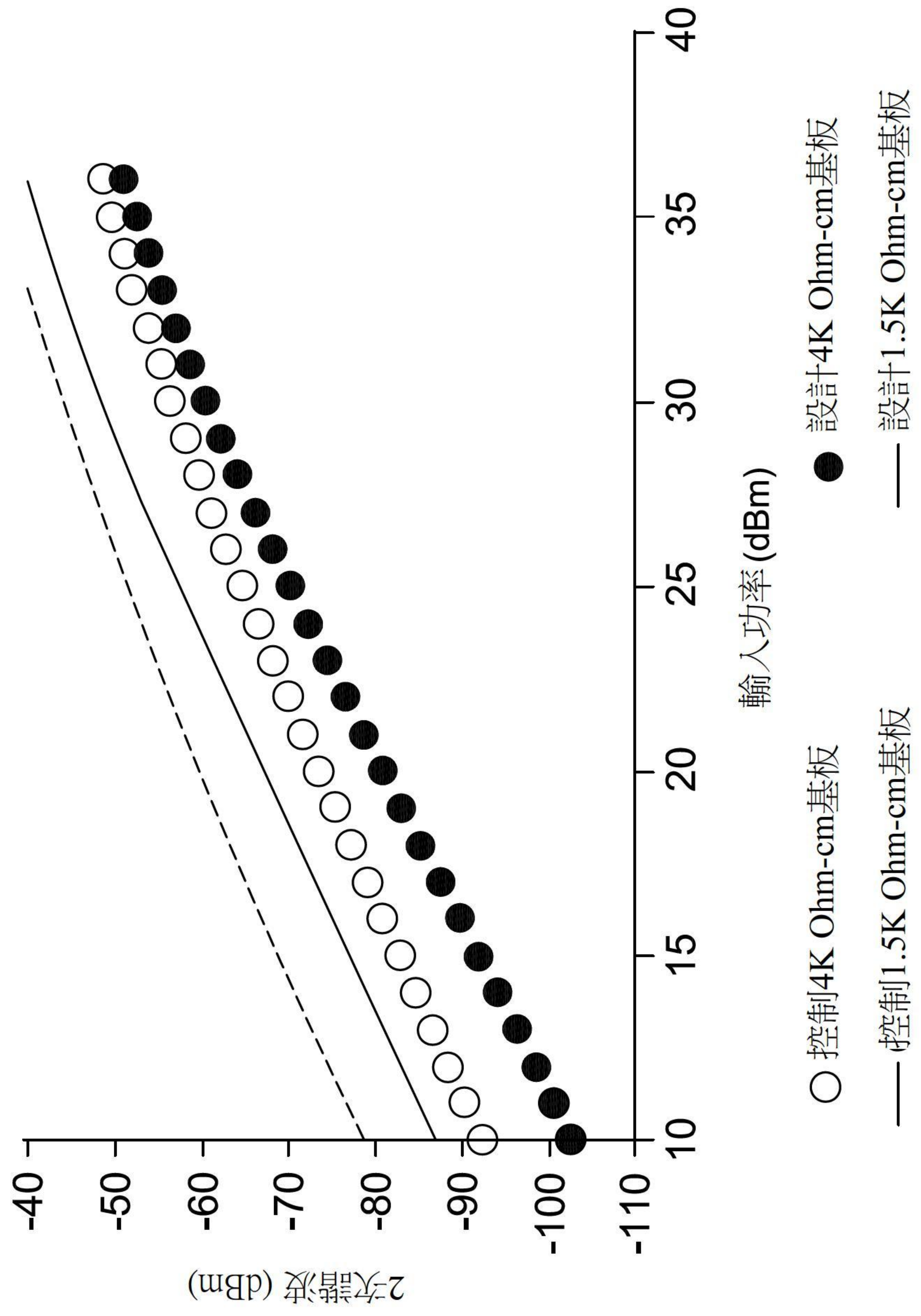
【圖3D】



【圖3E】



【圖4】



【圖5】