

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利申请公布说明书

[21] 申请号 200610164072.5

H01L 27/088 (2006.01)
H01L 27/146 (2006.01)
H01L 27/04 (2006.01)
H01L 29/78 (2006.01)
H01L 21/8234 (2006.01)
H01L 21/822 (2006.01)

[43] 公开日 2007年6月13日

[11] 公开号 CN 1979862A

[22] 申请日 2006.12.6

[21] 申请号 200610164072.5

[30] 优先权

[32] 2005.12.6 [33] JP [31] 352396/2005

[71] 申请人 松下电器产业株式会社

地址 日本大阪府

[72] 发明人 濑户千夏 内田干也 三室研

金崎惠美

[74] 专利代理机构 永新专利商标代理有限公司
代理人 胡建新

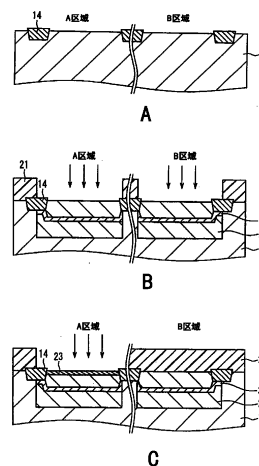
权利要求书 3 页 说明书 15 页 附图 13 页

[54] 发明名称

集成电路及其制造方法

[57] 摘要

本发明提供一种集成电路、包括集成电路的固体摄像器件以及它们的制造方法，该集成电路具有阈值电压、调制度的偏差小且调制度大的第2导电类型晶体管中具有阈值电压不同的晶体管的、增强型和耗尽型两种 MOS 晶体管。本发明的集成电路包括：具有包含第1导电类型杂质的阱区的半导体衬底；和形成在上述阱区、且在栅电极之下具有沟道区的增强型 MOS 晶体管及多个耗尽型 MOS 晶体管；耗尽型 MOS 晶体管的至少一个晶体管，在沟道区具有注入用于调整阈值电压的第2导电类型杂质的注入区域；注入区域具有第1导电类型杂质和第2导电类型杂质，第2导电类型杂质的浓度比第1导电类型杂质的浓度还高。



- 1、一种集成电路，其特征在于，包括：
具有包含第 1 导电类型杂质的阱区的半导体衬底；以及
形成在上述阱区、且在栅电极之下具有沟道区的增强型 MOS 晶体管及多个耗尽型 MOS 晶体管；
上述耗尽型 MOS 晶体管的至少一个晶体管在上述沟道区具有为了调整阈值电压而注入第 2 导电类型杂质的注入区域，
上述注入区域具有上述第 1 导电类型杂质和上述第 2 导电类型杂质，
上述第 2 导电类型杂质的浓度比上述第 1 导电类型杂质的浓度还高。
- 2、根据权利要求 1 所述的集成电路，其特征在于，
在上述沟道区内，具有在上述注入区域之下形成的第 1 导电类型的口袋注入区域；
上述第 2 导电类型杂质被注入得比上述口袋注入区域还浅。
- 3、根据权利要求 1 所述的集成电路，其特征在于，
上述多个耗尽型 MOS 晶体管中，存在阈值电压与其它不同的耗尽型 MOS 晶体管。
- 4、一种固体摄像器件，包括权利要求 1 所述的集成电路。
- 5、根据权利要求 2 所述的集成电路，其特征在于，
注入到上述沟道区的第 2 导电类型杂质是磷。
- 6、根据权利要求 2 所述的集成电路，其特征在于，
注入到上述沟道区的第 2 导电类型杂质是砷。
- 7、一种集成电路，其特征在于，包括：
具有包含第 1 导电类型杂质的阱区的半导体衬底；以及
形成在上述阱区、且在栅电极之下具有沟道区的增强型 MOS 晶体管及多个耗尽型 MOS 晶体管；
上述耗尽型 MOS 晶体管的至少一个晶体管，在上述沟道区具有为了调整阈值电压而注入第 2 导电类型杂质的注入区域、和在上述注入

区域之下形成的第 1 导电类型的口袋注入区域，

上述注入区域的第 2 导电类型杂质的浓度比上述第 1 导电类型杂质的浓度高；并且

上述第 2 导电类型杂质被注入得比上述口袋注入区域还浅。

8、根据权利要求 7 所述的集成电路，其特征在于，

上述第 1 导电类型杂质是硼，上述第 2 导电类型杂质是砷。

9、根据权利要求 7 所述的集成电路，其特征在于，

上述多个耗尽型 MOS 晶体管中，存在阈值电压与其它不同的耗尽型 MOS 晶体管。

10、一种固体摄像器件，包括权利要求 7 所述的集成电路。

11、一种集成电路的制造方法，该集成电路包括在具有包含第 1 导电类型杂质的阱区的半导体衬底上形成的增强型 MOS 晶体管及多个耗尽型 MOS 晶体管，其特征在于，

上述耗尽型 MOS 晶体管的至少一个晶体管，

在上述阱区中注入第 2 导电类型杂质，形成上述第 2 导电类型的注入区域；

在上述注入区域上形成栅电极；

以上述栅电极为掩膜，在上述半导体衬底，注入第 2 导电类型杂质而形成漏区、源区。

12、根据权利要求 11 所述的集成电路的制造方法，其特征在于，在形成上述栅电极之后，

以上述栅电极为掩膜，在上述注入区域之下，注入第 1 导电类型杂质，形成口袋区域。

13、一种固体摄像器件的制造方法，使用权利要求 11 所述的集成电路的制造方法。

14、一种集成电路的制造方法，该集成电路包括在具有包含第 1 导电类型的阱区的半导体衬底上形成的增强型 MOS 晶体管及多个耗尽型 MOS 晶体管，

其特征在于，

上述耗尽型 MOS 晶体管的至少一个晶体管，

在上述阱区中注入第 1 导电类型杂质；

在注入了上述第 1 导电类型杂质的阱区中，注入比上述第 1 导电类型杂质重的第 2 导电类型杂质，形成上述第 2 导电类型的注入区域；

在上述注入区域上的一部分，形成栅电极；

以上述栅电极为掩膜，在上述注入区域之下，注入第 1 导电类型杂质，形成口袋区域；

以上述栅电极为掩膜，在其上没有形成上述栅电极的上述注入区域中注入第 2 导电类型杂质，形成漏区、源区。

15、一种固体摄像器件的制造方法，使用权利要求 14 所述的集成电路的制造方法。

集成电路及其制造方法

技术领域

本发明涉及一种集成电路，特别是涉及一种包括阈值电压不同的多个耗尽型 MOS 晶体管的集成电路及其制造方法。

背景技术

图 7 是表示常规的固体摄像器件的一部分的电路图。由光电二极管 103、传输栅极 104、复位晶体管 105 及放大晶体管 106 构成的感光单元 101 排列成矩阵状。在感光单元 101 中，在节点 109 连接有恒定电流源 108 以及由晶体管 111、113 和电容器 112、114 构成的噪声抑制电路 102。噪声抑制电路 102 通过由水平驱动电路 122 控制的水平晶体管 121 连接到水平信号线 124。

上述电路是像素的代表性的电路，在复位晶体管 105、水平晶体管 121 还有相对于电源电压的晶体管 113、123 这样的电位复位、电位传递等用途中，可使用阈值电压不同的 MOS 晶体管。这些 MOS 晶体管通常使用阈值电压为负的耗尽型晶体管。

一直以来，通过将掺入的杂质的导电类型相反的杂质导入增强型晶体管的沟道区来形成这种耗尽型晶体管。

此外，已有一种针对多个晶体管将与第 2 导电类型的基板相反的导电类型（第 1 导电类型）的杂质导入沟道来控制阈值电压的方法（例如，参照日本特开 2000-323587 号公报）。在由阈值电压不同的多个 MOS 晶体管构成的 CMOS 半导体器件中，首先，在衬底上形成第 2 导电类型的阱区和第 1 导电类型的阱区。接着，通过离子注入工序在第 1 导电类型的阱区的表面区域形成用于控制阈值电压的第 1 导电类型杂质层。接着，在形成第 1 导电类型杂质层的阱区及没有形成第 1 导电类型杂质层的阱区的至少一个的表面区域中形成由离子注入工序形成的用于阈值电压控制的第 2 导

电类型杂质层。利用此制造方法，利用比阈值电压的种类更少的离子注入次数，就能够形成晶体管。

此外，已有一种使用砷控制耗尽型晶体管的阈值电压的方法（例如，参照日本特开昭 60-134468 号公报）。根据此方法，通过改变砷的注入量来控制阈值，几乎不受平板印刷和干法腐蚀等的加工精度、LOCOS 方法等引起的场氧化膜的侵入及沟道停止层的侵入的影响，并能够获得极高精度的晶体管。

图 8A~8G 是表示包括现有的耗尽型 NMOS 晶体管的半导体器件的制造工序的一个例子的剖面图。在 A 区域中形成图 7 的放大晶体管 106 所代表的 N 沟道增强型晶体管，在 B 区域中形成图 7 的复位晶体管 105 所代表的耗尽型晶体管。

首先，如图 8A 所示，在硅衬底 131 内选择地形成元件隔离区 144。接着，如图 8B 所示，以抗蚀剂 151 为掩膜，注入 p 型杂质，在硅衬底 131 上形成 p 阱区 132。接着，使用相同的掩膜（抗蚀剂 151），同样地注入 p 型杂质，形成沟道停止层 133。接着，使用同样的掩膜（抗蚀剂 151），进一步进行 p 型杂质的注入，形成 p 型杂质层 161、162，去除抗蚀剂 151。

接着，如图 8C 所示，覆盖 A 区域，在 B 区域中构图形成具有开口的抗蚀剂 154。然后，以抗蚀剂 154 为掩膜，向 B 区域的 p 型杂质层 162 中注入与 p 型相反的导电类型的 n 型杂质，形成 n 型杂质层 163，与此同时决定耗尽型晶体管的阈值电压。接着，如图 8D 所示，去除抗蚀剂 154，形成氧化膜 156 和多晶硅 157。接着，构图形成抗蚀剂 158。

接着，以抗蚀剂 158 为掩膜，干法腐蚀多晶硅 157 和氧化膜 156，通过去除抗蚀剂 158，如图 8E 所示，规定出栅电极 142 及栅氧化膜 141。接着，通过注入 n 型杂质，形成 LDD（轻掺杂漏，Lightly Doped Drain）区 136、137，规定出注入区域 134、135。接着，如图 8F 所示，在栅电极 142 的侧面上形成栅极侧壁绝缘膜（侧壁绝缘膜）143。

接着，如图 8G 所示，以栅电极 142 和栅极侧壁绝缘膜 143 为

掩膜，通过注入 n 型杂质，在 LDD 区 136、137 内形成源/漏区 139、140。

如此这样，就能够在同一衬底上形成多个具有不同阈值电压的 MOS 晶体管。

此外，为了提高固体摄像器件的特性，需要增大耗尽型晶体管的沟道区的表面电势的、相对于栅电压的变化率，需要增大漂移扩散 107 的动态范围。动态范围尽量大的好。在漂移扩散 107 中，动态范围是复位晶体管 105 的关断（OFF）时的信号和导通（ON）时的信号的比率。

在此，将耗尽型晶体管的沟道区中的表面电势的、相对于栅极电压的电势的变化率定义为“调制度”。调制度是表示耗尽型晶体管的能力的指标之一。图 9 是表示 MOS 晶体管的耗尽化的能带图。栅极电压 V_G 由栅极氧化膜厚电容 C_{ox} 和耗尽层电容 C_{dep} 分压，相对于栅极电压的表面电势 Φ_s 表示为：

$$\Phi_s = [C_{ox} / (C_{ox} + C_{dep})] \times V_G。$$

由于相对于栅极电压 V_G 的变化量 ΔV_G 的表面电势 Φ_s 的变化量 $\Delta \Phi_s$ 为调制度，所以

$$\text{调制度} = \Delta \Phi_s / \Delta V_G = C_{ox} / (C_{ox} + C_{dep}) \quad \dots (1)$$

如果能使表面电势如栅极电压那样变化，则调制度就成为 1。

图 10A 及图 10B 是表示例如作为图 7 所示的复位晶体管 105，使用耗尽型晶体管时的源、栅、漏导通时（ON）和关断时（OFF）的内部电势的附图。图 10A 表示调制度大的情况，图 10B 表示调制度小的情况。

如图 10A 及图 10B 所示，相对于栅极电压的栅极正下方的表面电势的变化量为 $\Delta \Phi_{s1}$ 、 $\Delta \Phi_{s2}$ 。如图 10A 及图 10B 所示，对栅极施加相同的电压（ $V_G = V_{on}$ ）时产生的 $\Delta \Phi_{s1}$ 与 $\Delta \Phi_{s2}$ 之差是调制度之差所引起的。如果此调制度大，表面电势的变化量也大，导通时就能使栅极正下方的表面电势处于复位电位以下。此情况下，如图 10A 所示，当关断时，暂时存储在源区中的信号电荷 151 就几乎全部从漏区中排出，残留在源区中的信号电荷就会变少。

相反，如果调制度小，则表面电势的变化量 $\Delta \Phi_s$ 也小，由此，如图 10B 所示，栅极正下方的表面电势就会变得比复位电位高，信号电荷 151 中产生了无法跨越栅极正下方的表面势能的残留信号电荷 152。

伴随集成电路的低电压化、小型化并推进晶体管的微细化时，在增强型晶体管的沟道区（特别是注入区域）中，因短沟道效应而产生击穿，产生所谓漏电电流变得显著的问题。针对此问题，通过形成与源、漏相接的口袋扩散层（pocket diffusion layer），就能够实现对漏电电流的抑制。另一方面，如图 7 已说明的晶体管 105、121、123 等是耗尽型 MOS 晶体管，但在电路中，由于作为常规的开关晶体管起作用，也会存在截止的状态。因此，即使是耗尽型 MOS 晶体管，为了不产生因短沟道效应所引起的击穿漏电电流，也必须形成。

但是，上述现有的耗尽型晶体管是由通过简单地注入与半导体衬底的导电类型相反的导电类型杂质形成 LDD 区和源/漏区这样简易的方法所形成，所以不是防止击穿漏电电流的结构。因此，若微细化此结构以缩短注入区域的源-漏间的长度，则容易产生击穿漏电电流。

此外，上述现有的耗尽型晶体管难于控制调制度及其偏差，还有由于栅极尺寸的微细化，还会产生所谓阈值电压的偏差变大的问题。

阈值电压的偏差的原因在于，向注入区域同时导入第 1 导电类型杂质和第 2 导电类型杂质的形成方法。即使第 1 导电类型杂质和第 2 导电类型杂质按 1: 1 注入，也不能完全相互抵消。即，成为被抵消的惰性的第 1 导电类型杂质和抵消的惰性的第 2 导电类型杂质、还有抵消损失的第 1 导电类型杂质和控制阈值电压的第 2 导电类型杂质同处于一个注入区域的状态。由于加工工序中的热处理和尺寸的偏差，活性状态的第 1 导电类型杂质和第 2 导电类型杂质的偏差更大。此偏差随着栅极尺寸的微细化，就会变得更加明显。

此外,根据式 1,判定出调制度依赖于表面附近的耗尽层宽度。耗尽层宽度变大时,耗尽层电容 C_{dep} 变小,调制度会变大。即,通过使耗尽层宽度变大可以增大调制度。但是,在现有的注入区域形成方法中,由于向注入第 1 导电类型杂质的注入区域中回注第 2 导电类型杂质,所以在半导体表面附近就会形成浓的 pn 结,耗尽层就会变小。因此,就难于提高调制度。并且,因为与上述阈值电压的偏差相同的理由,所以也难于控制调制度的偏差。

虽然在(日本)特开 2000-323587 号公报中公开了针对制造成本问题的解决方法,但没有针对这些偏差的记载,而难于解决上述问题。此外,在(日本)特开昭 60-134468 号公报中记载的结构中,难于解决随着微细化的推进而变得更加显著的上述问题。

发明内容

本发明的目的在于,提供一种集成电路、包括此集成电路的固体摄像器件以及它们的制造方法,该集成电路具有增强型和耗尽型两种 MOS 晶体管,耗尽型 MOS 晶体管的调制度大、且阈值电压及调制度的偏差小。

为了实现上述目的,本发明的第 1 集成电路的特征在于,包括:具有包含第 1 导电类型杂质的阱区的半导体衬底;以及形成在上述阱区、且在栅电极之下具有沟道区的增强型 MOS 晶体管及多个耗尽型 MOS 晶体管;上述耗尽型 MOS 晶体管的至少一个晶体管在上述沟道区具有为了调整阈值电压而注入第 2 导电类型杂质的注入区域,上述注入区域具有上述第 1 导电类型杂质和上述第 2 导电类型杂质,上述第 2 导电类型杂质的浓度比上述第 1 导电类型杂质的浓度还高。

为了实现上述目的,本发明的第 2 集成电路的特征在于,包括:具有包含第 1 导电类型杂质的阱区的半导体衬底;以及形成在上述阱区、且在栅电极之下具有沟道区的增强型 MOS 晶体管及多个耗尽型 MOS 晶体管;上述耗尽型 MOS 晶体管的至少一个晶体管,在上述沟道区具有为了调整阈值电压而注入第 2 导电类型杂质的注入区域和在上述注入区域之下形成的第 1 导电类型的口袋注入区域,上述注入区

域的第2导电类型杂质的浓度比上述第1导电类型杂质的浓度高,比上述口袋注入区域更浅地注入上述第2导电类型杂质。

本发明的固体摄像器件包括上述第1或第2集成电路。

为了实现上述目的,本发明的第1集成电路的制造方法,该集成电路包括在具有包含第1导电类型杂质的阱区的半导体衬底上形成的增强型MOS晶体管及多个耗尽型MOS晶体管,其特征在于,上述耗尽型MOS晶体管的至少一个晶体管在上述阱区注入第2导电类型杂质形成上述第2导电类型的注入区域;在上述注入区域上形成栅电极;以上述栅电极为掩膜,在上述半导体衬底注入第2导电类型杂质,形成漏区、源区。

为了实现上述目的,本发明的第2集成电路的制造方法,该集成电路包括在具有第1导电类型的阱区的半导体衬底上形成的增强型MOS晶体管及多个耗尽型MOS晶体管,其特征在于,上述耗尽型MOS晶体管的至少一个晶体管,在上述阱区注入第1导电类型杂质;在注入了上述第1导电类型杂质的阱区,注入比上述第1导电类型杂质重的第2导电类型杂质,形成上述第2导电类型的注入区域;在上述注入区域上的一部分形成栅电极;以上述栅电极为掩膜,在上述注入区域之下注入第1导电类型杂质形成口袋区域;以上述栅电极为掩膜,对在其上没有形成上述栅电极的上述注入区域中注入第2导电类型杂质,形成漏区、源区。

为了实现上述目的,本发明的固体摄像器件的制造方法使用上述集成电路的制造方法。

附图说明

图1A~图1I是表示本发明的实施方式1的集成电路的制造工序的剖面图。

图2是表示比较实施方式1的晶体管和现有的晶体管的耗尽层的模拟结果图。

图3是表示现有及本实施方式中的耗尽型晶体管的调制度、及表示调制度的偏差的实验结果的曲线图。

图 4A~图 4H 是表示本发明的实施方式 2 的集成电路的制造工序的剖面图。

图 5 是表示比较实施方式 2 的晶体管和现有的晶体管的耗尽层的模拟结果图。

图 6 是表示测量实施方式 2 的晶体管和现有的晶体管的调制度的实验结果的曲线图。

图 7 是表示现有的固体摄像器件的感光单元及噪声控制电路的电路图。

图 8A~图 8G 是表示现有的集成电路的制造工序的剖面图。

图 9 是表示现有的 MOS 晶体管的耗尽化的能带图。

图 10A 是表示现有的晶体管的源、栅、漏导通时和关断时的电势的能量图。

图 10B 是表示相比于图 10A, 调制度小的晶体管的源、栅、漏导通时和关断时的电势的能量图。

具体实施方式

MOS 晶体管的阈值电压的偏差起因于在沟道的注入区域同时导入第 1 导电类型杂质和第 2 导电类型的形成方法。即使按 1: 1 注入第 1 导电类型杂质和第 2 导电类型杂质, 也不能完全相互抵消。即, 成为被抵消的惰性(未激活)的第 1 导电类型杂质和抵消的惰性的第 2 导电类型杂质、还有抵消损失的第 1 导电类型杂质和控制阈值电压的活性(激活)的第 2 导电类型杂质同处于一个注入区域的状态。由于加工工序中的热处理和尺寸的偏差, 活性状态的第 1 导电类型杂质和第 2 导电类型杂质显著不同。

由于本发明的第 1 集成电路, 在沟道区中, 第 1 导电类型杂质层和原有的应控制阈值电压的活性的第 2 导电类型杂质层没有同处于一个晶体管中, 所以能够减小阈值电压的偏差。

耗尽层宽度用下式表示:

$$W = [2 \epsilon_s \{ (N_A + N_D) / N_A N_D \} V_{bi}]^{1/2}$$

$$V_{bi} = kT \ln (N_A N_D / n_i^2)$$

其中, ϵ_s : 半导体衬底的介电常数, N_A : 受主 (P 型) 杂质浓度, N_D : 施主 (N 型) 杂质浓度, n_i : 本征半导体的载流子浓度。

按照上式, 与现有的这种向沟道区导入较高浓度的 N_A 且用较高浓度的 N_D 抵消 N_A 来控制阈值电压的方法相比较, 本发明的这种向具有浓度小的 N_A 的阱和衬底中导入浓度小的 N_D 抵消 N_A 来控制阈值电压这一方法, 其耗尽层宽度 W 变大。本发明的第 1 集成电路, 第 1 导电类型杂质层和原本应控制阈值电压的活性的第 2 导电类型杂质层不同处于一个晶体管中, 与现有的沟道相比, 能使杂质浓度降低, 所以能够进一步增大耗尽层, 能够增大调制度。

此外, 能够构成以下结构: 在上述沟道区内, 具有为了抑制击穿而在上述注入区域之下形成的第 1 导电类型的口袋注入区域, 比上述口袋注入区域更浅地注入上述第 2 导电类型杂质。

此外, 能够构成此结构: 注入到上述沟道区的第 2 导电类型杂质是磷。

此外, 能够构成此结构: 注入道上述沟道区的第 2 导电类型杂质是砷。

由于本发明的第 2 集成电路, 在注入区域具有第 1 导电类型杂质和第 2 导电类型杂质, 所以被抵消的惰性的第 1 导电类型杂质和抵消的惰性的第 2 导电类型杂质、还有抵消损失的第 1 导电类型杂质和原本应控制阈值电压的活性的第 2 导电类型杂质同时存在。但是, 通过在第 2 导电类型杂质中使用比第 1 导电类型杂质重的离子源 (seed), 减小注入中的 R_p (飞距离) 的扩展, 此外, 由于热处理引起的扩散系数也变小, 所以能够进一步降低偏差。此外, pn 结的位置变浅, 栅电极和耗尽层之间的距离变短, 能够降低寄生电阻对电压效果的影响, 所以能够增大调制度。

此外, 优选构成此结构: 上述第 1 导电类型杂质是硼, 上述第 2 导电类型杂质是砷。

此外, 也可以构成此结构: 在上述多个耗尽型 MOS 晶体管中, 具有阈值电压与其它不同的耗尽型 MOS 晶体管。

本发明的第 1 集成电路的制造方法, 在沟道区中在形成阱以

外不注入第 1 导电类型杂质。因此，能够降低栅极的阈值电压的偏差。

此外，也可以在形成上述栅电极后，以上述栅电极为掩膜，在上述注入区域之下注入第 1 导电类型杂质，形成口袋区域。

本发明的第 2 集成电路的形成方法，在注入到沟道区的第 2 导电类型杂质中使用比第 1 导电类型杂质更重的离子源。因此，能够浅注入第 2 导电类型杂质，能够降低寄生电阻对电压效果的影响，所以能够增大调制度。此外，由于第 2 导电类型杂质是重的离子源，所以难以扩散，能够抑制栅极电压的阈值电压的偏差及调制度的偏差。

此外，还能够在形成上述栅电极后，以上述栅电极为掩膜，在上述注入区域之下，注入第 1 导电类型杂质，形成口袋区域。

下面，使用附图，说明本发明的固体摄像器件中的集成电路（晶体管）的实施方式。

（实施方式 1）

首先，说明本发明的实施方式 1 的集成电路的结构。本实施方式的集成电路是分别具有增强型和耗尽型的、阈值电压不同的多个晶体管的模拟电路和数字电路的混合电路。

图 1I 是本实施方式的集成电路的剖面图。A 区域是形成 N 沟道增强型晶体管的区域，B 区域是形成耗尽型晶体管的区域。

在硅衬底 1 中形成元件隔离区域 14，在被元件隔离区域 14 包围的区域形成 p 阱区 2。在 p 阱区 2 形成沟道停止区域 3。在被元件隔离区域 14 包围的 p 阱区 2 的表面形成注入区域 4a、5a，在注入区域 4a、5a 的两侧形成 LDD（轻掺杂漏，Lightly Doped Drain）区 6a、7a。在 LDD 区 6a、7a 形成源/漏区 8a、9a，在注入区域 4a、5a 之下，与 LDD 区 6a、7a 相接地形成口袋（pocket）注入区域 10。

在注入区域 4a、5a 上隔着栅极氧化膜 11 形成栅电极 12。形成栅电极 12 之下的注入区域 4a、5a 及口袋注入区域 10 的区域是沟道区。在栅电极 12 的侧面形成栅极侧壁绝缘膜（侧壁绝缘膜）

13。

接着，说明上述集成电路的制造方法。图 1A~1I 是本实施方式
的集成电路的制造工序剖面图。

首先，如图 1A 所示，在硅衬底 1 内选择地形成元件隔离区域
14。接着，如图 1B 所示，构图形成抗蚀剂 21，以抗蚀剂 21 为掩
膜，对硅衬底 1 注入 p 型杂质（第 1 导电类型杂质）形成 p 阱区 2。
接着，同样地使用掩膜（抗蚀剂 21）再次注入 p 型杂质，在 p 阱
区 2 内形成沟道停止区域 3，去除抗蚀剂 21。接着，如图 1C 所示，
覆盖 B 区域，在 A 区域构图形成具有开口的抗蚀剂 22。接着，以
抗蚀剂 22 为掩膜，在表面区域注入 p 型杂质，形成 p 型杂质层 23，
决定 N 沟道晶体管的阈值电压。此后，去除抗蚀剂 22。

接着，如图 1D 所示，覆盖 A 区域，在 B 区域构图形成具有开
口的抗蚀剂 24。以抗蚀剂 24 为掩膜，在 B 区域注入 n 型杂质（第
2 导电类型杂质），形成 n 型杂质层 25，控制耗尽型晶体管的阈值
电压。比口袋注入区域 10 更浅地进行 n 型杂质的注入。此后，去
除抗蚀剂 24。

如图 1E 所示，在衬底表面形成氧化膜 26，在氧化膜 26 上淀
积多晶硅 27。接着，在多晶硅 27 上构图形成抗蚀剂 28。接着，
以抗蚀剂 28 为掩膜，如图 1F 所示，通过干法腐蚀，规定出栅电
极 12 和栅极氧化膜 11。接着，以栅电极 12 及元件隔离区域 14 为
掩膜，通过注入 p 型杂质来形成注入区域 29。再有，如图 1G 所示，
通过注入 n 型杂质，形成 LDD 区 6a、7a，规定出口袋注入区域 10、
注入区域 4a、5a。在此，比形成有口袋注入区域 10（参照图 1I）
的区域更浅地注入 n 型杂质。若注入的 n 型杂质的浓度和 p 型杂
质的浓度一致的深度处于口袋注入区域 10 内，则容易产生击穿。

接着，如图 1H 所示，在栅电极 12 的侧面形成栅极侧壁绝缘
膜（side wall 绝缘膜）13。接着，如图 1I 所示，以栅电极 12、
栅极侧壁绝缘膜 13 及元件隔离区域 14 为掩膜，通过注入 n 型杂
质，在 LDD 区 6a、7a 形成源/漏区 8a、9a。

如此这样，在同一衬底上形成 N 沟道增强型晶体管和耗尽型

晶体管。

利用如上所述的制造方法，能够制造出具有减小了阈值电压的偏差的晶体管的集成电路。此外，能够增大耗尽层宽度，由此能够扩大调制度。

再有，在图 1C 或者图 1D 中，通过改变注入的 p 型杂质或 n 型杂质的浓度，能够形成阈值电压不同的晶体管。

图 2 是表示展示晶体管的耗尽层的模拟结果图。作为注入区域 5a 的 n 型杂质，图 2 (a) 表示在注入硼的区域中回注磷而形成的现有实例的晶体管，图 2 (b) 表示本实施方式的晶体管。

在此模拟中，调配掺杂量，以使耗尽型晶体管的阈值电压为 $V_t = -1.00$ V。注入条件如下：(a) 现有的晶体管中，注入能量是 35 keV，(b) 本实施方式的晶体管中，注入能量是 25 keV。

比较图 2 (a) 和图 2 (b)，图 2 (b) 的耗尽层比图 2 (a) 的耗尽层稍宽。因此，判定本实施方式的晶体管的调制度相比于现有实例的晶体管变大。

此外，图 3 是表示现有及本实施方式中的耗尽型晶体管的调制度、及调制度的偏差的实验结果。图 3 的横轴表示向沟道区注入的杂质的注入能量，纵轴左侧表示调制度，右侧表示调制度的偏差。图 3 的 ■ 表示本实施方式的调制度，◆ 表示现有例的调制度，□ 表示本实施方式的调制度的偏差，◇ 表示现有例的调制度的偏差。再有，表示调制度的偏差的轴用任意数值表示。虽然磷的注入能量变小时调制度没有变化，但偏差变小。在此所说的偏差是标准偏差。

本实验中，决定掺杂量，以使耗尽型晶体管的阈值电压为 $V_t = -1.21$ V。注入条件如下：现有的晶体管中，注入能量是 35 keV；本实施方式的晶体管中，注入能量是 25 keV 或 30 keV。

图 3 是对本实施方式的耗尽型晶体管的 2 个样品进行测量的结果，就调制度而言，示出了 2 个样品的中值 (median)；对于偏差而言，用虚线表示 2 个样品的平均值。根据图 3，由于本实施方式的晶体管的调制度是 0.75 (注入能量 25 keV)，现有例的晶体

管是 0.5（注入能量 35 keV），所以大约提高到 1.5 倍。此外，由于本实施方式的晶体管的偏差是 0.58（注入能量 25 keV），现有例的晶体管是 0.84（注入能量 35 keV），所以将偏差抑制在大约 0.69 倍。

由于上述晶体管的调制度大、偏差小，所以包括此晶体管的固体摄像元件能够增大漂移扩散的动态范围。

此外，由于能够抑制调制度的偏差，所以能够抑制阈值电压的偏差。此外，通过使用此晶体管，能够形成小型化、高集成化的固体摄像器件。

此外，由于在比 LDD 区 6a、7a 更深的位置处形成口袋注入 10，所以能够防止击穿。

再有，虽然在本实施方式的集成电路的耗尽型晶体管的沟道区使用磷作为杂质，但也可以使用砷。

（实施方式 2）

根据本发明的实施方式 2 的集成电路，通过与现有的晶体管相比较，掺入注入区域中的杂质使用更重的杂质，能够抑制扩散，改善调制度，抑制调制度的偏差。

首先，说明根据本实施方式的集成电路的结构。图 4H 是本实施方式的集成电路的剖面图，将实施方式 1 中示出的耗尽型晶体管的注入区域 5a 置换成含有 p 型杂质、n 型杂质的注入区域 5b。此外，作为 p 型杂质使用硼，作为 n 型杂质使用比磷更重的砷。

再有，根据本实施方式的集成电路，其特征在于，包括具有多个阈值电压的耗尽型 NMOS 晶体管，由 p 型杂质和 n 型杂质这两方的注入量来控制至少其中一个晶体管的阈值电压。

根据本实施方式的集成电路的结构与第 1 实施方式的集成电路相同，注入区域 4b、5b、LDD 区 6b、7b 及源/漏区 8b、9b 的材料不同。对于其它结构赋予与实施方式 1 相同的符号，并省略其结构说明。

接着，说明上述晶体管的制造方法。图 4A~4H 是根据本实施

方式的集成电路的工序剖面图。A 区域表示 n 沟道增强型晶体管，B 区域表示耗尽型晶体管。

首先，如图 4A 所示，在硅衬底 1 内选择地形成元件隔离区域 14。接着，如图 4B 所示，构图形成抗蚀剂 21，以抗蚀剂 21 为掩膜，在硅衬底 1 注入作为 p 型杂质（第 1 导电类型杂质）的硼，形成 p 阱区 2。接着，使用抗蚀剂 21 作为掩膜，再次注入硼，形成 p 沟道停止区域 3。接着，以抗蚀剂 21 为掩膜，进一步地进行硼的注入，形成 p 型杂质层 31、32，决定 n 沟道晶体管的阈值电压。此后，去除抗蚀剂 21。

接着，如图 4C 所示，覆盖 A 区域，在 B 区域构图形成具有开口的抗蚀剂 24。以抗蚀剂 24 为掩膜，在 B 区域的 p 型杂质层 32 注入作为 n 型杂质（第 2 导电类型杂质）的砷，形成杂质层 33，控制耗尽型晶体管的阈值电压。比口袋注入区域 10 更浅地进行 n 型杂质的注入。此后，去除抗蚀剂 24。

接着，如图 4D 所示，在 p 阱区 2 上淀积氧化膜 26 和多晶硅 27。接着，在多晶硅 27 上构图形成抗蚀剂 28，以抗蚀剂 28 为掩膜，如图 4E 所示，通过干法腐蚀，规定出栅电极 12 和栅极氧化膜 11。接着，以栅电极 12 及元件隔离区域 14 为掩膜注入 p 型杂质，来形成注入区域 29。再有，如图 4F 所示，通过注入 n 型杂质，规定出注入区域 4a、5a 和口袋注入区域 10，形成 LDD 区 6b、7b。

在此，比形成有口袋注入区域 10（参照图 1I）的区域更浅地注入用于形成 LDD 区 6b、7b 的 n 型杂质。口袋注入区域 10 和 LDD 区 6b、7b 的位置为几乎一致的深度时，n 型杂质电抵消 p 型杂质，p 型杂质的实际浓度降低，容易产生击穿。

接着，如图 4G 所示，在栅电极 12 的侧面形成栅极侧壁绝缘膜（side wall 绝缘膜）13，如图 4H 所示，以栅电极 12、栅极侧壁绝缘膜 13 及元件隔离区域 14 为掩膜，通过注入 n 型杂质，形成源/漏区 8a、9a。

通过实施根据如上所述的本实施方式的集成电路的制造方法，在比 LDD 区 6b、7b 更深的位置处形成口袋注入区域 10，能够

防止击穿。此外，还能够减少晶体管的阈值电压的偏差。还能够扩大耗尽层的宽度，能够加大调制度。

图 5 是表示作为 p 型杂质使用硼；作为 n 型杂质，(a) 使用磷的现有例的晶体管，(b) 使用砷的本实施方式的晶体管的耗尽层的模拟结果的示意图。

在此模拟中，调配掺杂量，以使耗尽型晶体管的阈值电压为 $V_t = -1.00$ V。例如，注入条件如下：(a) 现有的晶体管中，注入离子是磷离子，注入能量是 35 keV；(b) 本实施方式的晶体管中，注入离子是砷离子，注入能量是 90 keV。

比较图 5 (a) 和图 5 (b)，表明图 5 (b) 一方的 pn 结的位置变浅。即，注入砷离子的情况下，结果是杂质注入层变浅，杂质浓度上升。因此，沟道区的寄生电阻减少，栅极电压容易被传递到栅电极正下方的沟道区。

图 6 是在作为上述 n 型杂质使用磷时、使用砷时的耗尽型晶体管中，表示调制度及其偏差的实验结果的曲线图。图 6 的横轴表示注入能量，纵轴左侧表示调制度，右侧表示调制度的偏差。再有，表示调制度偏差的轴用任意数值进行表示。

本实验中，决定掺杂量，以使耗尽型晶体管的阈值电压为 $V_t = -1.60$ V。注入条件（实验条件）如下：现有的晶体管中，注入离子是磷离子，注入能量是 35 keV；本实施方式的晶体管中，注入离子是砷离子，注入能量在 50 keV~130 keV 间变化。

图 6 是实验结果，■表示本实施方式的晶体管的调制度，◆表示现有例的调制度，□表示本实施方式的晶体管的调制度的偏差，◇表示现有例的调制度的偏差。注入能量变大时，调制度变大，偏差变小。在此所说的偏差是标准偏差。

基于图 6，在测量的全部的注入能量中，本实施方式的晶体管相比于现有实例的晶体管，调制度大，偏差小。特别是由于本实施方式的晶体管的调制度是 0.58（注入能量 50 keV 下最大），现有的晶体管是 0.45（注入能量 35 keV），所以提高到大约 1.29 倍。此外，由于本实施方式的晶体管的偏差是 0.22（注入能量 50 keV

下最小), 现有的晶体管是 0.6 (注入能量 35 keV), 所以抑制到约 0.37 倍。

即, 改善了调制度及偏差, 并且通过消除调制度的偏差的原因, 能够抑制阈值电压的偏差。

如上所述, 由于根据本实施方式的集成电路的耗尽型晶体管在比 LDD 区 6b、7b 更深的位置处形成口袋注入 10, 所以能够防止击穿。此外, 作为 n 型杂质, 由于使用比磷更重的砷, 所以 pn 结的位置变浅, 调制度变大, 偏差减小。因此, 能够降低阈值电压的偏差。

并且, 通过在固体摄像器件中使用上述调制度大的晶体管, 能够增大固体摄像器件的动态范围。

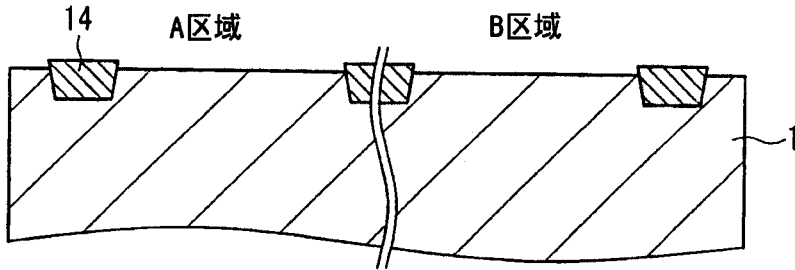


图1A

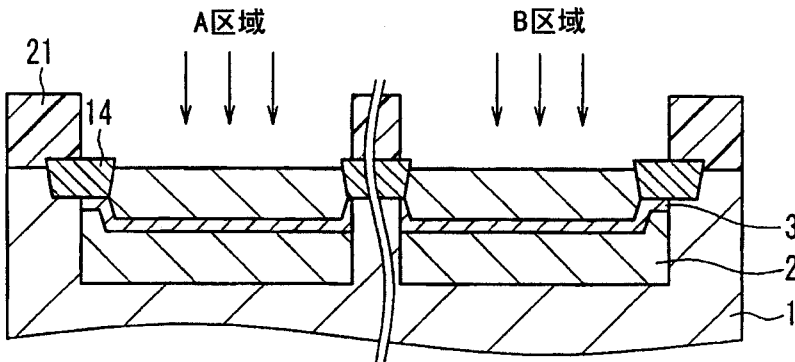


图1B

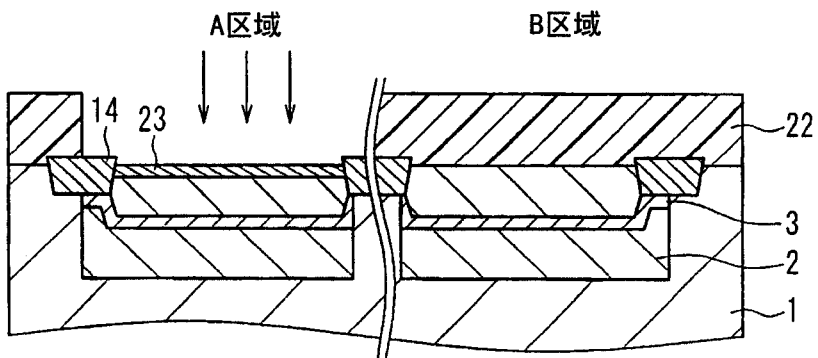


图1C

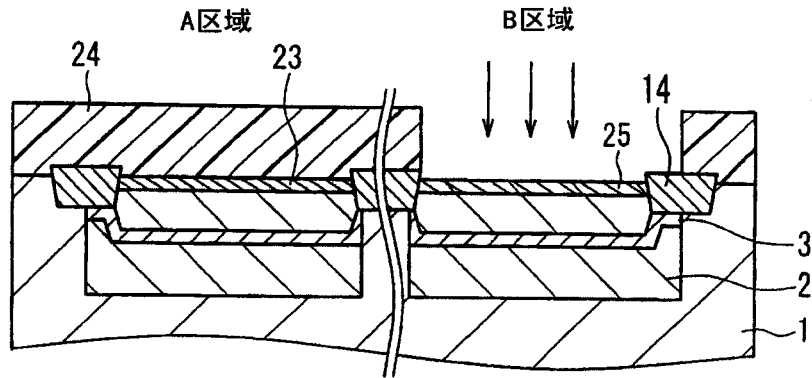


图1D

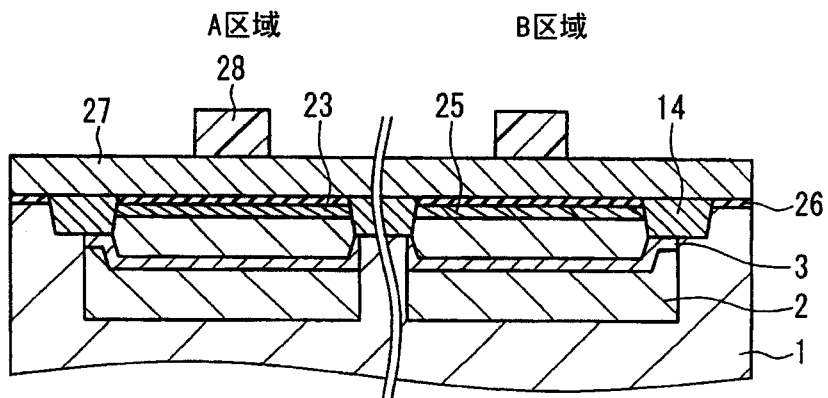


图1E

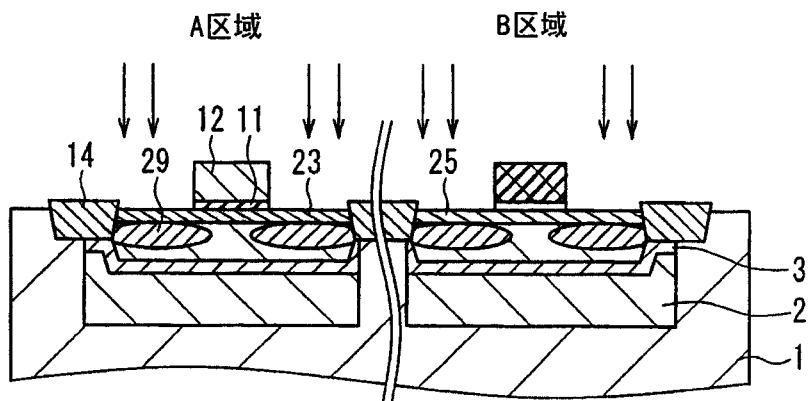


图1F

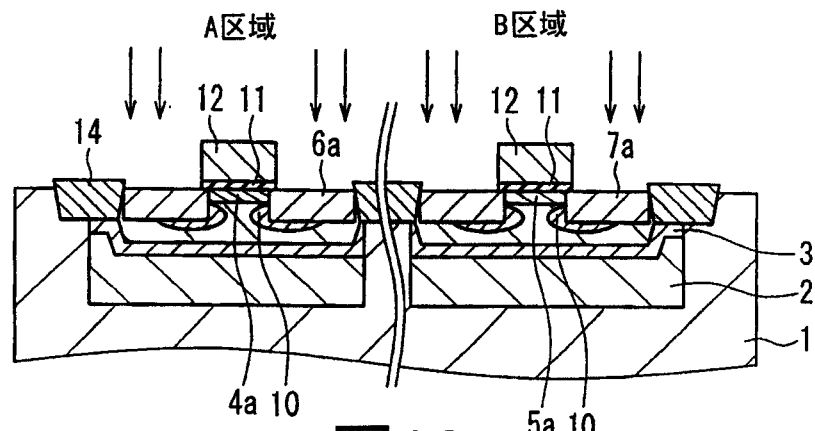


图1G

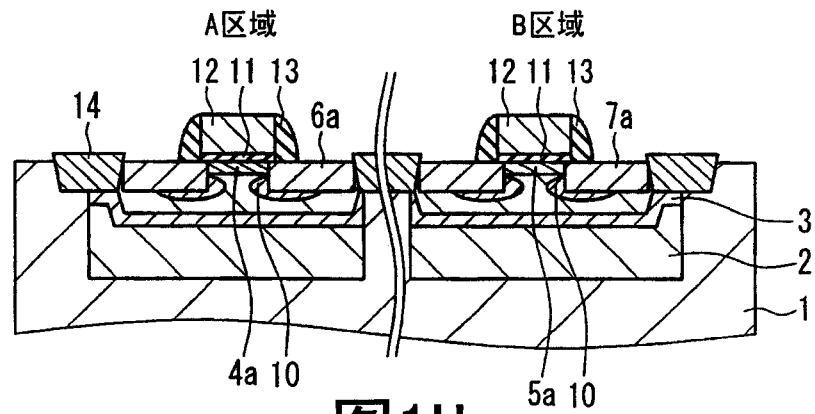


图1H

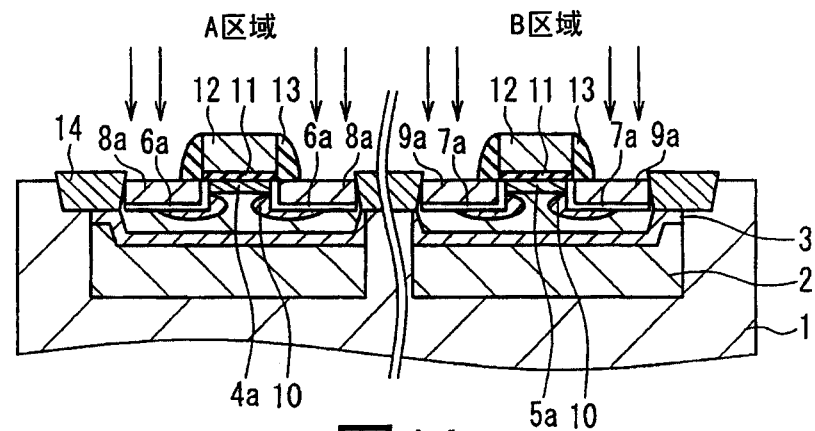


图1I

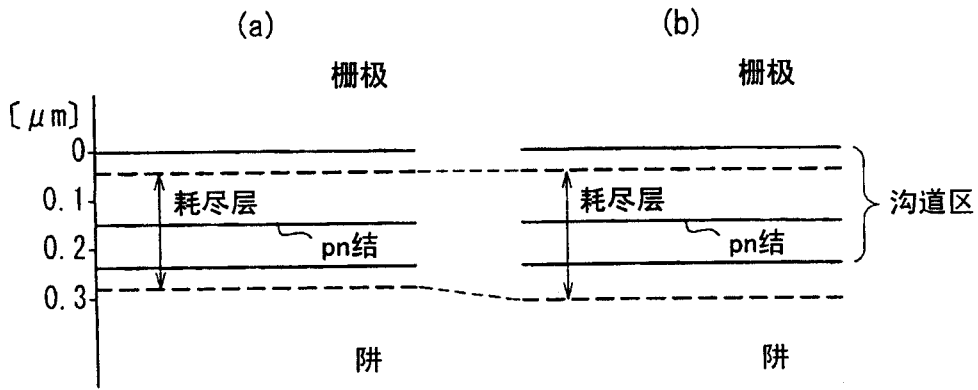


图2

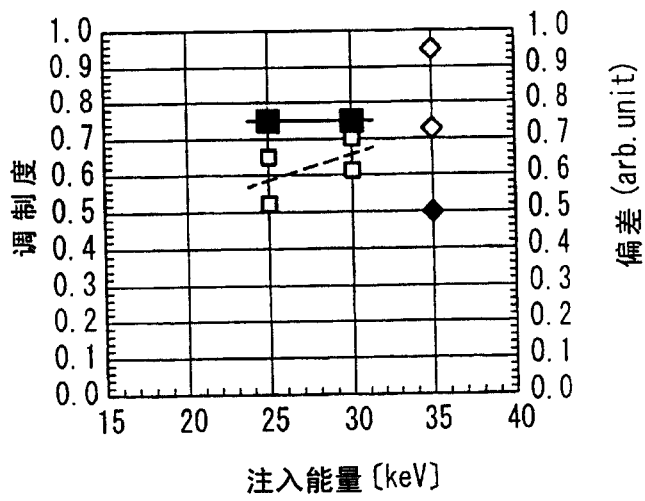


图3

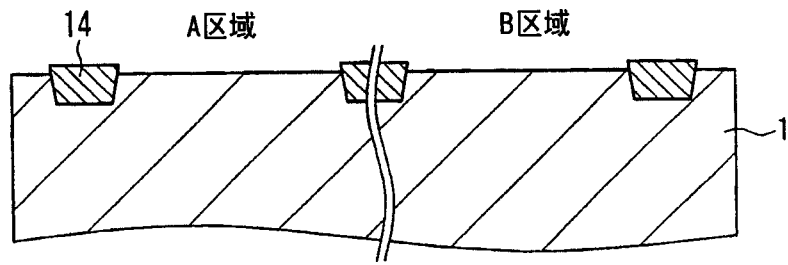


图4A

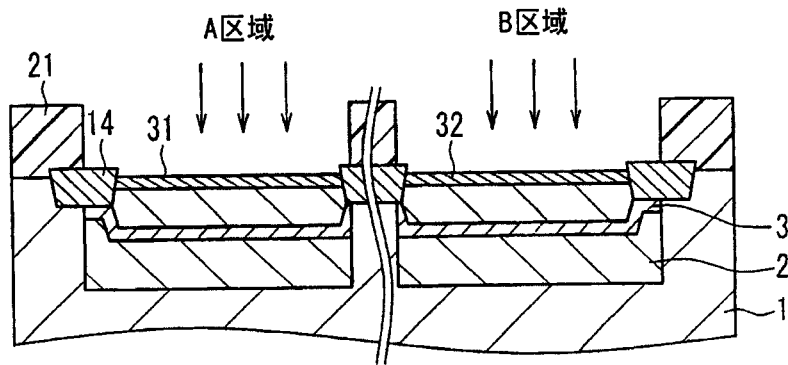


图4B

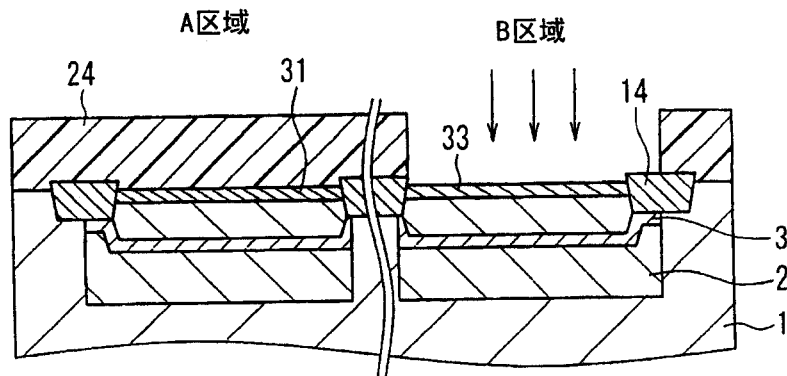


图4C

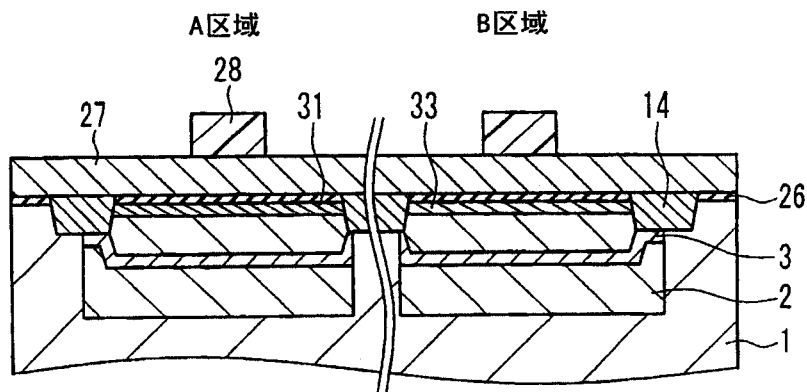


图4D

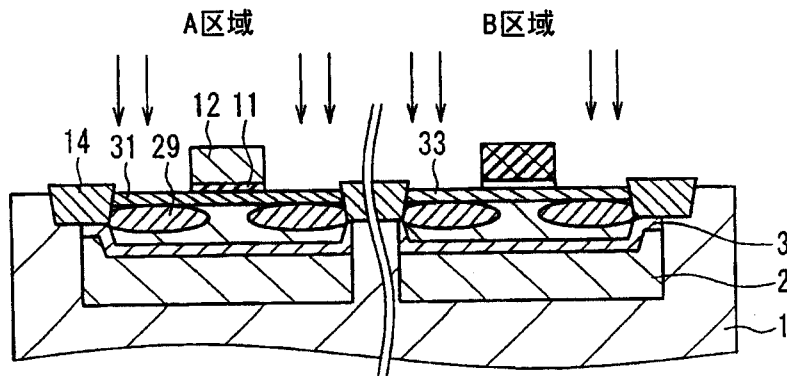


图4E

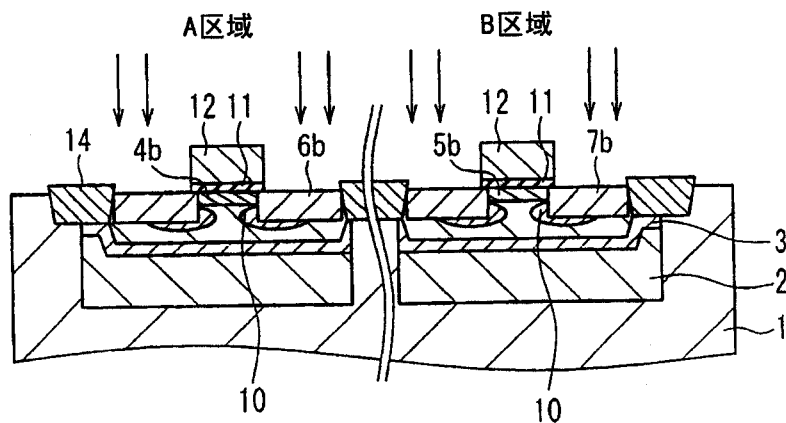


图4F

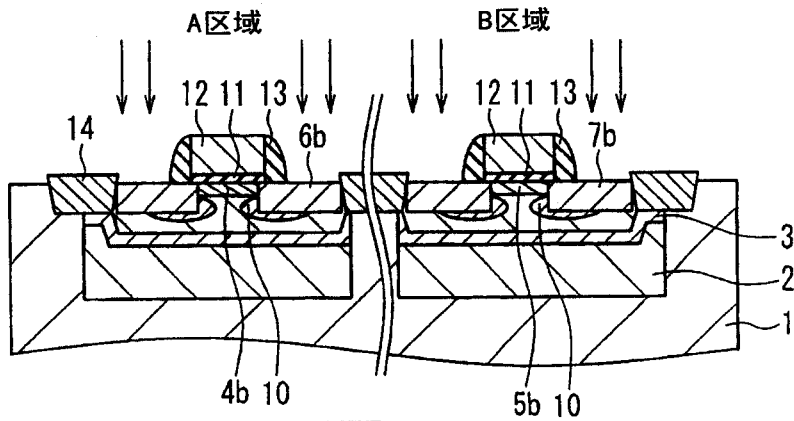


图4G

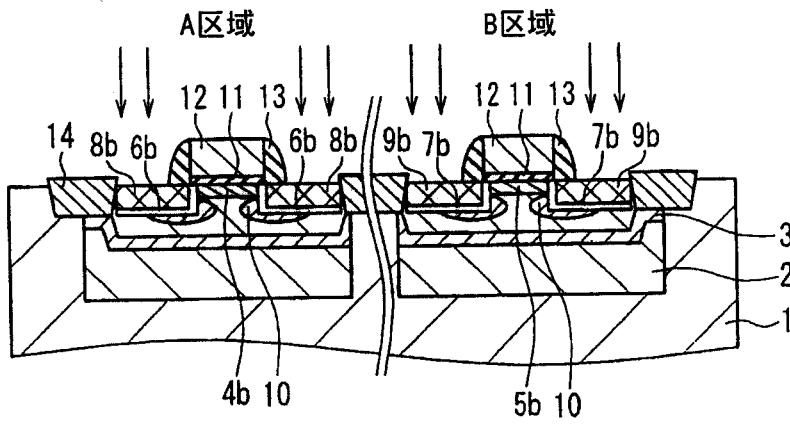


图4H

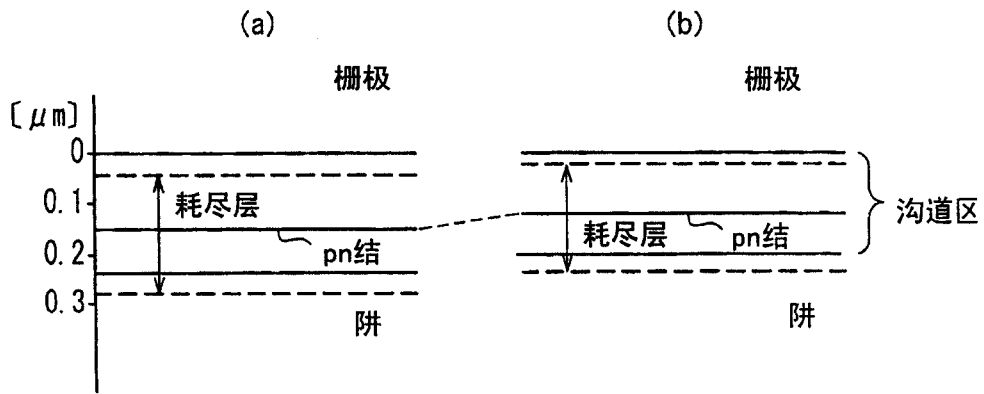


图5

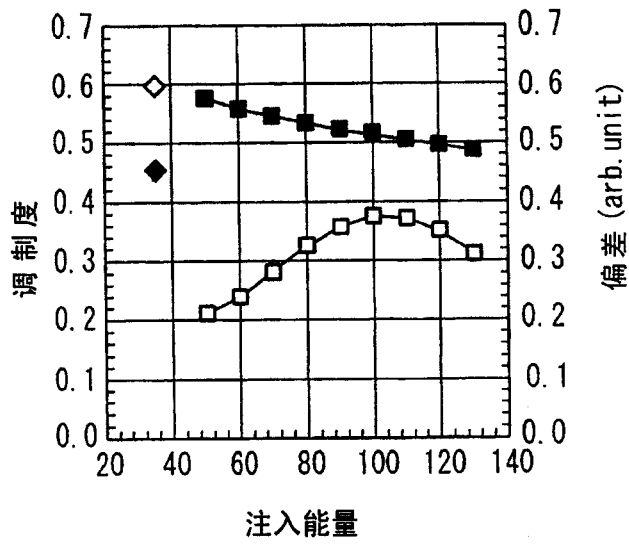


图6

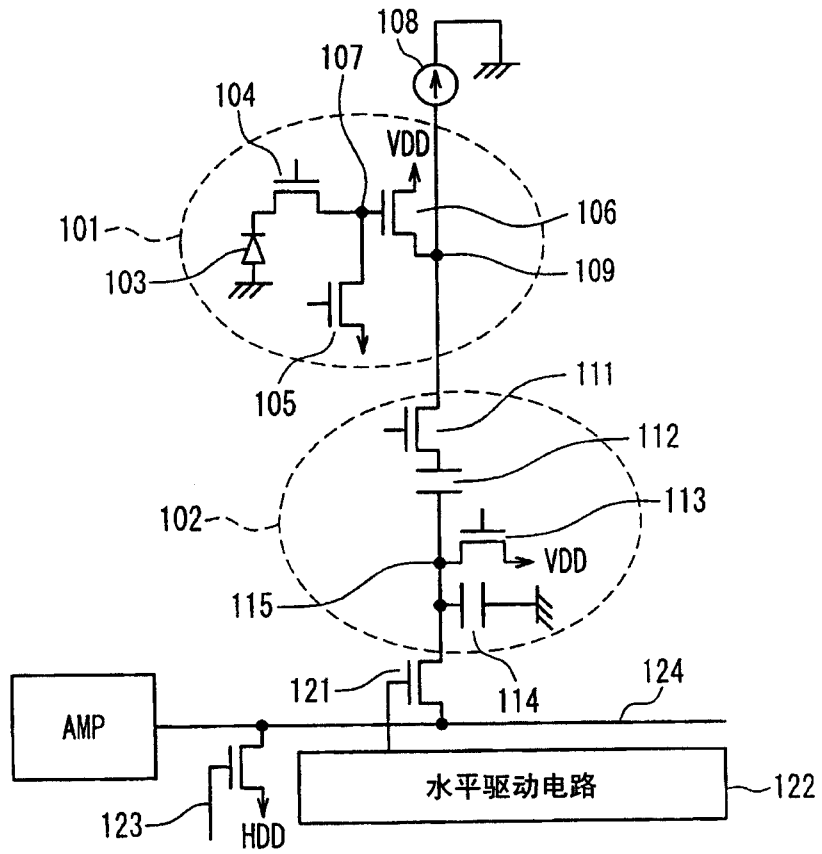


图7

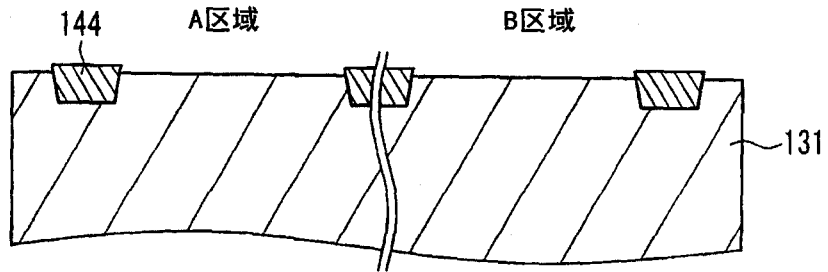


图8A

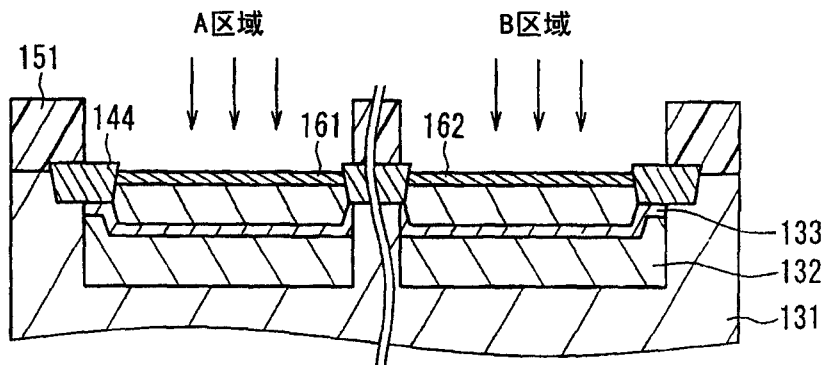


图8B

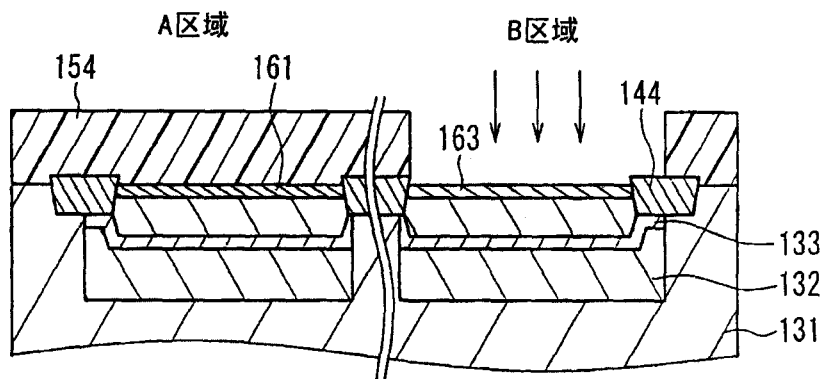


图8C

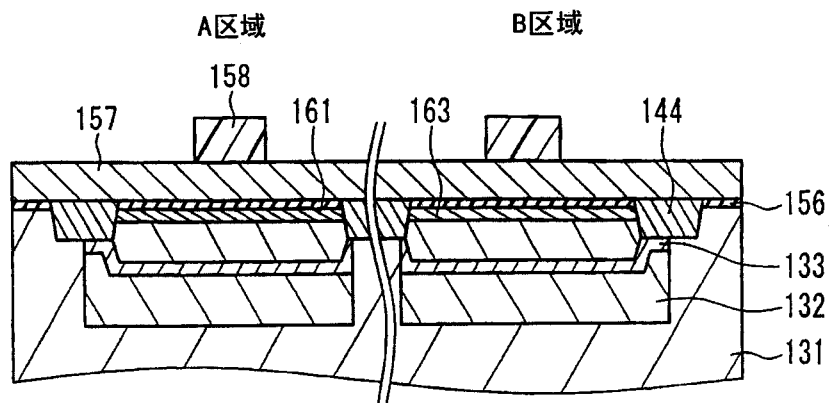


图8D

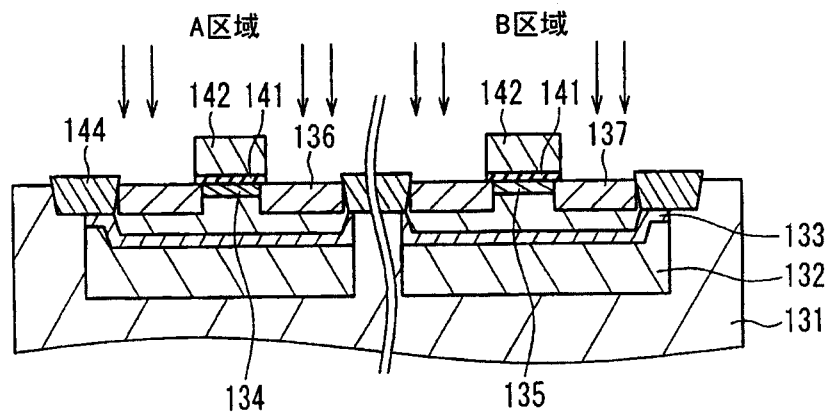


图8E

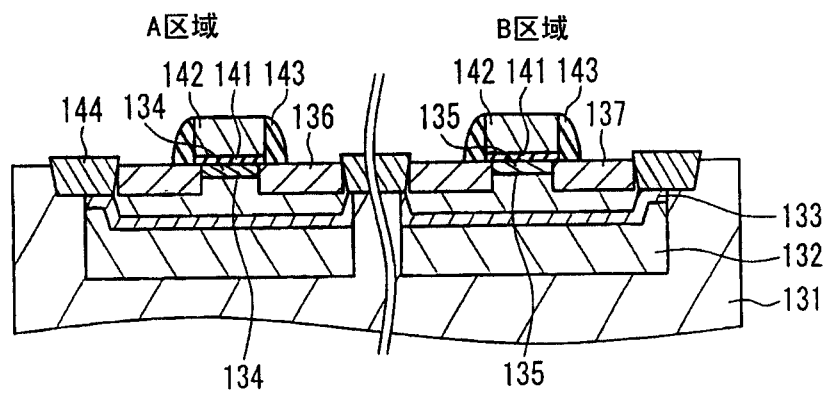


图8F

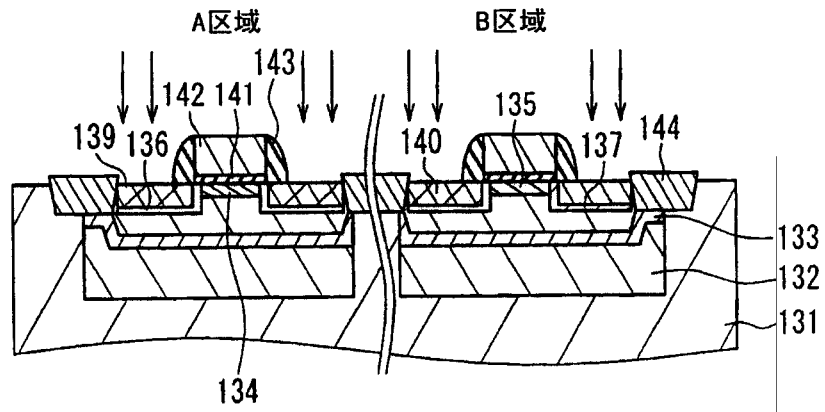


图8G

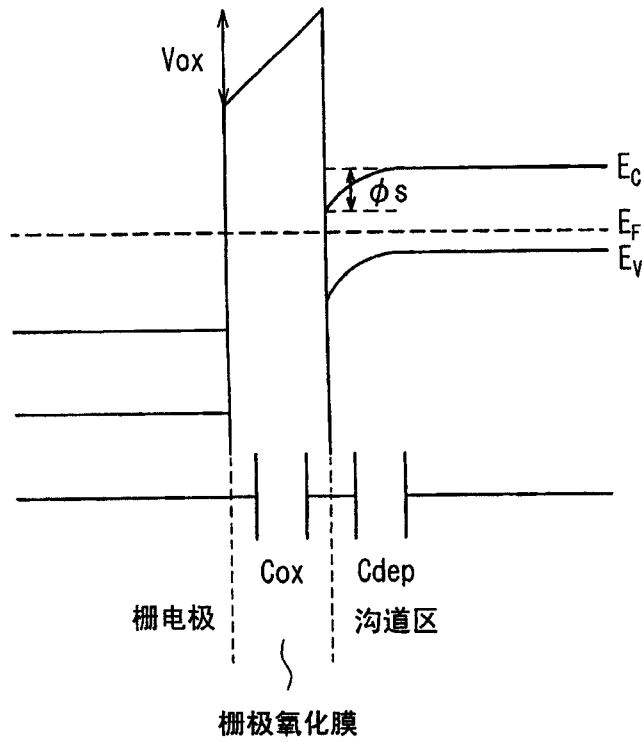


图9

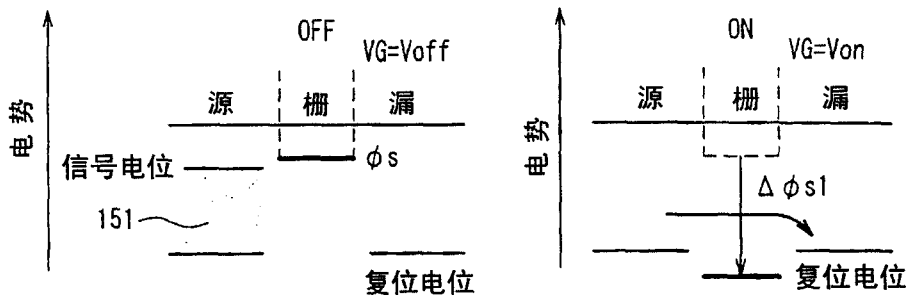


图10A

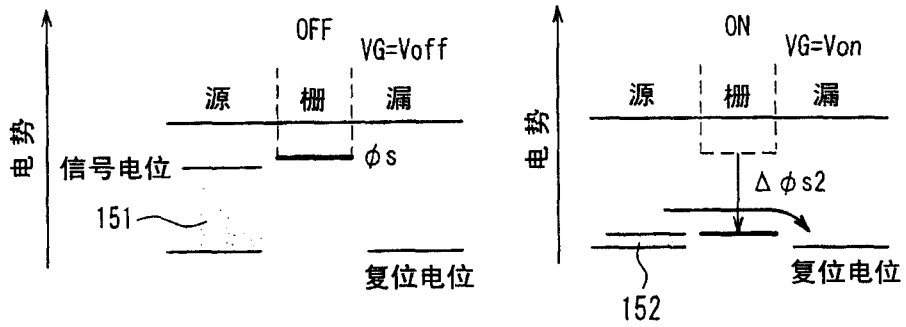


图10B