

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-138048
(P2014-138048A)

(43) 公開日 平成26年7月28日(2014.7.28)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 2 P	4 M 1 0 4
HO 1 L 29/06 (2006.01)	HO 1 L 29/78 6 5 2 T	
HO 1 L 29/12 (2006.01)	HO 1 L 29/78 6 5 2 D	
HO 1 L 29/872 (2006.01)	HO 1 L 29/48 D	
HO 1 L 29/47 (2006.01)	HO 1 L 29/48 E	

審査請求 未請求 請求項の数 7 O L (全 30 頁) 最終頁に続く

(21) 出願番号 特願2013-5132 (P2013-5132)
(22) 出願日 平成25年1月16日 (2013.1.16)

(71) 出願人 000002130
住友電気工業株式会社
大阪府大阪市中央区北浜四丁目5番33号
(74) 代理人 110001195
特許業務法人深見特許事務所
(72) 発明者 和田 圭司
大阪市此花区島屋一丁目1番3号 住友電気工業株式会社大阪製作所内
(72) 発明者 増田 健良
大阪市此花区島屋一丁目1番3号 住友電気工業株式会社大阪製作所内
(72) 発明者 日吉 透
大阪市此花区島屋一丁目1番3号 住友電気工業株式会社大阪製作所内

最終頁に続く

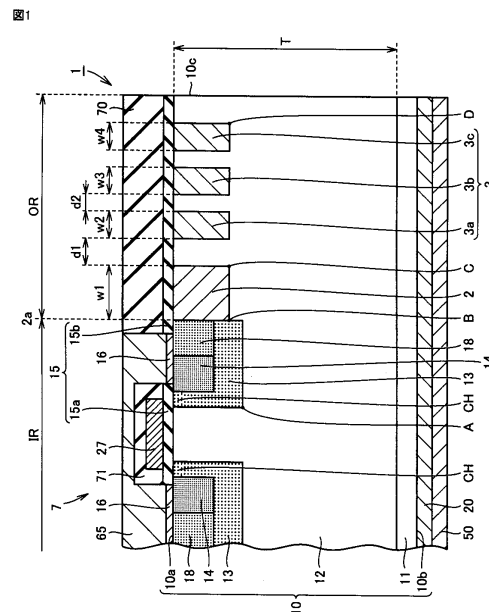
(54) 【発明の名称】 炭化珪素半導体装置

(57) 【要約】

【課題】素子領域を狭くしすぎることなく耐圧を向上させることができる炭化珪素半導体装置を提供する。

【解決手段】炭化珪素半導体装置 1 は、炭化珪素基板 10 を備えている。炭化珪素基板 10 は、半導体素子部 7 が設けられた素子領域 I R と、平面視において素子領域 I R を取り囲む終端領域 O R とからなる。半導体素子部 7 は第 1 導電型のドリフト領域 12 を含む。終端領域 O R は、素子領域 I R と接し、かつ第 1 導電型とは異なる第 2 導電型の第 1 の電界緩和領域 2 と、平面視において第 1 の電界緩和領域よりも外側に配置され、第 2 導電型を有し、かつ第 1 の電界緩和領域 2 と離間している第 2 の電界緩和領域 3 とを含む。第 1 の電界緩和領域 2 の幅 W1 をドリフト領域 12 の厚み T で除した比は、0.5 以上 1.83 以下である。

【選択図】 図 1



【特許請求の範囲】**【請求項 1】**

半導体素子部が設けられた素子領域と、平面視において前記素子領域を取り囲む終端領域とにより構成された炭化珪素基板を備え、

前記半導体素子部は第 1 導電型のドリフト領域を含み、

前記終端領域は、

前記素子領域と接し、かつ前記第 1 導電型とは異なる第 2 導電型の第 1 の電界緩和領域と、

前記平面視において前記第 1 の電界緩和領域よりも外側に配置され、前記第 2 導電型を有し、かつ前記第 1 の電界緩和領域と離間している第 2 の電界緩和領域とを含み、

前記第 1 の電界緩和領域の幅を前記ドリフト領域の厚みで除した比は、 0.5 以上 1.83 以下である、炭化珪素半導体装置。

10

【請求項 2】

前記第 2 の電界緩和領域は、複数のガードリング部を含む、請求項 1 に記載の炭化珪素半導体装置。

【請求項 3】

前記複数のガードリング部の各々の幅は、前記第 1 の電界緩和領域の幅よりも小さい、請求項 2 に記載の炭化珪素半導体装置。

【請求項 4】

前記複数のガードリング部から任意の 2 つのガードリング部を選択した場合において、平面視において外周側に配置されているガードリング部の幅は、内周側に配置されているガードリング部の幅以下であり、かつ最外周側に配置されているガードリング部の幅は最内周側に配置されているガードリング部の幅よりも小さい、請求項 2 または 3 に記載の炭化珪素半導体装置。

20

【請求項 5】

前記複数のガードリング部の本数は、6 本以上 15 本以下である、請求項 2 ~ 4 のいずれか 1 項に記載の炭化珪素半導体装置。

【請求項 6】

前記複数のガードリング部の本数は、12 本以上 15 本以下である、請求項 5 に記載の炭化珪素半導体装置。

30

【請求項 7】

前記炭化珪素半導体装置は、MOSFET、IGBT、ショットキーバリアダイオードおよび P/N ダイオードのいずれかである、請求項 1 ~ 6 のいずれか 1 項に記載の炭化珪素半導体装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、炭化珪素半導体装置に関するものであり、より特定的には、終端領域を有する炭化珪素半導体装置に関するものである。

【背景技術】

40

【0002】

近年、MOSFET (Metal Oxide Semiconductor Field Effect Transistor) などの半導体装置の高耐圧化、低損失化、高温環境下での使用などを可能とするため、半導体装置を構成する材料として炭化珪素の採用が進められつつある。炭化珪素は、従来から半導体装置を構成する材料として広く使用されている珪素に比べてバンドギャップが大きいワイドバンドギャップ半導体である。そのため、半導体装置を構成する材料として炭化珪素を採用することにより、半導体装置の高耐圧化、オン抵抗の低減などを達成することができる。また、炭化珪素を材料として採用した半導体装置は、珪素を材料として採用した半導体装置に比べて、高温環境下で使用された場合の特性の低下が小さいという利点も有している。

50

【0003】

たとえば特開2003-101039号公報(特許文献1)には、複数のガードリングが同心円状に設けられ、最内周のガードリング部の内部に、当該最内周のガードリング部よりも高い不純物濃度を有する領域を有する高耐圧炭化珪素半導体装置が記載されている。また特開2008-270412号公報(特許文献2)には、p型リサーチ部の外周側に複数のp型ガードリング部が設けられた炭化珪素SBD(Schottky Barrier Diode)が開示されている。

【0004】

さらに、松波弘之、外3名、「半導体SiC技術と応用 第2版」、日刊工業新聞社、2011年9月20日、p352-p353(非特許文献1)には、空乏化する程度の低濃度のp型層を形成して電界強度を緩和する構造のJTE(Junction Termination Extension)領域を有する炭化珪素SBDが記載されている。当該文献によれば、外側にいくほど不純物濃度が低くなるガードリング部を形成することで耐圧を向上させることが記載されている。

10

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2003-101039号公報

【特許文献2】特開2008-270412号公報

【非特許文献】

20

【0006】

【非特許文献1】松波弘之、外3名、「半導体SiC技術と応用 第2版」、日刊工業新聞社、2011年9月20日、p352-p353

【発明の概要】

【発明が解決しようとする課題】

【0007】

炭化珪素半導体装置の耐圧を高くするためには、炭化珪素半導体装置の終端領域を広くする必要がある。しかしながら、単に炭化珪素半導体装置の終端領域を広くすると炭化珪素半導体装置の素子領域が狭くなってしまふ。

【0008】

30

本発明は、上記課題に鑑みてなされたものであり、その目的は、素子領域を狭くしすぎることなく耐圧を向上させることができる炭化珪素半導体装置を提供することである。

【課題を解決するための手段】

【0009】

発明者らは、炭化珪素半導体装置の終端領域の構造と電界強度との関係について鋭意研究を行った結果、以下の知見を得て本発明を見出した。終端領域の幅を一定に保った状態で、JTE領域の幅およびガードリング部の本数を変化させて、電界強度のシミュレーションを行った。その結果、JTE領域の幅をドリフト領域の厚みで除した比がある値より大きくなると、JTE領域の端部における電界強度が急激に減少することが分かった。またJTE領域の幅をドリフト領域の厚みで除した比がある値より大きくなると、最外周のガードリング部の端部における電界強度が急激に増加することが分かった。

40

【0010】

具体的には、図1を参照して、MOSFETの素子領域における、ウェル領域の角部(位置A)の電界強度と、ウェル領域とJTE領域(第1の電界緩和領域)の角部との接点(位置B)の電界強度と、MOSFETの終端領域におけるJTE領域(第1の電界緩和領域)の外周側の角部(位置C)の電界強度と、最外周のガードリング部の外周側の角部(位置D)における電界強度とを計算し、各位置における電界強度を比較した。

【0011】

電界強度シミュレーションの結果、JTE領域の幅をドリフト領域の厚みで除した比が0.5以上になると、ウェル領域とJTE領域との境界領域における電界強度が急激に減

50

少することが分かった。またJTE領域の幅をドリフト領域の厚みで除した比が1.83より大きくなると、最外周のガードリング部の外周側の角部における電界強度が急激に増加することが分かった。つまり、JTE領域の幅をドリフト領域の厚みで除した比が0.5以上1.83以下の場合、ウェル領域とJTE領域との境界領域およびガードリング部の角部の双方の電界強度を低減することができる。

【0012】

本発明に係る炭化珪素半導体装置は、炭化珪素基板を備えている。炭化珪素基板は、半導体素子部が設けられた素子領域と、平面視において素子領域を取り囲む終端領域とからなる。半導体素子部は第1導電型のドリフト領域を含む。終端領域は、素子領域と接し、かつ第1導電型とは異なる第2導電型の第1の電界緩和領域と、平面視において第1の電界緩和領域よりも外側に配置され、第2導電型を有し、かつ第1の電界緩和領域と離間している第2の電界緩和領域とを含む。第1の電界緩和領域の幅をドリフト領域の厚みで除した比は、0.5以上1.83以下である。なお、本発明において、幅とは炭化珪素基板の第1の主面と平行な方向の距離を示し、厚みとは炭化珪素基板の第1の主面と垂直な方向の距離を示す。

10

【0013】

本発明に係る炭化珪素半導体装置によれば、第1の電界緩和領域の幅をドリフト領域の厚みで除した比は、0.5以上1.83以下である。これにより、第1の電界緩和領域および第2の電界緩和領域の双方の電界強度を低減することができる。結果として、炭化珪素半導体装置の素子領域を狭くしすぎることなく耐圧を向上させることができる。

20

【0014】

上記に係る炭化珪素半導体装置において好ましくは、第2の電界緩和領域は、複数のガードリング部を含む。これにより、終端領域の電界強度をさらに低減することができる。

【0015】

上記に係る炭化珪素半導体装置において好ましくは、複数のガードリング部の各々の幅は、第1の電界緩和領域の幅よりも小さい。これにより、終端領域の電界強度をさらに低減することができる。

【0016】

上記に係る炭化珪素半導体装置において好ましくは、複数のガードリング部から任意の2つのガードリング部を選択した場合において、平面視において外周側に配置されているガードリング部の幅は、内周側に配置されているガードリング部の幅以下であり、かつ最外周側に配置されているガードリング部の幅は最内周側に配置されているガードリング部の幅よりも小さい。

30

【0017】

これにより、炭化珪素基板の中心から外周に向かう方向における等電界線の変化が緩やかになる。結果として、繰り返し電圧を印加する場合における耐圧寿命(信頼性)を向上することができる。

【0018】

上記に係る炭化珪素半導体装置において好ましくは、複数のガードリング部の本数は、6本以上15本以下である。これにより、終端領域の電界強度を効率的に低減することができる。

40

【0019】

上記に係る炭化珪素半導体装置において好ましくは、複数のガードリング部の本数は、12本以上15本以下である。これにより、終端領域の電界強度を効率的に低減することができる。

【0020】

上記に係る炭化珪素半導体装置において好ましくは、炭化珪素半導体装置は、MOSFET、IGBT(Insulated Gate Bipolar Transistor)、ショットキーバリアダイオードおよびP/Nダイオードのいずれかである。これにより、素子領域を狭くしすぎることなく耐圧を向上させることができるMOSFET、I

50

G B T、ショットキーバリアダイオードおよびP / Nダイオードを得ることができる。

【発明の効果】

【0021】

本発明によれば、素子領域を狭くしすぎることなく耐圧を向上可能な炭化珪素半導体装置を提供することができる。

【図面の簡単な説明】

【0022】

【図1】本発明の実施の形態1に係るM O S F E Tの構造を概略的に示す断面模式図である。

【図2】本発明の実施の形態1に係るM O S F E Tの構造を概略的に示す平面模式図である。

10

【図3】本発明の実施の形態1に係るM O S F E Tの第1の変形例の構造を概略的に示す断面模式図である。

【図4】本発明の実施の形態1に係るM O S F E Tの第2の変形例の構造を概略的に示す断面模式図である。

【図5】本発明の実施の形態1に係るM O S F E Tの製造方法の第1の工程を概略的に示す断面模式図である。

【図6】本発明の実施の形態1に係るM O S F E Tの製造方法の第2の工程を概略的に示す断面模式図である。

【図7】本発明の実施の形態1に係るM O S F E Tの製造方法の第3の工程を概略的に示す断面模式図である。

20

【図8】本発明の実施の形態2に係るI G B Tの素子部の構造を概略的に示す断面模式図である。

【図9】本発明の実施の形態3に係るS B Dの構造を概略的に示す断面模式図である。

【図10】本発明の実施の形態3に係るS B Dの製造方法の第1の工程を概略的に示す断面模式図である。

【図11】本発明の実施の形態3に係るS B Dの製造方法の第2の工程を概略的に示す断面模式図である。

【図12】本発明の実施の形態4に係るM P S (M e r g e d P i n S c h o t t k y B a r r i e r D i o d e) の構造を概略的に示す断面模式図である。

30

【図13】本発明の実施の形態4に係るM P Sの構造を概略的に示す平面模式図である。

【図14】本発明の実施の形態4に係るM P Sの製造方法の第1の工程を概略的に示す断面模式図である。

【図15】本発明の実施の形態4に係るM P Sの製造方法の第2の工程を概略的に示す断面模式図である。

【図16】本発明の実施の形態4に係るM P Sの製造方法の第3の工程を概略的に示す断面模式図である。

【図17】ドレイン電圧が2.2 k Vにおける、電界強度と、J T E幅をドリフト領域の厚みで除した比との関係を示すグラフである。

【図18】ドレイン電圧が3.3 k Vにおける、電界強度と、J T E幅をドリフト領域の厚みで除した比との関係を示すグラフである。

40

【図19】ドレイン電圧が2.2 k Vにおける、電界強度と、ガードリング部の本数との関係を示すグラフである。

【図20】ドレイン電圧が3.3 k Vにおける、電界強度と、ガードリング部の本数との関係を示すグラフである。

【図21】ドレイン電圧が2.2 k Vであって、かつガードリング部を有しない場合における、電界強度とJ T E幅との関係を示すグラフである。

【図22】複数のガードリング部の幅が同じ場合における、電界強度分布を示す図である。

【図23】複数のガードリング部の幅が外周側にいくにつれて狭くなる第1の場合におけ

50

る、電界強度分布を示す図である。

【図 2 4】複数のガードリング部の幅が外周側にいくにつれて狭くなる第 2 の場合における、電界強度分布を示す図である。

【図 2 5】複数のガードリング部の幅が外周側にいくにつれて狭くなる第 3 の場合における、電界強度分布を示す図である。

【発明を実施するための形態】

【0023】

以下、図面に基づいて本発明の実施の形態を説明する。なお、以下の図面において同一または相当する部分には同一の参照番号を付し、その説明は繰返さない。また、本明細書中の結晶学的記載においては、個別方位を []、集合方位を < >、個別面を ()、集合面を { } でそれぞれ示している。また、負の指数については、結晶学上、" - " (バー) を数字の上に付けることになっているが、本明細書中では、数字の前に負の符号を付けている。また角度の記載には、全方位角を 360 度とする系を用いている。

10

(実施の形態 1)

まず本発明の実施の形態 1 に係る炭化珪素半導体装置としての MOSFET 1 の構成について説明する。

【0024】

図 1 を参照して、MOSFET 1 は、炭化珪素基板 10 と、絶縁膜 15 と、ゲート電極 27 と、ソース電極 16 と、ドレイン電極 20 とを主に有する。

【0025】

20

図 1 および図 2 を参照して、MOSFET 1 の炭化珪素基板 10 は、素子領域 IR (活性領域) と、平面視において素子領域 IR を取り囲む終端領域 OR (無効領域) とにより構成されている。終端領域 OR は、第 1 の電界緩和領域 2 と、第 2 の電界緩和領域 3 とを含む。素子領域 IR には半導体素子部 7 としての MOSFET 部が設けられている。半導体素子部 7 は n 型 (第 1 導電型) のドリフト領域 12 を含む。

【0026】

第 1 の電界緩和領域 2 は JTE 領域であり、素子領域 IR と接し、n 型 (第 1 導電型) とは異なる p 型 (第 2 導電型) を有する領域である。第 2 の電界緩和領域 3 はガードリング領域であり、平面視において第 1 の電界緩和領域よりも外側に配置され、かつ p 型を有している。第 2 の電界緩和領域 3 は、第 1 の電界緩和領域 2 と離間している設けられている。

30

【0027】

第 1 の電界緩和領域 2 および第 2 の電界緩和領域 3 の各々に含まれる不純物の濃度は、ウェル領域の不純物濃度よりも低い。第 1 の電界緩和領域 2 および第 2 の電界緩和領域 3 の各々のドーザ量は、たとえば $1.3 \times 10^{13} \text{ cm}^{-2}$ 以上 $1.4 \times 10^{13} \text{ cm}^{-2}$ 以下である。第 1 の電界緩和領域 2 の幅 W1 は、 $15 \mu\text{m}$ 程度以上 $55 \mu\text{m}$ 程度以下であることが好ましく、 $31 \mu\text{m}$ 程度以上 $55 \mu\text{m}$ 程度以下であることがより好ましく、 $15 \mu\text{m}$ 程度以上 $39 \mu\text{m}$ 程度以下であってもよい。第 1 の電界緩和領域 2 および第 2 の電界緩和領域 3 の各々の厚みは、たとえば $0.5 \mu\text{m}$ 程度以上 $0.8 \mu\text{m}$ 程度以下である。

【0028】

40

好ましくは、第 2 の電界緩和領域 3 は、複数のガードリング部 3a、3b、3c を含んでいる。第 2 の電界緩和領域 3 は、6 本以上 15 本以下のガードリング部から構成されていることが好ましく、9 本以上 15 本以下のガードリング部から構成されていることがより好ましく、12 本以上 15 本以下のガードリング部から構成されていることがさらに好ましい。なお、本実施の形態における MOSFET 1 の耐圧はたとえば 1.7 kV 程度以上 4.0 kV 程度以下であり、たとえば 2.2 kV 程度以上 3.8 kV 程度以下であってもよい。

【0029】

炭化珪素基板 10 は、たとえばポリタイプ 4H の六方晶炭化珪素からなり、互いに対向する第 1 の主面 10a および第 2 の主面 10b を有している。炭化珪素基板 10 の素子領

50

域 I R の半導体素子部 7 は、 n^+ 基板 1 1 と、ドリフト領域 1 2 と、ウェル領域 1 3 と、ソース領域 1 4 と、 p^+ 領域 1 8 とを主に有する。

【0030】

n^+ 基板 1 1 は、たとえばポリタイプ 4 H の六方晶炭化珪素からなり導電型が n 型の基板である。 n^+ 基板 1 1 は、たとえば N (窒素) などの不純物を高濃度で含んでいる。 n^+ 基板 1 1 に含まれる窒素などの不純物濃度はたとえば $1.0 \times 10^{18} \text{ cm}^{-3}$ 程度である。なお、 n^+ 基板 1 1 などの n 型領域に、窒素などのドナー不純物とアルミニウムなどのアクセプタ不純物とを含んでいる場合、当該 n 型領域の不純物濃度は、不純物濃度 = ドナー不純物の不純物濃度 (N_d) - アクセプタ不純物の不純物濃度 (N_a) として計算される。

【0031】

ドリフト領域 1 2 は、たとえばポリタイプ 4 H の六方晶炭化珪素からなり、 n 型 (第 1 導電型) を有するエピタキシャル層である。ドリフト領域 1 2 に含まれる不純物は、たとえば窒素である。ドリフト領域 1 2 における不純物濃度は、 n^+ 基板 1 1 における不純物濃度よりも低い。ドリフト領域 1 2 に含まれる窒素などの不純物濃度はたとえば $2.0 \times 10^{15} \text{ cm}^{-3}$ 程度以上 $5.0 \times 10^{15} \text{ cm}^{-3}$ 程度以下である。好ましくは、ドリフト領域 1 2 の厚み T は $20 \mu\text{m}$ 程度以上 $35 \mu\text{m}$ 程度以下であり、より好ましくは $23 \mu\text{m}$ 程度以上 $30 \mu\text{m}$ 程度以下である。

【0032】

第 1 の電界緩和領域としての JTE 領域 2 の幅 W_1 をドリフト領域 1 2 の厚み T で除した比は、 0.5 以上 1.83 以下であり、好ましくは、 1.03 以上 1.83 以下である。第 1 の電界緩和領域としての JTE 領域 2 の幅 W_1 をドリフト領域 1 2 の厚み T で除した比は、 0.65 以上 1.70 以下であってもよい。

【0033】

ウェル領域 1 3 は n 型とは異なる p 型を有する領域である。ウェル領域 1 3 に含まれる不純物は、たとえば Al (アルミニウム)、B (ホウ素) などである。好ましくは、ウェル領域 1 3 の表面 (つまり第 1 の主面 1 0 a) に含まれるアルミニウムなどの不純物濃度は $1 \times 10^{16} \text{ cm}^{-3}$ 程度以上 $5 \times 10^{17} \text{ cm}^{-3}$ 程度以下である。またウェル領域 1 3 の深部における不純物濃度は $1 \times 10^{18} \text{ cm}^{-3}$ 程度である。ウェル領域 1 3 の厚みは、たとえば $0.5 \mu\text{m}$ 程度以上 $1.0 \mu\text{m}$ 程度以下である。ウェル領域 1 3 と第 1 の電界緩和領域 2 とは素子領域 I R および終端領域 O R の境界線 2 a において接している。なお、ウェル領域 1 3 などの p 型領域に、窒素などのドナー不純物とアルミニウムなどのアクセプタ不純物とを含んでいる場合、当該 p 型領域の不純物濃度は、不純物濃度 = アクセプタ不純物の不純物濃度 (N_a) - ドナー不純物の不純物濃度 (N_d) として計算される。

【0034】

ソース領域 1 4 は n 型を有する領域である。ソース領域 1 4 は、ウェル領域 1 3 によっておよびドリフト領域 1 2 と隔てられている。またソース領域 1 4 は、第 1 の主面 1 0 a を含み、かつウェル領域 1 3 に取り囲まれるように、ウェル領域 1 3 の内部に形成されている。ソース領域 1 4 は、たとえば P (リン) などの不純物を、たとえば $1 \times 10^{20} \text{ cm}^{-3}$ 程度の濃度で含んでいる。ソース領域 1 4 に含まれる不純物の濃度は、ドリフト領域 1 2 に含まれる不純物の濃度よりも高い。

【0035】

p^+ 領域 1 8 は p 型を有する領域である。 p^+ 領域 1 8 は、ウェル領域 1 3 およびソース領域 1 4 と接して形成されている。 p^+ 領域 1 8 は、たとえばアルミニウムやホウ素などの不純物を、たとえば $1 \times 10^{20} \text{ cm}^{-3}$ 程度の濃度で含んでいる。 p^+ 領域 1 8 に含まれる不純物の濃度は、ウェル領域 1 3 に含まれる不純物の濃度よりも高い。

【0036】

絶縁膜 1 5 は、ウェル領域 1 3 に形成されるチャネル領域 CH と対向する位置に設けられたゲート絶縁膜部 1 5 a と、炭化珪素基板 1 0 の端部 1 0 c に露出し、かつ第 1 の電界緩和領域 2 および第 2 の電界緩和領域 3 に接する絶縁膜部 1 5 b とを含む。ゲート絶縁膜部 1 5 a は、一方のソース領域 1 4 の上部表面から他方のソース領域 1 4 の上部表面にま

10

20

30

40

50

で延在するように、ウェル領域 13、ソース領域 14 およびドリフト領域 12 に接して形成されている。絶縁膜 15 はたとえば二酸化珪素からなっている。好ましくは、絶縁膜 15 の厚み（第 1 の主面 10 a の法線方向に沿った絶縁膜 15 の距離）は、45 nm 程度以上 55 nm 程度以下である。

【0037】

ゲート電極 27 は、一方のソース領域 14 上から他方のソース領域 14 上にまで延在するように、ゲート絶縁膜部 15 a 上に接触して配置されている。ゲート電極 27 は、たとえば不純物の添加されたポリシリコン、アルミニウムなどの導電体からなっている。

【0038】

ソース電極 16 は、絶縁膜 15、ソース領域 14 および p⁺領域 18 と接している。好ましくは、ソース電極 16 は、好ましくは、ニッケルおよびシリコンを有する材料からなる。ソース電極 16 は、チタン、アルミニウムおよびシリコンを有する材料からなっている。好ましくは、ソース電極 16 はソース領域 14 および p⁺領域 18 とオーミック接合している。

【0039】

ドレイン電極 20 は、炭化珪素基板 10 の第 2 の主面 10 b に接触して形成されている。このドレイン電極 20 は、たとえば上記ソース電極 16 と同様の構成を有していてもよいし、ニッケルなど、n⁺基板 11 とオーミック接合可能な他の材料からなっている。これにより、ドレイン電極 20 は n⁺基板 11 と電気的に接続されている。

【0040】

パッド電極 65 は、ソース電極 16 に接し、かつ層間絶縁膜 71 を覆うように形成されている。パッド電極 65 はたとえばアルミニウムからなる。パッド電極 65 および絶縁膜部 15 b に接して保護膜 70 が形成されている。また、n⁺基板 11 と接してドレイン電極 20 が配置されている。ドレイン電極 20 はたとえばニッケルからなる。さらに、ドレイン電極 20 に接してたとえばチタン、ニッケル、銀やそれらからなる合金からなる裏面保護電極 50 が配置されている。

【0041】

なお、JTE 領域 2 の内周側の端部から最外周のガードリング部 3 c の外周側の端部までの距離はたとえば 20 μm 程度以上 200 μm 程度以下であり、好ましくは 39 μm 程度以上 200 μm 程度以下である。また JTE 領域 2 の内周側の端部から最外周のガードリング部 3 c の外周側の端部までの距離は、ドリフト領域 12 の厚み T の 2 倍以上であることが好ましい。

【0042】

図 3 を参照して、本実施の形態の MOSFET の第 1 の変形例の構成について説明する。

【0043】

図 3 に示すように、第 1 の変形例に係る MOSFET 1 の炭化珪素基板 10 の素子領域 IR に設けられた半導体素子部 7 は、ウェル領域 13 を含み、ウェル領域 13 に接して第 1 の電界緩和領域 2 が配置されている。ウェル領域 13 は、ソース電極 16 に接している p⁺領域 18 と、ゲート絶縁膜部 15 a およびソース電極 16 に接しているソース領域 14 とを含む。第 1 の変形例における半導体素子部 7 の構造は、図 1 で説明した半導体素子部 7 の構造と同様であってもよい。

【0044】

第 1 の電界緩和領域 2 の外周側に、第 2 の電界緩和領域 3 が設けられており、第 2 の電界緩和領域 3 は、互いに離間した 9 本のガードリング部 3 a ~ 3 i を含む。第 2 の電界緩和領域 3 は、同じ幅を有する複数のガードリング部 3 a ~ 3 i を含んでいてもよい。第 1 の電界緩和領域 2 の幅 W1 はたとえば 15 μm であり、9 本のガードリング部 3 a ~ 3 g の各々の幅 W2 ~ W10 はたとえば 5 μm である。第 1 の電界緩和領域 2 と第 2 の電界緩和領域 3 との間隔 d1 はたとえば 3 μm 程度以上 5 μm 程度以下であり、隣接するガードリング部 3 a ~ 3 g の間隔 d2 はたとえば 3 μm 程度以上 5 μm 程度以下である。

10

20

30

40

50

【0045】

図4を参照して、本実施の形態のMOSFETの第2の変形例の構成について説明する。

【0046】

図4に示すように、第2の変形例に係るMOSFETの第2の電界緩和領域は7本のガードリング部3a~3bから構成されている。各ガードリング部3a~3gの幅W2~W8は、内周側から外周側に行くにつれて小さくなることが好ましい。各ガードリング部3a~3gの幅は単調に減少してもよいし段階的に減少してもよい。つまり、複数のガードリング部の任意の2つのガードリング部の内、平面視において外周側のガードリング部の幅は、内周側のガードリング部の幅以下であり、かつ最外周側のガードリング部の幅は最内周側のガードリング部の幅よりも小さいことが好ましい。

10

【0047】

第2の変形例における、第1の電界緩和領域2の幅W1はたとえば15 μm である。最内周側のガードリング部3aの幅を幅W2とし、最外周側のガードリング部3iの幅をW8としたとき、最内周側のガードリング部3aおよび最外周側のガードリング部3iの間の各ガードリング部の幅は、幅W2=10 μm 、幅W3=8 μm 、幅W4=8 μm 、幅W5=6 μm 、幅W6=5 μm 、幅W7=5 μm 、幅W8=5 μm である。なお、第1の電界緩和領域2と第2の電界緩和領域3との間隔d1はたとえば3 μm 程度以上5 μm 程度以下であり、隣接するガードリング部3a~3iの間隔d2はたとえば3 μm 程度以上5 μm 程度以下である。

20

【0048】

次にMOSFET1の動作について説明する。ゲート電極27に閾値以下の電圧を与えた状態、すなわちオフ状態では、ゲート絶縁膜部15aの直下に位置するウェル領域13とドリフト領域12との間が逆バイアスとなり、非導通状態となる。一方、ゲート電極27に正の電圧を印加していくと、ウェル領域13のゲート絶縁膜部15aと接触する付近であるチャンネル領域CHにおいて、反転層が形成される。その結果、ソース領域14とドリフト領域12とが電氣的に接続され、ソース電極16とドレイン電極20との間に電流が流れる。

【0049】

次に、本実施の形態に係るMOSFET1の製造方法について説明する。

30

図5を参照して、まず基板準備工程によって炭化珪素基板10が準備される。具体的には、六方晶炭化珪素からなるn⁺基板11の一方の主面上にエピタキシャル成長によりドリフト領域12が形成される。エピタキシャル成長は、たとえば原料ガスとしてSiH₄(シラン)とC₃H₈(プロパン)との混合ガスを採用して実施することができる。このとき、不純物として、たとえばN(窒素)が導入される。これにより、n⁺基板11に含まれる不純物よりも低い濃度の不純物を含むドリフト領域12が形成される。

【0050】

炭化珪素基板10は互いに対向する第1の主面10aおよび第2の主面10bを有する。炭化珪素基板10の第1の主面10aは、たとえば{0001}面である。

【0051】

40

次に、たとえばCVDにより、炭化珪素基板10の第1の主面10a上に二酸化珪素からなる酸化膜が形成される。そして、酸化膜の上にレジストが塗布された後、露光および現像が行なわれ、所望のウェル領域13の形状に応じた領域に開口を有するレジスト膜が形成される。そして、当該レジスト膜をマスクとして用いて、たとえばRIE(Reactive Ion Etching; 反応性イオンエッチング)により酸化膜が部分的に除去されることによって、ドリフト領域12上に開口パターンを有する酸化膜からなるマスク層が形成される。

【0052】

次に、イオン注入工程が実施される。図6を参照して、イオン注入工程では、炭化珪素基板10の第1の主面10aに対してイオンが注入されることにより、炭化珪素基板10の

50

素子領域 I R にウェル領域 1 3、ソース領域 1 4 および p⁺領域 1 8 が形成され、炭化珪素基板 1 0 の終端領域 O R に第 1 の電界緩和領域としての J T E 領域 2 および第 2 の電界緩和領域 3 が形成される。

【 0 0 5 3 】

具体的には、上記レジスト膜を除去した上で、当該マスク層をマスクとして用いて、A 1 などの不純物をドリフト領域 1 2 に対してイオン注入することにより、ウェル領域 1 3 が形成される。また、P (リン) などの n 型不純物がドリフト領域 1 2 にイオン注入により導入されることによりソース領域 1 4 が形成される。次に、A 1、B などの不純物がドリフト領域 1 2 にイオン注入により導入されることにより p⁺領域 1 8 が形成される。3 0 0 から 5 0 0 に炭化珪素基板 1 0 を加熱してイオン注入が行われてもよい。

10

【 0 0 5 4 】

また A 1 などの不純物をドリフト領域 1 2 に対してイオン注入することにより、J T E 領域 2 および第 2 の電界緩和領域 3 が形成される。なお、J T E 領域 2 はウェル領域 1 3 と接するように形成される。J T E 領域 2 における不純物濃度はウェル領域 1 3 における不純物濃度よりも低いことが好ましい。p⁺領域 1 8 は J T E 領域 2 に接して形成されてもよいし、J T E 領域 2 に接することなくウェル領域 1 3 内に形成されてもよい。

【 0 0 5 5 】

次に、活性化アニール工程が実施される。上記イオン注入によって導入された不純物を活性化させる熱処理が実施される。具体的には、イオン注入が実施された炭化珪素基板 1 0 が、たとえば A r (アルゴン) 雰囲気中において 1 7 0 0 程度に加熱され、3 0 分間程度保持される。

20

【 0 0 5 6 】

次に、熱酸化膜形成工程が実施される。具体的には、図 7 を参照して、イオン注入領域が形成された炭化珪素基板 1 0 が熱酸化される。熱酸化は、たとえば酸素雰囲気中で 1 3 0 0 程度に加熱し、4 0 分間程度保持することにより実施することができる。これにより、炭化珪素基板 1 0 の第 1 の主面 1 0 a 上に二酸化珪素からなる絶縁膜 1 5 が形成される。窒素や N O、N₂O を含む雰囲気中で 1 1 0 0 から 1 3 0 0 に加熱することによって S i O₂ / S i C の界面に形成されるエネルギー準位を低減する工程を行ってもよい。また A r 雰囲気中での熱処理を行ってもよい。

30

【 0 0 5 7 】

次に、ゲート電極形成工程が実施される。具体的には、図 1 を参照して、たとえば導電体であるポリシリコン、アルミニウムなどからなるゲート電極 2 7 が、一方のソース領域 1 4 上から他方のソース領域 1 4 上にまで延在するとともに、絶縁膜 1 5 に接触するように形成される。ゲート電極 2 7 の材料としてポリシリコンを採用する場合、当該ポリシリコンは、リンが $1 \times 10^{20} \text{ cm}^{-3}$ を超える高い濃度で含まれていてもよい。その後、ゲート電極 2 7 を覆うように、たとえば二酸化珪素からなる層間絶縁膜 7 1 が形成される。

【 0 0 5 8 】

次に、電極形成工程が実施される。具体的には、図 1 を参照して、たとえばニッケルおよびシリコンを含む材料からなるソース電極 1 6 がソース領域 1 4 および p⁺領域 1 8 に接して形成される。ソース電極 1 6 は、チタン、アルミニウムおよびシリコンを含む材料であってもよい。同様に、炭化珪素基板 1 0 の第 2 の主面 1 0 b に接するドレイン電極 2 0 が形成される。ドレイン電極 2 0 を形成する材料は、ニッケルおよびシリコンを含む材料であってもよいし、チタン、アルミニウムおよびシリコンを含む材料であってもよい。その後、ソース電極 1 6 が形成された炭化珪素基板 1 0 を 1 0 0 0 程度に加熱することにより、炭化珪素基板 1 0 のソース領域 1 4 および p⁺領域 1 8 とオーミック接触するソース電極 1 6 が形成される。ソース電極 1 6 と接し、たとえばアルミニウムからなるパッド電極 6 5 が形成される。また、たとえばチタン、ニッケルおよび銀を含む裏面保護電極 5 0 が形成される。以上の様に、図 1 に示す M O S F E T 1 が完成する。

40

【 0 0 5 9 】

なお、本実施の形態ではとしてプレナー型 M O S F E T を例に挙げて説明したが、トレ

50

ンチ型 MOSFET であってもよい。

【0060】

次に、本実施の形態に係る MOSFET 1 の作用効果について説明する。

本実施の形態に係る MOSFET によれば、JTE 領域 2 の幅 W_1 をドリフト領域 1 2 の厚み T で除した比は、0.5 以上 1.83 以下である。これにより、ウェル領域 1 3 と JTE 領域 2 との境界領域（位置 B）および第 2 の電界緩和領域 3 の外周側の角部（位置 D）の双方における電界強度を低減することができる。結果として、素子領域を狭くしすぎることなく耐圧を向上させることができる MOSFET を得ることができる。

【0061】

また本実施の形態に係る MOSFET によれば、第 2 の電界緩和領域 3 は、複数のガードリング部を含む。これにより、終端領域 OR の電界強度をさらに低減することができる。

10

【0062】

さらに本実施の形態に係る MOSFET によれば、複数のガードリング部の各々の幅は、JTE 領域 2 の幅 W_1 よりも小さい。これにより、終端領域 OR の電界強度をさらに低減することができる。また複数のガードリング部の各々の幅は $3\ \mu\text{m}$ 以上である。これにより、容易にガードリング部を製造することができる。

【0063】

さらに本実施の形態に係る MOSFET によれば、複数のガードリング部から任意の 2 つのガードリング部を選択した場合において、平面視において外周側に配置されているガードリング部の幅は、内周側に配置されているガードリング部の幅以下であり、かつ最外周側に配置されているガードリング部の幅は最内周側に配置されているガードリング部の幅よりも小さい。これにより、炭化珪素基板 10 の中心から端部 10c に向かう方向における等電界線の変化が緩やかになる。結果として、繰り返し電圧を印加する場合における耐圧寿命（信頼性）を向上することができる。

20

【0064】

さらに本実施の形態に係る MOSFET によれば、複数のガードリング部の本数は、6 本以上 15 本以下である。これにより、特にゲート電圧が 2.2 kV の場合において、終端領域 OR の電界強度を効率的に低減することができる。

【0065】

さらに本実施の形態に係る MOSFET によれば、複数のガードリング部の本数は、12 本以上 15 本以下である。これにより、特にゲート電圧が 3.3 kV の場合において、終端領域 OR の電界強度を効率的に低減することができる。

30

【0066】

さらに本実施の形態に係る炭化珪素半導体装置によれば、炭化珪素半導体装置は、MOSFET である。これにより、素子領域を狭くしすぎることなく耐圧を向上させることができる MOSFET を得ることができる。

（実施の形態 2）

次に、本発明の実施の形態 2 に係る炭化珪素半導体装置としての IGBT の構成について説明する。

40

【0067】

図 2 および図 8 を参照して、IGBT 101 の炭化珪素基板 10 は、素子領域 IR（活性領域）と、平面視において素子領域 IR を取り囲む終端領域 OR（無効領域）とにより構成されている。終端領域 OR は、第 1 の電界緩和領域 2 と、第 2 の電界緩和領域 3 を含む。素子領域 IR には半導体素子部 7 としての IGBT 部が設けられている。半導体素子部 7 は n 型（第 1 導電型）のドリフト領域 1 2 を含む。なお、本実施の形態に係る IGBT 101 の終端領域 OR の構造は、実施の形態 1 で説明した MOSFET 1 の終端領域 OR の構造と同様である。

【0068】

図 8 を参照して、本実施の形態の IGBT 101 は、炭化珪素基板 10 と、ゲート絶縁

50

膜 2 1 5 と、ゲート電極 2 2 7 と、層間絶縁膜 2 2 1 と、エミッタコンタクト電極 2 0 8 と、エミッタ配線 2 1 9 と、コレクタ電極 2 3 0 と、コレクタ配線 2 4 0 とを主に有する。

【0069】

炭化珪素基板 1 0 は、互いに対向する第 1 の主面 1 0 a および第 2 の主面 1 0 b を有する。炭化珪素基板 1 0 の素子領域 I R に設けられている半導体素子部 7 は、コレクタ層 2 1 1 と、ドリフト領域 2 1 2 と、ウェル領域 2 1 3 と、エミッタ領域 2 1 4 と、 p^+ 領域 2 0 2 とを含む。コレクタ層 2 1 1 は、炭化珪素基板 1 0 の第 2 の主面 1 0 b に接して配置された p 型領域（第 2 の p 型領域）である。コレクタ層 2 1 1、ドリフト領域 2 1 2、ウェル領域 2 1 3、エミッタ領域 2 1 4、 p^+ 領域 2 0 2 の各々は、六方晶炭化珪素から作られており、好ましくはその結晶構造がポリタイプ 4 H を有する。コレクタ層 2 1 1、ウェル領域 2 1 3 および p^+ 領域 2 0 2 の各々は p 型を有し、ドリフト領域 2 1 2 およびエミッタ領域 2 1 4 の各々は n 型を有する。エミッタ領域 2 1 4 の不純物濃度はドリフト領域 2 1 2 の不純物濃度よりも高い。 p^+ 領域 2 0 2 の不純物濃度はウェル領域 2 1 3 の不純物濃度よりも高い。 p 型を付与するためのアクセプタ不純物は、たとえばアルミニウム (A l) または硼素 (B) である。 n 型を付与するためのドナー不純物は、たとえば窒素 (N) またはリン (P) である。

10

【0070】

コレクタ層 2 1 1 が有するアクセプタ型不純物はコレクタ層 2 1 1 のエピタキシャル成長時に導入されたものであり、アクセプタ不純物濃度は、好ましくは $1 \times 10^{17} \text{ cm}^3$ 以上 $1 \times 10^{21} \text{ cm}^3$ 以下であり、より好ましくは $1 \times 10^{19} \text{ cm}^3$ 以上 $1 \times 10^{20} \text{ cm}^3$ 以下である。コレクタ層 2 1 1 の厚さは、好ましくは $5 \mu\text{m}$ 以上である。

20

【0071】

ドリフト領域 2 1 2 は、コレクタ層 2 1 1 上に接して設けられている。ドリフト領域 2 1 2 の厚さは、好ましくは $75 \mu\text{m}$ 以上である。ウェル領域 2 1 3 は、ドリフト領域 2 1 2 の上に設けられている。エミッタ領域 2 1 4 は、ウェル領域 2 1 3 によってドリフト領域 2 1 2 から隔てられるようにウェル領域 2 1 3 の上に設けられている。 p^+ 領域 2 0 2 は、エミッタ領域 2 1 4 およびウェル領域 2 1 3 に接して設けられている。

【0072】

ゲート絶縁膜 2 1 5 は、ドリフト領域 2 1 2 とエミッタ領域 2 1 4 とをつなぐようにウェル領域 2 1 3 の上に設けられている。ウェル領域 2 1 3 の、ゲート絶縁膜 2 1 5 に対向する面（つまり炭化珪素基板 1 0 の第 1 の主面 1 0 a）は、好ましくは {0001} 面である。ゲート絶縁膜 2 1 5 は、たとえば二酸化珪素膜である。ゲート電極 2 2 7 は、ゲート絶縁膜 2 1 5 の上に設けられている。ゲート電極 2 2 7 は、導電体から作られており、たとえば、不純物が添加されたポリシリコン、またはアルミニウム (A l) から作られている。

30

【0073】

エミッタコンタクト電極 2 0 8 は、エミッタ領域 2 1 4 および p^+ 領域 2 0 2 の各々にオーミックに接続された電極であり、好ましくはシリサイドから作られており、たとえばニッケルシリサイドから作られている。エミッタコンタクト電極 2 0 8 は、チタン、アルミニウムおよびシリコンを含む材料であってもよい。

40

【0074】

エミッタ配線 2 1 9 は、エミッタコンタクト電極 2 0 8 および層間絶縁膜 2 2 1 の各々の上に設けられている。層間絶縁膜 2 2 1 は、ゲート電極 2 2 7 とエミッタ配線 2 1 9 との間を電氣的に絶縁するように設けられている。層間絶縁膜 2 2 1 は、たとえば二酸化珪素膜である。

【0075】

コレクタ電極 2 3 0 は第 2 の主面 1 0 b においてコレクタ層 2 1 1 と接して設けられている。コレクタ電極 2 3 0 は、コレクタ層 2 1 1 にオーミックに接続された電極であり、好ましくはシリサイドから作られており、たとえばニッケルシリサイドから作られている

50

。コレクタ電極 230 はエミッタコンタクト電極 208 と同じ材料であってもよい。

【0076】

なお、本実施の形態に係る IGBT101 の製造方法は、実施の形態 1 で説明した MOSFET1 の製造方法と同様である。

【0077】

本実施の形態に係る炭化珪素半導体装置によれば、炭化珪素半導体装置は、IGBTである。これにより、素子領域を狭くしすぎることなく耐圧を向上させることができる IGBT を得ることができる。

(実施の形態 3)

次に、本発明の実施の形態 3 に係る炭化珪素半導体装置である SBD100 の構造について説明する。

【0078】

図 2 および図 9 を参照して、SBD100 の炭化珪素基板 10 は、素子領域 IR (活性領域) と、平面視において素子領域 IR を取り囲む終端領域 OR (無効領域) とにより構成されている。終端領域 OR は、第 1 の電界緩和領域 2 と、第 2 の電界緩和領域 3 を含む。素子領域 IR には半導体素子部 7 としての SBD 部が設けられている。半導体素子部 7 は n 型 (第 1 の導電型) のドリフト領域 12 を含む。なお、本実施の形態における終端領域 OR の構造は、実施の形態 1 における終端領域の構造と同様である。

【0079】

図 9 に示すように本実施の形態の SBD100 は、炭化珪素基板 10 と、ショットキー電極 4 と、パッド電極 60 と、オーミック電極 30 と、保護膜 70 とを主に有している。炭化珪素基板 10 は、たとえばポリタイプ 4H の六方晶炭化珪素からなり、かつ n 型を有している。炭化珪素基板 10 は、互いに対向する第 1 の主面 10a および第 2 の主面 10b を有している。

【0080】

炭化珪素基板 10 は、n⁺基板 11 と、ドリフト領域 12 と、第 1 の電界緩和領域 2 と、第 2 の電界緩和領域 3 とを主に含んでいる。n⁺基板 11 は、たとえば窒素 (N) などの不純物を含み、単結晶炭化珪素からなる基板である。n⁺基板 11 に含まれる不純物濃度は、たとえば $5 \times 10^{18} \text{ cm}^{-3}$ 程度である。

【0081】

ドリフト領域 12 は、n⁺基板上に形成された炭化珪素エピタキシャル層である。ドリフト領域 12 はたとえば窒素などの不純物を含み、当該不純物の濃度はたとえば $1 \times 10^{16} \text{ cm}^{-3}$ である。ドリフト領域 12 の不純物濃度は、n⁺基板 11 の不純物濃度よりも低い。ドリフト領域 12 の厚み T はたとえば 15 μm 以上 40 μm 以下である。

【0082】

第 1 の電界緩和領域 2 はたとえば JTE 領域であり、第 2 の電界緩和領域 3 はたとえばガードリング領域である。第 1 の電界緩和領域 2 および第 2 の電界緩和領域 3 は、たとえばアルミニウム (Al) やホウ素 (B) などの不純物がイオン注入された p 型領域である。また炭化珪素基板 10 は、第 1 の主面 10a の法線方向から見て、JTE 領域 3 を取り囲むようにフィールドストップ領域 (図示せず) を有していてもよい。フィールドストップ領域は、たとえばリン (P) などがイオン注入された n⁺型領域である。フィールドストップ領域における不純物濃度は、ドリフト領域 12 における不純物濃度よりも高い。

【0083】

ショットキー電極 4 は、炭化珪素基板 10 の第 1 の主面 10a 上に設けられており、ドリフト領域 12、第 1 の電界緩和領域 2 および保護膜 70 と接している。ショットキー電極 4 は、たとえばチタン (Ti)、ニッケル (Ni)、窒化チタン (TiN)、金 (Au)、モリブデン (Mo) およびタンゲステン (W) などの材料およびそれらの合金からなる。ショットキー電極 4 は、ドリフト領域 12 とショットキー接合している。

【0084】

パッド電極 60 はショットキー電極 4 に接して形成されている。パッド電極 60 はたと

10

20

30

40

50

えばアルミニウムからなる。パッド電極 60、ショットキー電極 8 および炭化珪素基板 10 の第 1 の主面 10a に接して保護膜 70 が形成されている。

【0085】

保護膜 70 は、たとえば二酸化珪素からなり、第 1 の電界緩和領域 2、第 2 の電界緩和領域 3 と接している。保護膜 70 は、ショットキー電極 4 およびパッド電極 60 に接し、ショットキー電極 4 から炭化珪素基板 10 の端部 10c まで延在するように第 1 の主面 10a に接して配置されている。第 1 の電界緩和領域 2 は、保護膜 70 およびショットキー電極 4 に接している。第 1 の電界緩和領域 2 の内周側の端部は、炭化珪素基板 10 の素子領域 IR および終端領 OR の境界線 2a である。

【0086】

n^+ 基板 11 と接してオーミック電極 30 が配置されている。オーミック電極 30 はたとえばニッケルからなる。さらに、オーミック電極 30 に接してたとえばチタン、ニッケル、銀やそれらからなる合金からなる裏面保護電極 40 が配置されている。

【0087】

次に、本発明の実施の形態に係る炭化珪素ダイオードである SBD 100 の製造方法について説明する。

【0088】

まず、基板準備工程が実施される。具体的には、たとえばポリタイプが 4H である六方晶炭化珪素からなるインゴット（図示しない）をスライスすることにより、導電型が n 型の n^+ 基板 11 が準備される。 n^+ 基板には、たとえば窒素（N）などの不純物が含まれている。 n^+ 基板に含まれる不純物濃度は、たとえば $5 \times 10^{18} \text{ cm}^{-3}$ 程度である。

【0089】

次に、 n^+ 基板 11 上にドリフト領域 12 がエピタキシャル成長により形成される。ドリフト領域 12 は、導電型が n 型である炭化珪素層である。ドリフト領域 12 に含まれる窒素などの不純物濃度はたとえば $7 \times 10^{15} \text{ cm}^{-3}$ である。

【0090】

次に、イオン注入工程が実施される。図 10 を参照して、たとえば Al（アルミニウム）イオンが、炭化珪素基板 10 のドリフト領域 12 内に注入されることにより、導電型が p 型の第 1 の電界緩和領域 2 および第 2 の電界緩和領域 3 が形成される。以上の様に、 n^+ 基板 11 と、ドリフト領域 12 と、第 1 の電界緩和領域 2 と、第 2 の電界緩和領域 3 と

【0091】

を含み、互いに対向する第 1 の主面 10a および第 2 の主面 10b を有する炭化珪素基板 10 が準備される。

次に、活性化アニール工程が実施される。具体的には、たとえばアルゴンなどの不活性ガス雰囲気中、1800 程度の温度で炭化珪素基板 10 が加熱されることにより、第 1 の電界緩和領域 2 および第 2 の電界緩和領域 3 を含む炭化珪素基板 10 がアニールされ、上記イオン注入工程にて導入された不純物が活性化される。これにより、不純物が導入された領域において所望のキャリアが生成する。

【0092】

次に、電極形成工程が実施される。具体的には、図 11 を参照して、次に、たとえばチタン（Ti）、ニッケル（Ni）、モリブデン（Mo）、タングステン（W）、窒化チタン（TiN）などを含むショットキー電極 4 が、炭化珪素基板 10 の第 1 の電界緩和領域 2 および第 2 の電界緩和領域 3 に接して形成される。ショットキー電極 4 が形成された後、300 以下程度 500 以上程度に加熱される。これにより、炭化珪素基板 10 と接合するショットキー電極 4 のショットキーバリアハイトを制御するとともに高温安定性の高い接合界面が形成される。

【0093】

次に、オーミック電極形成工程が実施される。具体的には、炭化珪素基板 10 の第 2 の主面 10b の研削が行われ、第 2 の主面 10b と接触してたとえばニッケルからなるオーミック電極 30 が形成される。その後、オーミック電極 30 と接してたとえばチタン、ニ

10

20

30

40

50

ッケル、銀やそれらからなる合金からなる裏面保護電極 40 が形成される。

【0094】

次に、保護膜形成工程が実施される。具体的には、図9を参照して、たとえばプラズマCVD (Chemical Vapor Deposition) 法により、パッド電極60、ショットキー電極4および炭化珪素基板10の第1の主面10aに接する保護膜70が形成される。保護膜70は、たとえば二酸化珪素 (SiO_2)、窒化珪素 (SiN)、ポリイミドまたはそれらの積層膜からなる。これにより、図9に示す炭化珪素ダイオードとしてのSBD100が完成する。

【0095】

本実施の形態に係る炭化珪素半導体装置によれば、炭化珪素半導体装置は、SBDである。これにより、素子領域を狭くしすぎることなく耐圧を向上させることができるSBDを得ることができる。

(実施の形態4)

次に、本発明の実施の形態4に係る炭化珪素半導体装置であるMPSの構造について説明する。

【0096】

図2および図12を参照して、MPS200の炭化珪素基板10は、素子領域IR (活性領域) と、平面視において素子領域IRを取り囲む終端領域OR (無効領域) とにより構成されている。終端領域ORは、第1の電界緩和領域2と、第2の電界緩和領域3を含む。素子領域IRには半導体素子部7としてのMPS部が設けられている。半導体素子部7はn型 (第1の導電型) のドリフト領域12を含む。なお、本実施の形態における終端領域ORの構造は、実施の形態1における終端領域の構造と同様である。

【0097】

図12を参照して、本実施の形態に係るMPS200は、炭化珪素基板10と、電極4と、パッド電極60と、保護膜70と、オーミック電極30と、裏面保護電極40とを主に有している。

【0098】

炭化珪素基板10は、 n^+ 基板11と、ドリフト領域12と、p型領域17と、第1の電界緩和領域2と、第2の電界緩和領域3とを含んでいる。 n^+ 基板11は、たとえば窒素 (N) などの不純物を含む、単結晶炭化珪素からなる基板である。 n^+ 基板11に含まれる不純物濃度は、たとえば $5 \times 10^{18} \text{ cm}^{-3}$ 程度である。

【0099】

ドリフト領域12は、 n^+ 基板11上に形成された炭化珪素エピタキシャル層である。ドリフト領域12はたとえば窒素などの不純物を含み、ドリフト領域12における不純物濃度はたとえば $1 \times 10^{16} \text{ cm}^{-3}$ である。p型領域17におけるアルミニウムなどの不純物濃度はたとえば $1 \times 10^{19} \text{ cm}^{-3}$ 程度である。ドリフト領域12の厚みTは、たとえば $15 \mu\text{m}$ 程度以上 $40 \mu\text{m}$ 程度以下である。

【0100】

第1の電界緩和領域2および第2の電界緩和領域3の各々は、たとえばアルミニウム (Al) やホウ素 (B) などの不純物がイオン注入されたp型領域である。第1の電界緩和領域2を貫通するように、第1の電界緩和領域2よりも不純物濃度の高いp型領域17が形成されている。また炭化珪素基板10は、第1の電界緩和領域2および第2の電界緩和領域3を取り囲むようにフィールドストップ領域 (図示せず) を有していても構わない。フィールドストップ領域は、たとえばリン (P) などがイオン注入された n^+ 型領域であり、ドリフト領域12よりも高い不純物濃度を有する。

【0101】

電極4は、炭化珪素基板10の第1の主面10a上に設けられており、たとえばチタン (Ti) からなる。電極4として、チタン以外にもたとえばニッケル (Ni)、窒化チタン (TiN)、金 (Au)、モリブデン (Mo) およびタンゲステン (W) などを用いても構わない。電極4はたとえば単一の材料から構成されていてもよい。単一の材料とは、

10

20

30

40

50

同じ元素からなる単体から成っている場合および同じ化合物から成っている場合を含む。また、当該材料をたとえばスパッタリングやメッキで形成した後に、当該材料の一部を加熱することにより当該材料の一部における結合状態が変化した場合であっても、結合状態が変化した部分と結合状態が変化していない部分とは単一の材料である。

【0102】

電極4は、ドリフト領域12とショットキー接合する第1の領域4aと、p型領域17とオーミック接合する第2の領域4bとを含む。断面視(図11の視野)において第2の領域4bは間隔をあけて複数配置されていてもよい。また断面視において第1の領域4aと第2の領域4bとが交互に配置されていてもよい。p型領域17は炭化珪素基板10の第1の主面10aからオーミック電極30に向かって伸長して形成されている。第1の領域4aおよび第2の領域4bは単一の材料からなってもよいし、異なった材料であってもよい。たとえば第1の領域4aと第2の領域4bとは同じ金属または同じ合金から形成されている。

10

【0103】

図13を参照して、炭化珪素基板10の法線方向から観察すると(言いければ平面視において)、電極4はほぼ正方形の形状を有している。第1の電界緩和領域2は、電極4の外周4cに沿って形成されている第1のp型領域2bと、電極4の外周4cの内側に配置された第2のp型領域2cとを有している。またp型領域17は電極4の外周4cに囲まれて配置されている。p型領域17は、たとえば柵状を有している。第1のp型領域2bと第2のp型領域2cとに挟まれてp型領域17が形成されていてもよい。また、p型領域17は、第1の電界緩和領域2と接しない領域を有していてもよい。

20

【0104】

再び図12を参照して、電極4の第1の領域4aおよび第2の領域4bに接してパッド電極60が形成されている。パッド電極60はたとえばアルミニウムからなる。パッド電極60、第1の領域4aおよび炭化珪素基板10の第1の主面10aに接してたとえば二酸化珪素からなる保護膜70が形成されている。また、n⁺基板11と接してオーミック電極30が配置されている。オーミック電極30はたとえばニッケルからなる。さらに、オーミック電極30に接してたとえばチタン、ニッケル、銀やそれらからなる合金からなる裏面保護電極40が配置されている。第1の電界緩和領域2は、保護膜70および電極4の第1の領域4aに接している。第1の電界緩和領域2の内周側の端部は、炭化珪素基板10の素子領域IRおよび終端領ORの境界線2aである。

30

【0105】

なお、MPS200は、n型のドリフト領域12と接続されたp型領域17を有する、P/Nダイオードである。

【0106】

次に、本実施の形態に係る炭化珪素半導体装置であるMPS200の製造方法について説明する。

【0107】

まず、基板準備工程が実施される。基板準備工程では、たとえばポリタイプが4Hである単結晶炭化珪素からなるインゴット(図示しない)をスライスすることにより、導電型がn型(第1導電型)のn⁺基板11が準備される。n⁺基板には、たとえば窒素などの不純物が含まれている。n⁺基板に含まれる不純物濃度は、たとえば $5 \times 10^{18} \text{ cm}^{-3}$ 程度である。

40

【0108】

次に、n⁺基板11上に導電型がn型(第1導電型)であるドリフト領域12がエピタキシャル成長により形成される。ドリフト領域12の不純物濃度はたとえば $1 \times 10^{16} \text{ cm}^{-3}$ である。

【0109】

次に、イオン注入工程が実施される。図14を参照して、イオン注入工程では、たとえばAl(アルミニウム)イオンが、炭化珪素基板10内に注入されることにより、導電型

50

が p 型（第 2 導電型）の第 1 の電界緩和領域 2 および第 2 の電界緩和領域 3 が形成される。同様に、たとえば Al（アルミニウム）イオンが、ドリフト領域 1 2 および第 1 の電界緩和領域 2 に注入されることにより、導電型が p 型（第 2 導電型）の p 型領域 1 7 が形成される。p 型領域 1 7 は、断面視（第 1 の主面 1 0 a に平行な方向の視野）において、第 1 の電界緩和領域 2 と接する部分と、第 1 の電界緩和領域 2 と接しない部分とを有する。p 型領域 1 7 の不純物濃度は、たとえば $1 \times 10^{19} \text{ cm}^{-3}$ 程度である。これにより、p 型領域 1 7 と、第 1 の電界緩和領域 2 と、第 2 の電界緩和領域 3 とを有する炭化珪素基板 1 0 が準備される。

【0110】

次に、活性化アニール工程が実施される。活性化アニール工程では、たとえばアルゴンなどの不活性ガス雰囲気中、1800 程度の温度で炭化珪素基板 1 0 が加熱されることにより、p 型領域 1 7 と、第 1 の電界緩和領域 2 と、第 2 の電界緩和領域 3 とがアニールされ、イオン注入工程にて導入された不純物が活性化される。これにより、不純物が導入された領域において所望のキャリアが生成する。

10

【0111】

次に、電極形成工程が実施される。図 1 5 を参照して、電極形成工程は、好ましくは、金属膜形成工程、ショットキー接合工程およびオーミック接合工程を含んでいる。たとえば、金属膜形成工程において、単一の材料からなる電極 4 が炭化珪素基板 1 0 のドリフト領域 1 2、p 型領域 1 7 および第 1 の電界緩和領域 2 に接して形成される。電極 4 は、たとえばチタン (Ti)、ニッケル (Ni)、モリブデン (Mo)、タングステン (W)、窒化チタン (TiN) などの金属膜である。具体的には、電極 4 は、炭化珪素基板 1 0 の第 1 の主面 1 0 a において、ドリフト領域 1 2 と、p 型領域 1 7 と、第 1 の電界緩和領域 2 とに接して形成される。

20

【0112】

次に、ショットキー接合工程が実施される。ショットキー接合工程では、炭化珪素基板 1 0 の第 1 の主面 1 0 a に形成された電極 4 の全体が加熱される。電極 4 全体の加熱はたとえばレーザーアニールを用いて行われる。電極 4 が形成された炭化珪素基板 1 0 を加熱炉配置して、不活性ガス雰囲気中において電極 4 全体が加熱されても構わない。電極 4 は、たとえば 500 程度にまで加熱される。これにより、ショットキーバリアハイトを制御するとともに高温安定性の高くドリフト領域 1 2 と第 1 の領域 4 a とがショットキー接合される。なお、電極 4 の第 1 の領域 4 a を局所的に加熱することにより、ドリフト領域 1 2 と第 1 の領域 4 a とがショットキー接合されても構わない。

30

【0113】

次に、オーミック接合工程が実施される。オーミック接合工程では、図 1 6 を参照して、p 型領域 1 7 と接触する電極 4 の第 2 の領域 4 b を局所的に加熱することにより、p 型領域 1 7 と第 2 の領域 4 b とがオーミック接合される。第 2 の領域 4 b を局所的に加熱することにより p 型領域 1 7 と第 2 の領域 4 b とをオーミック接合させる工程は、好ましくは第 2 の領域 4 b をレーザーアニールすることにより行われる。第 2 の領域 4 b の局所加熱は電子ビーム (Electron Beam) によって行われても構わない。また第 2 の領域 4 b は、たとえば 1000 程度まで加熱される。オーミック接合工程における電極 4 の加熱温度は、ショットキー工程における電極 4 の加熱温度よりも高い。

40

【0114】

次に、パッド電極および保護膜形成工程が実施される。具体的には、電極 4 上に接して、たとえばアルミニウムからなるパッド電極 6 0 が形成される。その後、パッド電極 6 0、電極 4 の第 2 の領域 4 b および炭化珪素基板 1 0 の第 1 の主面 1 0 a と接して保護膜 7 0 が形成される。

【0115】

次に、オーミック電極形成工程が実施される。具体的には、炭化珪素基板 1 0 の第 1 の主面 1 0 a とは反対の第 2 の主面 1 0 b の研削が行われ、第 2 の主面 1 0 b と接触するオーミック電極 3 0 が形成される。オーミック電極 3 0 はたとえばニッケルを含む。その後

50

、オーミック電極 30 と接してたとえばチタン、ニッケル、銀やそれらからなる合金からなる裏面保護電極 40 が形成される。以上により、図 11 に示す M P S 200 が完成する。

【0116】

本実施の形態に係る炭化珪素半導体装置によれば、炭化珪素半導体装置は、P/Nダイオード(MPS)である。これにより、素子領域を狭くしすぎることなく耐圧を向上させることができるP/Nダイオード(MPS)を得ることができる。

【実施例1】

【0117】

本実施例では、第1の電界緩和領域2(JTE領域2)の幅W1をドリフト領域12の厚みTで除した比を変化させた場合における電界強度を調査した。

【0118】

まず、実施の形態の図1に示したような構造を有し、JTE領域2の幅W1をドリフト領域12の厚みTで除した比を変化させた6種類のMOSFETのモデルを準備した。ドリフト領域12の不純物濃度を $4.5 \times 10^{15} \text{ cm}^{-3}$ とした。ドリフト領域12の厚みTを $23 \mu\text{m}$ とした。JTE領域2の幅W1を、 $7 \mu\text{m}$ 、 $15 \mu\text{m}$ 、 $23 \mu\text{m}$ 、 $31 \mu\text{m}$ 、 $39 \mu\text{m}$ および $47 \mu\text{m}$ と変化させることで、JTE領域2の幅W1をドリフト領域12の厚みTで除した比(百分率表記)を約30%、約65%、100%、約135%、約170%および約204%とした。ウェル領域13の不純物濃度を $5 \times 10^{16} \text{ cm}^{-3}$ とした。ウェル領域13の厚みを $0.9 \mu\text{m}$ とした。JTE領域2およびガードリング部の各々のドーザ量を $1.35 \times 10^{13} \text{ cm}^{-2}$ とした。JTE領域2およびガードリング部の各々の厚みを $0.7 \mu\text{m}$ とした。

【0119】

JTE領域2の幅W1が $7 \mu\text{m}$ 、 $15 \mu\text{m}$ 、 $23 \mu\text{m}$ 、 $31 \mu\text{m}$ 、 $39 \mu\text{m}$ および $47 \mu\text{m}$ の場合におけるガードリング部の本数を、それぞれ10本、9本、8本、7本、6本、5本とした。ガードリング部の各々の幅を $5 \mu\text{m}$ とした。JTE領域2と最内周のガードリング部3aとの間隔d1および隣接するガードリング部同士の間隔d2を $5 \mu\text{m}$ とした。

【0120】

上記6種類のMOSFETのモデルの電界強度分布を計算した。ウェル領域13の角部(位置A)の電界強度と、ウェル領域13とJTE領域2の角部との接点(位置B)の電界強度と、MOSFETの終端領域ORにおけるJTE領域2の外周側の角部(位置C)の電界強度と、最外周のガードリング部の外周側の角部(位置D)における電界強度とを計算し、各位置における電界強度を見積もった。電界強度分布計算におけるドレイン電圧を 2.2 kV とした。

【0121】

図17を参照して、電界強度のJTE2の幅W1をドリフト領域12の厚みTで除した比(百分率表示)依存性について説明する。位置Bにおける電界強度(図17の $E_{\text{body}/j_{te}}$)は、JTE2の幅W1をドリフト領域12の厚みTで除した比が約30%において高い値を示すが、当該比が30%よりも大きくなると、位置Bにおける電界強度が低くなる。また当該比が204%の場合、位置Dにおける電界強度(図17の $E_{\text{gr端}}$)は高い値を示すが、当該比が204%より小さくなると、位置Dにおける電界強度は小さくなる。つまり、当該比が30%より大きく204%より小さい場合において、すべての位置における電界強度が小さくなることが確認された。

【0122】

また電界強度のJTE2の幅W1をドリフト領域12の厚みTで除した比が65%以上170%以下の場合において、位置Aにおける電界強度(図17の E_{pn})が、位置Aにおける電界強度以外の電界強度(図17の $E_{\text{body}/j_{te}}$ 、 $E_{j_{te}端}$ および $E_{\text{gr端}}$)よりも高くなることが確認された。

【0123】

10

20

30

40

50

次に、実施の形態の図1に示したような構造を有し、JTE領域2の幅W1をドリフト領域12の厚みTで除した比を変化させた8種類のMOSFETのモデルを準備した。ドリフト領域12の不純物濃度を $3.0 \times 10^{15} \text{ cm}^{-3}$ とした。ドリフト領域の厚みTを $30 \mu\text{m}$ とした。JTE領域2の幅W1を、 $7 \mu\text{m}$ 、 $15 \mu\text{m}$ 、 $23 \mu\text{m}$ 、 $31 \mu\text{m}$ 、 $39 \mu\text{m}$ 、 $47 \mu\text{m}$ 、 $55 \mu\text{m}$ および $81 \mu\text{m}$ と変化させることで、JTE領域2の幅W1をドリフト領域12の厚みT除した比(百分率表記)を約47%、約50%、77%、約103%、約130%、約157%、約183%および約237%とした。ウェル領域13の不純物濃度を $5 \times 10^{16} \text{ cm}^{-3}$ とした。ウェル領域13の厚みを $0.9 \mu\text{m}$ とした。JTE領域2およびガードリング部の各々のドーズ量を $1.35 \times 10^{13} \text{ cm}^{-2}$ とした。JTE領域2およびガードリング部の各々の厚みを $0.7 \mu\text{m}$ とした。

10

【0124】

JTE領域2の幅W1が $7 \mu\text{m}$ 、 $15 \mu\text{m}$ 、 $23 \mu\text{m}$ 、 $31 \mu\text{m}$ 、 $39 \mu\text{m}$ 、 $47 \mu\text{m}$ 、 $55 \mu\text{m}$ および $81 \mu\text{m}$ の場合におけるガードリング部の本数を、それぞれ16本、15本、14本、13本、12本、11本、10本、9本、8本とした。ガードリング部の各々の幅を $5 \mu\text{m}$ とした。JTE領域2と最内周のガードリング部3aとの間隔d1および隣接するガードリング部同士の間隔d2を $5 \mu\text{m}$ とした。

【0125】

上記8種類のMOSFETのモデルの電界強度分布を計算した。ウェル領域13の角部(位置A)の電界強度と、ウェル領域13とJTE領域2の角部との接点(位置B)の電界強度と、MOSFETの終端領域ORにおけるJTE領域2の外周側の角部(位置C)の電界強度と、最外周のガードリング部の外周側の角部(位置D)における電界強度とを計算し、各位置における電界強度を見積もった。電界強度分布計算におけるドレイン電圧を 3.3 kV とした。

20

【0126】

図18を参照して、電界強度のJTE2の幅W1をドリフト領域12の厚みTで除した比(百分率表示)依存性について説明する。位置Bにおける電界強度(図17の $E_{\text{body}/j_{te}}$)は、JTE2の幅W1をドリフト領域12の厚みTで除した比が約47%において高い値を示すが、当該比が50%以上になると、位置Bにおける電界強度が低くなる。また当該比が237%の場合、位置Dにおける電界強度(図17の $E_{\text{gr端}}$)は高い値を示すが、当該比が183%以下になると、位置Dにおける電界強度は小さくなる。つまり、当該比が50%以上183%以下の場合において、すべての位置における電界強度が小さくなることを確認された。

30

【0127】

また電界強度のJTE2の幅W1をドリフト領域12の厚みTで除した比が103%以上183%以下の場合において、位置Aにおける電界強度(図17の E_{pn})が、位置Aにおける電界強度以外の電界強度(図17の $E_{\text{body}/j_{te}}$ 、 $E_{j_{te端}}$ および $E_{\text{gr端}}$)以上になることが確認された。

【0128】

以上の結果より、電界強度のJTE2の幅W1をドリフト領域12の厚みTで除した比が、50%以上183%以下であることが好ましく、103%以上183%以下がより好ましく、65%以上170%以下であることが好ましいことが確認された。

40

【実施例2】

【0129】

本実施例では、ガードリング部の本数を変化させた場合における電界強度の変化を調査した。

【0130】

まず、実施の形態の図1に示したような構造を有し、JTE領域2の幅W1をドリフト領域12の厚みTで除した比を約65%で固定し、かつガードリング部の本数を変化させた6種類のMOSFETのモデルを準備した。ガードリング部の本数を2本、3本、6本、9本、12本、15本とした。ドリフト領域12の不純物濃度を $4.5 \times 10^{15} \text{ cm}^{-3}$

50

とした。ドリフト領域 1 2 の厚み T を $2.3 \mu\text{m}$ とした。ウェル領域 1 3 の不純物濃度を $5 \times 10^{16} \text{cm}^{-3}$ とした。ウェル領域 1 3 の厚みを $0.9 \mu\text{m}$ とした。JTE 領域 2 およびガードリング部の各々のドーズ量を $1.35 \times 10^{13} \text{cm}^{-2}$ とした。JTE 領域 2 およびガードリング部の各々の厚みを $0.7 \mu\text{m}$ とした。ガードリング部の各々の幅を $5 \mu\text{m}$ とした。JTE 領域 2 と最内周のガードリング部 3 a との間隔 d_1 および隣接するガードリング部同士の間隔 d_2 を $5 \mu\text{m}$ とした。

【0131】

上記 6 種類の MOSFET のモデルの電界強度分布を計算した。ウェル領域 1 3 の角部（位置 A）の電界強度と、ウェル領域 1 3 と JTE 領域 2 の角部との接点（位置 B）の電界強度と、MOSFET の終端領域 OR における JTE 領域 2 の外周側の角部（位置 C）の電界強度と、最外周のガードリング部の外周側の角部（位置 D）における電界強度とを計算し、各位置における電界強度を見積もった。電界強度分布計算におけるドレイン電圧を 2.2kV とした。

10

【0132】

図 19 を参照して、電界強度のガードリング本数（GR 本数）依存性について説明する。なお、ガードリング部が 2 本の MOSFET に関しては、位置 B における電界強度のみの結果を示す。ガードリング部の本数が 2 本の場合、位置 B における電界強度（図 19 の $E_{\text{body/jte}}$ ）は 3MV/cm 超と高い値を示すが、ガードリング部の本数が 3 本以上になると、位置 B における電界強度が急激に低減する。またガードリング部の本数が 6 本以上になると、位置 B における電界強度がさらに低減する。さらにガードリング部の本数が 6 本以上 15 本以下であれば、位置 A における電界強度（図 19 の E_{pn} ）が、位置 A における電界強度以外の電界強度（図 19 の $E_{\text{body/jte}}$ 、 $E_{\text{jte 端}}$ および $E_{\text{gr 端}}$ ）よりも高くなることが確認された。

20

【0133】

次に、実施の形態の図 1 に示したような構造を有し、JTE 領域 2 の幅 W_1 をドリフト領域 1 2 の厚み T で除した比を約 50% で固定し、かつガードリング部の本数を変化させた 6 種類の MOSFET のモデルを準備した。ガードリング部の本数を 2 本、3 本、6 本、9 本、12 本、15 本とした。ドリフト領域 1 2 の不純物濃度を $3.0 \times 10^{15} \text{cm}^{-3}$ とした。ドリフト領域の厚み T を $30 \mu\text{m}$ とした。ウェル領域 1 3 の不純物濃度を $5 \times 10^{16} \text{cm}^{-3}$ とした。ウェル領域 1 3 の厚みを $0.9 \mu\text{m}$ とした。JTE 領域 2 およびガードリング部の各々のドーズ量を $1.35 \times 10^{13} \text{cm}^{-2}$ とした。JTE 領域 2 およびガードリング部の各々の厚みを $0.7 \mu\text{m}$ とした。ガードリング部の各々の幅を $5 \mu\text{m}$ とした。JTE 領域 2 と最内周のガードリング部 3 a との間隔 d_1 および隣接するガードリング部同士の間隔 d_2 を $5 \mu\text{m}$ とした。

30

【0134】

上記 6 種類の MOSFET のモデルの電界強度分布を計算した。ウェル領域 1 3 の角部（位置 A）の電界強度と、ウェル領域 1 3 と JTE 領域 2 の角部との接点（位置 B）の電界強度と、MOSFET の終端領域 OR における JTE 領域 2 の外周側の角部（位置 C）の電界強度と、最外周のガードリング部の外周側の角部（位置 D）における電界強度とを計算し、各位置における電界強度を見積もった。電界強度分布計算におけるドレイン電圧を 3.3kV とした。

40

【0135】

図 20 を参照して、電界強度のガードリング本数（GR 本数）依存性について説明する。なお、ガードリング部が 2 本の MOSFET に関しては、位置 B における電界強度のみの結果を示す。ガードリング部の本数が 2 本の場合、位置 B における電界強度（図 20 の $E_{\text{body/jte}}$ ）は 3MV/cm 超と高い値を示すが、ガードリング部の本数が 3 本以上になると、位置 B における電界強度が急激に低減する。またガードリング部の本数が 6 本以上になると、位置 B における電界強度がさらに低減する。さらにガードリング部の本数が 12 本以上になると、位置 B における電界強度がさらに低減する。ガードリング部の本数が 12 本以上 15 本以下であれば、位置 A における電界強度（図 20 の E_{pn} ）が、位置 A に

50

おける電界強度以外の電界強度（図20の $E_{body/jte}$ 、 $E_{jte端}$ および $E_{gr端}$ ）よりも高くなることが確認された。

【0136】

以上の結果より、ガードリング部の本数は、3本以上15本以下であることが好ましく、6本以上15本以下であることがより好ましく、12本以上15本以下であればさらに好ましいことが確認された。

【実施例3】

【0137】

本実施例では、第2の電界緩和領域3（ガードリング部）を有しないMOSFETの電界強度分布を調査した。まず、ガードリング部を有さず、JTE領域2の幅 $W1$ を変化させた6種類のMOSFETのモデルを準備した。ドリフト領域12の不純物濃度を $4.5 \times 10^{15} \text{ cm}^{-3}$ とした。ドリフト領域の厚み T を $23 \mu\text{m}$ とした。ウェル領域13の不純物濃度を $5 \times 10^{16} \text{ cm}^{-3}$ とした。ウェル領域13の厚みを $0.9 \mu\text{m}$ とした。JTE領域2のドーズ量を $1.35 \times 10^{13} \text{ cm}^{-2}$ とした。JTE領域2の厚みを $0.7 \mu\text{m}$ とした。JTE領域2の幅 $W1$ を $7 \mu\text{m}$ 、 $15 \mu\text{m}$ 、 $23 \mu\text{m}$ 、 $31 \mu\text{m}$ 、 $39 \mu\text{m}$ および $47 \mu\text{m}$ とした。

【0138】

上記6種類のMOSFETのモデルの電界強度分布を計算した。ウェル領域13の角部（位置A）の電界強度と、ウェル領域13とJTE領域2の角部との接点（位置B）の電界強度と、MOSFETの終端領域ORにおけるJTE領域2の外周側の角部（位置C）の電界強度とを計算し、各位置における電界強度を見積もった。電界強度分布計算におけるドレイン電圧を 2.2 kV とした。

【0139】

図21を参照して、電界強度のJTE領域2の幅 $W1$ 依存性について説明する。JTE領域2の幅 $W1$ が $15 \mu\text{m}$ 以上 $55 \mu\text{m}$ 以下の領域において、位置Aにおける電界強度（図21の E_{pn} ）が、位置Cにおける電界強度（図21の $E_{jte端}$ ）よりも高くなることが確認された。また、JTE領域2の幅 $W1$ が $15 \mu\text{m}$ 以上 $55 \mu\text{m}$ 以下の領域において、位置Cにおける電界強度（図21の $E_{jte端}$ ）は 2.7 MV/cm 超と高い値を示す。一方、図17を参照すると、ガードリング部を有するMOSFETの位置Cにおける電界強度（図21の $E_{jte端}$ ）は 2.4 MV/cm 未満である。つまり、ガードリング部を有するMOSFETはガードリング部を有しないMOSFETよりも位置Cにおける電界強度を低減可能であることが確認された。

【実施例4】

【0140】

本実施例では、複数のガードリング部の各々の幅を変化させた場合における電界強度分布を調査した。まず、比較例として、JTE領域2と、複数のガードリング部を有し、複数のガードリング部の各々の幅が一定である構造を有するMOSFETを準備した。具体的には、比較例として、図3の構造を有するMOSFETを準備した。図22に係るMOSFETのJTE領域2の幅 $W1$ を $15 \mu\text{m}$ とした。第2の電界緩和領域3は9本のガードリング部を含んでいた。各ガードリング部の幅を $5 \mu\text{m}$ とした。JTE領域2と最内周のガードリング部の間隔 $d1$ を $3 \mu\text{m}$ とした。隣接するガードリング部の間隔 $d2$ を $3 \mu\text{m}$ とした。

【0141】

一方、本発明例として、JTE領域2と、複数のガードリング部を有し、複数のガードリング部の各々の幅が、炭化珪素基板10の中心から外周に向かって小さくなる構造を有するMOSFETを準備した。具体的には、本発明例として、図4の構造を有するMOSFETを準備した。図23に係るMOSFETのJTE領域2の幅 $W1$ を $15 \mu\text{m}$ とした。第2の電界緩和領域3は7本のガードリング部を含んでいた。ガードリング部の幅を、内周側から外周側に向かって、 $10 \mu\text{m}$ 、 $8 \mu\text{m}$ 、 $8 \mu\text{m}$ 、 $6 \mu\text{m}$ 、 $5 \mu\text{m}$ 、 $5 \mu\text{m}$ 、 5

10

20

30

40

50

μm とした。図24に係るMOSFETのJTE領域2の幅W1を $20\mu\text{m}$ とした。第2の電界緩和領域3は6本のガードリング部を含んでいた。ガードリング部の幅を、内周側から外周側に向かって、 $15\mu\text{m}$ 、 $10\mu\text{m}$ 、 $5\mu\text{m}$ 、 $5\mu\text{m}$ 、 $5\mu\text{m}$ 、 $5\mu\text{m}$ とした。図25に係るMOSFETのJTE領域2の幅W1を $20\mu\text{m}$ とした。第2の電界緩和領域3は6本のガードリング部を含んでいた。ガードリング部の幅を、内周側から外周側に向かって、 $15\mu\text{m}$ 、 $12\mu\text{m}$ 、 $8\mu\text{m}$ 、 $5\mu\text{m}$ 、 $5\mu\text{m}$ 、 $5\mu\text{m}$ とした。なお、JTE領域2と第2の電界緩和領域3との間隔d1を $3\mu\text{m}$ とした。隣接するガードリング部の間隔d2を $3\mu\text{m}$ とした。

【0142】

次に、比較例および本発明例の電界強度分布のシミュレーションを実施した。電界強度分布結果を図22～図25に示す。なお、図22～図25において同じ種類のハッチングは、同じ程度の電界強度を有することを示している。

10

【0143】

図22は比較例の電界強度分布であり、図23～図25は本発明例の電界強度分布である。横軸の数字は、炭化珪素基板10の第1の主面10aに平行な方向の位置を示し、縦軸の数字は、第1の主面10aの法線方向の位置を示す。縦軸および横軸の数字の単位は μm である。

【0144】

図22を参照して、比較例のJTE領域2と第2の電界緩和領域3との境界付近(図中の領域R)において等電界線が急激に変化している。たとえば、第1の主面10aから $8\mu\text{m}$ 離れた位置において、炭化珪素基板10の中心から外周に向かう方向(図22における右方向)に向かって、電界強度が急減に減少している。一方、図23～図25を参照すると、本発明例の第1の電界緩和領域2と第2の電界緩和領域3との境界付近(図中の領域R)において等電界線が緩やかに変化している。たとえば、第1の主面10aから $8\mu\text{m}$ 離れた位置において、炭化珪素基板10の中心から外周に向かう方向(図23～図25における右方向)に向かって、電界強度が緩やかに減少している。

20

【0145】

以上の結果により、複数のガードリング部の各々の幅が、炭化珪素基板10の中心から外周に向かって小さくなる構造を有するMOSFETは、複数のガードリング部の各々の幅が同じである構造を有するMOSFETと比べて、炭化珪素基板10の中心から外周に向かう方向における等電界線の変化が緩やかになることが確認された。なお、等電界線の変化が緩やかなMOSFETは、等電界線の変化が急激なMOSFETよりも、繰り返し電圧を印加する場合における耐圧寿命(信頼性)を向上することができる。

30

【0146】

今回開示された実施の形態および実施例はすべての点で例示であって、制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなく特許請求の範囲によって示され、特許請求の範囲と均等の意味、および範囲内でのすべての変更が含まれることが意図される。

【符号の説明】

【0147】

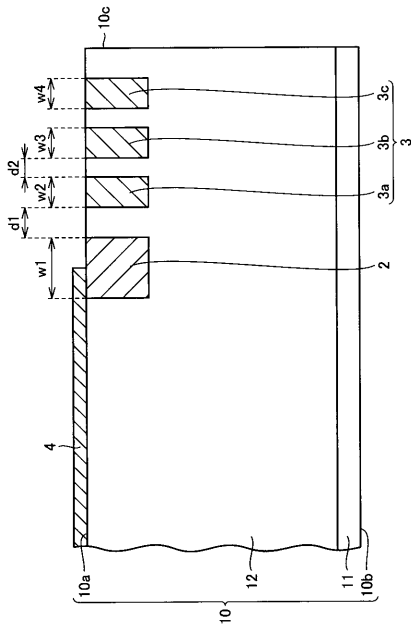
1 MOSFET、2 第1の電界緩和領域(JTE領域)、2b 第1のp型領域、2c 第2のp型領域、3 第2の電界緩和領域、3a～3i, 3a～3g, 3a～3b, 3a, 3i ガードリング部、4 ショットキー電極(電極)、4a 第1の領域、4b 第2の領域、4c 外周、7 半導体素子、10 炭化珪素基板、10a 第1の主面、10b 第2の主面、10c 端部、11 n^+ 基板、12, 212 ドリフト領域、13, 213 ウェル領域、14 ソース領域、15 絶縁膜、15a ゲート絶縁膜部、15b 絶縁膜部、16 ソース電極、17 p型領域、18, 202 p^+ 領域、20 ドレイン電極、27, 227 ゲート電極、30 オーミック電極、40, 50 裏面保護電極、60, 65 パッド電極、70 保護膜、71, 221 層間絶縁膜、208 エミッタコンタクト電極、211 コレクタ層、212 ドリフト層、214 工

40

50

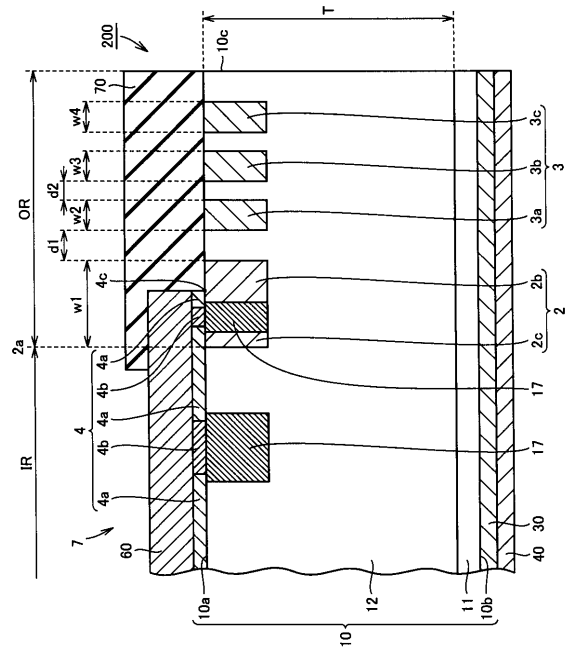
【 図 1 1 】

図11



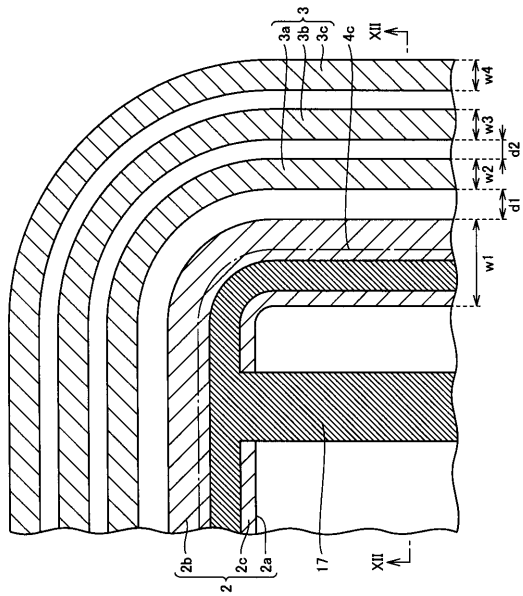
【 図 1 2 】

図12



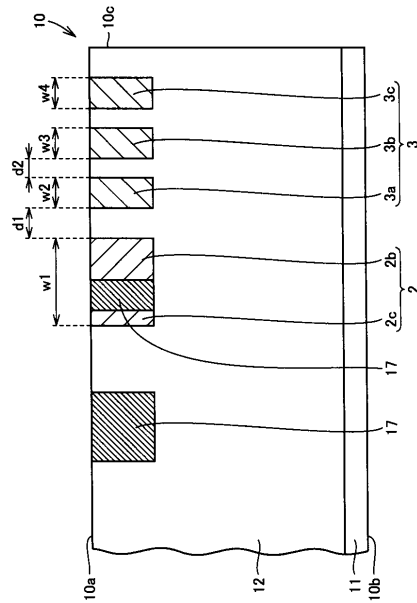
【 図 1 3 】

図13

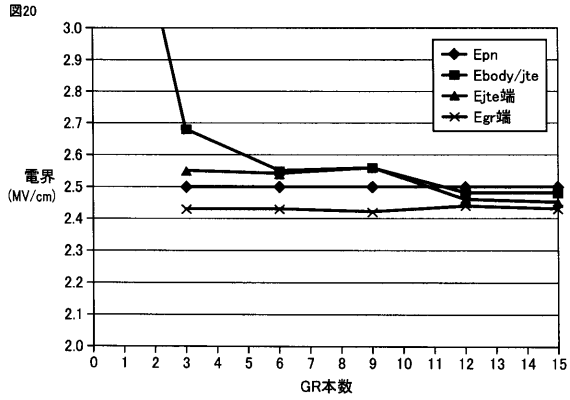


【 図 1 4 】

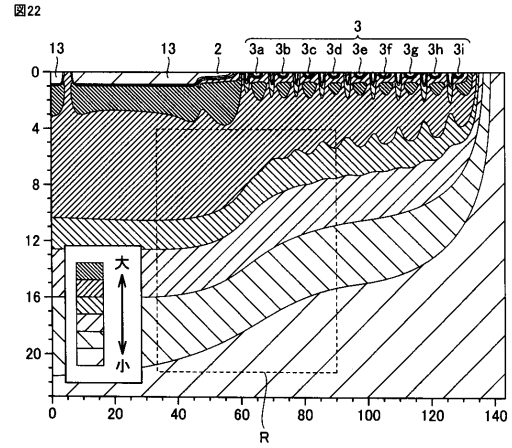
図14



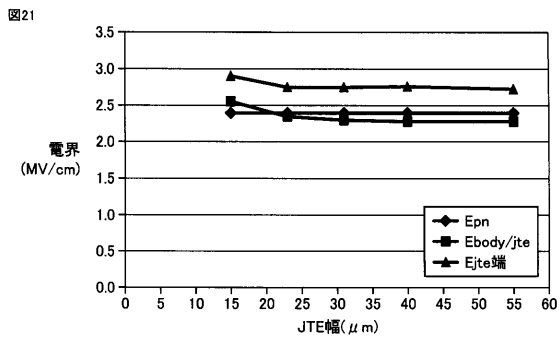
【 図 2 0 】



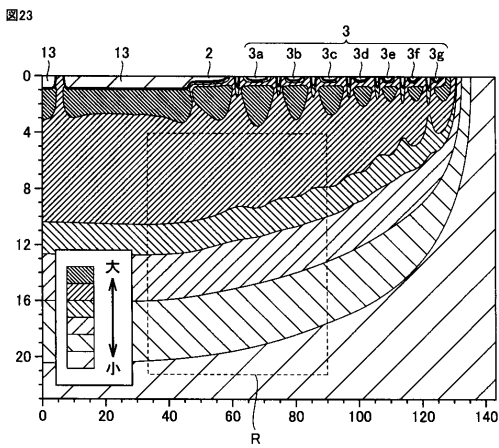
【 図 2 2 】



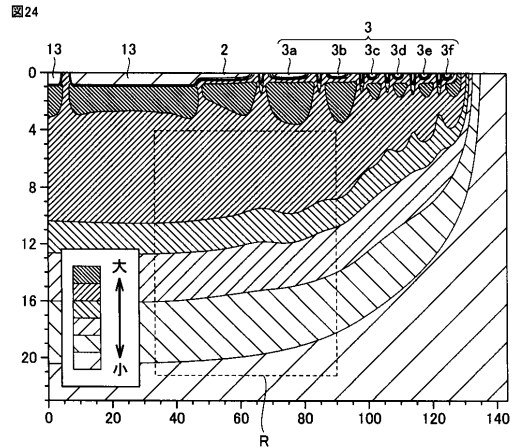
【 図 2 1 】



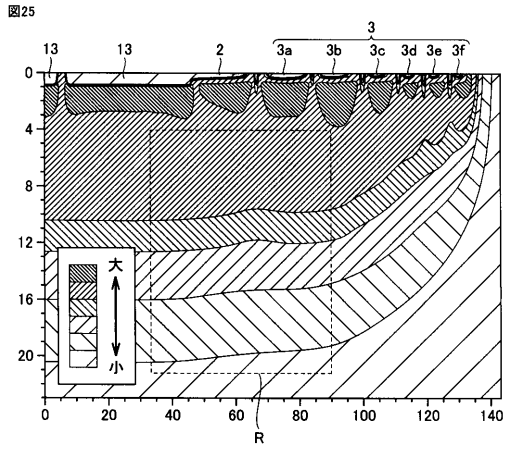
【 図 2 3 】



【 図 2 4 】



【 図 25 】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
<i>H 0 1 L 29/868 (2006.01)</i>	H 0 1 L 29/06	3 0 1 G
<i>H 0 1 L 29/861 (2006.01)</i>	H 0 1 L 29/91	F
<i>H 0 1 L 29/739 (2006.01)</i>	H 0 1 L 29/91	D
	H 0 1 L 29/78	6 5 5 G
	H 0 1 L 29/06	3 0 1 V

Fターム(参考) 4M104 AA03 BB01 BB02 BB05 BB09 BB14 BB16 BB18 BB21 BB30
BB40 DD26 DD79 DD81 FF02 FF13 FF32 FF35 GG02 GG03
GG09 HH18 HH20