



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

233 922

(11)

(B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 10 08 83
(21) (PV 5878-83)

(51) Int. Cl.³ H 03 K 13/22

(40) Zveřejněno 13 08 84
(45) Vydáno 01 03 87

(75)

Autor vynálezu EYSSELT MILOŠ ing., BRNO

(54)

Modulový řez dvojkové děličky

Vynález se týká modulového řezu dvojkové děličky.

Dosud známé způsoby operace dvojkového dělení jsou řešeny v zařízeních pro zpracování údajů mikroprogramovým nebo programovým způsobem. Mikroprogramové nebo programové řešení dvojkového dělení je možné při použití dvojkové děličky řešené technickými prostředky. Dosud známé způsoby realizací dvojkových děliček řešených technickými prostředky nejsou vzhledem k zobrazení zpracovávaných údajů univerzální.

Výše uvedené nedostatky jsou odstraněny modulovým řezem dvojkové děličky podle vynálezu, jehož podstatou je, že blok nonekvivalence je připojen prvním vstupem na první vnější vstup, druhým vstupem na druhý vnější vstup, nonekvivalentním výstupem na první vnější výstup a ekvivalentním výstupem na druhý vnější výstup. Paralelní dvojková sčítačka je připojena prvním vstupem nejvyššího řádu na třetí vnější vstup, druhým vstupem nejvyššího řádu na čtvrtý vnější vstup, prvním vstupem nižších řádů na pátý vnější vstup, druhým vstupem nižších řádů na výstup nižších multiplexorů bloku dvouvstupových multiplexorů, vstupem přenosu nejnižšího řádu na šestý vnější vstup, výstupem přenosu nejvyššího řádu na třetí vnější výstup, výstupem nejvyššího součtu na čtvrtý vnější výstup, výstupem negovaného nejvyššího součtu na pátý vnější výstup a výstupem nižších součtů na šestý vnější výstup. Blok invertorů je připojen svým vstupem na sedmý vnější vstup a svým výstupem na inverzní vstup bloku dvouvstupových multiplexorů. Blok dvouvstupových multiplexorů je připojen přímým vstupem na sedmý vnější vstup, inverzním vstupem na výstup bloku invertorů, adresovým vstupem na osmý vnější vstup, výstupem nejvyššího multiplexoru na sedmý vnější výstup a výstupem nižších multiplexorů na druhý

vstup nižších řádů paralelní dvojkové sčítačky.

233 922

Na připojeném obr. 1 je znázorněn příklad uspořádání modulového řezu dvojkové děličky podle vynálezu. Modulový řez dvojkové děličky podle vynálezu je rozdělen do funkčních bloků, které jsou připojeny k vnějším vstupům a vnějším výstupům a vzájemně propojeny signálovými spoji. Funkční bloky jsou rozmístěny tak, aby logicky souvisely s postupem signálů tímto modulovým řezem dvojkové děličky podle vynálezu.

Jako příklad modulového řezu dvojkové děličky podle vynálezu poslouží uspořádání takového modulového řezu dvojkové děličky (obr. 1), kde blok nonekvivalence 1 je připojen prvním vstupem 11 na první vnější vstup 501, druhým vstupem 12 na druhý vnější vstup 502, nonekvivalentním výstupem 13 na první vnější výstup 509 a ekvivalentním výstupem 14 na druhý vnější výstup 510. Paralelní dvojková sčítačka 2 je připojena prvním vstupem nejvyššího řádu 21 na třetí vnější vstup 503, druhým vstupem nejvyššího řádu 22 na čtvrtý vnější vstup 504, prvním vstupem nižších řádů 23 na pátý vnější vstup 505, druhým vstupem nižších řádů 24 na výstup nižších multiplexorů 45 bloku dvouvstupových multiplexorů 4, vstupem přenosu nejnižšího řádu 25 na šestý vnější vstup 506, výstupem přenosu nejvyššího řádu 26 na třetí vnější výstup 511, výstupem nejvyššího součtu 27 na čtvrtý vnější výstup 512, výstupem negovaného nejvyššího součtu 28 na pátý vnější výstup 513 a výstupem nižších součtů 29 na šestý vnější výstup 514. Blok invertorů 3 je připojen vstupem 31 na sedmý vnější vstup 507 a výstupem 32 na inverzní vstup 42 bloku dvouvstupových multiplexorů 4. Blok dvouvstupových multiplexorů 4 je připojen přímým vstupem 41 na sedmý vnější vstup 507, inverzním vstupem 42 na výstup 32 bloku invertorů 3, adresovým vstupem 43 na osmý vnější vstup 508, výstupem nejvyššího multiplexoru 44 na sedmý vnější výstup 515 a výstupem nižších multiplexorů 45 na druhý vstup nižších řádů 24 paralelní dvojkové sčítačky 2.

Konkrétní provedení modulového řezu dvojkové děličky podle vynálezu je závislé na zvoleném počtu paralelně zpracovávaných

dvojkových řádů dělence a dělitele. Počet řádů dělence a dělitele se projeví tak, že při volbě sedmého vnějšího vstupu, přímého vstupu a inverzního vstupu bloku dvouvstupových multiplexorů a vstupu a výstupu bloku invertorů v počtu N , je pátý vnější vstup, první vstup nižších řádů, druhý vstup nižších řádů a výstup nižších součtů paralelní dvojkové sčítačky a výstup nižších multiplexorů bloku dvouvstupových multiplexorů v počtu $N-1$. Když je sedmý vnější vstup 507, přímý vstup 41, inverzní vstup 42, vstup 31 a výstup 32 realizován N krát, pak je pátý vnější vstup 505, první vstup nižších řádů 23, druhý vstup nižších řádů 24, výstup nižších součtů 29, šestý vnější výstup 514 a výstup nižších multiplexorů 45 realizován $N-1$ krát.

Uspořádáním modulového řezu dvojkové děličky podle vynálezu tak, že je sestaven z bloku nonekvivalence, paralelní dvojkové sčítačky, bloku invertorů a bloku dvouvstupových multiplexorů se zajistí, že lze z modulových řezů dvojkové děličky podle vynálezu sestavovat jednoduše dvojkové děličky pro libovolnou šířku dělence, dělitele i podílu zobrazeného buď vpřímém dvojkovém kódu a nebo ve dvojkovém doplňkovém kódu do dvou. Tím se zajistí, že operace dělení proběhne asynchronně v děličce realizované technickými prostředky, a to bez zbytečných zdržení, která jsou funkční při dělení řešeném mikroprogramovým nebo programovým způsobem. Tak je dosaženo další zrychlení činnosti číslicových zařízení pro automatické zpracování údajů a modularity při realizaci dvojkových děliček technickými prostředky.

Modulový řez dvojkové děličky podle vynálezu lze upravit pro využití ve dvojkových násobičkách realizovaných technickými prostředky pro zobrazení násobence i násobitele v přímém kódu nebo ve dvojkovém doplňkovém kódu do dvou úpravou bloku dvouvstupových multiplexorů s jedním adresovým vstupem na blok čtyřvstupových multiplexorů se dvěma adresovými vstupy. Možnost využití upraveného modulového řezu pro dvojkové děličky realizované technickými prostředky zůstane zachována.

PŘEDMĚT VYNÁLEZU

233 922

Modulový řez dvojkové děličky, vyznačený tím, že blok nonekvivalence /1/ je připojen prvním vstupem /11/ na první vnější vstup /501/, druhým vstupem /12/ na druhý vnější vstup /502/, nonekvivalentním výstupem /13/ na první vnější výstup /509/ a ekvivalentním výstupem /14/ na druhý vnější výstup /510/, zatímco paralelní dvojková sčítačka /2/ je připojena prvním vstupem nejvyššího řádu /21/ na třetí vnější vstup /503/, druhým vstupem nejvyššího řádu /22/ na čtvrtý vnější vstup /504/, prvním vstupem nižších řádů /23/ na pátý vnější vstup /505/, druhým vstupem nižších řádů /24/ na výstup nižších multiplexorů /45/ bloku dvouvstupových multiplexorů /4/, vstupem přenosu nejnižšího řádu /25/ na šestý vnější vstup /506/, výstupem přenosu nejvyššího řádu /26/ na třetí vnější výstup /511/, výstupem nejvyššího součtu /27/ na čtvrtý vnější výstup /512/, výstupem negovaného nejvyššího součtu /28/ na pátý vnější výstup /513/ a výstupem nižších součtů /29/ na šestý vnější výstup /514/, přičemž blok invertorů /3/ je připojen vstupem /31/ na sedmý vnější vstup /507/ a výstupem /32/ na inverzní vstup /42/ bloku dvouvstupových multiplexorů /4/, zatímco blok dvouvstupových multiplexorů /4/ je připojen přímým vstupem /41/ na sedmý vnější vstup /507/, inverzním vstupem /42/ na výstup /32/ bloku invertorů /3/, adresovým vstupem /43/ na osmý vnější vstup /508/, výstupem nejvyššího multiplexoru /44/ na sedmý vnější výstup /515/ a výstupem nižších multiplexorů /45/ na druhý vstup nižších řádů /24/ paralelní dvojkové sčítačky /2/.

1 výkres

