

公告本

303479

775838

申請日期	85 年 7 月 20 日
案 號	85108865
類 別	140121/00 Int. Cl ⁶

A4
C4

303479

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	半導體裝置的製造方法
	英 文	
二、發明 創作人	姓 名	(1) 山崎舜平 (2) 小山潤
	國 籍	(1) 日本 (2) 日本 (1) 日本國東京都世田谷區成城四-一〇-二〇
	住、居所	(2) 日本國神奈川縣相模原市西橋本一-四-二三
三、申請人	姓 名 (名稱)	(1) 半導體能源研究所股份有限公司 株式会社半導体エネルギー研究所
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國神奈川縣厚木市長谷三九八
	代 表 人 姓 名	(1) 山崎舜平

裝

訂

線

303479

(由本局填寫)

承辦人代碼：
大類：
I P C 分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期：

案號：

，☐有 ☐無主張優先權

日本
日本

1995 年 8 月 4 日 7-219532
1996 年 5 月 8 日 8-139456

☒無主張優先權
☒有主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明 (1)

發明背景

1 . 發明領域

在本說明書中揭示之本發明係關於一種積體薄膜半導體裝置之製造方法。在此說明書中所揭示之本發明亦關於一種活性矩陣型液晶顯示器之製造方法。

2 . 發明背景

活性矩陣型液晶顯示器是習知的。它們之構造為一薄膜電晶體提供在每個圖素電極上，而圖素電極提供在一玻璃基底上以數十萬之數目。提供在每個圖素電極上之薄膜電晶體具有控制電荷流進和流出圖素電極之功能。

另一個已知之構造為用以驅動提供在圖素電極上之薄膜電晶體之薄膜電晶體電路（亦稱為「驅動電路」）乃整合在相同的玻璃基底上。此即稱為「週邊積體活性矩陣型」。

在此種活性矩陣型液晶顯示器之製造中，會碰到的現象為整合在玻璃基底上之一種薄膜電晶體會發生故障。

發明人主動的研究此一問題並發現下列之情事。

當製造例如活性矩陣型液晶顯示器之積體半導體裝置時，絕緣膜和接線之形成使用電漿 C V D 法或濺鍍法和電漿蝕刻。

圖 3 概略的顯示在電漿產生時，介於離子之能量（相對值）和數量（相對值）間之關係。通常，會有相當高的能量離子在電漿中而對基底造成損壞，如圖 3 之斜線所示

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

錄

五、發明說明 (2)

此時，所呈現之事實為使用電漿 C V D 或濺鍍而形成之絕緣膜並不好，且具有之耐壓如數十伏特或更低。再者，由於基底由玻璃或石英製成（其為實質完全的絕緣），因此會有基底極容易充電之問題。

圖 4 (B) 為薄膜電晶體之一製造步驟，其使用圖 4 (A) 之符號表示。圖 4 (B) 顯示中間層絕緣膜 3 1 之形成之狀態。

在此例中，假設中間層絕緣膜 3 1 以電漿 C V D 或濺鍍形成。無庸贅言的是具有如圖 3 所示高能量之離子在膜之形成時會碰撞樣本。

通常，源 (S) 電極和閘 (G) 電極並不互相連接。因此，在使用電漿之步驟時，會發生，雖然僅是局部的，介於源 (S) 電極和閘 (G) 電極間之電位差異瞬間到達數十伏至數百伏之值之範圍。

源和閘電極之間具有一活性層 3 2 和一閘絕緣膜 3 0。使用 C V D 或濺鍍形成之閘絕緣膜 3 0 之耐電壓為數十伏或更小。因此，在上述之狀況中，閘絕緣膜 3 0 會受到電性的破壞。

如此會引起薄膜電晶體故障。此問題可藉由源和閘電極電短路而解決，亦即，在形成中間層絕緣膜 3 1 時，它們具有相同的電位。但是，在裝置最後操作之狀態中，源和閘電極不能直接的電短路。

在考慮上述之狀況，在圖 4 (B) 所示之處理中，源

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

以

五、發明說明 (3)

和閘電極必需電短路直到最終階段，而後，它們必需斷開。

發明概要

本發明之目的乃在提供一種技術，其可解決在製造步驟時，如圖 4 (B) 所示，對半導體裝置之破壞之問題。特別的，本發明之目的乃在提供一種技術，其可免於半導體裝置在製造時受到施加電漿之脈衝型高電位之破壞（例如高電位局部和瞬間的施加）。

如圖 2 (A) 至 2 (E) 中之製造步驟之特殊例所示，在此說明書中所揭示之本發明在一觀點上之特徵在於包括之步驟為：

形成一第一接線 1 0 0 延伸至一薄膜電晶體之一閘電極 1 0 1 ；

形成一第一絕緣膜 2 0 6 在第一接線上；

在絕緣膜上形成一第二接線 1 0 2 連接至薄膜電晶體之一源極區域 2 1 1 ；

在第二接線上形成一第二絕緣膜 2 0 7 ；和

在第二絕緣膜上形成一導電圖樣 2 1 4 ，和其中：

第一和 / 或第二接線具有一放電圖樣（見圖 6 (A) 和 6 (B) 或見圖 7 ）；和

第一和 / 或第二接線和導電圖樣之形成同時的切刻（見圖 2 (E) ）。

在上述之構造中，每個絕緣膜可具有多層構造。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

水

五、發明說明 (4)

如圖 2 (A) 至 2 (E) 之製造步驟之特殊例所示，依照本發明之另一觀點，本發明提供一種活性矩陣電路之製造方法 (見圖 1)，其特徵在於包含之步驟為：

形成第一多數接線 1 0 1；

形成第一絕緣膜 2 0 6 在第一多數接線上；

在第一絕緣膜上以晶格形式形成第二多數接線 1 0 2 正交於第一多數接線；

形成一第二絕緣膜 2 0 7 在第二多數接線上；和

形成一導電圖樣 2 1 4 在第二絕緣膜上，和其中

第一和 / 或第二接線具有一放電圖樣 (見圖 6 (A) 和 6 (B) 或圖 7)；和

第一和 / 或第二接線和導電圖樣之形成同時切割 (見圖 2 (E))。

本發明之另一觀點之特徵在於，其包括之步驟為：

形成構成活性矩陣電路之接線；

在接線上形成一絕緣膜；和

形成一導電圖樣在絕緣膜上，且其中：

該接線包括一放電圖樣；和

當導電圖樣形成時，包括放電圖樣之接線受到切割。

例如，當如圖 6 (A)，6 (B) 和圖 7 所示之放電圖樣形成在短路接線中，如圖 1 之 1 0 0 和 1 1 4 所示，且在圖素電極 2 1 4 之定圖樣時 (見圖 2 (A) 至 2 (E)) 和以矩陣型式提供之接線 1 0 1 和 1 0 2 斷開時，則可使用此種構造。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (5)

本發明之另一觀點之特徵在於，其包括之步驟為：

形成構成活性矩陣電路之接線；

形成一絕緣膜在接線上；和

形成一導電圖樣在絕緣膜上，和其中：

接線包括一放電圖樣；和

當導電圖樣形成時，放電圖樣和構成活性矩陣電路之接線分離。

在圖 2 (A) 至 2 (E) 所示之處理中，用以互相連接接線之接線 1 0 0 和 1 1 4 在圖素電極 2 1 4 定圖樣時受到切割，如此允許接線在圖素電極定圖樣之前短路。

如此可抑制在使用電漿處理之製造下，施加局部高壓至半導體裝置之一絕緣膜之現象。再者，在圖素電極之定圖樣時，藉由使用一步驟以切割此一短路部份，即可使用不會增加製造步驟之構造。

此外，藉由提供如圖 6 和 7 所示之放電圖樣在用以互相連接接線之接線 1 0 0 和 1 1 4 上時，可降低或消除在製造步驟之中間，經由接線 1 0 0 和 1 1 4 而傳播之脈衝電位。

圖式簡單說明

圖 1 概略的顯示一種活性矩陣型液晶顯示裝置之構造

圖 2 (A) 至 2 (E) 為活性矩陣型電路之製造步驟

。

圖 3 為在電漿中離子能量之分佈。

五、發明說明 (6)

圖 4 (A) 和 4 (B) 為習知薄膜電晶體之製造步驟

。

圖 5 (A) 和 5 (B) 為活性矩陣型電路之例。

圖 6 (A) 和 6 (B) 為依照本發明之一實施例之放電圖樣之例。

圖 7 為依照本發明之一接線圖樣。

圖 8 (A) 至 8 (D) 為使用本發明之電光學裝置之應用例。

較佳實施例之詳細說明

以下說明本發明之第一實施例。

在圖 1 所示之活性矩陣型液晶顯示器之構造中，本實施例之特徵在於當圖素電極（圖 1 未顯示）定圖樣時，1 0 3，1 0 4 和 1 0 5 所示之區域以蝕刻移除。

本實施例將參考斷開一源極接線和一閘極接線而說明，該源極接線和閘極接線已提供在活性矩陣區域中，且在最後階段互相連接。

圖素電極形成在最後步驟，且在圖素電極形成之後無任何使用電漿之製造步驟。因此，形成圖素電極之步驟可視為使用電漿之最後步驟。

在本實施例中，在圖素電極形成之前，一閘極接線 1 0 1 和一源極接線 1 0 2 以一由 1 0 9 表示之短路接線保持連接（此接線和閘極接線 1 0 1 之形成同時形成）。

亦即，源極和閘極接線電短路直到使用電漿之最後步

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明 (7)

驟。亦即，薄膜電晶體 1 0 6 之閘極電極 1 1 0 和源極電極 2 1 1 連接且在相同電位上。

如此可避免，即使當局部高電壓無可避免的施加時，數十伏或更大之電壓施加於薄膜電晶體 1 0 6 之閘極電極 1 1 0 和源極電極 2 1 1 之間（其用以由圖 1 中之源極接線 1 0 2 延伸）。因此可防止在薄膜電晶體之製造時，由於使用電漿而感應之高電位脈衝對薄膜電晶體之破壞。

在用於圖素電極之 I T O 沉積後，在定圖樣圖素電極以完成電路時，這些接線在由 1 0 3 所指示之區域中斷開。圖 1 顯示以 1 0 4 和 1 0 5 所指示之其它區域，其中此種切割同時執行。

圖 1 所示之構造使閘極線 1 0 1 和 1 1 2 和源極線 1 0 2 和 1 0 8 在製造過程時位在相同的電位。再者，其可解決在使用電漿或電放電之膜形成步驟或蝕刻步驟時，產生不必要之電位差異之問題。

圖 2 (A) 至 2 (E) 為圖 1 所示之構造之製造步驟之截面圖。圖 2 (A) 至 2 (E) 為在圖 1 之構造中，薄膜電晶體 1 0 6 之截面製造流程圖；沿 A - A ' 線截取，由閘極線 1 0 1 延伸之短路線 1 0 0 之截面之製造流程圖；和在相同圖式中由 B - B ' 線截取，由源極線 1 0 2 延伸之短路線 1 1 4 之截面之製造流程圖。（實際所得之截面構造和圖 2 (A) 至 2 (E) 有所不同）。

以下說明如圖 2 (A) 至 2 (E) 所示之製造步驟。如圖 2 (A) 所示，一氧化矽膜（未顯示）首先形成當成

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明 (8)

一基底塗層膜在一玻璃基底 2 0 1 上。如圖 1 所示之構造提供在玻璃基底 2 0 1 上。

其次，使用電漿 C V D 或低壓熱 C V D 形成 5 0 0 Å 厚之非晶矽膜。非晶矽膜之厚度約為 2 0 0 - 2 0 0 0 Å。而後，在膜上執行一雷射光束照射和 / 或熱處理。結果，可提供一種結晶矽膜（未顯示於圖中）。

結晶矽膜（未顯示）定圖樣以形成由圖 2 (A) 之 2 0 2 所指示之薄膜電晶體之活性層。其次，當成閘絕緣膜之氧化矽膜 2 0 3 使用電漿 C V D 或濺鍍而形成約 1 0 0 0 Å 之厚度。

使用濺鍍形成厚約 5 0 0 0 Å 之包括 0 . 2 % 重量百分比之銦之鋁膜（未顯示）。在鋁膜中含有非常少量的銦之理由是爲了抑制小丘或鬚之產生。小丘或鬚爲甫形或棘形突起，其乃因鋁之異常成長之結果。

其次，鋁膜定圖樣以形成一閘極接線 1 0 1 和由閘極接線 1 0 1 延伸之一閘電極 1 1 0。再者，由閘極接線 1 0 1 延伸之短路接線 1 0 0 同時形成。

雖然圖 2 中未顯示，在圖 1 中以 1 0 9 表示之短路接線亦同時在此步驟中形成。閘極接線 1 0 1，由閘極接線延伸之閘極電極 1 1 0，和由閘極接線 1 0 1 延伸之短路接線 1 0 0 視爲“第一層接線”。

再者，如以下參考另一實施例之詳細說明，短路接線具有一圖樣用以降低或消除已放電或感應之高電位脈衝。

其次，在電解液中以閘電極 1 1 0，閘極接線 1 0 1

五、發明說明 (9)

，和由閘極接線延伸之短路接線 1 0 0 和 1 0 9 當成陽極而執行陽極化。在此步驟中，可形成如圖 2 (A) 所示之陽極氧化膜 2 0 4 和 2 0 5 。

陽極氧化膜可形成 5 0 0 Å 之厚度。陽極氧化膜可有效的抑制小丘之產生以避免發生介於接線間之短路。因此，可獲得如圖 2 (A) 所示之狀態。此氧化步驟使用包括以氨水中和之 3 % 酒石酸之乙二醇溶液當成電解液。再者，在電解液中使電流流經分別當成陽極和陰極之鋁圖樣和鉑而執行電解。

而後，雜質離子植入如圖 2 (A) 所示之狀態中。在此步驟中，源極區域 2 1 1 和汲極區域 2 1 2 以自我對齊方式形成 (圖 2 (B)) 。

其次，氧化矽膜或氮化矽膜使用電漿 C V D 形成 5 0 0 0 Å 厚之第一中間層絕緣膜 2 0 6 。含有氧化矽膜和氮化矽膜或氮氧化矽膜之疊層膜可使用當成此中間層絕緣膜。氮氧化矽膜使用 T E O S 氣體和 N₂O 氣體之混合氣體當成氣體源以電漿 C V D 形成。

其次，使用乾蝕刻形成接觸孔。由於可使用各向異性蝕刻之乾蝕刻方法之改進，近年來之趨勢為更精細之圖樣。

即使使用乾蝕刻，在製造時之薄膜電晶體可免於由電漿所感應之高電位脈衝所破壞。此乃因為接線和電極互相連接以使具有相同之電位，其可使大的電位差異免於施加至閘絕緣膜 2 0 3 。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (10)

其次，含有鈦膜，鋁膜，和其它鈦膜之三層膜形成當成第二層接線。使用濺鍍形成三層膜。在此例中，亦可抑制介於接線和電極間之大電位差異之產生。

而後，如上述形成之三層膜定圖樣以形成源極接線 1 0 2 (其延伸以接觸源極區域 2 1 1)，一汲極電極 1 1 3，和由源極接線 1 0 2 延伸之短路接線 (圖 2 (B))。

這些電極和接線視為“第二層接線”。提供有電極和接線之位置間之關係如圖 1 所示。

由圖 2 (A) 至 2 (E) 可知，由閘極接線 1 0 1 延伸之閘極電極 1 1 0 (見圖 1) 和由閘極接線 1 0 1 延伸之接線 1 0 0 所形成之第一層接線 (由圖 1 之實線所指示) 在水平方向上由中間層絕緣膜 2 0 6 而和以源極接線 1 0 2 和由源極接線延伸之接線 1 1 4 所形成之第二層接線 (由圖 1 之虛線所示) 分離。但是，這些接線經由如圖 1 所示之短路接線 1 0 9 而互相連接 (短路)。

在獲得如圖 2 (B) 所示之狀態後，形成氧化矽膜或氮化矽膜當成第二層絕緣膜 2 0 7 (圖 2 (C))。

當形成第二層絕緣膜 2 0 7 時，所有的電極和接線短路。因此，可抑制在電漿之影響下，不必要電位差異之產生。再者，亦可抑制由於高電壓之局部應用而產生之缺點。

再者，形成用以連接汲極電極 1 1 3 和稍後形成之圖素電極 2 1 4 (見圖 2 (E)) 之接觸孔 2 0 8。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (11)

再者，同時形成一開口 2 0 9 以暴露由閘極接線 1 0 1 延伸之短路接線 1 0 0，該閘極接線 1 0 1 為在區域 1 0 5 上之第一層接線（見圖 2（E））。

再者，同時形成開口 2 1 0 以暴露由源極接線 1 0 2 延伸之短路接線 1 1 4，該源極接線 1 0 2 為在區域 1 0 4 上之第二層接線（見圖 2（E））。

開口亦使用乾蝕刻形成。在此步驟中，由於接線和電極互相連接在相同電位上，其亦可抑制在介於接線和電極間由電漿感應之高電位之影響。

由圖 2（C）可知，延伸至第一層接線 1 0 0 和第二層接線 1 1 4 之開口 2 0 9 和 2 1 0 在此步驟中同時形成。

其次，使用濺鍍以形成一 I T O 膜 2 1 3，用以形成一圖素電極。在圖素電極形成時，由於接線和電極在相同的電位上，亦可抑制在電漿之影響下，介於接線和電極間不必要電位差異之產生。

特別的，重要的是絕緣膜和圖素電極形成在一狀態中，其中由圖 1 之實線所示之第一層接線之閘極接線 1 0 1 和由虛線所示之第二層接線 1 0 2 互相短路。在此狀態中之膜形成（和乾蝕刻亦可抑制介於第一層接線和第二層接線間之高電壓應用。

結果，可防止例如高電壓施加於上述閘極接線 1 1 0 和活性層 2 0 2 間之狀況。亦即，可抑制高電壓施加至閘絕緣膜 2 0 3。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明 (12)

其次，ITO膜213定圖樣。此圖樣亦由乾蝕刻執行。接線100和114以乾蝕刻移去圖2(E)中所示之區域105和104。

因此，接線100和114在區域105和104上切割(斷開)。

圖2(E)為接線在區域104和105斷開之狀態。再者，在區域103中，接線109之斷開亦同時在相同的步驟上執行。

因此，可完成活性矩陣型液晶顯示裝置之圖素區域之電路構造。

在本實施例中，在使用電漿之步驟時，不需要作用成天線之接線和電極電短路在相同的電位。因此，即使當以電漿感應局部之高電位時，亦可使薄膜電晶體在製造時免於受到高電壓之破壞。

以下說明本發明之第二實施例。

本實施例係關於一種活性矩陣型液晶顯示器之圖素區域之構造，其具有如圖5(B)所示之等效電路。圖5(A)為具有如圖5(B)所示之等效電路之構造。

在圖5(A)和5(B)中，502為一閘極接線和501為一源極接線。閘極和源極接線以矩陣之型式存在，且以512，513和514所指示之圖素電極提供在由兩接線所包圍之區域中。

在圖5(A)中所示之構造，閘極接線502和電容接線503橫跨一半導體層(活性層)，該半導體層以、

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

頁

五、發明說明 (13)

M' 型式存在以提供如圖 5 (B) 所示之電路構造。

由圖 5 (B) 可知，如果閘極接線 5 0 2 和電容接線 5 0 3 直接連接時，電路無法操作。再者，閘極接線 5 0 2 和電容接線 5 0 3 以定圖樣相同導電膜而形成。

在此種構造中，當絕緣膜覆蓋接線時，高電壓可能施加至閘接線 5 0 2 和電容接線 5 0 3 之間。由圖 5 (B) 可知，如果高電壓施加於閘極接線 5 0 2 和電容接線 5 0 3 之間時，會破壞形成在它們之間之一電晶體和一 MOS 電容。

考慮上述之情形，本實施例之構造之特徵在於閘極接線 5 0 2 和電容接線 5 0 3 連接在以 5 0 0 表示之區域上，直到形成一圖素電極 5 1 3 (此圖素電極形成在最後階段)，且當圖素電極 5 1 3 定圖樣時，區域 5 0 0 受到切割。

此種構造可使高電壓免於施加至閘極接線 5 0 2 和電容接線 5 0 3，而不會增加製造步驟。

以下說明本發明之第三實施例。

本實施例係關於如圖 1 所示之短路接線 1 0 9，1 1 4 和 1 0 0 之圖樣之形狀。

由電漿感應之脈衝型高電位由局部異常放電所產生。因此，感應脈衝型高電位之位置並非特定局部區域。

在具有大區域之活性矩陣區域之例中，以電漿感應之高電位脈衝可在接線上傳播一段長的距離。在此例中，即使接線和電極在相同的電位上，亦有如上所述之高電位脈

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (14)

衝傳播之影響。

本實施例係關於在此例中有效之構造。在本實施例中，如圖 6 (A) 和 6 (B) 所示之圖樣形成在部份的短路接線 1 0 9，1 1 4 和 / 或 1 0 0 中。

圖 6 (A) 為用以降低或減少高電位脈衝波型之接線圖樣，其經由一線 6 0 1 而傳播在由 6 0 2 所示之區域上。此種接線圖樣之目的乃在使在區域 6 0 2 上之脈衝之碰撞，藉以在該區域中放電能量。

提供如圖 6 (A) 所示之圖樣在短路接線以 1 0 0 和 1 1 4 表示之中間或端部是有效的。亦即，其可有效的避免高電位脈衝在線上來去數次。

圖 6 (B) 為包括用以放電之圖樣 6 0 5 之線 6 0 4，其由具有接地電位之實切割線 6 0 3 所圍繞。

提供此種圖樣在由 1 0 0 和 1 1 4 所示之短路接線之端上亦是有效的。再者，提供在介於活性矩陣區域和週邊驅動電路區域間之連接中亦是有效的。

在依照此實施例之圖樣中，藉由提供圖樣，接線之阻抗局部的改變（增加或減少），因此，會阻礙高頻脈衝經由接線之傳播。

在圖 7 中，兩相鄰線 7 0 1 和 7 0 3 以一接線圖樣 7 0 2 連接。此種構造具有之功能為經由線 7 0 1 和 7 0 3 傳播之高電位脈衝在圖樣區域 7 0 2 上互相碰接並於此放電。

提供如圖 7 所示之圖樣在以 1 0 0 和 1 1 4 所指示之

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明 (15)

短路接線之端上和在活性矩陣區域之外之區域亦是有效的。藉由提供如圖 7 所示之圖樣，可防止高電位脈衝在活性矩陣電路中之所有方向上傳播。

本發明可防止在製造時由於電漿所感應之脈衝型高電位而對半導體裝置之破壞。特別的，上述亦無需加入任何特別之製造步驟。

依照本發明之活性矩陣裝置可使用於例如液晶顯示器或一電發光顯示器之電光學裝置。電光學裝置可使用在下述之電子裝置中。

圖 8 (A) 為稱為數位鋼照相機或電子照相機之裝置。此裝置具有以 C C D 照相機電子的儲存所拍攝影像之功能。C C D 照相機安排在一相機部份 2 0 0 2。再者，此裝置亦具有顯示安排在本體 2 0 0 1 中之顯示裝置 2 0 0 3 之影像之功能。再者，此裝置亦具有各種通訊設施，和使用當成資訊端之資訊記憶機構。此裝置之操作以操作鈕 2 0 0 4 進行。

圖 8 (B) 為攜帶式個人電腦。此裝置在蓋 2 1 0 2 上具有顯示裝置 2 1 0 4，其可打開或關閉，且其可由鍵盤 2 1 0 3 輸入各種資訊和進行各種操作。

圖 8 (C) 為使用平板顯示器之車輛導航系統之例。此種車輛導航系統具有由天線部份 2 3 0 4 和顯示裝置、2 3 0 2 所組成之本體。以操作鈕 2 3 0 3 執行需用於導航之各種資訊之轉換。再者，可由遙控裝置（其通常未顯示）執行各種操作。

五、發明說明 (16)

圖 8 (D) 為投影型液晶顯示裝置之例。在圖中，由光源 2 4 0 2 照射之光由液晶顯示裝置光學的調制成影像。此影像由鏡 2 4 0 4 和 2 4 0 5 反射而投射在螢幕 2 4 0 6 上。

雖然本發明已參考較佳實施例而說明，但是必需了解的是本發明之範疇並不限於所述實施例之特殊構造。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

四、中文發明摘要(發明之名稱:)

半導體裝置的製造方法

本發明乃在提供一種技術，其可防止半導體裝置在製造時不會由施加電漿之脈衝型高電位而損壞，且無需增加任何特殊之製造步驟。首先形成延伸至薄膜電晶體之閘電極之第一線。第一絕緣膜形成在第一線上。連接至薄膜電晶體之一源極區域之一第二線形成在絕緣膜上。第二絕緣膜形成在第二線上。而後，一導電圖樣形成在第二絕緣膜上。一放電圖樣形成在第一和／或第二線上，且第一和／或第二線和導電圖樣之形成同時切割。

英文發明摘要(發明之名稱:)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種半導體裝置的製造方法，包含之步驟為：

在一基底上形成包括一閘電極之第一接線以用於一薄膜電晶體；

形成一中間層絕緣器在該第一接線上；

形成一第二接線在該中間層絕緣器上，該第二接線連接至該薄膜電晶體之源和汲極區域之一；

形成一第二中間層絕緣器在該第二接線上；

形成一導電膜在該第二中間層絕緣器上；和而後以蝕刻定圖樣該導電膜；

其中至少在該第二中間層絕緣器和該導電膜形成時，該第一和第二接線互相短路；和

其中第一和第二接線之至少之一具有一放電圖樣。

2. 如申請專利範圍第1項之方法，其中該第二中間層絕緣器之形成使用電漿執行。

3. 如申請專利範圍第1項之方法，其中該導電層之形成使用電漿執行。

4. 如申請專利範圍第1項之方法，其中該第一和第二接線藉由該定圖樣步驟而互相電分離。

5. 一種活性矩陣裝置之製造方法，包含之步驟為：

提供第一多數接線延伸在行方向；

形成第一中間層絕緣器在該第一多數接線上；

提供第二多數接線延伸在列方向正交於該行方向；

形成第二中間層絕緣器在該第二多數接線上；

形成一導電膜在該第二中間層絕緣器上；和

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

水

六、申請專利範圍

以蝕刻定圖樣該導電膜；

其中該第一和第二多數接線之至少之一具有放電圖樣，和

其中在該第二中間層絕緣器形成時，第一多數接線經由一短路接線而互相短路，且該短路接線藉由定圖樣步驟而斷開。

6. 如申請專利範圍第5項之方法，其中該第一多數接線電連接該第二多數接線，並藉由該導電膜之定圖樣步驟而由此分離。

7. 一種活性矩陣裝置之製造方法，包含之步驟為：
在一基底上提供多數之接線以用於一活性矩陣電路；
在多數之接線上形成一絕緣膜；
在該絕緣膜上形成一導電膜；和
定圖樣該導電膜，

其中該接線具有一引線含有一放電圖樣，和
其中該引線藉由該定圖樣步驟而斷開。

8. 如申請專利範圍第7項之方法，其中至少在該絕緣膜和導電膜之形成時，多數之接線互相電連接，而藉由該定圖樣步驟而互相電斷開。

9. 一種活性矩陣裝置之製造方法，包含之步驟為：
在一基底上提供多數之接線以用於一活性矩陣電路；
在多數之接線上形成一絕緣膜；
在該絕緣膜上形成一導電膜；和
定圖樣該導電膜，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

表

六、申請專利範圍

其中該接線具有一放電圖樣，和

其中該放電圖樣藉由該定圖樣步驟而和多數之接線分離。

10．如申請專利範圍第9項之方法，其中至少在該絕緣膜和該導電膜之形成時，該多數之接線互相電連接，而藉由該定圖樣步驟而互相電斷開。

11．一種電光學裝置之製造方法，包含之步驟為：
在一基底上準備包括閘電極之第一多數行線以用於薄膜電晶體，該行線經由第一短路接線而互相電短路；

在該第一多數行線上形成一中間層絕緣器；

準備第二多數列線連接至該薄膜電晶體之源極並延伸正交於該行線，該列線經由一第二短路接線而互相電短路；和而後

設置該基底至一電漿中以進行一電漿處理。

12．如申請專利範圍第11項之方法，其中該電漿處理至少為濺鍍，電漿CVD，和電漿蝕刻之一。

13．一種電光學裝置之製造方法，包含之步驟為：
在一基底上準備包括閘電極之第一多數行線以用於薄膜電晶體；

在第一多數行線上形成一中間層絕緣器；

準備第二多數列線連接至該薄膜電晶體之一源極，且延伸正交於該行線，和而後

設置該基底至一電漿以進行一電漿處理，

其中該第一多數行線和第二多數列線電連接至相同的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

部

六、申請專利範圍

電位以避免由該電漿處理所引起對薄膜電晶體之損壞。

14. 如申請專利範圍第13項之方法，其中該電漿處理至少為濺鍍，電漿CVD，和電漿蝕刻之一。

15. 一種電光學裝置之製造方法，包含之步驟為：
在一基底上準備包括閘電極之第一多數行線以用於薄膜電晶體；

在第一多數行線上形成一中間層絕緣器；

準備第二多數列線連接至該薄膜電晶體之源極並延伸正交於該行線；和而後

設置該基底至一電漿以進行電漿處理，

其中第一和第二接線之至少之一具有一引線，而該引線含有阻抗局部改變之部份。

16. 如申請專利範圍第15項之方法，其中該電漿處理至少為濺鍍，電漿CVD，和電漿蝕刻之一。

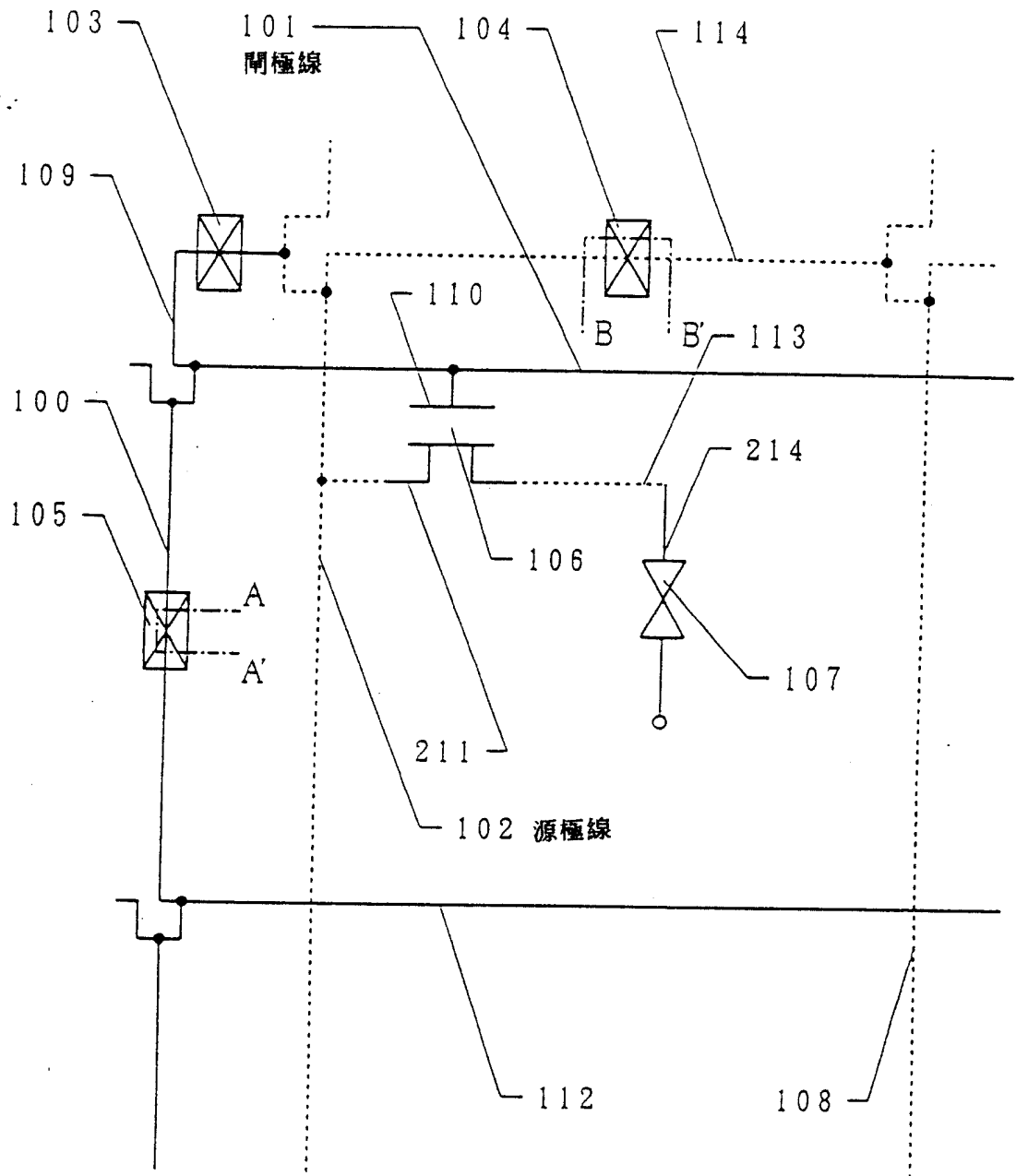
(請先閱讀背面之注意事項再填寫本頁)

裝

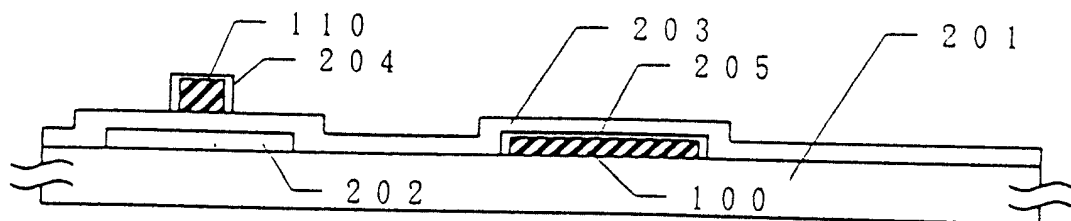
訂

水

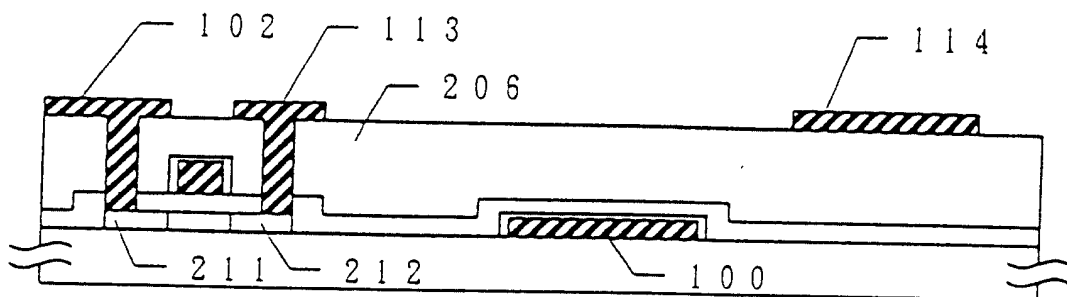
第 1 圖



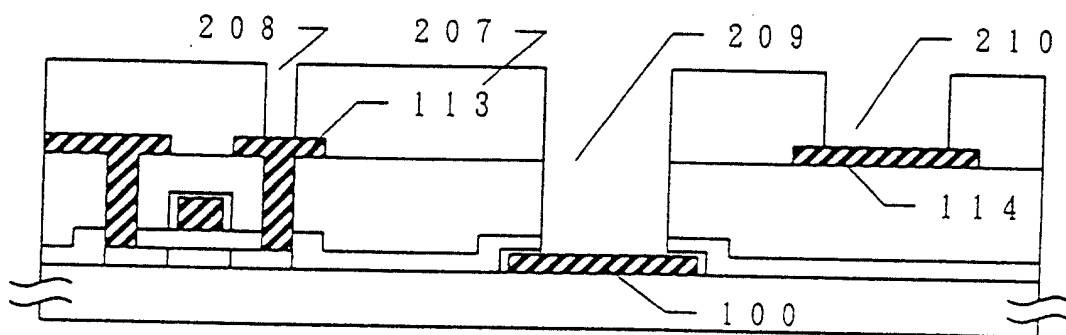
第 2 圖 A



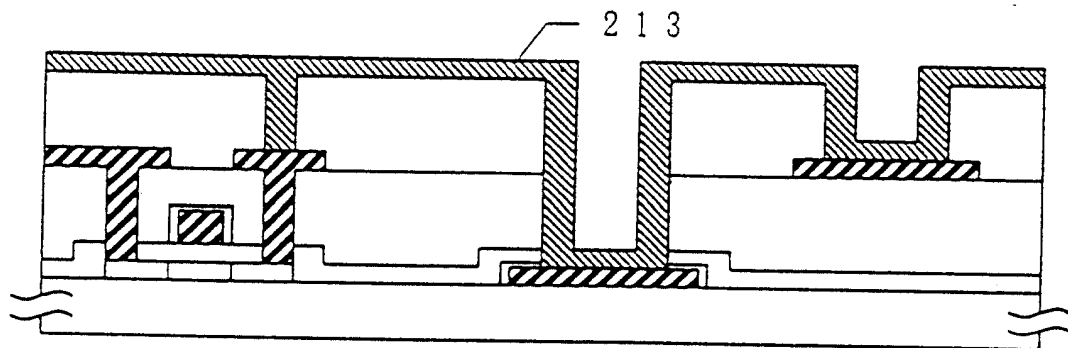
第 2 圖 B



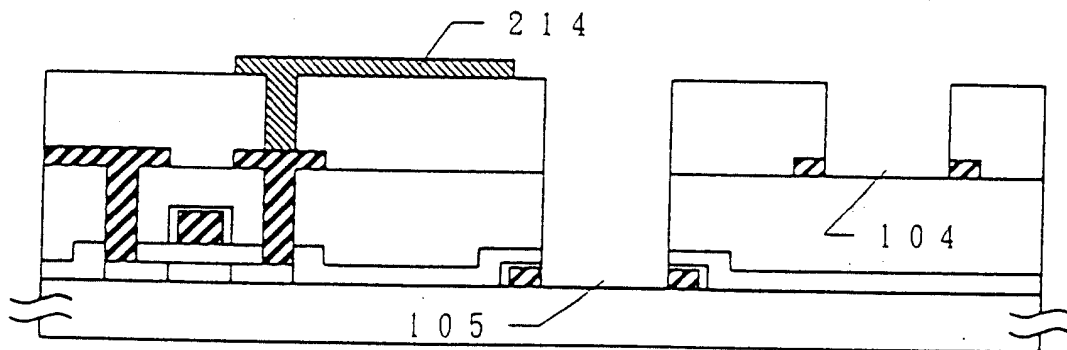
第 2 圖 C



第 2 圖 D

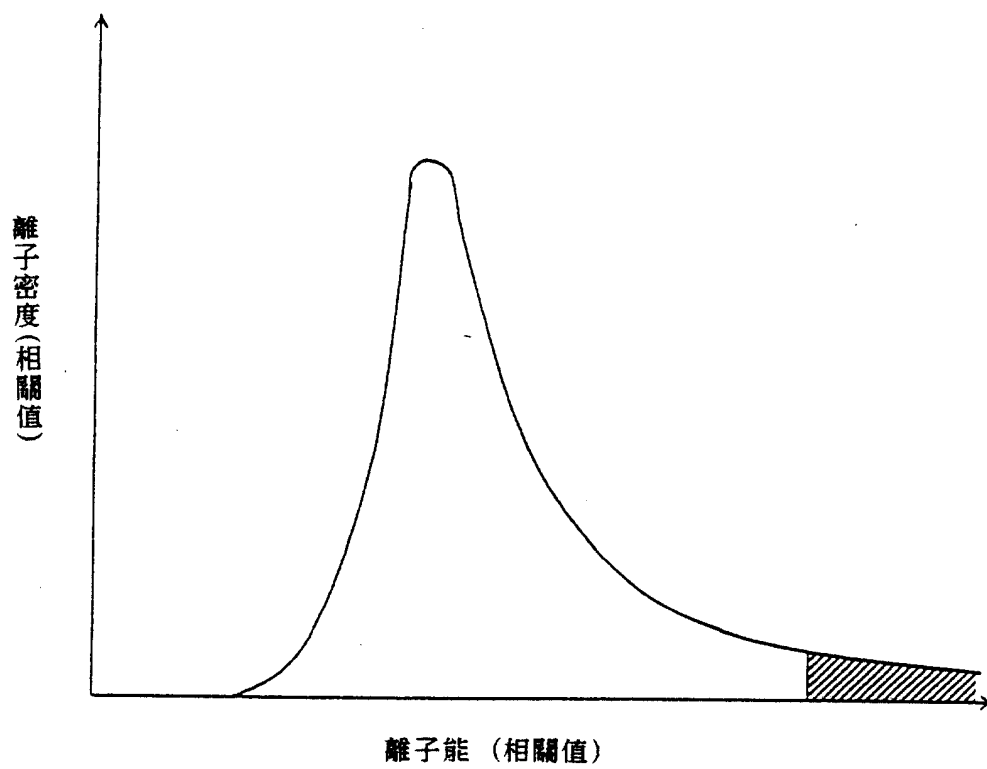


第 2 圖 E

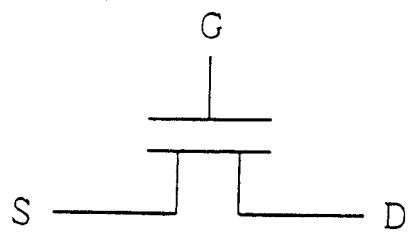


303479

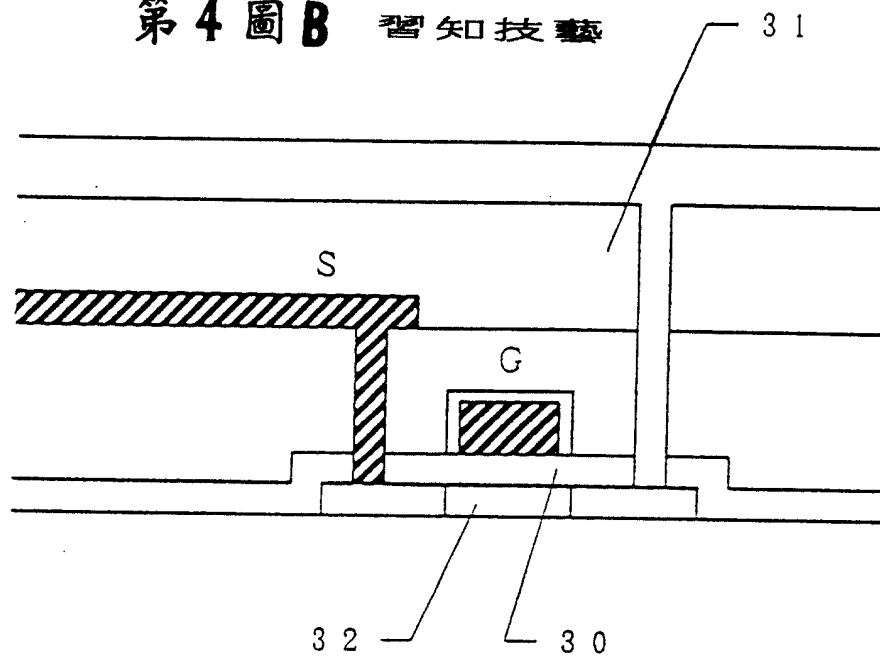
第 3 圖



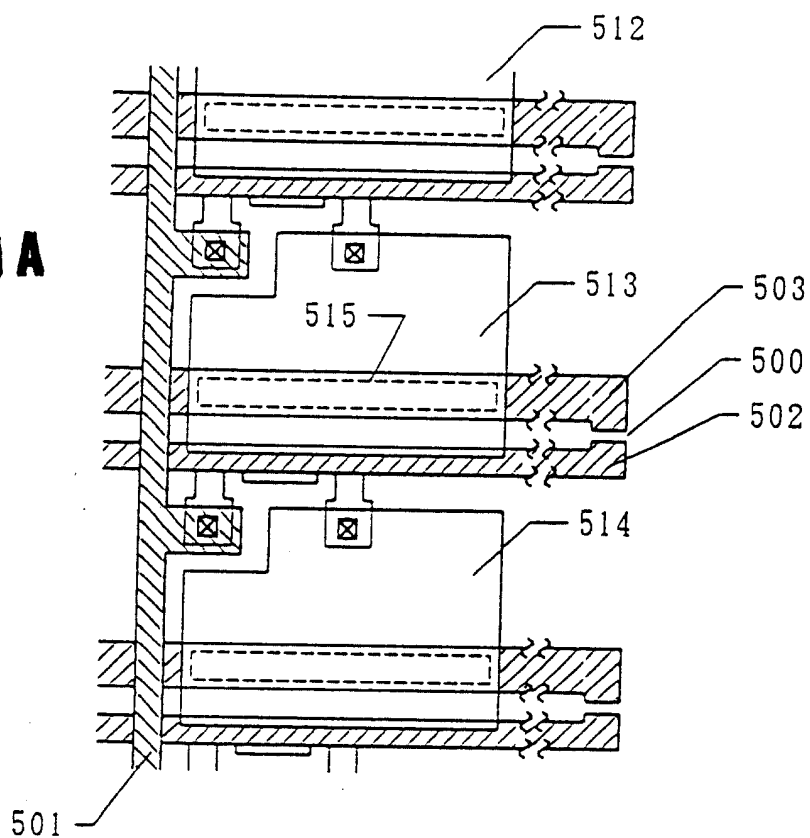
第4圖A 習知技藝



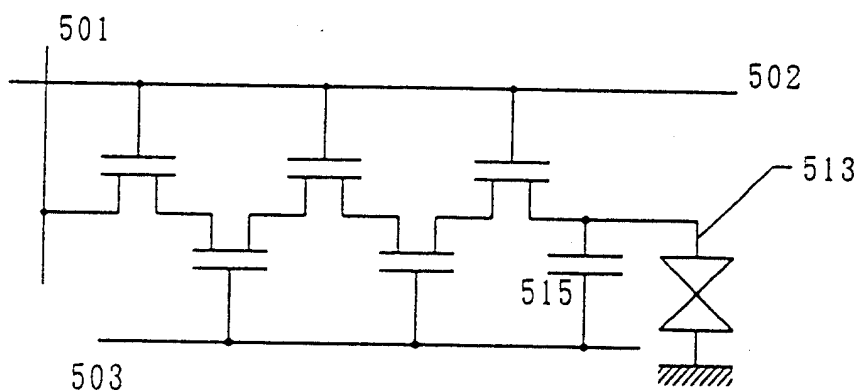
第4圖B 習知技藝



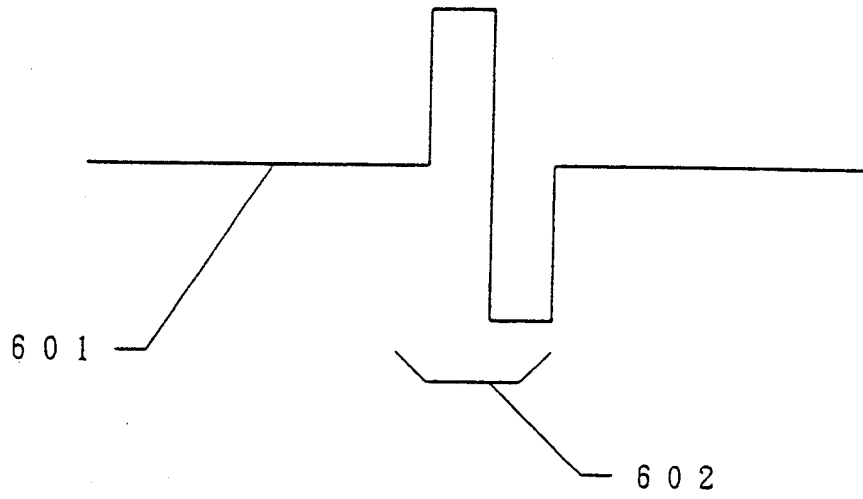
第 5 圖 A



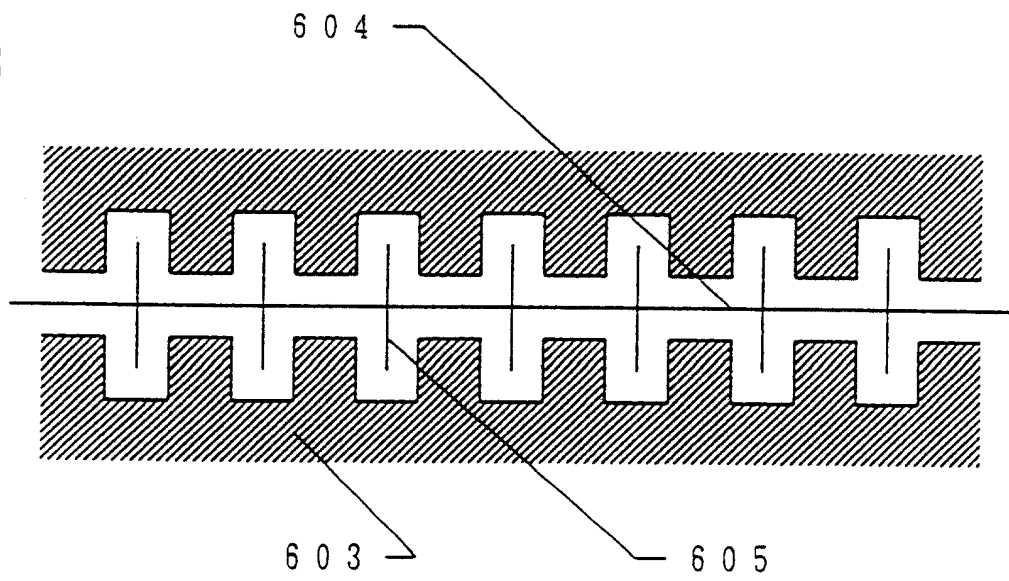
第 5 圖 B



第 6 圖 A

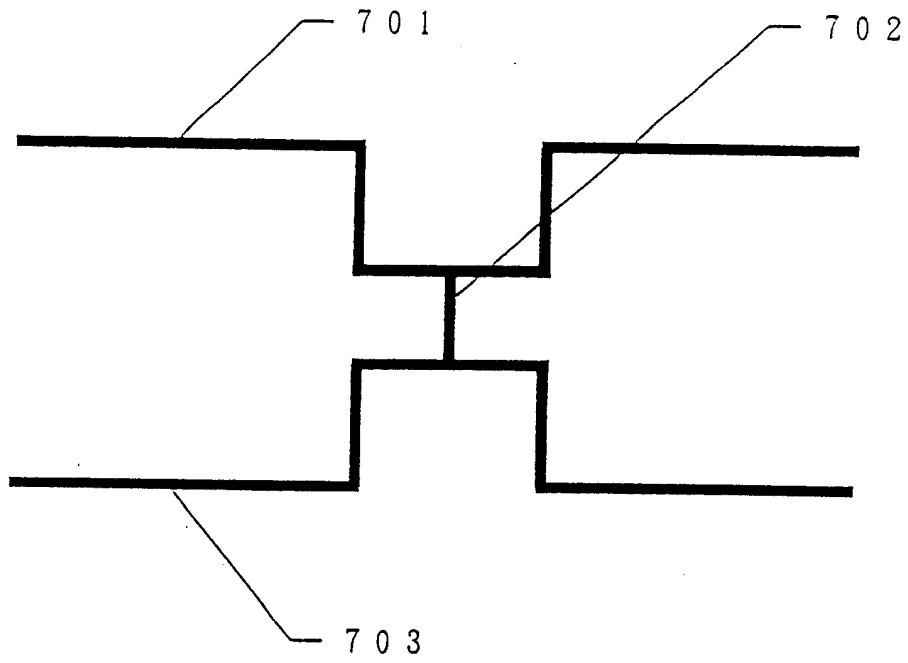


第 6 圖 B

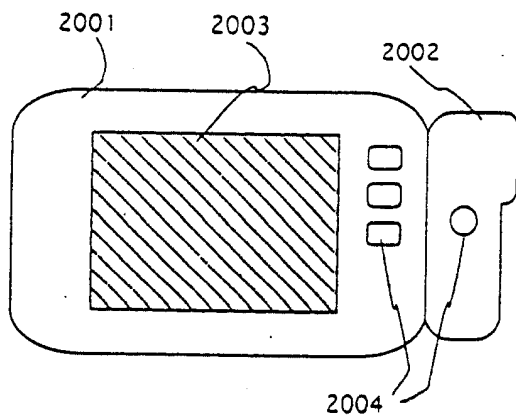


303479

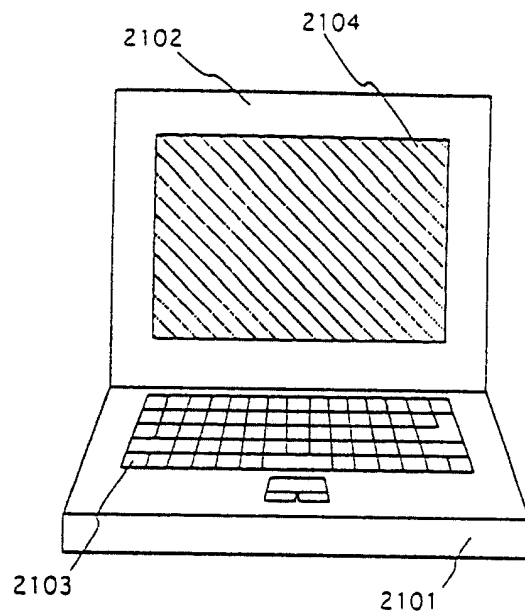
第7圖



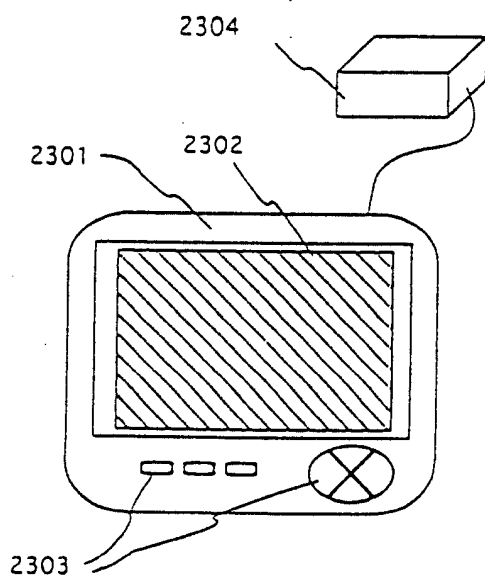
第 8 圖 A



第 8 圖 B



第 8 圖 C



第 8 圖 D

