





MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

## 明 細 書

発明の名称：アバランシ・フォトダイオード

### 技術分野

[0001] 本発明は超高速動作に適した電子注入形のアバランシ・フォトダイオード（なだれ増倍形ダイオード、以下、APDと略記する。）の素子構造に関するものである。

### 背景技術

[0002] APDは、高感度の光受信デバイスとして、長波長帯（1.5ミクロン帯）を使った10Gb/sシステムなど広く導入されている。長波長帯で動作する典型的なAPDは、InPをなだれ増倍層とするホール注入形である。ホール注入形のAPDは、ほとんどの場合、InPへのZn熱拡散によってなだれ増倍領域を規定する製作プロセスをとる。しかし、Zn熱拡散の精密な制御が困難であり、素子製作歩留まりが一般的に悪く大きな技術的課題となっている。

[0003] 一方、高速化と過剰ノイズ特性の点で原理的に有利な電子注入形のAPDも知られている。電子注入形のAPDは、InAlAsをなだれ増倍層とする構造が一般的である。電子注入形のAPDは、利得帯域幅積（GB積）がホール注入形よりも大きく、受信感度も優れている。

[0004] 電子注入形のAPDの課題は、接合周辺のエッジブレイクダウンを抑制するための、いわゆる「ガードリング技術」がホール注入形のAPDほどの完成度には達していない点である。これは、ホール注入形のAPDで通常用いられる「イオン注入タイプのガードリング構造」、すなわち、Beなどのアクセプタイオンの深さ分布を調整して増倍係数を低減（ブレイクダウン電圧を増大）する構造、を電子注入形のAPDに形成するのが難しいためである。

[0005] このため、「イオン注入タイプのガードリング構造」に代わる様々な構造が提案されている。例えば、意図的なガードリングを作らずに、吸収層メサ

の側面に I n P を再成長した構造、プレーナ状の光吸収層の面内の一部に p 電極層を形成し電界集中を光吸収層側に配置する構造、埋め込み n 電極構造などがある。

[0006] 図 6 は従来の埋め込み n 電極構造の電子注入形 APD の例であり、基板側に配置された n 電極の一部に凸部を設けた、いわゆる、埋め込み n 電極構造の断面である（特許文献 1 及び 2、4 を参照。）。図 6 の APD は、n 電極層 31、n 電極接続層 32、なだれ増倍層 34、電界制御層 35、バンドギャップ傾斜層 36、低濃度光吸収層 37a、p 形光吸収層 37b、p 電極層 38、p 電極 39 を順次積層し、低濃度光吸収層 37a と p 形光吸収層 37b からなる光吸収部がメサ形状をなしている。さらに n 電極層 31 には n 電極 40 が配置される。n 電極接続層 32 は、n 形領域 32a、及び n 形領域 32a を取り囲む低ドーピング濃度の領域からなる。n 形領域 32a が埋め込み形の n 形領域である。破線で示した部分は、局所的に電界が集中する電界集中部 21 である。

[0007] 低濃度光吸収層 37a と p 形光吸収層 37b を組み合わせた光吸収部は、両層の厚さの比率を最適化することにより、同じ受光感度において帯域を最大にすることができる（特許文献 3 を参照。）。すなわち、同じ帯域において光吸収率を最大とし、受光感度を最大とする素子を設計することができる。この構造は電子注入形の APD で効果を発揮するが、ホール注入形の APD ではほとんど効果が望めない。

[0008] n 形領域 32a がメサ形の光吸収部の内側に配置されるので、光吸収部の周辺部の電界を下げることができ、メサの側面表面の電界も低下する。このため、図 6 の APD は、なだれ領域を内部に閉じ込めることができ、メサの側面と表面の経時劣化も同時に抑制することができるという利点がある。

[0009] 一方、埋め込み n 電極構造の電子注入形 APD は、動作状態において、n 形領域 32a が凸状であることに起因する n 形領域 32a の外周部の角に電界集中（エッジ電界）が発生しやすい。エッジ電界の電気力線は 2 次元的に広がるので、なだれ増倍層 34 の上部側は n 形領域 32a から離れているた

め電界が低下する傾向にある。しかし、 $n$ 形領域32aの外周部の角付近にはエッジ電界が集中しており（電界集中部21）、電界集中部21の電界がなだれ増倍層34に及んだ場合、イオン化率の電界依存性は急峻であるため、なだれ増倍層34は素子中心部の活性領域よりも低い電圧でブレークダウンが起こる現象、いわゆる、エッジブレークダウンを起こしやすい。エッジブレークダウンが起こると、活性領域のなだれ増倍率が十分に大きく取れず、ブレークダウン電圧と動作電圧の差が小さくなるため、なだれ過剰ノイズが大きくなる。また、低濃度光吸収層37aを厚くするほど、電界集中部21によるエッジブレークダウンの影響は大きくなる。

[0010]  $n$ 形領域32aのドーピングプロファイルを制御することで、原理的には電界集中部21がなだれ増倍層34へ侵入することを抑えることができ、エッジブレークダウンを抑制できることが知られている（特許文献2を参照。）。

### 先行技術文献

### 特許文献

- [0011] 特許文献1：特開2005-086109号公報  
特許文献2：特開2007-005697号公報  
特許文献3：特開2005-223022号公報  
特許文献4：特開平8-181349号公報

### 発明の概要

### 発明が解決しようとする課題

[0012] しかし、現実のAPD製作においては、様々なプロセス変動があるため、埋め込み $n$ 電極構造の $n$ 形領域のドーピングプロファイルを高い精度で制御するのは難しく、エッジブレークダウンの発生を抑制したAPDを製造することが困難となるという課題があった。

[0013] そこで、本発明は、埋め込み $n$ 電極構造を基本としつつ上記の課題を解決し、その $n$ 形領域のドーピングプロファイルを高い精度で制御することなく

、エッジブレークダウンを抑制できる電子注入形APDを提供することを目的とする。

### 課題を解決するための手段

- [0014] 上記目的を達成するために、本発明に係るAPDは、n電極接続層となだれ増倍層との間にイオン化率の低いバッファ層を挿入することとした。
- [0015] 具体的には、本発明に係るAPDは、n電極層、n電極接続層、なだれ増倍層、電界制御層、バンドギャップ傾斜層、低濃度光吸収層、p形光吸収層及びp電極層を含む積層構造をなし、前記n電極接続層は、積層方向から見て、前記なだれ増倍層の外周よりも内側に配置されたn形領域を有する半導体構造である。前記積層構造は、前記n電極接続層と前記なだれ増倍層との間に、イオン化率が前記なだれ増倍層よりも低いバッファ層が挿入されており、前記p形光吸収層は、前記p電極層と前記n電極層との間が逆バイアスされたときに、前記p電極層側に中性常態を保つ領域が生ずる。なお、p形光吸収層のうちp電極層側の略全面に中性常態を保つ領域が生ずるが、p電極層側であっても特定の一部には中性常態を保つ領域は生じない。
- [0016] バッファ層が挿入されることで、エッジ電界が発生しても電界集中部はなだれ増倍層から離れているため、エッジブレークダウンを回避することができる。
- [0017] 従って、本発明は、埋め込みn電極構造を基本としつつ、そのn形領域のドーピングプロファイルを高い精度で制御することなく、エッジブレークダウンを抑制できる電子注入形APDを提供することができる。
- [0018] 本発明に係るAPDは基板上に形成することができる。基板側をn電極層とした場合、APDは、基板上に前記n電極層を前記基板側として前記積層構造を形成し、前記低濃度光吸収層と前記p形光吸収層からなる光吸収部がメサ形状をなし、前記n電極接続層の前記n形領域が、積層方向から見て前記光吸収部のメサ形状の外周よりも内側に配置される。
- [0019] また、基板側をp電極層とすることもできる。具体的には、本発明に係るAPDは、n電極層、n電極接続層、なだれ増倍層、電界制御層、バンドギ

ギャップ傾斜層、低濃度光吸収層、p形光吸収層及びp電極層を含む積層構造であり、前記積層構造は、前記n電極接続層と前記なだれ増倍層との間に、イオン化率が前記なだれ増倍層よりも低いバッファ層が挿入されており、前記p形光吸収層は、前記p電極層と前記n電極層との間が逆バイアスされたときに、前記p電極層側の一部を除き中性常態を保つ領域が生じている。そして、本APDは、基板上に前記p電極層を前記基板側として前記積層構造を形成し、前記n電極接続層及び前記n電極層がメサ形状をなし、前記メサ形状が、積層方向から見て前記バッファ層の外周よりも内側に配置される。

[0020] 本発明に係るAPDの前記バッファ層は、少なくとも前記なだれ増倍層側に不純物がドーピングされたドーピング部があることが好ましい。前記なだれ増倍層側に高濃度で薄いドナードーピング層を設けると段差上の電界変化を作ることができ、電界集中による電界上昇を抑制すべくドナードーピング量を調整することにより、イオン化を抑制することが可能となる。

[0021] 本発明に係るAPDの前記バッファ層と前記なだれ増倍層とは異なる組成の半導体であり、前記バッファ層が前記なだれ増倍層より広いバンドギャップとすることができる。バッファ層のバンドギャップが大きいため、バッファ層となだれ増倍層とで電界強度が同程度であっても、バッファ層のイオン化率を相対的に低くすることができる。前述の高濃度で薄いドナードーピングを設ける手法を組み合わせることもできる。

### 発明の効果

[0022] 本発明は、埋め込みn電極構造を基本としつつ、そのn形領域のドーピングプロファイルを高い精度で制御することなく、エッジブレイクダウンを抑制できる電子注入形APDを提供することができる。

### 図面の簡単な説明

[0023] [図1]本発明に係るAPDを説明する素子断面の模式図である。

[図2]本発明に係るAPDの中心部における電界強度分布を説明する図である。

。

[図3]本発明に係るAPDを説明する素子断面の模式図である。

[図4]本発明に係るAPDの動作状態における中心部分のバンドダイアグラムである。

[図5]本発明に係るAPDを説明する素子断面の模式図である。

[図6]従来のAPDを説明する素子断面の模式図である。

### 発明を実施するための形態

[0024] 以下、具体的に実施形態を示して本発明を詳細に説明するが、本願の発明は以下の記載に限定して解釈されない。なお、本明細書及び図面において符号が同じ構成要素は、相互に同一のものを示すものとする。

[0025] (第1実施形態)

図1は、第1実施形態のAPDを説明する素子断面の模式図である。図1のAPDは、 $n$ 電極層31、 $n$ 電極接続層32、バッファ層33、なだれ増倍層34、電界制御層35、バンドギャップ傾斜層36、低濃度光吸収層37a、 $p$ 形光吸収層37b及び $p$ 電極層38が順次積層され、少なくとも低濃度光吸収層37aと $p$ 形光吸収層37bからなる光吸収部37がメサ形状をなす電子注入形のAPDである。また、図1のAPDは、 $n$ 電極接続層32が、積層方向から見て、なだれ増倍層34の外周、及び、光吸収部37のメサの外周よりも内側に配置された $n$ 形領域32aと、積層方向と垂直な方向において $n$ 形領域32aの周囲にドーピング濃度が低い低ドーピング領域32bと、をもつ埋め込み $n$ 電極構造を採用する。

[0026]  $n$ 電極層31は、 $n-I n P$ である。 $n$ 電極接続層32は、 $n$ 形領域32aと低ドーピング領域32bとからなり、双方とも $n-I n A l A s$ である。バッファ層33は $I n A l A s$ である。バッファ層33は電界の変化を少なくするため、ドーピング濃度は低くしておく。本実施例では、バッファ層33は、電界段差を狭くするため、なだれ増倍層34側に不純物の $S i$ がドーピングされたドーピング部33aがある。なだれ増倍層34は低不純物濃度に保たれる。なだれ増倍層34の不純物濃度が高すぎると、なだれ増倍層34の電界 $E$ が大きく変化し、一定の増倍係数を得る際に、電界の不均一によるトンネル電流発生の原因となる。このため、電界の変化が少ないようにな

れ増倍層 34 のドーピング濃度は低くしておく。例えば、なだれ増倍層 34 は、低ドーピング濃度の  $\text{InAlAs}$  である。

[0027] 電界制御層 35 は、 $p\text{-InAlAs}$  である。バンドギャップ傾斜層 36 は、 $\text{InAlGaAs}$  である。低濃度光吸収層 37a は  $\text{InGaAs}$  である。p 形光吸収層 37b は p 形にドーピングした  $\text{InGaAs}$  である。また、p 形光吸収層 37b は、p 電極層 38 と n 電極層 31 との間が逆バイアスされたときに、少なくとも p 電極層 38 側の一部を除きほとんどの領域が中性常態となる。例えば、p 形光吸収層 37b のメサの側壁近傍は、逆バイアス時でも中性常態とならない部分である。また、p 形光吸収層 37b の低濃度光吸収層 37a 側も中性常態とならない部分である。p 電極層 38 は  $p\text{-InAlGaAs}$  である。

[0028] 図 1 の APD を製作するには、まず基板 30 上に、n 電極層 31 と、n 電極接続層 32 となる低濃度層を、MO-VEP 法などを用いてエピタキシャル成長させる。その後、n 形領域 32a となる部分に Si をイオン注入し、この部分を埋め込み n 電極構造の n 形領域とする。活性化アニールを施したあと、再び、バッファ層 33、ドーピング部 33a、さらに続けて、p 電極層 38 までをエピタキシャル成長させる。素子加工は、基本的には通常の APD の製作工程と変わらず、化学エッチングを用いてダブルメサを形成した後、n 電極 40、p 電極 39 を蒸着し、必要に応じて配線分離などを行う。

[0029] 逆バイアスされた動作状態においては、電極接続層 32 の n 形領域 32a を含め、その上部の低濃度光吸収層 37a までの各層は空乏化し、素子の中心部は図 2 に示す様な積層方向の電界強度分布を持つ。バッファ層 33 からなだれ増倍層 34 までの間の段差状の電界変化は、バッファ層 33 に形成する薄いドーピング部 33a のドーピング濃度と層厚を調整することによって容易に形成することができる。例えば、Si ドナー濃度を  $10^{18} \text{ cm}^{-3}$ 、厚さを  $14 \text{ nm}$  とすると、電界強度の段差量は  $200 \text{ kV/cm}$  となり、バッファ層のイオン化率は十分に下がる状態となる。ここで、電界強度の段差量はドナー濃度と厚さの積で決まるので、両者は適宜決めることができる。

[0030] この構造においても、 $n$ 形領域32aの角に、電界集中部21が発生する。しかし、バッファ層33を挿入したことにより、電界集中部21がなだれ増倍層34から離れるため、素子中心部の活性領域よりも低い電圧でブレークダウンが起こる現象は大幅に緩和される。また、バッファ層33はイオン化率が低いため、電界集中部21が存在してもブレークダウンは発生し難い。従って、図1のAPDは、エッジブレークダウンの発生を抑制することが可能である。

[0031] (第2実施形態)

図3は、第2実施形態のAPDを説明する素子断面の模式図である。図3のAPDも図1のAPDと同様に埋め込み $n$ 電極構造を採用する電子注入形のAPDである。図3のAPDと図1のAPDとの違いは、図3のAPDのバッファ層33にはドーピング部33aが必ずしも形成される必要はなく、バッファ層33となだれ増倍層34とは異なる組成の半導体であり、バッファ層33がなだれ増倍層34より広いバンドギャップであることである。

[0032]  $n$ 電極層31からバッファ層33までは、図1のAPDと同じ組成である。なだれ増倍層34は、低ドーピング濃度の $InAlGaAs$ である。電界制御層35は、 $p-InAlGaAs$ である。バンドギャップ傾斜層36は、電界制御層35と低濃度光吸収層37aとのバンドギャップをつなぐ様に組成を調整した $InAlGaAs$ 層であり、低濃度光吸収層37aから $p$ 電極層38までは、図1のAPDと同じ組成である。図3のAPDも図1で説明したように作成することができる。

[0033] 図4は、図3のAPDの動作状態における中心部分のバンドダイアグラムである。この実施例では、電極接続層32となだれ増倍層34との間に、 $InAlGaAs$ よりもバンドギャップの大きな $InAlAs$ のバッファ層33が挿入されている。同じ電界強度であった場合、バンドギャップの大きな $InAlAs$ の方が $InAlGaAs$ よりもイオン化率は相対的に低くなる。このため、図3のAPDもバッファ層33はなだれ増倍層34よりイオン化率が低くなる。

[0034] この構造においても、 $n$ 形領域32aの角に、電界集中する電界集中部21が発生する。しかし、バッファ層33を挿入したことにより、電界集中部21がなだれ増倍層34から離れるため、素子中心部の活性領域よりも低い電圧でブレークダウンが起こる現象は大幅に緩和される。また、バッファ層33はイオン化率が低いため、電界集中部21が存在してもブレークダウンは発生し難い。従って、図3のAPDは、エッジブレークダウンの発生を抑制することが可能である。

[0035] (第3実施形態)

図5は第3実施形態のAPDを説明する素子断面の模式図である。基板30の上に、 $p$ 電極層38、 $p$ 形光吸収層37b、低濃度光吸収層37a、バンドギャップ傾斜層36、電界制御層35、なだれ増倍層34、バッファ層33、 $n$ 電極接続層32及び $n$ 電極層31が順次積層され、 $p$ 電極39と $n$ 電極40が形成される。この構造は、おおむね、前述の第2の実施例の半導体構造を上下逆に配置したものに相当である。ここでは、 $n$ 電極接続層32は基板側ではなく上部にあるため、必ずしも、第1、第2の実施例の場合の様なSiイオン注入による選択的な $n$ 層として形成する必要はなく、単にメサとして形状を決めれば良い。すなわち、 $n$ 電極接続層32は、バッファ層33から下のメサの外周よりも内側に配置することにより、埋め込み $n$ 電極構造を持つAPDと同様の機能を持たせることができる。

[0036] この構造においても、 $n$ 形領域32の角に、電界集中する電界集中部21が発生する。しかし、バッファ層33を挿入したことにより、電界集中部21がなだれ増倍層34から離れるため、素子中心部の活性領域よりも低い電圧でブレークダウンが起こる現象は大幅に緩和される。また、バッファ層33はイオン化率が低いため、電界集中部21が存在してもブレークダウンは発生し難い。従って、図5のAPDは、エッジブレークダウンの発生を抑制することが可能である。

### 産業上の利用可能性

[0037] なお、実施形態においては、 $InAlAs$ 及び $InAlGaAs$ をなだれ

増倍層、InGaAsを光吸収層とするAPDの例を述べたが、半導体材料の種類を制限するものではなく、他の半導体材料の組み合わせによるAPDにおいても、同様の効果を得ることができる。

### 符号の説明

- [0038] 21 : 電界集中部  
30 : 基板  
31 : n電極層  
32 : n電極接続層  
32a : n形領域  
33 : バッファ層  
34 : なだれ増倍層  
35 : 電界制御層  
36 : バンドギャップ傾斜層  
37 : 光吸収部  
37a : 低濃度光吸収層  
37b : p形光吸収層  
38 : p電極層  
39 : p電極  
40 : n電極

## 請求の範囲

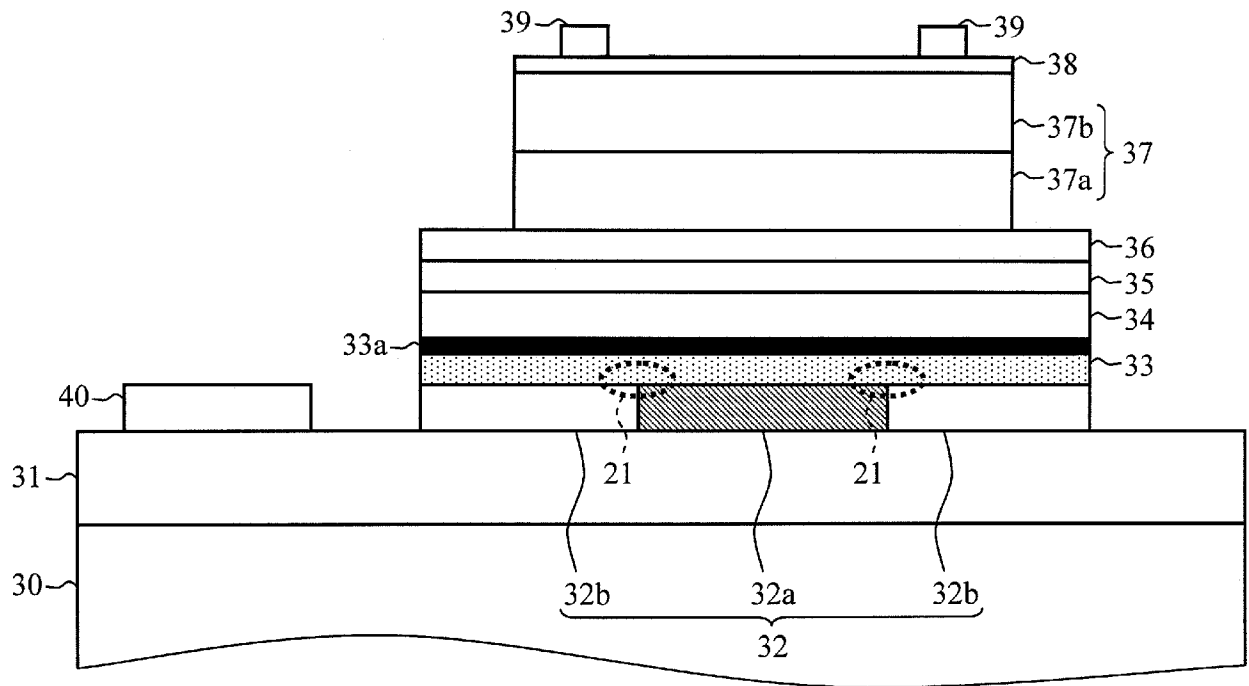
- [請求項1]           n 電極層、n 電極接続層、なだれ増倍層、電界制御層、バンドギャップ傾斜層、低濃度光吸収層、p 形光吸収層及び p 電極層を順に含む積層構造をなすアバランシ・フォトダイオードであって、
- 前記 n 電極接続層は、積層方向から見て、前記なだれ増倍層の外周よりも内側に配置された n 形領域を有し、
- 前記積層構造は、前記 n 電極接続層と前記なだれ増倍層との間に、イオン化率が前記なだれ増倍層よりも低いバッファ層が挿入されており、
- 前記 p 形光吸収層は、前記 p 電極層と前記 n 電極層との間が逆バイアスされたときに、前記 p 電極層側に中性常態を保つ領域が生ずることを特徴とするアバランシ・フォトダイオード。
- [請求項2]           基板上に前記 n 電極層を前記基板側として前記積層構造を形成し、前記低濃度光吸収層と前記 p 形光吸収層からなる光吸収部がメサ形状をなし、前記 n 電極接続層の前記 n 形領域が、積層方向から見て前記光吸収部のメサ形状の外周よりも内側に配置されたことを特徴とする請求項 1 に記載のアバランシ・フォトダイオード。
- [請求項3]           n 電極層、n 電極接続層、なだれ増倍層、電界制御層、バンドギャップ傾斜層、低濃度光吸収層、p 形光吸収層及び p 電極層を順に含む積層構造を備えるアバランシ・フォトダイオードであって、
- 前記積層構造は、前記 n 電極接続層と前記なだれ増倍層との間に、イオン化率が前記なだれ増倍層よりも低いバッファ層が挿入されており、
- 前記 p 形光吸収層は、前記 p 電極層と前記 n 電極層との間が逆バイアスされたときに、前記 p 電極層側に中性常態を保つ領域が生じ、
- 基板上に前記 p 電極層を前記基板側として前記積層構造を形成し、前記 n 電極接続層及び前記 n 電極層がメサ形状をなし、前記メサ形状が、積層方向から見て前記バッファ層の外周よりも内側に配置される

ことを特徴とするアバランシ・フォトダイオード。

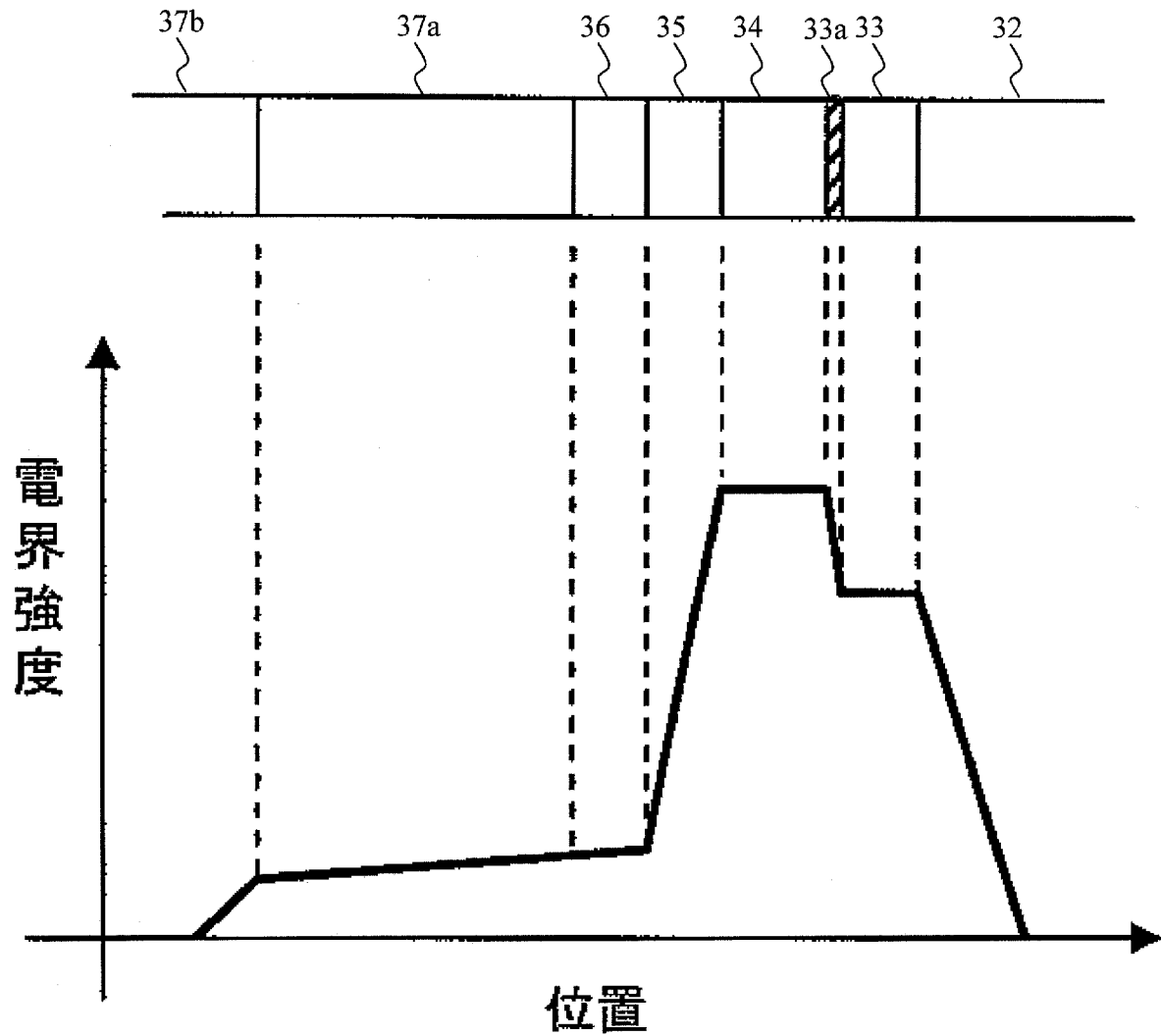
[請求項4] 前記バッファ層は、少なくとも前記なだれ増倍層側に不純物がドーピングされたドーピング部があることを特徴とする請求項1から3のいずれかに記載のアバランシ・フォトダイオード。

[請求項5] 前記バッファ層と前記なだれ増倍層とは異なる組成の半導体であり、前記バッファ層のバンドギャップが前記なだれ増倍層のバンドギャップより広いことを特徴とする請求項1から4のいずれかに記載のアバランシ・フォトダイオード。

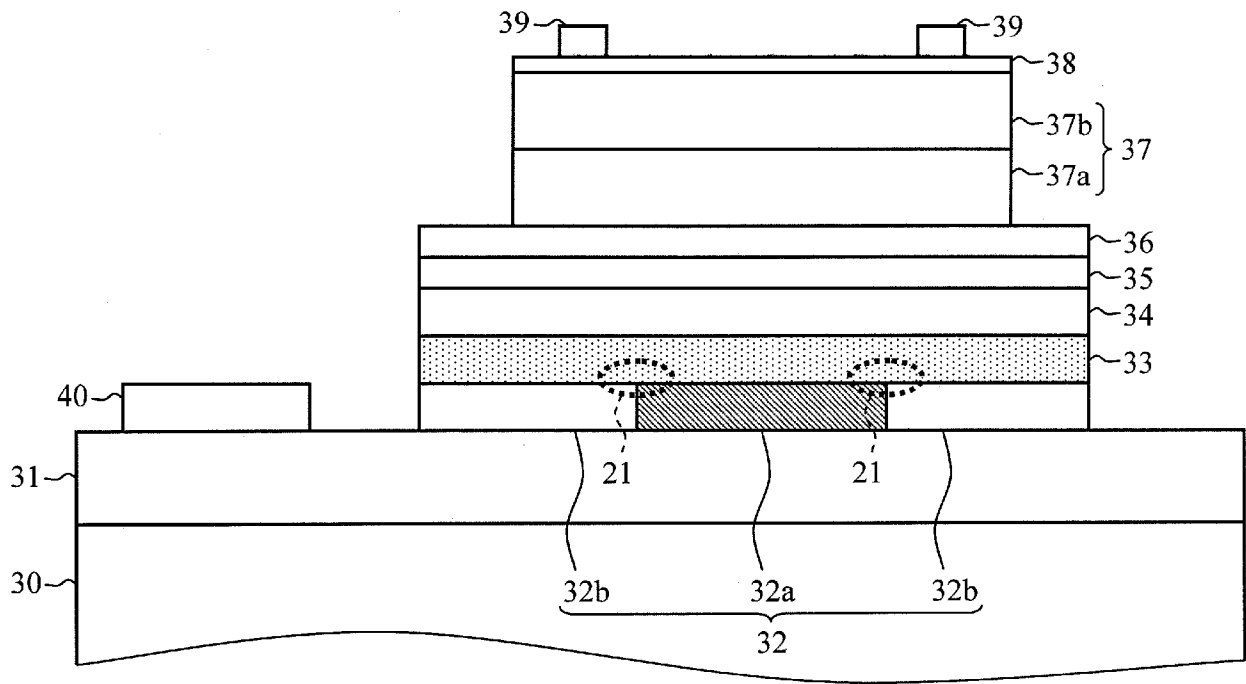
[図1]



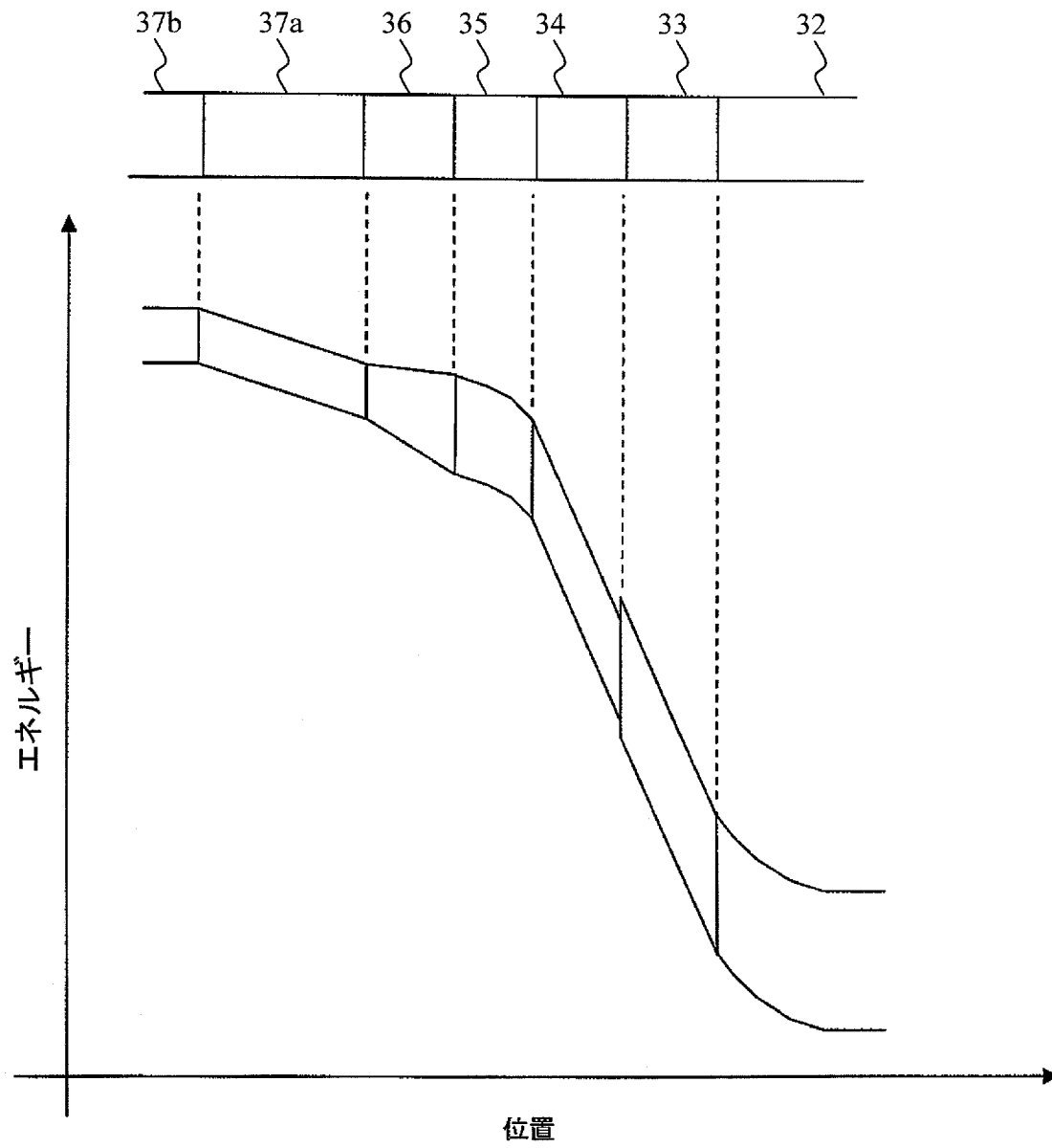
[図2]



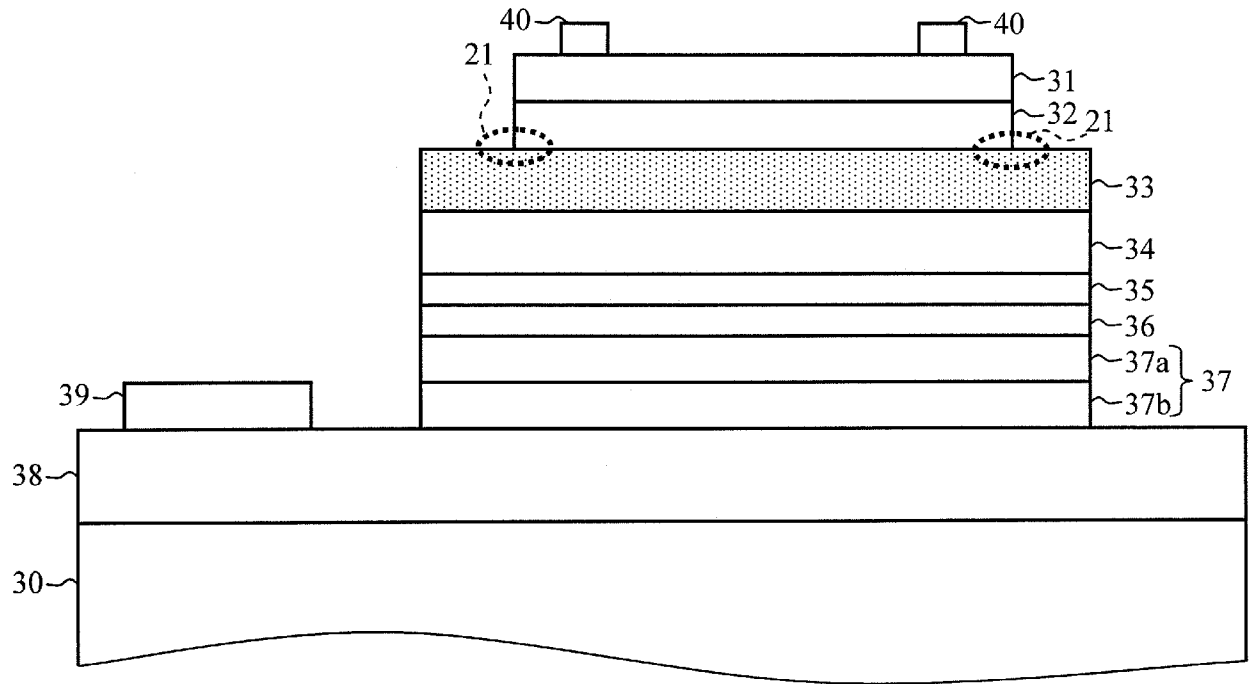
[図3]



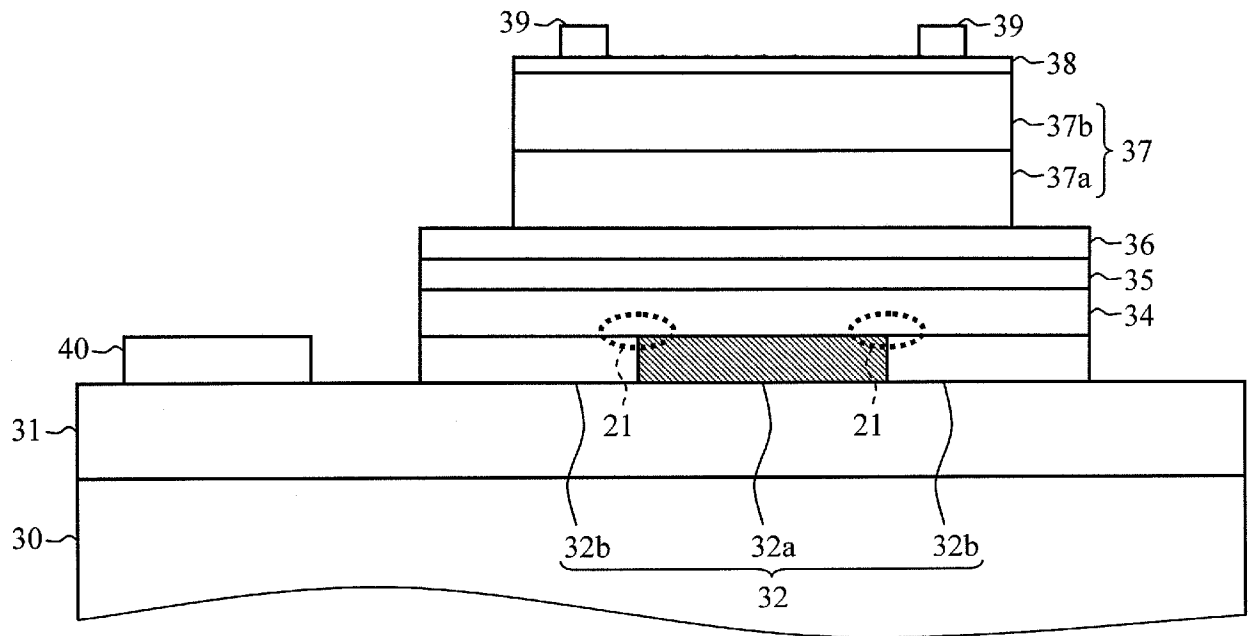
[図4]



[図5]



[図6]



**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2009/070783

**A. CLASSIFICATION OF SUBJECT MATTER**

H01L31/107(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

H01L31/107

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CiNii, JSTPlus (JDreamII), JST7580 (JDreamII)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2007-5697 A (NTT Electronics Corp.), 11 January 2007 (11.01.2007), paragraphs [0025] to [0028]; fig. 2 & EP 1898472 A1 & WO 2007/000996 A1	1-5
A	JP 2005-86109 A (NTT Electronics Corp.), 31 March 2005 (31.03.2005), paragraphs [0020] to [0033]; fig. 1 to 4 (Family: none)	1-5
A	JP 2005-142455 A (Nippon Telegraph And Telephone Corp.), 02 June 2005 (02.06.2005), paragraphs [0019] to [0044]; fig. 1 to 3 (Family: none)	1-5

Further documents are listed in the continuation of Box C.

See patent family annex.

\* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search  
26 February, 2010 (26.02.10)

Date of mailing of the international search report  
09 March, 2010 (09.03.10)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/070783

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-223022 A (NTT Electronics Corp.), 18 August 2005 (18.08.2005), paragraphs [0035] to [0067]; fig. 1 to 3 & US 2007/0200141 A1 & EP 1713133 A1 & WO 2005/076371 A1 & CN 1914741 A	1-5
A	JP 2000-22197 A (NEC Corp.), 21 January 2000 (21.01.2000), paragraphs [0011] to [0019]; fig. 1 to 4 & US 6104047 A	1-5
A	JP 11-330536 A (NEC Corp.), 30 November 1999 (30.11.1999), paragraphs [0023] to [0046]; fig. 1 to 3 (Family: none)	1-5
A	JP 8-181349 A (NEC Corp.), 12 July 1996 (12.07.1996), paragraphs [0022] to [0040]; fig. 1 to 6 & US 5654578 A	1-5
A	JP 8-242016 A (Hewlett-Packard Co.), 17 September 1996 (17.09.1996), paragraphs [0020] to [0021]; fig. 2 & US 5610416 A & EP 727824 A2	1-5
A	Y. Hirota et al., ELECTRONICS LETTERS, 2004.10.14, Vol.40, No.21, pp.1378-1379	1-5

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H01L31/107 (2006.01) i		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H01L31/107		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2010年 日本国実用新案登録公報 1996-2010年 日本国登録実用新案公報 1994-2010年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語) CiNii, JSTPlus(JDreamII), JST7580(JDreamII)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2007-5697 A (NTT エレクトロニクス株式会社) 2007.01.11, 段落【0025】 - 【0028】, 第2図 & EP 1898472 A1 & WO 2007/000996 A1	1-5
A	JP 2005-86109 A (エヌティティエレクトロニクス株式会社) 2005.03.31, 段落【0020】 - 【0033】, 第1-4図 (ファミリーなし)	1-5
A	JP 2005-142455 A (日本電信電話株式会社) 2005.06.02, 段落【0019】 - 【0044】, 第1-3図 (ファミリーなし)	1-5
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的な技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献		
国際調査を完了した日 26.02.2010	国際調査報告の発送日 09.03.2010	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 山本 元彦 電話番号 03-3581-1101 内線 3255	2K 3914

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2005-223022 A (エヌティティエレクトロニクス株式会社) 2005.08.18, 段落【0035】－【0067】, 第1-3図 & US 2007/0200141 A1 & EP 1713133 A1 & WO 2005/076371 A1 & CN 1914741 A	1-5
A	JP 2000-22197 A (日本電気株式会社) 2000.01.21, 段落【0011】－ 【0019】, 第1-4図 & US 6104047 A	1-5
A	JP 11-330536 A (日本電気株式会社) 1999.11.30, 段落【0023】－ 【0046】, 第1-3図 (ファミリーなし)	1-5
A	JP 8-181349 A (日本電気株式会社) 1996.07.12, 段落【0022】－ 【0040】, 第1-6図 & US 5654578 A	1-5
A	JP 8-242016 A (ヒューレット・パッカー・カンパニー) 1996.09.17, 段落【0020】－【0021】, 第2図 & US 5610416 A & EP 727824 A2	1-5
A	Y. Hirota et al., ELECTRONICS LETTERS, 2004.10.14, Vol.40, No.21, pp.1378-1379	1-5