

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2018-160029

(P2018-160029A)

(43) 公開日 平成30年10月11日(2018.10.11)

(51) Int.Cl. F 1 テーマコード (参考)  
**G 0 6 F 1 2 / 0 6 (2006.01)** G 0 6 F 1 2 / 0 6 5 2 0 E 5 B 0 6 0  
5 B 1 6 0

審査請求 未請求 請求項の数 13 O L (全 16 頁)

|           |                            |          |                  |
|-----------|----------------------------|----------|------------------|
| (21) 出願番号 | 特願2017-56033 (P2017-56033) | (71) 出願人 | 000003078        |
| (22) 出願日  | 平成29年3月22日 (2017.3.22)     |          | 株式会社東芝           |
|           |                            |          | 東京都港区芝浦一丁目1番1号   |
|           |                            | (71) 出願人 | 317011920        |
|           |                            |          | 東芝デバイス&ストレージ株式会社 |
|           |                            |          | 東京都港区芝浦一丁目1番1号   |
|           |                            | (74) 代理人 | 100108855        |
|           |                            |          | 弁理士 蔵田 昌俊        |
|           |                            | (74) 代理人 | 100103034        |
|           |                            |          | 弁理士 野河 信久        |
|           |                            | (74) 代理人 | 100075672        |
|           |                            |          | 弁理士 峰 隆司         |
|           |                            | (74) 代理人 | 100153051        |
|           |                            |          | 弁理士 河野 直樹        |

最終頁に続く

(54) 【発明の名称】 半導体集積回路

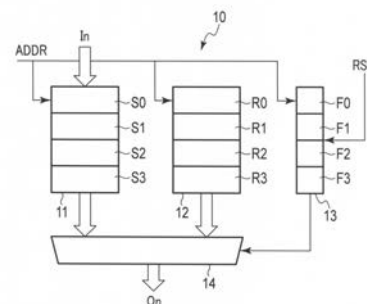
## (57) 【要約】

【課題】初期化時にSRAMから初期化データを読み出す時間を短縮できる半導体集積回路を提供する。

【解決手段】実施形態の半導体記憶装置は、初期化データを記憶するROM12と、初期化データのうち、少なくとも一部のデータを書き込み可能なSRAM11と、SRAM11に書き込みが行われたか否かを示す情報を記憶するフラグ記憶部13と、フラグ記憶部13に記憶された情報に応じて、SRAM11から出力されたデータと、ROM12から出力されたデータのいずれかを出力するセクタ14とを備える。

【選択図】 図1

図1



**【特許請求の範囲】****【請求項 1】**

初期化データを記憶する R O M と、  
前記初期化データのうち、少なくとも一部のデータを書き込み可能な S R A M と、  
前記 S R A M に書き込みが行われたか否かを示す情報を記憶するメモリと、  
前記メモリに記憶された前記情報に応じて、前記 S R A M から出力されたデータと、前記 R O M から出力されたデータのいずれかを出力するセクタと、  
を具備する半導体集積回路。

**【請求項 2】**

前記 S R A M は書き込み及び読み出しが実行される第 1 記憶領域を有し、  
前記 R O M は前記第 1 記憶領域に対応する第 2 記憶領域を有し、  
前記メモリは、前記第 1 記憶領域に対応し、前記情報として第 1 値を記憶するレジスタを有し、  
前記第 1 記憶領域、前記第 2 記憶領域、及び前記レジスタは同一のアドレスにより指定される請求項 1 に記載の半導体集積回路。

**【請求項 3】**

書き込み時に、前記第 1 記憶領域に書き込みが実行されると共に、前記レジスタの前記第 1 値が第 2 値に変更される請求項 2 に記載の半導体集積回路。

**【請求項 4】**

読み出し時に、前記レジスタに前記第 1 値が記憶されているとき、前記セクタは前記 R O M から出力されたデータを出力し、前記レジスタに前記第 2 値が記憶されているとき、前記セクタは前記 S R A M から出力されたデータを出力する請求項 3 に記載の半導体集積回路。

**【請求項 5】**

前記 S R A M は複数の第 1 記憶領域を有し、前記 R O M は前記複数の第 1 記憶領域に対応する複数の第 2 記憶領域をそれぞれ有し、  
前記メモリは前記複数の第 1 記憶領域に対応する複数のレジスタをそれぞれ有し、  
書き込み時に、前記複数の第 1 記憶領域のいずれかを指定するアドレスに基づいて、前記複数のレジスタのいずれかに第 1 値を出力するアドレスデコーダをさらに具備する請求項 1 に記載の半導体集積回路。

**【請求項 6】**

前記 S R A M は複数の第 1 記憶領域を有し、前記 R O M は前記複数の第 1 記憶領域に対応する複数の第 2 記憶領域をそれぞれ有し、  
前記メモリは前記複数の第 1 記憶領域に対応する複数のレジスタをそれぞれ有し、  
読み出し時に、前記複数の第 1 記憶領域のいずれかを指定するアドレスに基づいて、前記複数のレジスタのいずれかに記憶された前記情報を出力するセクタをさらに具備する請求項 1 に記載の半導体集積回路。

**【請求項 7】**

前記初期化データは、初期化動作を実行するときに、前記初期化動作において使用されるデータである請求項 1 乃至 6 のいずれかに記載の半導体集積回路。

**【請求項 8】**

初期化データのうち、少なくとも一部のデータを書き込み可能な S R A M と、  
前記 S R A M に書き込みが行われたか否かを示す情報を記憶するメモリと、  
前記メモリに記憶された前記情報に応じて、前記 S R A M から出力されたデータと、所定値のいずれかを出力するセクタと、  
を具備する半導体集積回路。

**【請求項 9】**

初期化データのうち、少なくとも一部のデータを書き込み可能な S R A M と、  
前記 S R A M に書き込みが行われたか否かを示す情報を記憶するメモリと、  
前記 S R A M からの出力が第 1 入力端に入力され、前記メモリに記憶された前記情報が

第 2 入力端に入力された論理積回路と、  
を具備する半導体集積回路。

【請求項 10】

前記 S R A M は書き込み及び読み出しが実行される第 1 記憶領域を有し、  
前記メモリは、前記第 1 記憶領域に対応し、前記情報として第 1 値を記憶するレジスタ  
を有し、

前記第 1 記憶領域及び前記レジスタは同一のアドレスにより指定される請求項 8 または  
9 に記載の半導体集積回路。

【請求項 11】

書き込み時に、前記第 1 記憶領域に書き込みが実行されると共に、前記レジスタの前記  
第 1 値が第 2 値に変更される請求項 10 に記載の半導体集積回路。

【請求項 12】

読み出し時に、前記メモリに記憶された前記情報が第 1 値であるとき、前記セクタは  
前記所定値を出力し、前記メモリに記憶された前記情報が第 2 値であるとき、前記セクタ  
は前記 S R A M から出力されたデータを出力する請求項 8 に記載の半導体集積回路。

【請求項 13】

読み出し時に、前記メモリに記憶された前記情報が第 1 値であるとき、前記論理積回路  
は第 2 入力端に入力された前記第 1 値を出力し、前記メモリに記憶された前記情報が第 2  
値であるとき、前記論理積回路は前記 S R A M から出力されたデータを出力する請求項 9  
に記載の半導体集積回路。

【発明の詳細な説明】

【技術分野】

【0001】

実施形態は、S R A M を有する半導体集積回路に関するものである。

【背景技術】

【0002】

F P G A ( field programmable gate array ) あるいは A S I C ( application specifi  
c integrated circuit ) において、初期化データ ( 初期値 ) を記憶した S R A M ( static  
random access memory ) を利用する場合がある。この場合、起動時などの初期化を行う  
ときに S R A M に対して初期化データを書き込むことで、S R A M に初期化データを与え  
ている。このため、その書き込み時間が起動時などの初期化時に必要となってしまう。ま  
た、S R A M に対するこの書き込み時間は、初期化データを記憶するために必要な S R A  
M の記憶容量が大きくなるほど長くなる。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2003 - 323392 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

初期化時に S R A M から初期化データを読み出す時間を短縮できる半導体集積回路を提  
供する。

【課題を解決するための手段】

【0005】

実施形態の半導体集積回路は、初期化データを記憶する R O M と、前記初期化データの  
うち、少なくとも一部のデータを書き込み可能な S R A M と、前記 S R A M に書き込みが  
行われたか否かを示す情報を記憶するメモリと、前記メモリに記憶された前記情報に応じ  
て、前記 S R A M から出力されたデータと、前記 R O M から出力されたデータのいずれか  
を出力するセクタとを具備する。

【図面の簡単な説明】

10

20

30

40

50

## 【 0 0 0 6 】

【図 1】図 1 は、第 1 実施形態の半導体集積回路の構成を示す図である。

【図 2】図 2 は、第 1 実施形態の半導体集積回路の初期動作を示す図である。

【図 3】図 3 は、第 1 実施形態の半導体集積回路の書き込み動作を示す図である。

【図 4】図 4 は、第 1 実施形態の半導体集積回路の読み出し動作を示す図である。

【図 5】図 5 は、第 1 実施形態の半導体集積回路の読み出し動作を示す図である。

【図 6】図 6 は、第 1 実施形態の半導体集積回路の第 1 構成例を示す図である。

【図 7】図 7 は、第 1 実施形態の半導体集積回路の第 1 構成例の動作を示すタイミングチャートである。

【図 8】図 8 は、第 1 実施形態の半導体集積回路の第 2 構成例を示す図である。

10

【図 9】図 9 は、第 1 実施形態の半導体集積回路の第 2 構成例の動作を示すタイミングチャートである。

【図 10】図 10 は、第 2 実施形態の半導体集積回路の構成を示す図である。

【図 11】図 11 は、第 2 実施形態の変形例の半導体集積回路の構成を示す図である。

【発明を実施するための形態】

## 【 0 0 0 7 】

以下、図面を参照して実施形態について説明する。以下の説明において、同一の機能及び構成を有する構成要素については同一符号を付す。また、以下に示す各実施形態は、この実施形態の技術的思想を具体化するための装置や方法を例示するものであって、構成部品の材質、形状、構造、及び配置等を下記のものに特定するものではない。

20

## 【 0 0 0 8 】

各機能ブロックは、ハードウェア、コンピュータソフトウェアのいずれかまたは両者を組み合わせたものとして実現することができる。各機能ブロックが以下の例のように区別されていることは必須ではない。例えば、一部の機能が例示の機能ブロックとは別の機能ブロックによって実行されてもよい。さらに、例示の機能ブロックがさらに細かい機能サブブロックに分割されていてもよい。

## 【 0 0 0 9 】

[ 1 ] 第 1 実施形態

第 1 実施形態の半導体集積回路について説明する。

## 【 0 0 1 0 】

30

[ 1 - 1 ] 半導体集積回路の構成

図 1 は、第 1 実施形態の半導体集積回路の構成を示す図である。図示するように、半導体集積回路 10 は、S R A M 11、R O M 12、フラグ記憶部 13、及びデータセクタ 14 を備える。

## 【 0 0 1 1 】

S R A M (static random access memory) 11 は、大容量のデータが記憶可能な揮発性メモリである。ここでは、S R A M 11 は、書き込み及び読み出しを行うアクセス単位としての記憶領域 (例えば、ワード) S 0, S 1, S 2, S 3 を有するものとする。例えば、アドレス A D D R が入力され、アドレス A D D R により記憶領域 S 0 ~ S 3 のいずれかが書き込みあるいは読み出しの対象として指定される。書き込みでは、アドレス A D D R により指定された記憶領域にデータ I n が書き込まれる。また、読み出しでは、アドレス A D D R により指定された記憶領域からデータが読み出され、データセクタ 14 に入力される。

40

## 【 0 0 1 2 】

R O M (read only memory) 12 は、例えば S R A M 11 と同じ記憶容量を持ち、S R A M 11 と同じアクセス単位の記憶領域 R 0, R 1, R 2, R 3 を有する。R O M 12 の記憶領域 R 0 ~ R 3 は、S R A M 11 の記憶領域 S 0 ~ S 3 にそれぞれ対応する。すなわち、同一のアドレス A D D R によって、対応する記憶領域 S 0 ~ S 3 の 1 つと R 0 ~ R 3 の 1 つが指定される。R O M 12 の記憶領域 R 0 ~ R 3 は、S R A M 11 に初期状態として設定されるべきデータ、すなわち初期化動作を行うために S R A M 11 に記憶されるべ

50

き初期化データ（あるいは初期値とも記す）を記憶している。読み出しでは、例えばアドレスA D D Rが入力され、アドレスA D D Rにより記憶領域R 0 ~ R 3のいずれかが読み出しの対象として指定される。さらに、指定された記憶領域からデータが読み出され、データセクタ1 4に入力される。

#### 【0 0 1 3】

フラグ記憶部1 3は、S R A M 1 1及びR O M 1 2が有する記憶領域の数と同じ数のフラグレジスタF 0 , F 1 , F 2 , F 3を有する。フラグレジスタF 0 ~ F 3の各々は、S R A M 1 1の記憶領域S 0 ~ S 3の各々に対応している。すなわち、フラグレジスタF 0は記憶領域S 0に対応し、フラグレジスタF 1は記憶領域S 1に、フラグレジスタF 2は記憶領域S 2に、フラグレジスタF 3は記憶領域S 3にそれぞれ対応している。

10

#### 【0 0 1 4】

フラグレジスタF 0 ~ F 3には、記憶領域S 0 ~ S 3の書き込み状況に応じたフラグがそれぞれ記憶される。リセット信号R S Tが入力されると、フラグレジスタF 0 ~ F 3に記憶されたフラグがリセットされる。例えば、フラグレジスタF 0 ~ F 3のフラグが“ 0 ”に設定される。書き込みでは、アドレスA D D Rにより指定されたフラグレジスタのフラグが反転される。例えば、フラグレジスタF 0 ~ F 3のフラグが“ 0 ”から“ 1 ”に設定される。読み出しでは、アドレスA D D Rにより指定されたフラグレジスタのフラグが選択され、データセクタ1 4へ出力される。

#### 【0 0 1 5】

データセクタ1 4は、フラグ記憶部1 3から受け取ったフラグが“ 0 ”のとき、R O M 1 2から読み出されたデータを選択し、出力する。一方、データセクタ1 4は、フラグが“ 1 ”のとき、S R A M 1 1から読み出されたデータを選択し、出力する。

20

#### 【0 0 1 6】

##### [ 1 - 2 ] 半導体集積回路の動作

次に、第1実施形態の半導体集積回路の動作について説明する。

#### 【0 0 1 7】

##### [ 1 - 2 - 1 ] 初期動作

図2は、第1実施形態の半導体集積回路の初期動作を示す図である。半導体集積回路1 0の起動時には、リセット信号R S Tがアサートされる。リセット信号R S Tはフラグ記憶部1 3に入力される。リセット信号R S Tにより、フラグ記憶部1 3内のフラグレジスタF 0 ~ F 3に記憶されたフラグはリセットされ、例えば0に設定される。

30

#### 【0 0 1 8】

S R A M 1 1の記憶領域S 0 ~ S 3に記憶されているデータは不定であるため、Xで示している。また、R O M 1 2の記憶領域R 0 ~ R 3には、S R A M 1 1に記憶されるべき初期化データとしてデータA , B , C , Dがそれぞれ記憶されている。

#### 【0 0 1 9】

##### [ 1 - 2 - 2 ] 書き込み動作

図3は、半導体集積回路1 0の書き込み動作を示す図である。S R A M 1 1への書き込み動作の場合、S R A M 1 1に対しては通常書き込み動作と同様に、アドレスA D D Rにより指定された記憶領域にデータI nを書き込む。

40

#### 【0 0 2 0】

この書き込みと共に、データを書き込んだ記憶領域に対応するフラグ記憶部1 3内のフラグレジスタのフラグを反転させる。すなわち、アドレスA D D Rにより指定されたフラグレジスタに記憶されているフラグを反転させる。

#### 【0 0 2 1】

具体的には、図3に示すように、S R A M 1 1では、アドレスA D D Rにより指定された記憶領域S 2にデータC 'を書き込む。この記憶領域S 2への書き込みと共に、記憶領域S 2に対応するフラグレジスタF 2のフラグを“ 0 ”から“ 1 ”に反転させる。すなわち、アドレスA D D Rにより指定されたフラグレジスタF 2のフラグを1に設定する。フラグレジスタF 2におけるフラグの反転は、記憶領域S 2に書き込みが発生したことを示

50

す。

【 0 0 2 2 】

[ 1 - 2 - 3 ] 読み出し動作

図 4 及び図 5 は、半導体集積回路 1 0 の読み出し動作を示す図である。読み出し動作の場合、アドレス A D D R により指定された S R A M 1 1 及び R O M 1 2 の記憶領域からデータをそれぞれ読み出し、読み出したデータをデータセクタ 1 4 にそれぞれ入力する。これと共に、アドレス A D D R により指定されたフラグレジスタに保持されたフラグを選択し、データセクタ 1 4 に入力する。

【 0 0 2 3 】

データセクタ 1 4 は、受け取ったフラグが “ 0 ” であれば、S R A M 1 1 への書き込みは行われていないため、R O M 1 2 から読み出したデータを選択して出力する。一方、受け取ったフラグが “ 1 ” であれば、S R A M 1 1 への書き込みが行われてデータが更新されているため、データセクタ 1 4 は S R A M 1 1 から読み出したデータを選択して出力する。

10

【 0 0 2 4 】

図 4 を用いて、S R A M 1 1 の書き込みが行われていない記憶領域への読み出し動作を具体的に説明する。例えば、記憶領域 S 1 への読み出し動作を述べる。S R A M 1 1 の記憶領域 S 1 は書き込みが行われておらず、不定 X のままである。

【 0 0 2 5 】

まず、アドレス A D D R 1 により指定された S R A M 1 1 の記憶領域 S 1 及び R O M 1 2 の記憶領域 R 1 からデータをそれぞれ読み出し、データセクタ 1 4 の第 1、第 2 入力端にそれぞれ入力する。このとき、アドレス A D D R 1 により指定されたフラグレジスタ F 1 からフラグを読み出し、データセクタ 1 4 の制御端に入力する。

20

【 0 0 2 6 】

データセクタ 1 4 は、フラグレジスタ F 1 のフラグが “ 0 ” であるとき、R O M 1 2 の記憶領域 R 1 から読み出されたデータ B を選択し、出力する。

【 0 0 2 7 】

次に、図 5 を用いて、S R A M 1 1 の書き込みが行われた記憶領域への読み出し動作を具体的に説明する。例えば、記憶領域 S 2 への読み出し動作を述べる。S R A M 1 1 の記憶領域 S 2 は書き込みが行われており、データ C ' が記憶されている。

30

【 0 0 2 8 】

まず、アドレス A D D R 2 により指定された S R A M 1 1 の記憶領域 S 2 及び R O M 1 2 の記憶領域 R 2 からデータをそれぞれ読み出し、データセクタ 1 4 の第 1、第 2 入力端にそれぞれ入力する。このとき、アドレス A D D R 2 により指定されたフラグレジスタ F 2 からフラグを読み出し、データセクタ 1 4 の制御端に入力する。

【 0 0 2 9 】

データセクタ 1 4 は、フラグレジスタ F 2 のフラグが “ 1 ” であるとき、S R A M 1 1 の記憶領域 S 2 から読み出されたデータ C ' を選択し、出力する。

【 0 0 3 0 】

[ 1 - 3 ] 半導体集積回路の詳細な第 1 構成例と動作

40

次に、第 1 実施形態の半導体集積回路の詳細な構成例を説明する。

【 0 0 3 1 】

[ 1 - 3 - 1 ] 第 1 構成例の回路

図 6 は、第 1 実施形態の半導体集積回路の第 1 構成例を示す図である。この第 1 構成例は、1 組の入出力ポートで書き込み及び読み出しを制御する例である。この例では、書き込みと読み出しの制御信号が共通である。

【 0 0 3 2 】

半導体集積回路 1 0 は、S R A M 1 1、R O M 1 2、フラグ記憶部 1 3、データセクタ 1 4、フラグ書き込み回路 1 5、フラグ読み出し回路 1 6、及びレイテンシレジスタ 1 7 を備える。

50

## 【 0 0 3 3 】

S R A M 1 1、R O M 1 2、データセクタ 1 4 の構成は図 1 に示した構成と同様である。例えば、S R A M 1 1 は 4 つの記憶領域 S 0 ~ S 3 を持ち、記憶領域 S 0 ~ S 3 のそれぞれにアドレスが割り当てられる。R O M 1 2 が持つ記憶領域 R 0 ~ R 3 は S R A M 1 1 の記憶領域 S 0 ~ S 3 にそれぞれ対応し、フラグ記憶部 1 3 が持つフラグレジスタ F 0 ~ F 3 は S R A M 1 1 の記憶領域 S 0 ~ S 3 にそれぞれ対応する。対応する記憶領域 S 0 , R 0、フラグレジスタ F 0、あるいは記憶領域 S 1 , R 1、フラグレジスタ F 1、あるいは記憶領域 S 2 , R 2、フラグレジスタ F 2、あるいは記憶領域 S 3 , R 3、フラグレジスタ F 3 にはそれぞれ同一のアドレスが割り当てられる。

## 【 0 0 3 4 】

10

フラグ記憶部 1 3 は、フラグレジスタ F 0 ~ F 3、アドレスデコーダ 1 3 A、及びフラグセクタ 1 3 B を有する。フラグレジスタ F 0 ~ F 3 の各々はフリップフロップから構成される。

## 【 0 0 3 5 】

アドレスデコーダ 1 3 A は、フラグレジスタ F 0 ~ F 3 のうち、フラグを反転するフラグレジスタを選択する。アドレスデコーダ 1 3 A には信号 “ 1 ” が入力されている。アドレスデコーダ 1 3 A は、アドレス信号 A m を受信し、アドレス信号 A m に応じて信号 “ 1 ” を出力するフラグレジスタをフラグレジスタ F 0 ~ F 3 のうちから選択し、選択したフラグレジスタに “ 1 ” を出力する。

## 【 0 0 3 6 】

20

フラグセクタ 1 3 B は、フラグレジスタ F 0 ~ F 3 から出力されたフラグのうち、いずれかのフラグを選択する。フラグセクタ 1 3 B は、アドレス信号 A m を受信し、アドレス信号 A m に応じてフラグレジスタ F 0 ~ F 3 の出力からいずれかを選択し、選択した出力（フラグ）をレイテンシレジスタ 1 7 に出力する。

## 【 0 0 3 7 】

フラグ書き込み回路 1 5 は、フラグレジスタ F 0 ~ F 3 に書き込みを行うタイミングを制御する。フラグ書き込み回路 1 5 は、論理積回路（以下、A N D 回路と記す）A 1 , A 2 を有する。

## 【 0 0 3 8 】

フラグ読み出し回路 1 6 は、フラグレジスタ F 0 ~ F 3 から読み出しを行うタイミングを制御する。フラグ読み出し回路 1 6 は、A N D 回路 A 3 , A 4、及びレジスタ 1 6 A を有する。レジスタ 1 6 A はフリップフロップから構成される。

30

## 【 0 0 3 9 】

レイテンシレジスタ 1 7 は、フラグ読み出し回路 1 6 の出力により、フラグセクタ 1 3 B から出力されたフラグの出力タイミングを調整する。レイテンシレジスタ 1 7 から出力されたフラグは、データセクタ 2 の制御端に入力される。レイテンシレジスタ 1 7 は、フリップフロップから構成される。

## 【 0 0 4 0 】

次に、第 1 構成例の回路接続について説明する。

## 【 0 0 4 1 】

40

チップイネーブル信号 C E N は、S R A M 1 1、R O M 1 2、フラグ書き込み回路 1 5、及びフラグ読み出し回路 1 6 に入力される。ライトイネーブル信号 W E N は、S R A M 1 1、R O M 1 2、フラグ書き込み回路 1 5、及びフラグ読み出し回路 1 6 に入力される。アドレス信号 A m は、S R A M 1 1、R O M 1 2、アドレスデコーダ 1 3 A、及びフラグセクタ 1 3 B に入力される。さらに、クロック信号 C L K は、S R A M 1 1、R O M 1 2、フラグ書き込み回路 1 5、及びフラグ読み出し回路 1 6 に入力される。

## 【 0 0 4 2 】

A N D 回路 A 1 の第 1 及び第 2 入力端に、チップイネーブル信号 C E N 及びライトイネーブル信号 W E N の反転信号がそれぞれ入力される。A N D 回路 A 1 の出力は、A N D 回路 A 2 の第 1 入力端に入力される。A N D 回路 A 2 の第 2 入力端には、クロック信号 C L

50

Kが入力される。

【0043】

AND回路A2の出力は、フラグレジスタF0～F3の制御端にそれぞれ入力される。フラグレジスタF0～F3の入力端には、アドレスデコーダ13Aの出力がそれぞれ入力される。フラグレジスタF0～F3のリセット端には、リセット信号RSTがそれぞれ入力される。フラグレジスタF0～F3の出力は、フラグセクタ13Bの入力端にそれぞれ入力される。さらに、フラグセクタ13Bの出力は、レイテンシレジスタ17の入力端に入力される。

【0044】

AND回路A3の第1入力端には、チップイネーブル信号CENの反転信号が入力される。AND回路A3の第2入力端には、ライトイネーブル信号WENが入力される。AND回路A3の出力は、レジスタ16Aの入力端に入力される。レジスタ16Aの制御端及びAND回路A4の第1入力端には、クロック信号CLKが入力される。レジスタ16Aのリセット端にはリセット信号RSTが入力される。レジスタ16Aの出力は、AND回路A4の第2入力端に入力される。

10

【0045】

AND回路A4の出力は、レイテンシレジスタ17の制御端に入力される。レイテンシレジスタ17のリセット端には、リセット信号RSTが入力される。さらに、レイテンシレジスタ17の出力は、データセクタ14の制御端に入力される。

【0046】

20

[1-3-2] 第1構成例の動作

図7は、半導体集積回路10の第1構成例の動作を示すタイミングチャートである。

【0047】

図7に示す期間(1)は、SRAM11、ROM12、及びフラグ記憶部13のリセット状態を示している。リセット信号RSTとして“0”が入力されたとき、このリセット状態となる。リセット信号RSTとして“0”が入力されることにより、フラグレジスタF0～F3は“0”にリセットされる。一方、SRAM11はリセット信号RSTの影響を受けないため、SRAM11の記憶領域S0～S3が記憶するデータは不定(図7においてXと表示)である。ROM12の記憶領域R0～R3は、SRAM11に記憶されるべき初期化データ(初期値)を記憶している。

30

【0048】

その後、リセット信号RSTとして“1”が入力されることにより、リセット状態が解除され、以降の通常動作(書き込み動作及び読み出し動作)へと移行する。

【0049】

図7に示す期間(2)は、SRAM11への書き込み動作を示している。ここでは、SRAM11の記憶領域S1にデータB'を書き込む場合を述べる。

【0050】

まず、チップイネーブル信号CENとして“0”、かつライトイネーブル信号WENとして“0”が入力されたとき、書き込み動作が開始される。アドレス信号AmとしてA1(記憶領域S1を指定するアドレス)が入力され、入力データInとしてB'が入力される。これにより、SRAM11の記憶領域S1にデータB'が書き込まれる。

40

【0051】

SRAM11の記憶領域S1への書き込み動作と共に、記憶領域S1に対応するフラグレジスタF1に“1”が書き込まれる。

【0052】

図7に示す期間(3)は、未書き込みのアドレスA3に対する読み出し動作を示している。ここでは、アドレスA3により指定されるSRAM11の記憶領域S3及びROM12の記憶領域R3を読み出し、記憶領域R3から読み出したデータを出力する。

【0053】

まず、チップイネーブル信号CENとして“0”、かつライトイネーブル信号WENと

50

して“ 1 ”が入力されたとき、読み出し動作が開始される。アドレス信号 A m として A 3 が入力される。これにより、アドレス A 3 が指定する記憶領域 S 3 及び R 3 からデータが読み出され、データセクタ 1 4 にそれぞれ出力される。

【 0 0 5 4 】

このとき、記憶領域 S 3 に対応するフラグレジスタ F 3 のフラグは“ 0 ”となっている。これは S R A M 1 1 の記憶領域 S 3 が未書き込みであること、すなわちリセット状態の後、記憶領域 S 3 に書き込みが行われていないことを示している。このため、データセクタ 1 4 は、フラグセクタ 1 3 B からレイテンシレジスタ 1 7 を介して“ 0 ”を受け取ると、R O M 1 2 の記憶領域 R 3 に初期値として設定されたデータ D を選択して、データ O n として出力する。

10

【 0 0 5 5 】

図 7 に示す期間 ( 4 ) は、書き込みが実行済みのアドレス A 1 に対する読み出し動作を示している。ここでは、アドレス A 1 により指定される S R A M 1 1 の記憶領域 S 1 及び R O M 1 2 の記憶領域 R 1 を読み出し、記憶領域 S 1 から読み出したデータを出力する。記憶領域 S 1 は、期間 ( 2 ) で説明したように、書き込みが実行された領域である。

【 0 0 5 6 】

まず、期間 ( 3 ) と同様に、チップイネーブル信号 C E N として“ 0 ”、かつライトイネーブル信号 W E N として“ 1 ”が入力されたとき、読み出し動作が開始される。アドレス信号 A m として A 1 が入力される。これにより、アドレス A 1 が指定する記憶領域 S 1 及び R 1 からデータが読み出され、データセクタ 1 4 にそれぞれ出力される。

20

【 0 0 5 7 】

このとき、フラグレジスタ F 1 のフラグは“ 1 ”となっている。これは S R A M 1 1 の記憶領域 S 1 が書き込み済みであること、すなわちリセット状態の後、記憶領域 S 1 に書き込みが行われていることを示している。このため、データセクタ 1 4 は、フラグセクタ 1 3 B からレイテンシレジスタ 1 7 を介して“ 1 ”を受け取ると、S R A M 1 1 の記憶領域 S 1 に書き込まれたデータ B ' を選択して、データ O n として出力する。

【 0 0 5 8 】

[ 1 - 4 ] 半導体集積回路の詳細な第 2 構成例と動作

次に、第 1 実施形態の半導体集積回路の詳細な他の構成例を説明する。

【 0 0 5 9 】

30

[ 1 - 4 - 1 ] 第 2 構成例の回路

図 8 は、第 1 実施形態の半導体集積回路の第 2 構成例を示す図である。この第 2 構成例は、2 組の入出力ポートで書き込み及び読み出しを別々に行う例である。この例では、書き込みと読み出しの制御信号が別々である。

【 0 0 6 0 】

半導体集積回路 1 0 は、S R A M 1 1、R O M 1 2、フラグ記憶部 1 3、データセクタ 1 4、フラグ書き込み回路 1 8、フラグ読み出し回路 1 9、及びレイテンシレジスタ 1 7 を備える。S R A M 1 1、R O M 1 2、フラグ記憶部 1 3、データセクタ 1 4、及びレイテンシレジスタ 1 7 の構成は図 1 または図 6 に示した構成と同様である。

【 0 0 6 1 】

40

フラグ書き込み回路 1 8 は、フラグレジスタ F 0 ~ F 3 に書き込みを行うタイミングを制御する。フラグ書き込み回路 1 8 は A N D 回路を有する。

【 0 0 6 2 】

フラグ読み出し回路 1 9 は、フラグレジスタ F 0 ~ F 3 から読み出しを行うタイミングを制御する。フラグ読み出し回路 1 9 は、レジスタ 1 6 A 及び A N D 回路 A 4 を有する。

【 0 0 6 3 】

次に、第 2 構成例の回路接続について説明する。

【 0 0 6 4 】

ライトイネーブル信号 W A E N は、S R A M 1 1 及びフラグ書き込み回路 1 8 に入力される。ライトアドレス信号 W A A m は、S R A M 1 1 及びアドレスデコーダ 1 3 A に入力

50

される。さらに、ライトクロック信号W A C L Kは、S R A M 1 1及びフラグ書き込み回路1 8に入力される。

【 0 0 6 5 】

フラグ書き込み回路1 8の出力は、フラグレジスタF 0 ~ F 3の制御端にそれぞれ入力される。フラグレジスタF 0 ~ F 3の入力端には、アドレスデコーダ1 3 Aの出力がそれぞれ入力される。フラグレジスタF 0 ~ F 3のリセット端には、リセット信号W R S Tがそれぞれ入力される。フラグレジスタF 0 ~ F 3の出力は、フラグセクタ1 3 Bの入力端にそれぞれ入力される。さらに、フラグセクタ1 3 Bの出力は、レイテンシレジスタ1 7の入力端に入力される。

【 0 0 6 6 】

リードイネーブル信号R B E Nは、S R A M 1 1、R O M 1 2、及びレジスタ1 6 Aの入力端に入力される。リードアドレス信号R B A mは、S R A M 1 1、R O M 1 2、及びフラグセクタ1 3 Bに入力される。さらに、リードクロック信号R B C L Kは、S R A M 1 1、R O M 1 2、レジスタ1 6 Aの制御端、及びA N D回路A 4の第1入力端に入力される。レジスタ1 6 Aのリセット端にはリードリセット信号R R S Tが入力される。レジスタ1 6 Aの出力は、A N D回路A 4の第2入力端に入力される。

【 0 0 6 7 】

A N D回路A 4の出力は、レイテンシレジスタ1 7の制御端に入力される。レイテンシレジスタ1 7のリセット端には、リードリセット信号R R S Tが入力される。さらに、レイテンシレジスタ1 7の出力は、データセクタ1 4の制御端に入力される。

【 0 0 6 8 】

[ 1 - 4 - 2 ] 第2構成例の動作

図9は、半導体集積回路1 0の第2構成例の動作を示すタイミングチャートである。

【 0 0 6 9 】

図9に示す期間( 1 )は、S R A M 1 1、R O M 1 2、及びフラグ記憶部1 3のリセット状態を示している。ライトリセット信号W R S Tとして“ 0 ”、かつリードリセット信号R R S Tとして“ 0 ”が入力されたとき、このリセット状態となる。ライトリセット信号W R S Tとして“ 0 ”が入力されることにより、フラグレジスタF 0 ~ F 3は“ 0 ”にリセットされる。一方、S R A M 1 1はライトリセット信号W R S T及びリードリセット信号R R S Tの影響を受けないため、S R A M 1 1の記憶領域S 0 ~ S 3が記憶するデータは不定( 図7においてXと表示 )である。R O M 1 2の記憶領域R 0 ~ R 3は、S R A M 1 1に記憶されるべき初期化データ( 初期値 )を記憶している。

【 0 0 7 0 】

その後、リードリセット信号R R S Tとして“ 1 ”、かつライトリセット信号W R S Tとして“ 1 ”が入力されることにより、リセット状態が解除され、以降の書き込み動作及び読み出し動作へと移行する。

【 0 0 7 1 】

図9に示す期間( 2 )は、未書き込みのアドレスA 0に対する読み出し動作を示している。ここでは、アドレスA 0により指定されるS R A M 1 1の記憶領域S 0及びR O M 1 2の記憶領域R 0を読み出し、記憶領域R 0から読み出したデータを出力する。

【 0 0 7 2 】

まず、リードイネーブル信号R B E Nとして“ 0 ”が入力されたとき、読み出し動作が開始される。アドレス信号R B A mとしてA 0が入力される。これにより、アドレスA 0が指定する記憶領域S 0及びR 0からデータが読み出され、データセクタ1 4にそれぞれ出力される。

【 0 0 7 3 】

このとき、記憶領域S 0に対応するフラグレジスタF 0のフラグは“ 0 ”となっている。これはS R A M 1 1の記憶領域S 0が未書き込みであること、すなわちリセット状態の後、記憶領域S 0に書き込みが行われていないことを示している。このため、データセクタ1 4は、フラグセクタ1 3 Bからレイテンシレジスタ1 7を介して“ 0 ”を受け取

10

20

30

40

50

ると、ROM 12 の記憶領域 R 0 に初期値として設定されたデータ A を選択して、データ R B O n として出力する。

【 0 0 7 4 】

図 9 に示す期間 ( 3 ) は、SRAM 11 への書き込み動作を示している。ここでは、SRAM 11 の記憶領域 S 0 にデータ A ' を書き込む場合を述べる。

【 0 0 7 5 】

まず、ライトイネーブル信号 W A E N として “ 0 ” が入力されたとき、書き込み動作が開始される。アドレス信号 W A A m として A 0 ( 記憶領域 S 0 を指定するアドレス ) が入力され、入力データ W A I n として A ' が入力される。これにより、SRAM 11 の記憶領域 S 0 にデータ A ' が書き込まれる。

【 0 0 7 6 】

SRAM 11 の記憶領域 S 0 への書き込み動作と共に、記憶領域 S 0 に対応するフラグレジスタ F 0 に “ 1 ” が書き込まれる。

【 0 0 7 7 】

図 9 に示す期間 ( 4 ) は、書き込みが実行済みのアドレス A 0 に対する読み出し動作を示している。ここでは、アドレス A 0 により指定される SRAM 11 の記憶領域 S 0 及び ROM 12 の記憶領域 R 0 を読み出し、記憶領域 S 0 から読み出したデータを出力する。記憶領域 S 0 は、期間 ( 3 ) で説明したように、書き込みが実行された領域である。

【 0 0 7 8 】

まず、期間 ( 2 ) と同様に、リードイネーブル信号 R B E N として “ 0 ” が入力されたとき、読み出し動作が開始される。アドレス信号 R B A m として A 0 が入力される。これにより、アドレス A 0 が指定する記憶領域 S 0 及び R 0 からデータが読み出され、データセクタ 1 4 にそれぞれ出力される。

【 0 0 7 9 】

このとき、記憶領域 S 0 に対応するフラグレジスタ F 0 のフラグは “ 1 ” となっている。これは SRAM 11 の記憶領域 S 0 が書き込み済みであること、すなわちリセット状態の後、記憶領域 S 0 に書き込みが行われていることを示している。このため、データセクタ 1 4 は、フラグセクタ 1 3 B からレイテンシレジスタ 1 7 を介して “ 1 ” を受け取ると、SRAM 11 の記憶領域 S 0 に書き込まれたデータ A ' を選択して、データ R B O n として出力する。

【 0 0 8 0 】

[ 1 - 5 ] 第 1 実施形態の効果

第 1 実施形態の半導体集積回路によれば、起動時あるいは初期化時に SRAM から初期化データを読み出す時間を短縮することができる。

【 0 0 8 1 】

以下に、第 1 実施形態の半導体記憶装置の効果について詳述する。

【 0 0 8 2 】

半導体集積回路、例えば、FPGA あるいは ASIC では、起動時あるいは初期化時に FPGA あるいは ASIC 内の SRAM に初期化データを設定する場合、SRAM に対して書き込みを行うことで初期化データを設定している。しかし、この場合、SRAM に初期化データを書き込むため、その書き込みに要する時間が必要となる。さらに、書き込み時間は、初期化データのデータ量が大きくなるほど長くなる。

【 0 0 8 3 】

そこで、第 1 実施形態では、例えば、ROM 12 の記録領域に記憶された初期化データのうち、更新を意図する更新データを含む記憶領域と対応する SRAM の記憶領域に対して、更新データの書き込みを行う。さらに、SRAM の書き込みを行った記憶領域が識別できるように、SRAM が有する記憶領域ごとに書き込みを行ったか否を記憶するフラグレジスタを備える。

【 0 0 8 4 】

これにより、SRAM の第 1 記憶領域に書き込みが行われていない場合は、第 1 記憶領

10

20

30

40

50

域に対応するROM 12の記憶領域に予め記憶されていた初期値を出力する。一方、SRAMの第2記憶領域に書き込みが行われている場合は、SRAMの第2記憶領域に記憶された更新データを出力する。これにより、第1実施形態では、更新したい初期値を記憶したROM 12の記憶領域に対応するSRAM 11の記憶領域に対してだけ書き込みを行えばよく、全ての初期化データをSRAMに書き込む必要がない。したがって、起動時あるいは初期化時に、SRAM 11及びROM 12を含む初期化データを記憶した回路から初期化データを読み出す時間を短くできる。この結果、SRAMに全ての初期化データを書き込んだ後、SRAMから初期化データを読み出す場合に比べて、初期化データの読み出しに要する時間を短縮することができる。

【0085】

10

[2]第2実施形態

第2実施形態では、SRAM 11に記憶されるべき初期化データが“0”に限定される場合の例を説明する。

【0086】

[2-1]半導体集積回路の構成及び動作

図10は、第2実施形態の半導体集積回路の構成を示す図である。SRAM 11に記憶されるべき初期化データが“0”に限定される場合、すなわちSRAM 11に記憶されるべき初期化データが全て“0”に設定されている場合、図10に示すように、図1に示した第1実施形態の構成からROM 12を削除し、すなわち、データセクタ14の一方側の入力端に接続されていたROM 12を削除し、その入力端に固定値“0”を入力する。その他の構成は図1に示した第1実施形態と同様である。

20

【0087】

第2実施形態の初期動作及び書き込み動作は第1実施形態と同様である。

【0088】

読み出し動作では、アドレスADDRにより指定されたSRAM 11の記憶領域からデータを読み出し、読み出したデータをデータセクタ14の第1入力端に入力する。また、固定値“0”をデータセクタ14の第2入力端に入力する。これと共に、アドレスADDRにより指定されたフラグレジスタに保持されたフラグを選択し、データセクタ14に入力する。

【0089】

30

データセクタ14は、受け取ったフラグが“0”であれば、SRAM 11への書き込みは行われていないため、固定値“0”を選択して出力する。一方、受け取ったフラグが“1”であれば、SRAM 11への書き込みが行われてデータが更新されているため、データセクタ14はSRAM 11から読み出したデータを選択して出力する。

【0090】

[2-2]半導体集積回路の変形例の構成及び動作

SRAM 11に記憶されるべき初期化データが“0”に限定される場合、データセクタ14をAND回路21に置き換えることができる。

【0091】

40

図11は、第2実施形態の変形例の半導体集積回路の構成を示す図である。この変形例では、図示するように、図1に示した第1実施形態の構成からROM 12を削除し、データセクタ14をAND回路21に置き換える。さらに、SRAM 11の出力はAND回路21の第1入力端に入力され、フラグ記憶部13から出力されるフラグは、AND回路21の第2入力端に入力される。

【0092】

変形例の初期動作及び書き込み動作は第1実施形態と同様である。

【0093】

読み出し動作では、AND回路21の第2入力端に入力されるフラグが“0”の場合、すなわちSRAM 11の記憶領域に書き込みがない場合、SRAM 11からの出力に係わず、AND回路21からフラグの“0”が出力される。

50

## 【 0 0 9 4 】

一方、AND回路21の第2入力端に入力されるフラグが“1”の場合、すなわちSRAM11の記憶領域に書き込みがあった場合、AND回路21の出力はSRAM11からの出力データとなる。

## 【 0 0 9 5 】

## [ 2 - 4 ] 第2実施形態の効果

第2実施形態及びその変形例の半導体集積回路によれば、起動時あるいは初期化時にSRAMから初期化データを読み出す時間を短縮することができる。

## 【 0 0 9 6 】

また、第2実施形態では、データセクタ14のROM12の出力データを受け取る入力端を固定値に設定できるため、ROM12を削減できる。これにより、半導体集積回路の構成を簡素化することができる。

10

## 【 0 0 9 7 】

また、変形例では、AND回路21の入力端を“0”に固定する回路も必要としないため、第2実施形態よりさらに構成を簡素化することができる。

## 【 0 0 9 8 】

その他の効果は第1実施形態と同様である。

## 【 0 0 9 9 】

## [ 3 ] その他変形例等

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

20

## 【 符号の説明 】

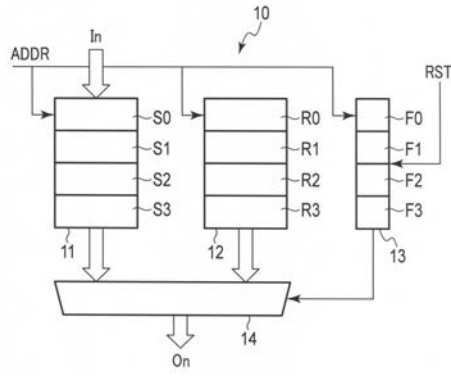
## 【 0 1 0 0 】

10 ... 半導体集積回路、11 ... SRAM、12 ... ROM、13 ... フラグ記憶部、13A ... アドレスデコーダ、13B ... フラグセクタ、14 ... データセクタ、15 ... フラグ書き込み回路、16 ... フラグ読み出し回路、16A ... レジスタ、17 ... レイテンシレジスタ、21 ... 論理積回路 (AND回路)、S0, S1, S2, S3 ... 記憶領域、R0, R1, R2, R3 ... 記憶領域、F0, F1, F2, F3 ... フラグレジスタ。

30

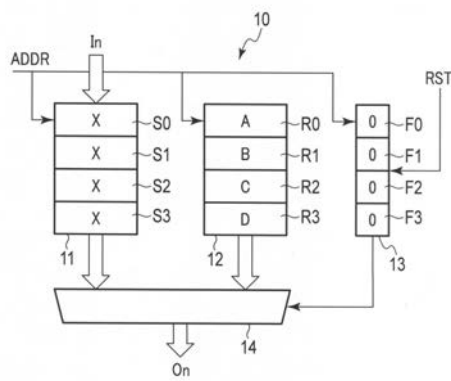
【図 1】

図1



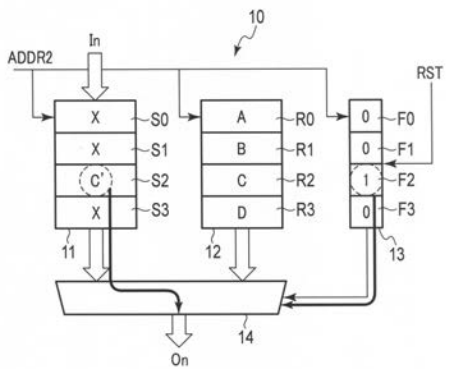
【図 2】

図2



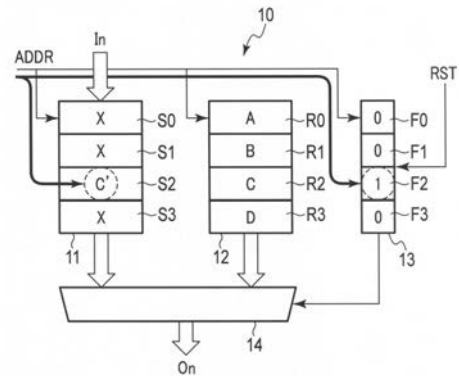
【図 5】

図5



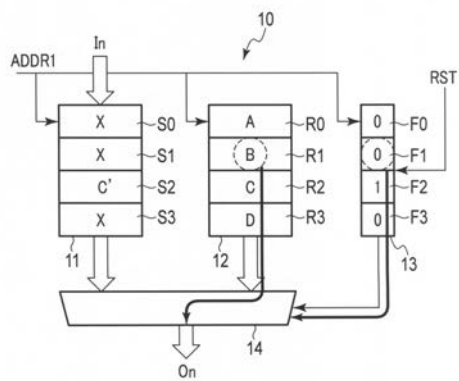
【図 3】

図3



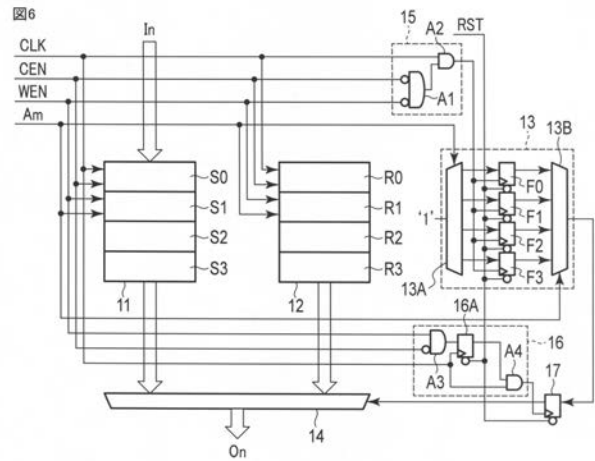
【図 4】

図4

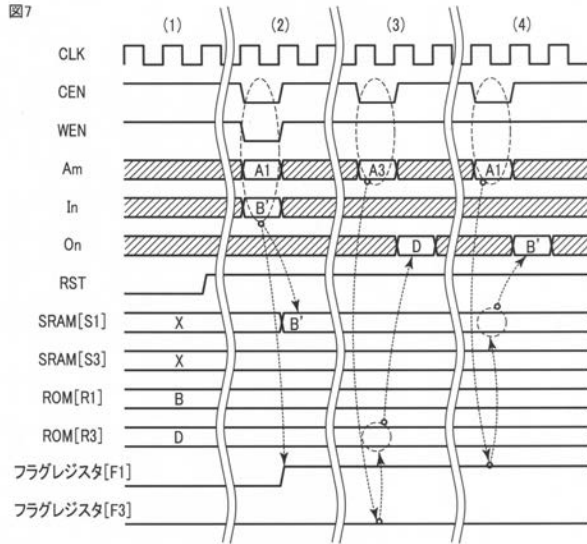


【図 6】

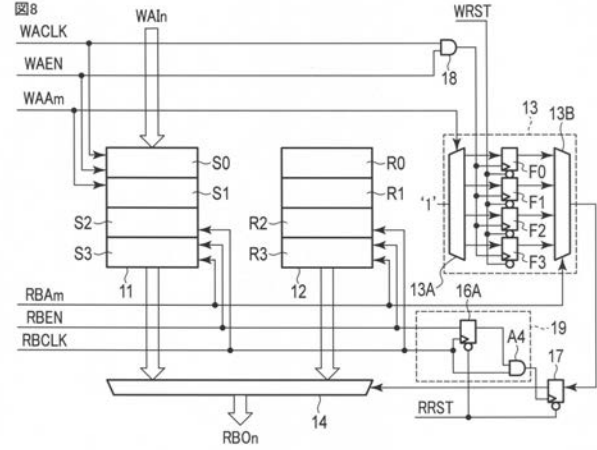
図6



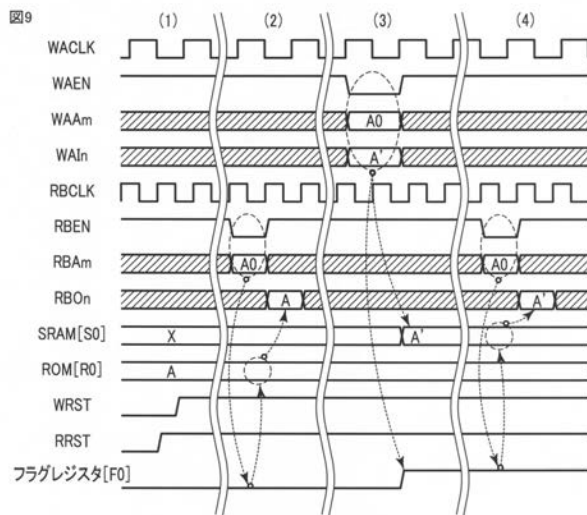
【図 7】



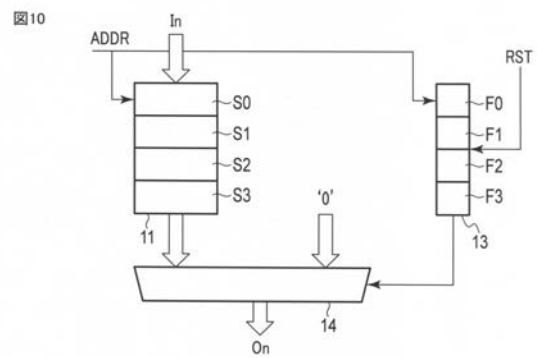
【図 8】



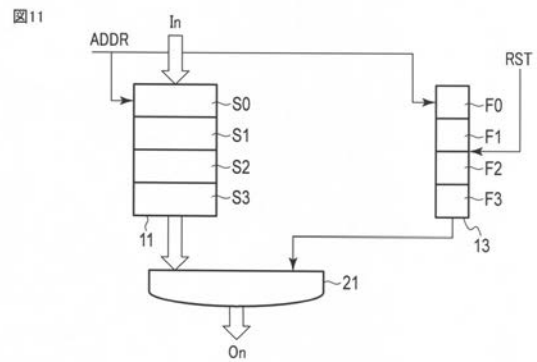
【図 9】



【図 10】



【図 11】



---

フロントページの続き

(74)代理人 100189913

弁理士 鵜飼 健

(72)発明者 安達 義則

東京都港区芝浦一丁目 1 番 1 号 株式会社東芝内

F ターム(参考) 5B060 MM02

5B160 MM02