

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2017 年 12 月 21 日 (21.12.2017)



(10) 国际公布号
WO 2017/215040 A1

(51) 国际专利分类号:
G09G 3/36 (2006.01)

(21) 国际申请号: PCT/CN2016/087802

(22) 国际申请日: 2016 年 6 月 30 日 (30.06.2016)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201610415545.8 2016年6月13日 (13.06.2016) CN

(71) 申请人: 深圳市华星光电技术有限公司(SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号谭玉, Guangdong 518132 (CN)。

(72) 发明人: 徐向阳(XU, Xiangyang); 中国广东省深圳市光明新区塘明大道 9-2 号谭玉, Guangdong 518132 (CN)。

(74) 代理人: 深圳翼盛智成知识产权事务所(普通合伙)(ESSEN PATENT&TRADEMARK AGENCY); 中国广东省深圳市福田区深南大道6021号喜年中心A座1709-1711, Guangdong 518040 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,

(54) Title: GATE DRIVING CIRCUIT AND LIQUID CRYSTAL DISPLAY APPARATUS

(54) 发明名称: 栅极驱动电路及液晶显示装置

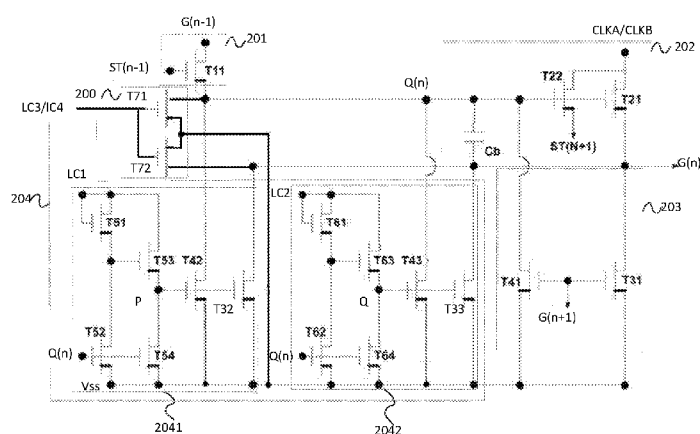


图 2

(57) Abstract: Disclosed are a gate driving circuit and a liquid crystal display apparatus. The gate driving circuit comprises a plurality of stages of gate driving units, wherein an Nth stage of gate driving unit comprises: a pull-up control module (201), a pull-up module (202), a first pull-down module (203), a pull-down control module (204) and a second pull-down module (200), wherein the second pull-down module (200) comprises a first thin-film transistor (T71) and a second thin-film transistor (T72).

(57) 摘要: 公开了一种栅极驱动电路及液晶显示装置。该栅极驱动电路包括多级连接的栅极驱动单元, 其中第 N 级栅极驱动单元包括: 上拉控制模块 (201)、上拉模块 (202)、第一下拉模块 (203)、下拉控制模块 (204)、第二下拉模块 (200); 第二下拉模块 (200) 包括第一薄膜晶体管 (T71)、第二薄膜晶体管 (T72)。

IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

发明名称：栅极驱动电路及液晶显示装置

技术领域

- [1] 本发明涉及显示器领域，特别是涉及一种栅极驱动电路及液晶显示装置。

背景技术

- [2] 栅极驱动电路简称GOA（Gate Driver On Array）电路，利用现有薄膜晶体管液晶显示器的阵列制程技术将栅极行扫描驱动信号电路制作在阵列基板上，实现对栅极逐行扫描的驱动方式。
- [3] 现有的第N级GOA单元的结构图，如图1所示，主要包括：上拉控制模块101、上拉模块102、下拉模块103、下拉控制模块104。其中，第N-1级信号第一输入端输入的信号为G（n-1）、第N-1级信号第二输入端输入的信号为ST（n-1）、第N+1级信号输入端输入的信号为G（n+1），第一输出端的输出信号为G（n）、第二输出端的输出信号为ST（n+1）、下拉点的信号为Q（n）、高频时钟信号输入端输入的信号为CLKA、CLKB，在实际应用过程中，由于上拉模块102的薄膜晶体管的源极和栅极之间存在着耦合电容，使得下拉点的电位或者第一输出端的电压被拉低时，存在着波动，降低了栅极驱动电路的信耐性和使用寿命。
- [4] 因此，有必要提供一种栅极驱动电路及液晶显示装置，以解决现有技术所存在的问题。

对发明的公开

技术问题

- [5] 本发明的目的在于提供一种栅极驱动电路及液晶显示装置，以解决现有技术中下拉点被拉低时容易出现波动的技术问题。

问题的解决方案

技术解决方案

- [6] 为解决上述技术问题，本发明构造了一种栅极驱动电路，其包括多级连接的栅极驱动单元，其中第N级栅极驱动单元包括：
- [7] 第N-1级信号第一输入端、第N-1级信号第二输入端、第N+1级信号输入端、高

频时钟信号输入端、第一输出端、第二输出端、下拉点、第一低频时钟信号输入端、以及低电平输入端，其中N为大于3的正整数；

- [8] 其中，所述第N-1级信号第一输入端与第N-1级的栅极驱动单元的第一输出端相连；所述第N-1级信号第二输入端与第N-1级的栅极驱动单元的第二输出端相连、所述第一输出端与第N+1级的栅极驱动单元的第N-1级信号第一输入端相连；所述第二输出端与第N+1级的栅极驱动单元的第N-1级信号第二输入端连接；所述第一输出端，用于向显示区域的第N级的扫描线提供扫描信号；
- [9] 所述第N级栅极驱动单元还包括：
- [10] 上拉控制模块，分别与所述第N-1级信号第一输入端、所述第N-1级信号第二输入端以及所述下拉点连接，用于上拉所述下拉点的电位；所述上拉控制模块包括第三薄膜晶体管，所述第三薄膜晶体管具有第三栅极、第三源极及第三漏极；所述第三源极连接所述第N-1级信号第一输入端，所述第三栅极连接所述第N-1级信号第二输入端，所述第三漏极连接所述下拉点；
- [11] 上拉模块，分别与所述高频时钟信号输入端、所述第一输出端、以及所述第二输出端连接，并与所述上拉控制模块共同连接于所述下拉点，用于对所述第一输出端和所述第二输出端的信号进行充电，以及使所述下拉点达到更高的电位；
- [12] 第一下拉模块，分别与所述第N+1级信号输入端连接，并与所述上拉模块共同连接于所述第一输出端，与所述上拉控制模块共同连接于所述下拉点，用于在所述第一输出端的信号处于非充电状态时，下拉所述下拉点以及所述第一输出端的电位；
- [13] 下拉控制模块，分别与所述上拉控制模块、所述上拉模块连接，用于在所述下拉点的电位处于低电位时，下拉所述下拉点以及所述第一输出端的电位；以及
- [14] 第二下拉模块，包括第一薄膜晶体管、第二薄膜晶体管，所述第二下拉模块与所述第一低频时钟信号输入端、所述下拉控制模块连接，并与所述上拉控制模块、所述上拉模块共同连接于所述下拉点；用于使所述下拉点下拉后的电位和所述第一输出端下拉后的电位等于预设电压；
- [15] 所述第一薄膜晶体管具有第一栅极、第一源极及第一漏极；所述第二薄膜晶体

管具有第二栅极、第二源极及第二漏极；所述第一栅极和第二栅极都连接所述第一低频时钟信号输入端连接，所述第一源极连接所述下拉点；所述第一漏极连接所述低电平输入端；所述第二源极连接所述第一输出端；所述第二漏极连接所述低电平输入端。

[16] 为解决上述技术问题，本发明构造了一种栅极驱动电路，其包括多级连接的栅极驱动单元，其中第N级栅极驱动单元包括：

[17] 第N-1级信号第一输入端、第N-1级信号第二输入端、第N+1级信号输入端、高频时钟信号输入端、第一输出端、第二输出端、下拉点、第一低频时钟信号输入端、以及低电平输入端，其中N为大于3的正整数；

[18] 其中，所述第N-1级信号第一输入端与第N-1级的栅极驱动单元的第一输出端相连；所述第N-1级信号第二输入端与第N-1级的栅极驱动单元的第二输出端相连、所述第一输出端与第N+1级的栅极驱动单元的第N-1级信号第一输入端相连；所述第二输出端与第N+1级的栅极驱动单元的第N-1级信号第二输入端连接；所述第一输出端，用于向显示区域的第N级的扫描线提供扫描信号；

[19] 所述第N级栅极驱动单元还包括：

[20] 上拉控制模块，分别与所述第N-1级信号第一输入端、所述第N-1级信号第二输入端以及所述下拉点连接，用于上拉所述下拉点的电位；

[21] 上拉模块，分别与所述高频时钟信号输入端、所述第一输出端、以及所述第二输出端连接，并与所述上拉控制模块共同连接于所述下拉点，用于对所述第一输出端和所述第二输出端的信号进行充电，以及使所述下拉点达到更高的电位；

[22] 第一下拉模块，分别与所述第N+1级信号输入端连接，并与所述上拉模块共同连接于所述第一输出端，与所述上拉控制模块共同连接于所述下拉点，用于在所述第一输出端的信号处于非充电状态时，下拉所述下拉点以及所述第一输出端的电位；

[23] 下拉控制模块，分别与所述上拉控制模块、所述上拉模块连接，用于在所述下拉点的电位处于低电位时，下拉所述下拉点以及所述第一输出端的电位；

[24] 第二下拉模块，包括第一薄膜晶体管、第二薄膜晶体管，所述第二下拉模块与

所述第一低频时钟信号输入端、所述下拉控制模块连接，并与所述上拉控制模块、所述上拉模块共同连接于所述下拉点；用于使所述下拉点下拉后的电位和所述第一输出端下拉后的电位等于预设电压。

- [25] 本发明另一个目的在于提供一种液晶显示装置，包括上述栅极驱动电路，以及与所述栅极驱动电路连接的显示区域。

发明的有益效果

有益效果

- [26] 本发明的栅极驱动电路及液晶显示装置，通过增加一下拉模块，在下拉点和输出端的电位波动时，将电压进一步拉低，消除了耦合电容对栅极驱动电路的影响，进而提高了栅极驱动电路的信赖性和使用寿命。

对附图的简要说明

附图说明

- [27] 为了让本发明的上述内容能更明显易懂，下文特举优选实施例，并配合所附图式，作详细说明如下：
- [28] 图1为现有技术的第N级栅极驱动电路的结构示意图；
- [29] 图2为本发明的第N级栅极驱动电路的结构示意图；
- [30] 图3为本发明的栅极驱动电路的驱动波形图。

实施该发明的最佳实施例

本发明的最佳实施方式

- [31] 以下各实施例的说明是参考附加的图式，用以例示本发明可用以实施的特定实施例。本发明所提到的方向用语，例如「上」、「下」、「前」、「后」、「左」、「右」、「内」、「外」、「侧面」等，仅是参考附加图式的方向。因此，使用的方向用语是用以说明及理解本发明，而非用以限制本发明。
- [32] 在图中，结构相似的单元是以相同标号表示。
- [33] 请参照图2，图2为本发明的第N级栅极驱动电路的结构示意图。
- [34] 本发明的栅极驱动电路，包括多级连接的栅极驱动单元，其中第N级栅极驱动单元，如图2所示，包括：第N-1级信号第一输入端、第N-1级信号第二输入端、

第N+1级信号输入端、高频时钟信号输入端、第一输出端、第二输出端、下拉点、第一低频时钟信号输入端、以及低电平输入端，其中N为大于3的正整数；

[35] 第N-1级信号第一输入端的信号为G (N-1)、第N-1级信号第二输入端的信号为ST (N-1)、高频时钟信号输入端的信号为CLKA/CLKB、第一输出端的信号为G (N)、第二输出端的信号为ST (N+1)、下拉点的信号为Q (N)、低电平输入端VSS，第一低频时钟信号输入端的信号为LC3/LC4。

[36] 其中，所述第N-1级信号第一输入端与第N-1级的栅极驱动单元的第一输出端相连；所述第N-1级信号第二输入端与第N-1级的栅极驱动单元的第二输出端相连、所述第一输出端与第N+1级的栅极驱动单元的第N-1级信号第一输入端相连；所述第二输出端与第N+1级的栅极驱动单元的第N-1级信号第二输入端连接；所述第一输出端，用于向显示区域的第N级的扫描线提供扫描信号；

[37] 所述第N级栅极驱动单元还包括：上拉控制模块201、上拉模块202、第一下拉模块203、下拉控制模块204、第二下拉模块200；

[38] 上拉控制模块201，分别与所述第N-1级信号第一输入端、所述第N-1级信号第二输入端以及所述下拉点连接，用于上拉所述下拉点的电位，以控制所述上拉模块202是否开启。

[39] 上拉模块202，分别与所述高频时钟信号输入端、所述第一输出端、以及所述第二输出端连接，并与所述上拉控制模块201共同连接于所述下拉点，用于对所述第一输出端和所述第二输出端的信号进行充电，以及使所述下拉点的信号Q(n)达到更高的电位；

[40] 第一下拉模块203，分别与所述第N+1级信号输入端连接，并与所述上拉模块202共同连接与所述第一输出端，与所述上拉控制模块201共同连接于所述下拉点，用于在所述第一输出端的信号处于非充电状态时，下拉所述下拉点以及所述第一输出端的电位；

[41] 下拉控制模块204，分别与所述上拉控制模块201、所述上拉模块202连接，用于在所述下拉点的电位处于低电位时，下拉所述下拉点以及所述第一输出端的电位；

[42] 第二下拉模块200，包括第一薄膜晶体管T71、第二薄膜晶体管T72，与所述第

一低频时钟信号输入端、所述下拉控制模块204连接，并与所述上拉控制模块201、所述上拉模块202共同连接于所述下拉点，用于使所述下拉点下拉后的电位和所述第一输出端下拉后的电位等于预设电压，以消除所述下拉点的电位和所述第一输出端的电位在下拉过程中的波动。

[43] 所述第一薄膜晶体管T71具有第一栅极、第一源极及第一漏极；所述第二薄膜晶体管T72具有第二栅极、第二源极及第二漏极；所述第一栅极和第二栅极都连接所述第一低频时钟信号输入端连接，所述第一源极连接所述下拉点；所述第一漏极连接所述低电平输入端；所述第二源极连接所述第一输出端；所述第二漏极连接所述低电平输入端。

[44] 所述上拉控制模块201包括第三薄膜晶体管T11，所述第三薄膜晶体管具有第三栅极、第三源极及第三漏极；

[45] 所述第三源极连接所述第N-1级信号第一输入端，所述第三栅极连接所述第N-1级信号第二输入端，所述第三漏极连接所述下拉点。

[46] 所述上拉模块202包括第四薄膜晶体管T22、第五薄膜晶体管T21、所述第四薄膜晶体管T22具有第四栅极、第四源极及第四漏极；所述第五薄膜晶体管T21具有第五栅极、第五源极及第五漏极；

[47] 所述第四栅极、所述第五栅极共同连接于所述下拉点，所述第四源极与所述第五源极共同连接于所述高频时钟信号输入端，所述第四漏极连接所述第二输出端，所述第五漏极连接所述第一输出端。

[48] 所述上拉模块202还包括电容cb，所述电容cb的一端与所述下拉点连接，所述电容cb的另一端与所述第一输出端连接。

[49] 所述第一下拉模块203包括第六薄膜晶体管T41和第七薄膜晶体管T31；所述第六薄膜晶体管T41包括第六栅极、第六源极及第六漏极；所述第七薄膜晶体管T31包括第七栅极、第七源极及第七漏极；

[50] 所述第六栅极和所述第七栅极都与所述第N+1级信号输入端连接，所述第六源极连接所述下拉点，所述第六漏极连接所述低电平输入端；所述第七源极连接所述第一输出端，所述第七漏极连接所述低电平输入端。

[51] 所述第N级栅极驱动单元还包括第二低频时钟信号输入端，和第三低频时钟信

号输入端；第二低频时钟信号输入端输入的信号为LC1；第三低频时钟信号输入端输入的信号为LC2；

[52] 所述下拉控制模块204包括：第一下拉控制子模块2041；

[53] 所述第一下拉控制子模块2041包括：第八薄膜晶体管T52、第九薄膜晶体管T51、第十薄膜晶体管T53、第十一薄膜晶体管T54、第十二薄膜晶体管T42、第十三薄膜晶体管T32；

[54] 所述第八薄膜晶体管T52包括第八栅极、第八源极及第八漏极；所述第九薄膜晶体管T51包括第九栅极、第九源极及第九漏极；所述第十薄膜晶体管T53包括第十栅极、第十源极及第十漏极；所述第十一薄膜晶体管T54包括第十一栅极、第十一源极及第十一漏极；所述第十二薄膜晶体管T42包括第十二栅极、第十二源极及第十二漏极；所述第十三薄膜晶体管T32包括第十三栅极、第十三源极及第十三漏极；

[55] 所述第八栅极连接所述下拉点，所述第八源极连接所述第九漏极，所述第八漏极连接所述低电平输入端；

[56] 所述第九栅极连接所述第二低频时钟信号输入端，所述第九源极连接所述第九栅极，所述第九漏极连接所述第十栅极；

[57] 所述第十源极连接所述第九源极，所述第十漏极连接所述第十二栅极以及所述第十三栅极；

[58] 所述第十一栅极连接所述第八栅极，所述第十一源极与所述第十漏极连接，所述第十一漏极与所述低电平输入端连接；

[59] 所述第十二源极连接所述下拉点，所述第十三源极连接所述第一输出端，所述第十二漏极和所述第十三漏极都与所述低电平输入端连接。

[60] 所述下拉控制模块204包括：第二下拉控制子模块2042；

[61] 所述第二下拉控制子模块2042包括：所述第十四薄膜晶体管T62、第十五薄膜晶体管T61、第十六薄膜晶体管T63、第十七薄膜晶体管T64、第十八薄膜晶体管T43、第十九薄膜晶体管T33；

[62] 所述第十四薄膜晶体管T62包括第十四栅极、第十四源极及第十四漏极；所述第十五薄膜晶体管T61包括第十五栅极、第十五源极及第十五漏极；所述第十六

薄膜晶体管T63包括第十六栅极、第十六源极及第十六漏极；所述第十七薄膜晶体管T64包括第十七栅极、第十七源极及第十七漏极；所述第十八薄膜晶体管T43包括第十八栅极、第十八源极及第十八漏极；所述第十九薄膜晶体管T33包括第十九栅极、第十九源极及第十九漏极；

[63] 所述第十四栅极连接所述下拉点，所述第十四源极连接所述第十五漏极，所述第十四漏极连接所述低电平输入端；

[64] 所述第十五栅极连接所述第三低频时钟信号输入端，所述第十五源极连接所述第十五栅极，所述第十五漏极连接所述第十六栅极；

[65] 所述第十六源极连接所述第十五源极，所述第十六漏极连接所述第十八栅极以及所述第十九栅极；

[66] 所述第十七栅极连接所述第十四栅极，所述第十七源极与所述第十六漏极连接，所述第十七漏极与所述低电平输入端连接；

[67] 所述第十八源极连接所述下拉点，所述第十九源极连接所述第一输出端，所述第十八漏极和所述第十九漏极都与所述低电平输入端连接。

[68] 本发明的栅极驱动单元的工作原理为：当所述上拉控制模块201的第N-1级信号第二输入端的信号ST(N-1)为高电平时，所述第三薄膜晶体管T11闭合，当所述第N-1级信号第一输入端的信号G(N-1)输入为高电平时，所述下拉点的信号Q(N)变为高电平。此时所述上拉模块202的第四薄膜晶体管T22以及所述第五薄膜晶体管T21闭合，同时输入所述高频时钟信号输入端的信号CLKA或者CLKB；使薄膜晶体管T21闭合，第一输出端的信号G(n)为高电平。此时第一下拉模块203和下拉控制模块204停止工作。在下一个1/2时钟周期内，Q(n)保持高电位，CLKA/CLKB信号通过T21输出到第一输出端，使得G(n)为高电位。当Q(n)点为高电位时，p点或者Q点为低电位，Q(n)与G(n)的电位不被拉低。

[69] 在下一个1/2时钟周期内，G(n+1)输出高电位，使得第一下拉模块203的薄膜晶体管T31和T41闭合，从而将Q(n)与G(n)的电位拉低。当Q(n)点为低电位时，p点或者Q点为高电平，从而使得T42/T32或者T43/T33闭合，将Q(n)与G(n)的电位进一步拉低。但是在拉低时，由于薄膜晶体管T21/T22存在耦合电容，使得Q(n)的电位出现波动，也即Q(n)和G(n)的电位超过VSS的电压，从而影响G(n)的稳定性

- 。
- [70] 因此，当 $Q(n)$ 和 $G(n)$ 的电位超过VSS的电压时，通过第二下拉模块200将 $Q(n)$ 和 $G(n)$ 的电位拉回到VSS的电压，也即使得 $Q(n)$ 和 $G(n)$ 的电位维持稳定。
- [71] 具体地，所述第一低频时钟信号输入端输入的信号包括第一低频时钟信号LC3和第二低频时钟信号LC4，所述显示区域包括第一显示区域和第二显示区域；
- [72] 在第一显示区域的扫描线驱动时，该第一低频时钟信号为高电平；在第二显示区域的扫描线驱动时，该第二低频时钟信号为高电平。第一显示区域和第二显示区域比如为上半屏幕和下半屏幕。
- [73] 如图3所示，给出两帧的驱动波形图，以液晶显示面板有4行扫描线为例，其中STV表示启动信号，G1- G4表示1到4行扫描线输入的扫描信号，在一帧 t_1 - t_6 时间内，当上半屏（1、2行）扫描完时，在上半屏驱动时间（ t_2 - t_4 ）LC3为高电平，从而使上半屏的扫描信号和下拉点的电位维持稳定低电位，由于 t_4 - t_5 时段内，下半屏（3、4行）还在继续扫描，因此第一低频时钟信号LC3输入端的输入信号只能在上半屏驱动时间内输出高电平的信号，才能使得下半屏的扫描信号和下拉点的电位为高电位。而当下半屏的扫描线扫描完，由于下一帧的上半屏还在继续扫描，因此第二低频时钟信号输入端的输入的信号LC4只能在下半屏幕驱动时间内（ t_4 - t_5 ）输出高电位的信号，从而将下半屏的扫描信号和下拉点的电位维持稳定低电位。其中 t_5 - t_6 表示一帧内的熄屏时段，为了更好地维持扫描信号和下拉点的电位，此时LC3和LC4都为高电平。可以理解的是，下一帧的驱动原理与此类似。
- [74] 本发明的栅极驱动电路，通过增加一下拉模块，在下拉点和输出端的电位波动时，将电压进一步拉低，消除了耦合电容对栅极驱动电路的影响，进而提高了栅极电路的信赖性和使用寿命。
- [75] 本发明还提供一种液晶显示装置，其包括栅极驱动单元，以及与所述栅极驱动电路连接的显示区域；
- [76] 所述栅极驱动电路包括多级连接的栅极驱动单元，其中，第N级栅极驱动单元包括：
- [77] 第N-1级信号第一输入端、第N-1级信号第二输入端、第N+1级信号输入端、高

频时钟信号输入端、第一输出端、第二输出端、下拉点、第一低频时钟信号输入端、以及低电平输入端，其中N为大于3的正整数；

[78] 其中，所述第N-1级信号第一输入端与第N-1级的栅极驱动单元的第一输出端相连；所述第N-1级信号第二输入端与第N-1级的栅极驱动单元的第二输出端相连、所述第一输出端与第N+1级的栅极驱动单元的第N-1级信号第一输入端相连；所述第二输出端与第N+1级的栅极驱动单元的第N-1级信号第二输入端连接；所述第一输出端，用于向所述显示区域的第N级的扫描线提供扫描信号；

[79] 所述第N级栅极驱动单元还包括：

[80] 上拉控制模块，分别与所述第N-1级信号第一输入端、所述第N-1级信号第二输入端以及所述下拉点连接，用于上拉所述下拉点的电位；

[81] 上拉模块，分别与所述高频时钟信号输入端、所述第一输出端、以及所述第二输出端连接，并与所述上拉控制模块共同连接于所述下拉点，用于对所述第一输出端和所述第二输出端的信号进行充电，以及使所述下拉点达到更高的电位；

[82] 第一下拉模块，分别与所述第N+1级信号输入端连接，并与所述上拉模块共同连接于所述第一输出端，与所述上拉控制模块共同连接于所述下拉点，用于在所述第一输出端的信号处于非充电状态时，下拉所述下拉点以及所述第一输出端的电位；

[83] 下拉控制模块，分别与所述上拉控制模块、所述上拉模块连接，用于在所述下拉点的电位处于低电位时，下拉所述下拉点以及所述第一输出端的电位；

[84] 第二下拉模块，包括第一薄膜晶体管、第二薄膜晶体管，与所述第一低频时钟信号输入端、所述下拉控制模块连接，并与所述上拉控制模块、所述上拉模块共同连接于所述下拉点；用于使所述下拉点下拉后的电位和所述第一输出端下拉后的电位等于预设电压。

[85] 本发明的液晶显示装置可包括上述栅极驱动电路，鉴于所述栅极驱动电路在上文已有详细的描述，此处不再赘述。

[86] 本发明的液晶显示装置，通过增加一下拉模块，在下拉点和输出端的电位波动时，将电压进一步拉低，消除了耦合电容对栅极驱动电路的影响，进而提高了

栅极驱动电路的信赖性和使用寿命。

- [87] 综上所述，虽然本发明已以优选实施例揭露如上，但上述优选实施例并非用以限制本发明，本领域的普通技术人员，在不脱离本发明的精神和范围内，均可作各种更动与润饰，因此本发明的保护范围以权利要求界定的范围为准。

权利要求书

[权利要求 1]

一种栅极驱动电路，其包括多级连接的栅极驱动单元，其中第N级栅极驱动单元包括：

第N-1级信号第一输入端、第N-1级信号第二输入端、第N+1级信号输入端、高频时钟信号输入端、第一输出端、第二输出端、下拉点、第一低频时钟信号输入端、以及低电平输入端，其中N为大于3的正整数；

其中，所述第N-1级信号第一输入端与第N-1级的栅极驱动单元的第一输出端相连；所述第N-1级信号第二输入端与第N-1级的栅极驱动单元的第二输出端相连、所述第一输出端与第N+1级的栅极驱动单元的第N-1级信号第一输入端相连；所述第二输出端与第N+1级的栅极驱动单元的第N-1级信号第二输入端连接；所述第一输出端，用于向显示区域的第N级的扫描线提供扫描信号；

所述第N级栅极驱动单元还包括：

上拉控制模块，分别与所述第N-1级信号第一输入端、所述第N-1级信号第二输入端以及所述下拉点连接，用于上拉所述下拉点的电位；所述上拉控制模块包括第三薄膜晶体管，所述第三薄膜晶体管具有第三栅极、第三源极及第三漏极；所述第三源极连接所述第N-1级信号第一输入端，所述第三栅极连接所述第N-1级信号第二输入端，所述第三漏极连接所述下拉点；

上拉模块，分别与所述高频时钟信号输入端、所述第一输出端、以及所述第二输出端连接，并与所述上拉控制模块共同连接于所述下拉点，用于对所述第一输出端和所述第二输出端的信号进行充电，以及使所述下拉点达到更高的电位；

第一下拉模块，分别与所述第N+1级信号输入端连接，并与所述上拉模块共同连接于所述第一输出端，与所述上拉控制模块共同连接于所述下拉点，用于在所述第一输出端的信号处于非充电状态时，下拉所述下拉点以及所述第一输出端的电位；

下拉控制模块，分别与所述上拉控制模块、所述上拉模块连接，用于在所述下拉点的电位处于低电位时，下拉所述下拉点以及所述第一输出端的电位；以及

第二下拉模块，包括第一薄膜晶体管、第二薄膜晶体管，所述第二下拉模块与所述第一低频时钟信号输入端、所述下拉控制模块连接，并与所述上拉控制模块、所述上拉模块共同连接于所述下拉点；用于使所述下拉点下拉后的电位和所述第一输出端下拉后的电位等于预设电压；

所述第一薄膜晶体管具有第一栅极、第一源极及第一漏极；所述第二薄膜晶体管具有第二栅极、第二源极及第二漏极；所述第一栅极和第二栅极都连接所述第一低频时钟信号输入端连接，所述第一源极连接所述下拉点；所述第一漏极连接所述低电平输入端；所述第二源极连接所述第一输出端；所述第二漏极连接所述低电平输入端。

[权利要求 2]

根据权利要求1所述的栅极驱动电路，其中

所述上拉模块包括第四薄膜晶体管、第五薄膜晶体管、所述第四薄膜晶体管具有第四栅极、第四源极及第四漏极；所述第五薄膜晶体管具有第五栅极、第五源极及第五漏极；

所述第四栅极、所述第五栅极共同连接于所述下拉点，所述第四源极与所述第五源极共同连接于所述高频时钟信号输入端，所述第四漏极连接所述第二输出端，所述第五漏极连接所述第一输出端。

[权利要求 3]

根据权利要求2所述的栅极驱动电路，其中

所述上拉模块还包括电容，所述电容的一端与所述下拉点连接，所述电容的另一端与所述第一输出端连接。

[权利要求 4]

根据权利要求1所述的栅极驱动电路，其中

所述第一下拉模块包括第六薄膜晶体管和第七薄膜晶体管；所述第六薄膜晶体管包括第六栅极、第六源极及第六漏极；所述第七

薄膜晶体管包括第七栅极、第七源极及第七漏极；

所述第六栅极和所述第七栅极都与所述第N+1级信号输入端连接，所述第六源极连接所述下拉点，所述第六漏极连接所述低电平输入端；所述第七源极连接所述第一输出端，所述第七漏极连接所述低电平输入端。

[权利要求 5]

根据权利要求1所述的栅极驱动电路，其中

所述第N级栅极驱动单元还包括第二低频时钟信号输入端和第三低频时钟信号输入端；

所述下拉控制模块包括：第一下拉控制子模块；

所述第一下拉控制子模块包括：第八薄膜晶体管、第九薄膜晶体管、第十薄膜晶体管、第十一薄膜晶体管、第十二薄膜晶体管、第十三薄膜晶体管、

所述第八薄膜晶体管包括第八栅极、第八源极及第八漏极；所述第九薄膜晶体管包括第九栅极、第九源极及第九漏极；所述第十薄膜晶体管包括第十栅极、第十源极及第十漏极；所述第十一薄膜晶体管包括第十一栅极、第十一源极及第十一漏极；所述第十二薄膜晶体管包括第十二栅极、第十二源极及第十二漏极；所述第十三薄膜晶体管包括第十三栅极、第十三源极及第十三漏极；所述第八栅极连接所述下拉点，所述第八源极连接所述第九漏极，所述第八漏极连接所述低电平输入端；

所述第九栅极连接所述第二低频时钟信号输入端，所述第九源极连接所述第九栅极，所述第九漏极连接所述第十栅极；

所述第十源极连接所述第九源极，所述第十漏极连接所述第十二栅极以及所述第十三栅极；

所述第十一栅极连接所述第八栅极，所述第十一源极与所述第十漏极连接，所述第十一漏极与所述低电平输入端连接；

所述第十二源极连接所述下拉点，所述第十三源极连接所述第一输出端，所述第十二漏极和所述第十三漏极都与所述低电平输入

端连接。

[权利要求 6]

根据权利要求1所述的栅极驱动电路，其中

所述下拉控制模块还包括：第二下拉控制子模块；

所述第二下拉控制子模块包括：所述第十四薄膜晶体管、第十五薄膜晶体管、第十六薄膜晶体管、第十七薄膜晶体管、第十八薄膜晶体管、第十九薄膜晶体管；

所述第十四薄膜晶体管包括第十四栅极、第十四源极及第十四漏极；所述第十五薄膜晶体管包括第十五栅极、第十五源极及第十五漏极；所述第十六薄膜晶体管包括第十六栅极、第十六源极及第十六漏极；所述第十七薄膜晶体管包括第十七栅极、第十七源极及第十七漏极；所述第十八薄膜晶体管包括第十八栅极、第十八源极及第十八漏极；所述第十九薄膜晶体管包括第十九栅极、第十九源极及第十九漏极；

所述第十四栅极连接所述下拉点，所述第十四源极连接所述第十五漏极，所述第十四漏极连接所述低电平输入端；

所述第十五栅极连接所述第三低频时钟信号输入端，所述第十五源极连接所述第十五栅极，所述第十五漏极连接所述第十六栅极；

所述第十六源极连接所述第十五源极，所述第十六漏极连接所述第十八栅极以及所述第十九栅极；

所述第十七栅极连接所述第十四栅极，所述第十七源极与所述第十六漏极连接，所述第十七漏极与所述低电平输入端连接；

所述第十八源极连接所述下拉点，所述第十九源极连接所述第一输出端，所述第十八漏极和所述第十九漏极都与所述低电平输入端连接。

[权利要求 7]

根据权利要求1所述的栅极驱动电路，其中

所述第一低频时钟信号输入端输入的信号包括第一低频时钟信号和第二低频时钟信号；所述显示区域包括第一显示区域和第二显

示区域;

在所述第一显示区域的全部扫描线驱动时, 该第一低频时钟信号为高电平; 在所述第二显示区域的全部扫描线驱动时, 该第二低频时钟信号为高电平。

[权利要求 8]

一种栅极驱动电路, 其包括多级连接的栅极驱动单元, 其中第N级栅极驱动单元包括:

第N-1级信号第一输入端、第N-1级信号第二输入端、第N+1级信号输入端、高频时钟信号输入端、第一输出端、第二输出端、下拉点、第一低频时钟信号输入端、以及低电平输入端, 其中N为大于3的正整数;

其中, 所述第N-1级信号第一输入端与第N-1级的栅极驱动单元的第一输出端相连; 所述第N-1级信号第二输入端与第N-1级的栅极驱动单元的第二输出端相连、所述第一输出端与第N+1级的栅极驱动单元的第N-1级信号第一输入端相连; 所述第二输出端与第N+1级的栅极驱动单元的第N-1级信号第二输入端连接; 所述第一输出端, 用于向显示区域的第N级的扫描线提供扫描信号;

所述第N级栅极驱动单元还包括:

上拉控制模块, 分别与所述第N-1级信号第一输入端、所述第N-1级信号第二输入端以及所述下拉点连接, 用于上拉所述下拉点的电位;

上拉模块, 分别与所述高频时钟信号输入端、所述第一输出端、以及所述第二输出端连接, 并与所述上拉控制模块共同连接于所述下拉点, 用于对所述第一输出端和所述第二输出端的信号进行充电, 以及使所述下拉点达到更高的电位;

第一下拉模块, 分别与所述第N+1级信号输入端连接, 并与所述上拉模块共同连接于所述第一输出端, 与所述上拉控制模块共同连接于所述下拉点, 用于在所述第一输出端的信号处于非充电状态时, 下拉所述下拉点以及所述第一输出端的电位;

下拉控制模块，分别与所述上拉控制模块、所述上拉模块连接，用于在所述下拉点的电位处于低电位时，下拉所述下拉点以及所述第一输出端的电位；以及

第二下拉模块，包括第一薄膜晶体管、第二薄膜晶体管，所述第二下拉模块与所述第一低频时钟信号输入端、所述下拉控制模块连接，并与所述上拉控制模块、所述上拉模块共同连接于所述下拉点；用于使所述下拉点下拉后的电位和所述第一输出端下拉后的电位等于预设电压。

[权利要求 9]

根据权利要求8所述的栅极驱动电路，其中

所述第一薄膜晶体管具有第一栅极、第一源极及第一漏极；所述第二薄膜晶体管具有第二栅极、第二源极及第二漏极；所述第一栅极和第二栅极都连接所述第一低频时钟信号输入端连接，所述第一源极连接所述下拉点；所述第一漏极连接所述低电平输入端；所述第二源极连接所述第一输出端；所述第二漏极连接所述低电平输入端。

[权利要求 10]

根据权利要求8所述的栅极驱动电路，其中

所述上拉控制模块包括第三薄膜晶体管，所述第三薄膜晶体管具有第三栅极、第三源极及第三漏极；

所述第三源极连接所述第N-1级信号第一输入端，所述第三栅极连接所述第N-1级信号第二输入端，所述第三漏极连接所述下拉点。

[权利要求 11]

根据权利要求8所述的栅极驱动电路，其中

所述上拉模块包括第四薄膜晶体管、第五薄膜晶体管、所述第四薄膜晶体管具有第四栅极、第四源极及第四漏极；所述第五薄膜晶体管具有第五栅极、第五源极及第五漏极；

所述第四栅极、所述第五栅极共同连接于所述下拉点，所述第四源极与所述第五源极共同连接于所述高频时钟信号输入端，所述第四漏极连接所述第二输出端，所述第五漏极连接所述第一输出端。

- [权利要求 12] 根据权利要求11所述的栅极驱动电路，其中
所述上拉模块还包括电容，所述电容的一端与所述下拉点连接，
所述电容的另一端与所述第一输出端连接。
- [权利要求 13] 根据权利要求8所述的栅极驱动电路，其中
所述第一下拉模块包括第六薄膜晶体管和第七薄膜晶体管；所述
第六薄膜晶体管包括第六栅极、第六源极及第六漏极；所述第七
薄膜晶体管包括第七栅极、第七源极及第七漏极；
所述第六栅极和所述第七栅极都与所述第N+1级信号输入端连接
，所述第六源极连接所述下拉点，所述第六漏极连接所述低电平
输入端；所述第七源极连接所述第一输出端，所述第七漏极连接
所述低电平输入端。
- [权利要求 14] 根据权利要求8所述的栅极驱动电路，其中
所述第N级栅极驱动单元还包括第二低频时钟信号输入端和第三低
频时钟信号输入端；
所述下拉控制模块包括：第一下拉控制子模块；
所述第一下拉控制子模块包括：第八薄膜晶体管、第九薄膜晶体
管、第十薄膜晶体管、第十一薄膜晶体管、第十二薄膜晶体管、
第十三薄膜晶体管、
所述第八薄膜晶体管包括第八栅极、第八源极及第八漏极；所述
第九薄膜晶体管包括第九栅极、第九源极及第九漏极；所述第十
薄膜晶体管包括第十栅极、第十源极及第十漏极；所述第十一薄
膜晶体管包括第十一栅极、第十一源极及第十一漏极；所述第十
二薄膜晶体管包括第十二栅极、第十二源极及第十二漏极；所述
第十三薄膜晶体管包括第十三栅极、第十三源极及第十三漏极；
所述第八栅极连接所述下拉点，所述第八源极连接所述第九漏极
，所述第八漏极连接所述低电平输入端；
所述第九栅极连接所述第二低频时钟信号输入端，所述第九源极
连接所述第九栅极，所述第九漏极连接所述第十栅极；

所述第十源极连接所述第九源极，所述第十漏极连接所述第十二栅极以及所述第十三栅极；

所述第十一栅极连接所述第八栅极，所述第十一源极与所述第十漏极连接，所述第十一漏极与所述低电平输入端连接；

所述第十二源极连接所述下拉点，所述第十三源极连接所述第一输出端，所述第十二漏极和所述第十三漏极都与所述低电平输入端连接。

[权利要求 15]

根据权利要求8所述的栅极驱动电路，其中

所述下拉控制模块还包括：第二下拉控制子模块；

所述第二下拉控制子模块包括：所述第十四薄膜晶体管、第十五薄膜晶体管、第十六薄膜晶体管、第十七薄膜晶体管、第十八薄膜晶体管、第十九薄膜晶体管；

所述第十四薄膜晶体管包括第十四栅极、第十四源极及第十四漏极；所述第十五薄膜晶体管包括第十五栅极、第十五源极及第十五漏极；所述第十六薄膜晶体管包括第十六栅极、第十六源极及第十六漏极；所述第十七薄膜晶体管包括第十七栅极、第十七源极及第十七漏极；所述第十八薄膜晶体管包括第十八栅极、第十八源极及第十八漏极；所述第十九薄膜晶体管包括第十九栅极、第十九源极及第十九漏极；

所述第十四栅极连接所述下拉点，所述第十四源极连接所述第十五漏极，所述第十四漏极连接所述低电平输入端；

所述第十五栅极连接所述第三低频时钟信号输入端，所述第十五源极连接所述第十五栅极，所述第十五漏极连接所述第十六栅极；

所述第十六源极连接所述第十五源极，所述第十六漏极连接所述第十八栅极以及所述第十九栅极；

所述第十七栅极连接所述第十四栅极，所述第十七源极与所述第十六漏极连接，所述第十七漏极与所述低电平输入端连接；

所述第十八源极连接所述下拉点，所述第十九源极连接所述第一输出端，所述第十八漏极和所述第十九漏极都与所述低电平输入端连接。

[权利要求 16]

根据权利要求8所述的栅极驱动电路，其中

所述第一低频时钟信号输入端输入的信号包括第一低频时钟信号和第二低频时钟信号；所述显示区域包括第一显示区域和第二显示区域；

在所述第一显示区域的全部扫描线驱动时，该第一低频时钟信号为高电平；在所述第二显示区域的全部扫描线驱动时，该第二低频时钟信号为高电平。

[权利要求 17]

一种液晶显示装置，其包括栅极驱动电路，以及与所述栅极驱动电路连接的显示区域；

所述栅极驱动电路包括多级连接的栅极驱动单元，其中第N级栅极驱动单元包括：

第N-1级信号第一输入端、第N-1级信号第二输入端、第N+1级信号输入端、高频时钟信号输入端、第一输出端、第二输出端、下拉点、第一低频时钟信号输入端、以及低电平输入端，其中N为大于3的正整数；

其中，所述第N-1级信号第一输入端与第N-1级的栅极驱动单元的第一输出端相连；所述第N-1级信号第二输入端与第N-1级的栅极驱动单元的第二输出端相连、所述第一输出端与第N+1级的栅极驱动单元的第N-1级信号第一输入端相连；所述第二输出端与第N+1级的栅极驱动单元的第N-1级信号第二输入端连接；所述第一输出端，用于向所述显示区域的第N级的扫描线提供扫描信号；

所述第N级栅极驱动单元还包括：

上拉控制模块，分别与所述第N-1级信号第一输入端、所述第N-1级信号第二输入端以及所述下拉点连接，用于上拉所述下拉点的电位；

上拉模块，分别与所述高频时钟信号输入端、所述第一输出端、以及所述第二输出端连接，并与所述上拉控制模块共同连接于所述下拉点，用于对所述第一输出端和所述第二输出端的信号进行充电，以及使所述下拉点达到更高的电位；

第一下拉模块，分别与所述第N+1级信号输入端连接，并与所述上拉模块共同连接于所述第一输出端，与所述上拉控制模块共同连接于所述下拉点，用于在所述第一输出端的信号处于非充电状态时，下拉所述下拉点以及所述第一输出端的电位；

下拉控制模块，分别与所述上拉控制模块、所述上拉模块连接，用于在所述下拉点的电位处于低电位时，下拉所述下拉点以及所述第一输出端的电位；以及

第二下拉模块，包括第一薄膜晶体管、第二薄膜晶体管，所述第二下拉模块与所述第一低频时钟信号输入端、所述下拉控制模块连接，并与所述上拉控制模块、所述上拉模块共同连接于所述下拉点；用于使所述下拉点下拉后的电位和所述第一输出端下拉后的电位等于预设电压。

[权利要求 18]

根据权利要求17所述的液晶显示装置，其中

所述第一薄膜晶体管具有第一栅极、第一源极及第一漏极；所述第二薄膜晶体管具有第二栅极、第二源极及第二漏极；所述第一栅极和第二栅极都连接所述第一低频时钟信号输入端连接，所述第一源极连接所述下拉点；所述第一漏极连接所述低电平输入端；所述第二源极连接所述第一输出端；所述第二漏极连接所述低电平输入端。

[权利要求 19]

根据权利要求17所述的液晶显示装置，其中

所述上拉控制模块包括第三薄膜晶体管，所述第三薄膜晶体管具有第三栅极、第三源极及第三漏极；

所述第三源极连接所述第N-1级信号第一输入端，所述第三栅极连接所述第N-1级信号第二输入端，所述第三漏极连接所述下拉点。

[权利要求 20]

根据权利要求17所述的液晶显示装置，其中

所述上拉模块包括第四薄膜晶体管、第五薄膜晶体管、所述第四薄膜晶体管具有第四栅极、第四源极及第四漏极；所述第五薄膜晶体管具有第五栅极、第五源极及第五漏极；

所述第四栅极、所述第五栅极共同连接于所述下拉点，所述第四源极与所述第五源极共同连接于所述高频时钟信号输入端，所述第四漏极连接所述第二输出端，所述第五漏极连接所述第一输出端。

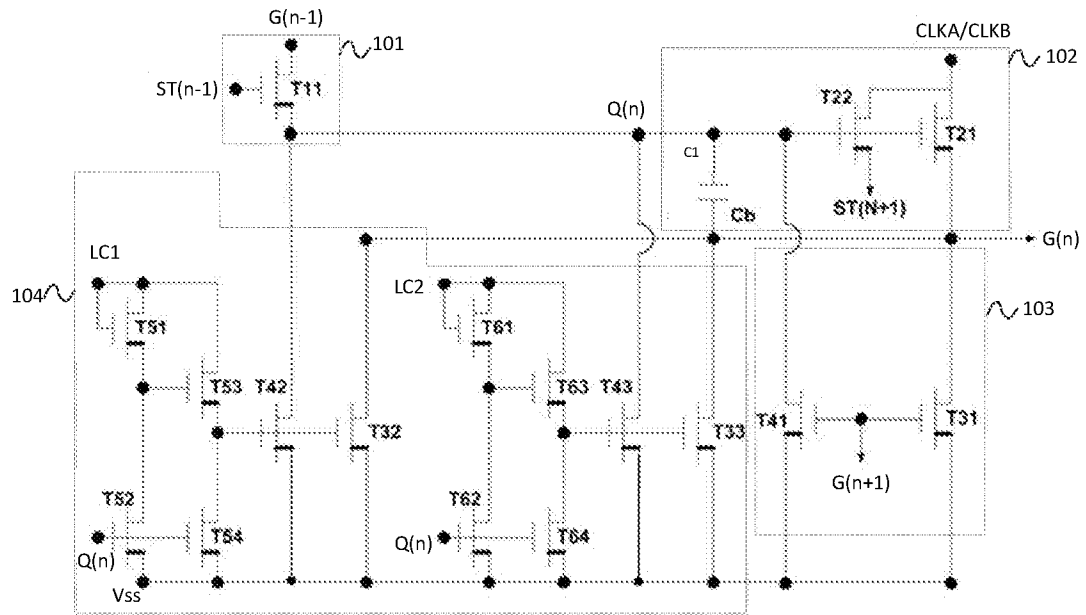


图 1

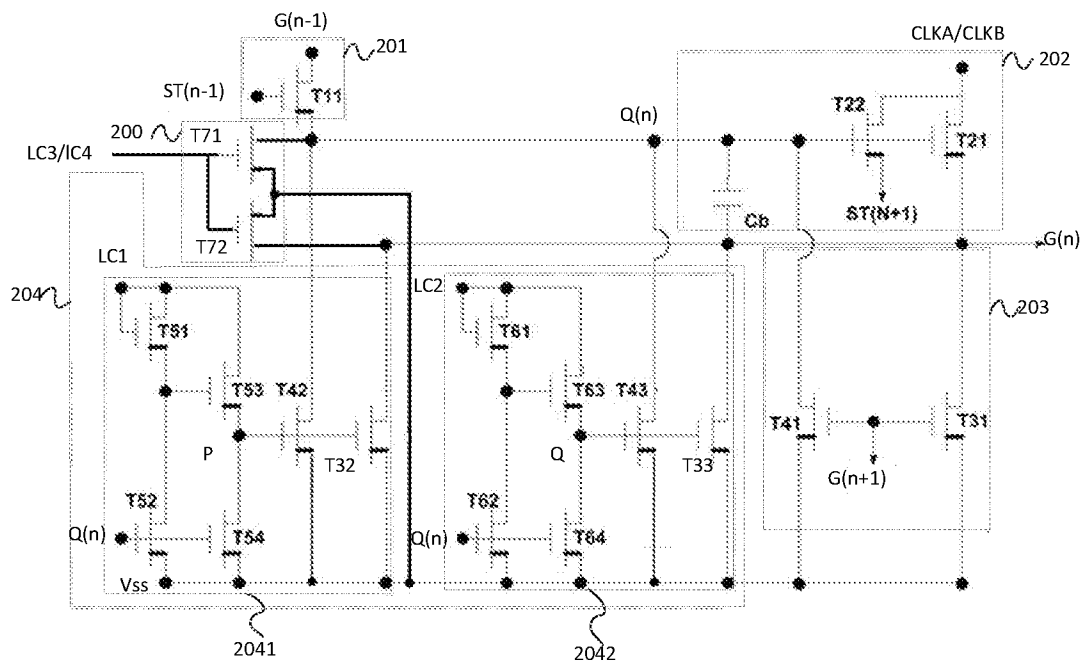


图 2

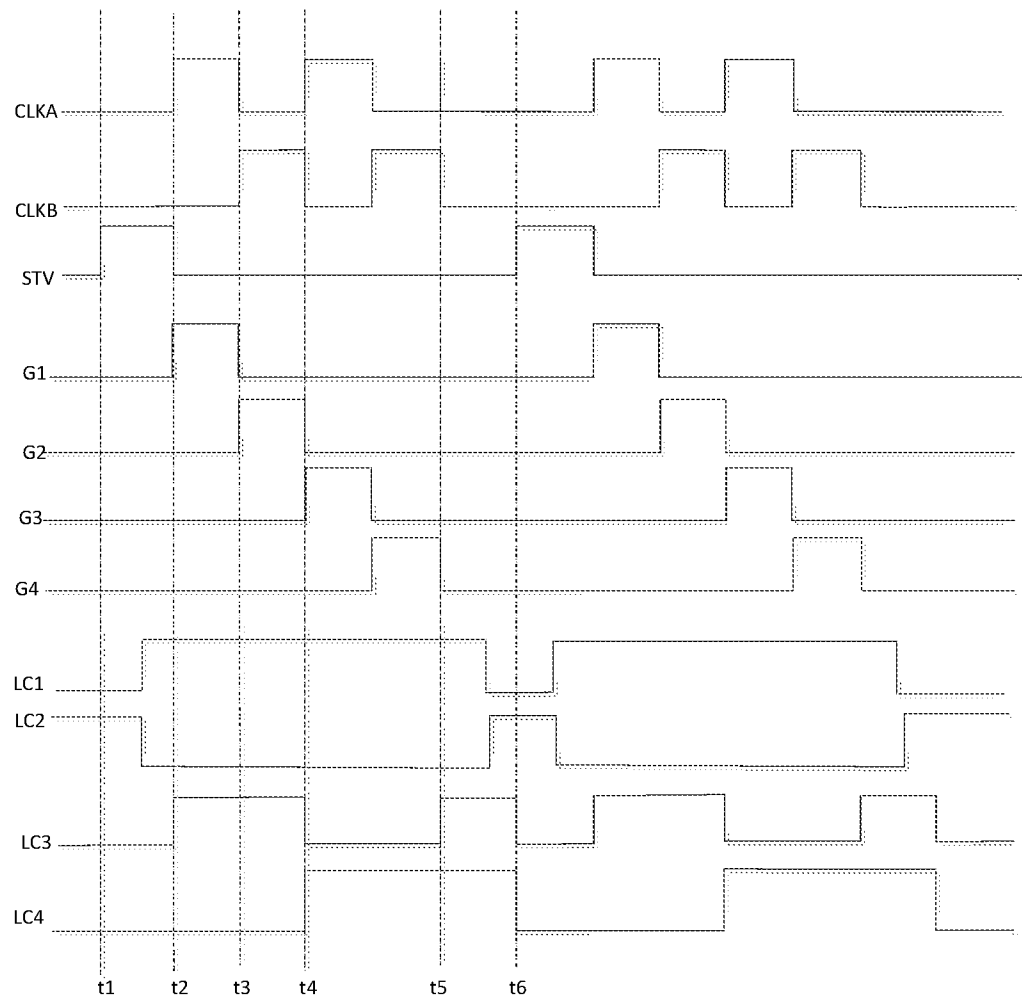


图 3

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2016/087802

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; SIPABS; DWPI: CHINA STAR, pull up, pulldown, second pulldown, pulldown control, scanning drive, gate drive, shift, pull, gate, maintain, scan+, clock, driv+, up, control, elk, down, ck, second, register?

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 103745700 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 23 April 2014 (23.04.2014), description, paragraphs [0045]-[0053], and figure 1	1-20
A	CN 103400601 A (AU OPTRONICS CORP.), 20 November 2013 (20.11.2013), the whole document	1-20
A	US 2010164915 A1 (KIM, H.G. et al.), 01 July 2010 (01.07.2010), the whole document	1-20

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 10 March 2017 (10.03.2017)	Date of mailing of the international search report 20 March 2017 (20.03.2017)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer LI, Jun Telephone No.: (86-10) 62085773

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2016/087802

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 103745700 A	23 April 2014	GB 2534520 A	27 July 2016
		WO 2015096245 A1	02 July 2015
		KR 20160077176 A	01 July 2016
		CN 103745700 B	07 October 2015
		US 9257083 B2	09 February 2016
		US 2015187302 A1	02 July 2015
CN 103400601 A	20 November 2013	CN 103400601 B	08 June 2016
		US 2014355732 A1	04 December 2014
		TW I473059 B	11 February 2015
		US 9383841 B2	05 July 2016
		TW 201445532 A	01 December 2014
US 2010164915 A1	01 July 2010	US 8654055 B2	18 February 2014
		KR 101512336 B1	15 April 2015
		KR 20100077472 A	08 July 2010

A. 主题的分类 G09G 3/36 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类														
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) G09G3/- 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) CNABS; SIPABS; DWPI: 华星, 上拉, 下拉, 第二下拉, 下拉控制, 扫描驱动, 时钟, 栅极驱动, 扫描驱动, shift, pull, gate, maintain, scan+, clock, driv+, up, control, clk, down, ck, second, register?,														
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>CN 103745700 A (深圳市华星光电技术有限公司) 2014年 4月 23日 (2014 - 04 - 23) 说明书[0045]-[0053]段和附图1</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>CN 103400601 A (友达光电股份有限公司) 2013年 11月 20日 (2013 - 11 - 20) 全文</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>US 2010164915 A1 (KIM HAK-GYU等) 2010年 7月 1日 (2010 - 07 - 01) 全文</td> <td>1-20</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	A	CN 103745700 A (深圳市华星光电技术有限公司) 2014年 4月 23日 (2014 - 04 - 23) 说明书[0045]-[0053]段和附图1	1-20	A	CN 103400601 A (友达光电股份有限公司) 2013年 11月 20日 (2013 - 11 - 20) 全文	1-20	A	US 2010164915 A1 (KIM HAK-GYU等) 2010年 7月 1日 (2010 - 07 - 01) 全文	1-20
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求												
A	CN 103745700 A (深圳市华星光电技术有限公司) 2014年 4月 23日 (2014 - 04 - 23) 说明书[0045]-[0053]段和附图1	1-20												
A	CN 103400601 A (友达光电股份有限公司) 2013年 11月 20日 (2013 - 11 - 20) 全文	1-20												
A	US 2010164915 A1 (KIM HAK-GYU等) 2010年 7月 1日 (2010 - 07 - 01) 全文	1-20												
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。														
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件														
国际检索实际完成的日期 2017年 3月 10日		国际检索报告邮寄日期 2017年 3月 20日												
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10) 62019451		受权官员 李军 电话号码 (86-10) 62085773												

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2016/087802

检索报告引用的专利文件			公布日 (年/月/日)	同族专利		公布日 (年/月/日)	
CN	103745700	A	2014年 4月 23日	GB	2534520	A	2016年 7月 27日
				WO	2015096245	A1	2015年 7月 2日
				KR	20160077176	A	2016年 7月 1日
				CN	103745700	B	2015年 10月 7日
				US	9257083	B2	2016年 2月 9日
				US	2015187302	A1	2015年 7月 2日
CN	103400601	A	2013年 11月 20日	CN	103400601	B	2016年 6月 8日
				US	2014355732	A1	2014年 12月 4日
				TW	I473059	B	2015年 2月 11日
				US	9383841	B2	2016年 7月 5日
				TW	201445532	A	2014年 12月 1日
US	2010164915	A1	2010年 7月 1日	US	8654055	B2	2014年 2月 18日
				KR	101512336	B1	2015年 4月 15日
				KR	20100077472	A	2010年 7月 8日

表 PCT/ISA/210 (同族专利附件) (2009年7月)