



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년08월01일
(11) 등록번호 10-1763969
(24) 등록일자 2017년07월26일

(51) 국제특허분류(Int. Cl.)
H01L 27/105 (2006.01) H01L 21/8242 (2006.01)
H01L 27/108 (2006.01) H01L 29/786 (2006.01)
(21) 출원번호 10-2012-7019127
(22) 출원일자(국제) 2011년01월12일
심사청구일자 2016년01월11일
(85) 번역문제출일자 2012년07월20일
(65) 공개번호 10-2012-0116443
(43) 공개일자 2012년10월22일
(86) 국제출원번호 PCT/JP2011/050788
(87) 국제공개번호 WO 2011/090037
국제공개일자 2011년07월28일
(30) 우선권주장
JP-P-2010-010527 2010년01월20일 일본(JP)
(56) 선행기술조사문헌
JP02054572 A*
JP11233789 A*
JP2004014094 A*
JP2009152633 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
가부시키가이샤 한도오파이 에네루기 쉐큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
야마자끼 슌페이
일본 2430036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오파이 에네루기 쉐큐쇼 내
고야마 준
일본 2430036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오파이 에네루기 쉐큐쇼 내
가토 기요시
일본 2430036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오파이 에네루기 쉐큐쇼 내
(74) 대리인
장수길, 박충범, 이중희

전체 청구항 수 : 총 13 항

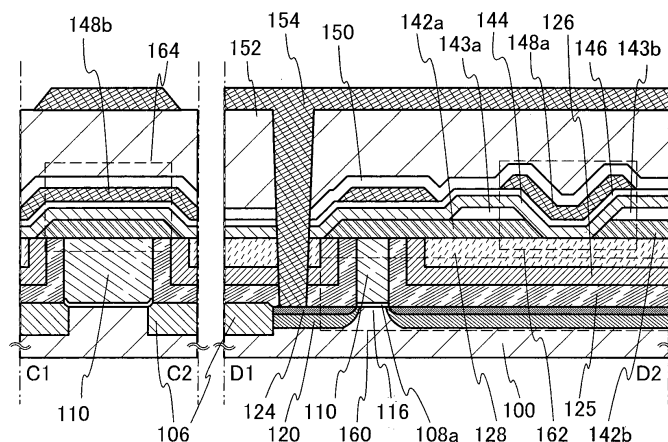
심사관 : 김진우

(54) 발명의 명칭 반도체 장치

(57) 요약

불휘발성 기억 장치 및 휘발성 기억 장치 둘 다의 장점이 얻어질 수 있는 기억 장치를 제공하기 위해, 반도체 장치는 기판 내 또는 위에 제공된 제1 트랜지스터 및 제1 트랜지스터 위에 제공된 제2 트랜지스터를 포함하고, 제1 트랜지스터 및 제2 트랜지스터의 적어도 일부가 서로 중첩하고, 제1 트랜지스터의 게이트 전극 및 제2 트랜지스터의 소스 또는 드레인 전극이 서로 전기적으로 접속된다. 제1 트랜지스터가 단결정 실리콘을 이용하여 제공되고 제2 트랜지스터가 극히 낮은 오프 전류를 갖는 산화물 반도체를 이용하여 제공되는 것이 바람직하다.

대표도 - 도6a



명세서

청구범위

청구항 1

반도체 장치로서,
제1 트랜지스터;
제2 트랜지스터; 및
전극을 포함하는 용량 소자
를 포함하고,
상기 제1 트랜지스터는,
제1 반도체 재료를 포함하는 제1 채널 형성 영역;
상기 제1 채널 형성 영역을 사이에 두고 제공된 불순물 영역들;
상기 제1 채널 형성 영역 위에 제공된 제1 게이트 절연층;
상기 제1 채널 형성 영역과 중첩하고, 상기 제1 게이트 절연층 위에 제공된 제1 게이트 전극; 및
상기 불순물 영역들 중 하나에 전기적으로 접속된 제1 소스 또는 드레인 전극을 포함하고,
상기 제2 트랜지스터는,
제2 소스 전극;
제2 드레인 전극;
제2 반도체 재료를 포함하고, 상기 제2 소스 전극과 상기 제2 드레인 전극에 전기적으로 접속된 제2 채널 형성
영역을 포함하는 제2 반도체층;
상기 제2 채널 형성 영역 위에 제공된 제2 게이트 절연층; 및
상기 제2 채널 형성 영역과 중첩하고, 상기 제2 게이트 절연층 위에 제공된 제2 게이트 전극을 포함하고,
상기 제1 반도체 재료는 절연면 위에 제공된 단결정 반도체층을 포함하고,
상기 제2 반도체 재료는 산화물 반도체이고,
상기 제1 트랜지스터 및 상기 제2 트랜지스터는 적어도 일부가 서로 중첩하도록 제공되고,
상기 제2 소스 전극 및 상기 제2 드레인 전극 중 하나는 상기 제1 게이트 전극에 전기적으로 접속되며,
상기 전극은, 상기 제2 반도체층 및 상기 제2 게이트 절연층을 사이에 두고, 상기 제2 소스 전극 및 상기 제2
드레인 전극 중 상기 하나와 중첩하고,
실온에서의 상기 제2 트랜지스터의 오프 상태 전류는 100zA 이하인, 반도체 장치.

청구항 2

반도체 장치로서,
제1 트랜지스터;
제2 트랜지스터; 및
용량 소자를 포함하고,
상기 제1 트랜지스터는,

제1 반도체 재료를 포함하는 제1 채널 형성 영역;
 상기 제1 채널 형성 영역을 사이에 두고 제공된 불순물 영역들;
 상기 제1 채널 형성 영역 위에 제공된 제1 게이트 절연층;
 상기 제1 채널 형성 영역과 중첩하고, 상기 제1 게이트 절연층 위에 제공된 제1 게이트 전극; 및
 상기 불순물 영역들 중 하나에 전기적으로 접속된 제1 소스 또는 드레인 전극을 포함하고,
 상기 제2 트랜지스터는,
 제2 소스 전극;
 제2 드레인 전극;
 제2 반도체 재료를 포함하고, 상기 제2 소스 전극과 상기 제2 드레인 전극에 전기적으로 접속된 제2 채널 형성 영역을 포함하는 제2 반도체층;
 상기 제2 채널 형성 영역 위에 제공된 제2 게이트 절연층; 및
 상기 제2 채널 형성 영역과 중첩하고, 상기 제2 게이트 절연층 위에 제공된 제2 게이트 전극을 포함하고,
 상기 용량 소자는,
 상기 제2 소스 전극 및 상기 제2 드레인 전극 중 하나;
 상기 제2 반도체층;
 상기 제2 게이트 절연층;
 상기 제2 게이트 절연층 위에 제공된 전극을 포함하고,
 상기 제1 반도체 재료는 절연면 위에 제공된 단결정 반도체층을 포함하고,
 상기 제1 트랜지스터 및 상기 제2 트랜지스터는 적어도 일부가 서로 중첩하도록 제공되고,
 상기 제2 소스 전극 및 상기 제2 드레인 전극 중 하나는 상기 제1 게이트 전극에 전기적으로 접속되며,
 상기 전극은, 상기 제2 반도체층 및 상기 제2 게이트 절연층을 사이에 두고, 상기 제2 소스 전극 및 상기 제2 드레인 전극 중 상기 하나와 중첩하고,
 실온에서의 상기 제2 트랜지스터의 오프 상태 전류는 100zA 이하인, 반도체 장치.

청구항 3

반도체 장치로서,
 제1 트랜지스터;
 제2 트랜지스터;
 절연층; 및
 용량 소자를 포함하고,
 상기 제1 트랜지스터는,
 제1 반도체 재료를 포함하는 제1 채널 형성 영역;
 제1 게이트 절연층;
 제1 게이트 전극; 및
 제1 소스 및 드레인 전극을 포함하고,
 상기 제2 트랜지스터는,
 제2 소스 전극;

제2 드레인 전극;
 제2 반도체 재료를 포함하는 제2 채널 형성 영역을 포함하는 제2 반도체층;
 제2 게이트 절연층; 및
 제2 게이트 전극을 포함하고,
 상기 절연층은 상기 제1 트랜지스터 위에서 상기 제1 트랜지스터에 접하여 제공되고,
 상기 용량 소자는,
 상기 제2 소스 전극 및 상기 제2 드레인 전극 중 하나;
 상기 제2 반도체층;
 상기 제2 게이트 절연층; 및
 상기 제2 게이트 절연층 위에 제공된 전극을 포함하고,
 상기 제1 반도체 재료는 절연면 위에 제공된 단결정 반도체층을 포함하고,
 상기 제2 트랜지스터는 상기 절연층 위에 제공되고,
 상기 제1 게이트 전극은 상기 절연층의 상면으로부터 노출되고,
 상기 제2 소스 전극 및 상기 제2 드레인 전극 중 하나는 상기 제1 게이트 전극에 전기적으로 접속되며,
 상기 전극은, 상기 제2 반도체층 및 상기 제2 게이트 절연층을 사이에 두고, 상기 제2 소스 전극 및 상기 제2 드레인 전극 중 상기 하나와 중첩하고,
 실온에서의 상기 제2 트랜지스터의 오프 상태 전류는 100zA 이하인, 반도체 장치.

청구항 4

제1항 내지 제3항 중 어느 한 항에 있어서,
 상기 제1 반도체 재료와 상기 제2 반도체 재료는 다른, 반도체 장치.

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

제2항 또는 제3항에 있어서,
 상기 제2 반도체 재료는 산화물 반도체인, 반도체 장치.

청구항 9

삭제

청구항 10

제1항 내지 제3항 중 어느 한 항에 있어서,
 복수의 절연층이 상기 제1 트랜지스터와 상기 제2 트랜지스터 사이에 제공되고, 상기 제2 트랜지스터와 접하는,
 상기 복수의 절연층 중 적어도 하나는 스퍼터링 방법으로 형성되는, 반도체 장치.

청구항 11

삭제

청구항 12

제3항에 있어서,

상기 절연층은 복수의 절연층을 포함하는, 반도체 장치.

청구항 13

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 제2 반도체 재료의 에너지 갭은 3eV보다 높은, 반도체 장치.

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 제2 트랜지스터의 오프 상태 전류는 상기 제1 트랜지스터의 오프 상태 전류보다 낮은, 반도체 장치.

청구항 20

삭제

청구항 21

삭제

청구항 22

제19항에 있어서,

실온에서의 상기 제2 트랜지스터의 오프 상태 전류는 10zA 이하인, 반도체 장치.

청구항 23

삭제

청구항 24

삭제

청구항 25

제2항 또는 제3항에 있어서,

상기 용량 소자는 상기 제2 반도체 재료를 포함하는 반도체층을 더 포함하는, 반도체 장치.

청구항 26

삭제

청구항 27

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 제1 게이트 전극의 측면과 접하여 제공된 측벽 절연층을 더 포함하는, 반도체 장치.

청구항 28

삭제

청구항 29

삭제

청구항 30

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 제1 게이트 전극은 상기 제2 소스 전극 및 상기 제2 드레인 전극 중 상기 하나와 직접 접하는, 반도체 장치.

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

청구항 34

삭제

청구항 35

삭제

발명의 설명

기술 분야

[0001] 본 발명의 실시형태는 반도체 장치 및 그 제조 방법에 관한 것으로, 특히 데이터를 기억할 수 있는 반도체 장치에 관한 것이다.

[0002] 반도체 장치는 트랜지스터 등의 적어도 하나의 반도체 소자를 구비한 장치에 관한 것이다. 따라서, 기억 장치는 반도체 장치에 포함된다. 기억 장치는 복수의 기억 소자를 포함하는 장치라는 점에 유의한다.

배경 기술

[0003] 반도체 소자를 이용하는 기억 장치는 넓게는 2개의 카테고리로 분류된다: 전력 공급이 중지될 때 기억된 데이터를 손실하는 휘발성 기억 장치, 및 전력이 공급되지 않을 때에도 기억된 데이터를 유지하는 불휘발성 기억

장치.

- [0004] 휘발성 기억 장치의 예는 다이내믹 랜덤 액세스 메모리(이후, DRAM이라 함) 및 스테틱 랜덤 액세스 메모리(이후, SRAM이라 함)를 포함한다.
- [0005] 종래의 트랜지스터를 이용하여 DRAM이 형성될 때, 트랜지스터가 오프일 때에도 소스와 드레인 사이에 리크 전류가 발생되기 때문에 데이터 유지 기간이 짧다. 그 때문에, 또 하나의 기입 동작(리프래시 동작)이 소정 간격으로 필요하고, 이것은 전력 소비를 증가시킨다. 또한, 전력 공급이 중지될 때, 상기 리프래시 동작이 수행될 수 없으므로, 데이터가 손실된다.
- [0006] 한편, SRAM이 플립 플롭 회로 등의 회로를 사용하여 기억된 데이터를 유지하여 리프래시 동작을 필요로 하지 않지만, 기억 용량의 단가는 비싸다. 전력 공급이 중지될 때, 기억된 데이터는 DRAM의 경우에서와 같이 손실된다는 점에 유의한다.
- [0007] 불휘발성 기억 장치의 대표적인 예는 플래시 메모리를 포함한다. 플래시 메모리는 트랜지스터에서의 게이트 전극과 채널 형성 영역 사이에 플로팅 게이트를 포함하고 플로팅 게이트에 전하를 주입하고 유지함으로써 데이터를 유지한다. 그러므로, 플래시 메모리에서, 데이터 유지 기간은 반영구적으로 길고 리프래시 동작은 필요하지 않다(예를 들어, 특허 문헌 1).
- [0008] 그러나, 채널 형성 영역과 플로팅 게이트 사이의 절연층은 기입시에 발생된 터널링 전류에 의해 열화되므로, 기입 동작의 횟수에 제한이 있다. 따라서, 예를 들어, 각 기억 소자로의 기입 동작의 횟수가 균일화되는 방법은 복잡한 주변 회로를 제공함으로써 이용된다. 그러나, 기입 동작의 횟수를 균일화하는 방법이 이용될 때에도, 근본적인 수명 문제는 해결되지 않으므로, 데이터가 자주 재기입되는 용도로는 플래시 동작이 적합하지 않다고 할 수 있다.
- [0009] 더구나, 고 전압이 플로팅 게이트 내로 전하를 주입하고 플로팅 게이트로부터 전하를 제거하는 데 필요하므로, 승압 회로 등을 제공할 필요가 있다. 또한, 플로팅 게이트 내로 전하를 주입하고 플로팅 게이트로부터 전하를 제거하는 데 비교적 오랜 시간이 걸리므로, 데이터 기입 동작과 데이터 소거 동작을 고속으로 수행하기가 어렵다.

선행기술문헌

특허문헌

- [0010] (특허문헌 0001) 일본 특허 공개 소 57-105889호

발명의 내용

- [0011] 본 발명의 실시형태의 목적은 불휘발성 기억 장치와 마찬가지로 방식으로, 전력이 공급되지 않을 때에도 데이터가 유지될 수 있고, 데이터 기입 동작의 횟수가 제한되지 않고, 나아가 단위 면적당 기억 용량이 큰 기억 장치를 제공하는 것이다.
- [0012] 본 발명의 실시형태는 빠른 동작 속도를 갖는 트랜지스터와 낮은 오프 전류를 갖는 트랜지스터가 조합되는 방식으로 전력이 공급되지 않을 때에도 용량 소자에 데이터를 유지할 수 있는 기억 회로를 포함하는 반도체 장치이다. 빠른 동작 속도를 갖는 트랜지스터로서, 실리콘 반도체를 포함하는 절연된 게이트 전계 효과 트랜지스터는 많은 집적 회로에서 사용되는 바와 같이 적용될 수 있다. 반면, 낮은 오프 전류를 갖는 트랜지스터로서, 예를 들어, 금속 산화물을 포함하는 산화물 반도체로 형성된 실리콘 반도체의 밴드 갭보다 밴드 갭이 넓은 반도체를 포함하는 절연된 게이트 전계 효과 트랜지스터가 적용될 수 있다. 기억 회로가 이러한 2 종류의 트랜지스터를 조합하여 이용하여 형성되는 경우에, 기억 회로는 2개의 트랜지스터가 나란히 놓일 때 단위 면적당 기억 용량을 증가시키는 데 적합하지 않다. 따라서, 본 발명의 실시형태에 따르면, 단위 면적당 기억 용량은 이러한 2개의 트랜지스터가 적어도 일부에서 서로 중첩하도록 제공되는 방식으로 증가된다. 또한, 2개의 트랜지스터의 접속 구조가 간략화되고 또한 2개의 트랜지스터가 고밀도로 배열될 수 있도록, 본 발명의 실시형태의 특징 중의 하나는 트랜지스터들 중 하나의 게이트 전극과 트랜지스터들 중 다른 것의 드레인 전극(또는 소스 전극)이 직접 접하고 서로 중첩하도록 제공된다는 것이다.
- [0013] 기억 회로에 포함된 트랜지스터 모두는 산화물 반도체를 구비할 필요가 없다는 점에 유의한다. 고속 동작이 요

구되는 개소에는 산화물 반도체 이외의 반도체 재료를 포함하는 트랜지스터를 제공하는 것이 바람직하다. 이러한 반도체 재료의 예는 단결정 실리콘을 포함한다.

[0014] 본 발명의 한 실시형태는 제1 트랜지스터 및 제2 트랜지스터를 포함하는 반도체 장치이다. 제1 트랜지스터는 제1 반도체 재료를 포함하는 제1 채널 형성 영역, 제1 채널 형성 영역을 사이에 두고 제공된 불순물 영역들, 제1 채널 형성 영역 위에 제공된 제1 게이트 절연층, 제1 채널 형성 영역과 중첩하고 제1 게이트 절연층 위에 제공된 제1 게이트 전극, 및 불순물 영역에 전기적으로 접속된 제1 소스 또는 드레인 전극을 포함한다. 제2 트랜지스터는 제2 소스 및 드레인 전극, 제2 반도체 재료를 포함하고 제2 소스 및 드레인 전극에 전기적으로 접속된 제2 채널 형성 영역, 제2 채널 형성 영역 위에 제공된 제2 게이트 절연층, 및 제2 채널 형성 영역과 적어도 중첩하고 제2 게이트 절연층 위에 제공된 제2 게이트 전극을 포함한다. 반도체 장치에서, 제1 트랜지스터 및 제2 트랜지스터는, 적어도 일부가 서로 중첩하고, 제2 소스 및 드레인 전극 중 하나가 제1 게이트 전극에 전기적으로 접속되고, 제2 소스 및 드레인 전극 중 다른 하나가 제1 게이트 전극으로부터 분리되도록 제공된다.

[0015] 본 발명의 다른 실시형태는 제1 트랜지스터, 제2 트랜지스터, 및 용량 소자를 포함하는 반도체 장치이다. 제1 트랜지스터는 제1 반도체 재료를 포함하는 제1 채널 형성 영역, 제1 채널 형성 영역을 사이에 두고 제공된 불순물 영역들, 제1 채널 형성 영역 위에 제공된 제1 게이트 절연층, 적어도 제1 채널 형성 영역과 중첩하고 제1 게이트 절연층 위에 제공된 제1 게이트 전극, 및 불순물 영역에 전기적으로 접속된 제1 소스 또는 드레인 전극을 포함한다. 제2 트랜지스터는 제2 소스 및 드레인 전극, 제2 반도체 재료를 포함하고 제2 소스 및 드레인 전극에 전기적으로 접속된 제2 채널 형성 영역, 제2 채널 형성 영역 위에 제공된 제2 게이트 절연층, 및 제2 채널 형성 영역과 적어도 중첩하고 제2 게이트 절연층 위에 제공된 제2 게이트 전극을 포함한다. 용량 소자는 제2 소스 및 드레인 전극 중 하나, 제2 게이트 절연층, 및 제2 게이트 절연층 위에 제공된 용량 소자용 전극을 포함한다. 반도체 장치에서, 제1 트랜지스터 및 제2 트랜지스터는, 적어도 일부가 서로 중첩하고, 제2 소스 및 드레인 전극 중 하나가 제1 게이트 전극에 전기적으로 접속되고, 제2 소스 및 드레인 전극 중 다른 하나가 제1 게이트 전극으로부터 분리되도록 제공된다.

[0016] 본 발명의 다른 실시형태는 제1 트랜지스터, 제2 트랜지스터, 및 용량 소자를 포함하는 반도체 장치이다. 제1 트랜지스터는, 제1 반도체 재료를 포함하는 제1 채널 형성 영역, 제1 채널 형성 영역을 사이에 두고 제공된 불순물 영역들, 제1 채널 형성 영역 위에 제공된 제1 게이트 절연층, 적어도 제1 채널 형성 영역과 중첩하고 제1 게이트 절연층 위에 제공된 제1 게이트 전극, 및 불순물 영역에 전기적으로 접속된 제1 소스 또는 드레인 전극을 포함한다. 제2 트랜지스터는 제2 소스 및 드레인 전극, 제2 반도체 재료를 포함하고 제2 소스 및 드레인 전극에 전기적으로 접속된 제2 채널 형성 영역, 제2 채널 형성 영역 위에 제공된 제2 게이트 절연층, 및 제2 채널 형성 영역과 적어도 중첩하고 제2 게이트 절연층 위에 제공된 제2 게이트 전극을 포함한다. 용량 소자는 제2 소스 및 드레인 전극 중 하나, 제2 채널 형성 영역을 부분적으로 포함하는 산화물 반도체층, 제2 게이트 절연층, 및 제2 게이트 절연층 위에 제공된 용량 소자용 전극을 포함한다. 반도체 장치에서, 제1 트랜지스터 및 제2 트랜지스터는, 적어도 일부가 서로 중첩하고, 제2 소스 및 드레인 전극 중 하나가 제1 게이트 전극에 전기적으로 접속되고, 제2 소스 및 드레인 전극 중 다른 하나가 제1 게이트 전극으로부터 분리되도록 제공된다.

[0017] 상기 구조의 반도체 장치에서, 제1 반도체 재료 및 제2 반도체 재료는 바람직하게는 다르다.

[0018] 상기 구조의 반도체 장치에서, 제2 반도체 재료는 바람직하게는 산화물 반도체이다.

[0019] 제2 반도체 재료가 산화물 반도체인 상기 구조의 반도체 장치에서, 복수의 절연층이 바람직하게는 제1 트랜지스터와 제2 트랜지스터 사이에 제공되고, 제2 트랜지스터와 접하는, 복수의 절연층 중 적어도 하나의 절연층은 바람직하게는 스퍼터링 방법으로 형성된다.

[0020] 상기 구조의 반도체 장치에서, 제2 반도체 재료의 에너지 갭은 바람직하게는 3eV보다 높다. 예를 들어, 탄화실리콘으로 대표되는 넓은 밴드 갭 재료(더 구체적으로, 예를 들어, 그 에너지 갭 E_g 가 3eV보다 높은 반도체 재료)가 이용될 수 있다.

[0021] 상기 구조의 반도체 장치에서, 제1 트랜지스터는 바람직하게는 제2 트랜지스터보다 빠른 속도로 동작할 수 있다.

[0022] 상기 구조의 반도체 장치에서, 제2 트랜지스터의 오프 전류는 바람직하게는 제1 트랜지스터의 오프 전류보다 낮다.

[0023] 상기 구조의 반도체 장치에서, 제2 트랜지스터의 오프 전류가 제1 트랜지스터의 오프 전류보다 낮은 경우에, 실

온에서의 제2 트랜지스터의 오프 전류는 바람직하게는 10zA 이하이다.

- [0024] 본 명세서에서, "위에" 또는 "아래에" 등의 용어는 구성 요소가 다른 구성 요소 "바로 위에" 또는 "바로 아래에" 놓이는 것을 반드시 의미하지 않다는 점에 유의한다. 예를 들어, "게이트 절연층 위의 게이트 전극"이라는 표현은 구성 요소가 게이트 절연층과 게이트 전극 사이에 배치되는 경우를 배제하지 않는다. 또한, "위에" 및 "아래에"라는 용어는 단지 설명의 편의상 사용된 것이고 다르게 특정되지 않는 한 구성 요소의 관계가 역인 경우를 포함할 수 있다.
- [0025] 또한, 본 명세서에서, "전극" 또는 "배선" 등의 용어는 구성 요소의 기능을 한정하지 않는다. 예를 들어, "전극"은 보통 "배선"의 일부로 사용되고 그 반대로도 가능하다. 또한, "전극" 또는 "배선" 등의 용어는 복수의 "전극들" 또는 "배선들"이 일체로 형성되는 경우를 포함할 수 있다.
- [0026] 본 명세서에서, "막"이란 CVD 방법(플라즈마 CVD 방법 등을 포함함), 스퍼터링 방법 등으로 물체의 전체 표면 위에 형성된 막을 말한다는 점에 유의한다. 한편, "층"이란 막을 가공함으로써 형성된 층 또는 물체의 전체 표면 위에 형성되고 가공 처리될 필요가 없는 층을 말한다. 그러나, "막"과 "층"은 특정한 구분없이 사용된다.
- [0027] "소스" 또는 "드레인"의 기능은 다른 극성의 트랜지스터가 이용되는 경우에 또는 전류 흐름 방향이 예를 들어 회로 동작 시에 변화하는 경우에 바뀔 수 있다는 점에 유의한다. 따라서, 용어 "소스" 및 "드레인"은 각각 본 명세서에서 드레인 및 소스를 표시하는 데 사용될 수 있다.
- [0028] 본 명세서에서, 용어 "전기적으로 접속되는"은 구성 요소들이 임의의 전기 기능을 갖는 물체를 통해 접속되는 경우를 포함한다는 점에 유의한다. 전기 신호가 물체를 통해 접속된 구성 요소들 사이에 송수신될 수 있는 한 "임의의 전기 기능을 갖는 물체"는 특별히 한정되지 않는다. "임의의 전기 기능을 갖는 물체"의 예는 전극 및 배선뿐만 아니라 트랜지스터 등의 스위칭 소자, 저항, 인덕터, 용량 소자, 및 다양한 기능을 갖는 소자이다.
- [0029] 전력이 공급되지 않을 때에도 데이터가 유지될 수 있고, 데이터 기입 동작의 횟수가 제한되지 않고, 단위 면적당 기억 용량이 큰 기억 장치 또는 반도체 장치를, 불휘발성 기억 장치와 마찬가지로 방식으로 얻을 수 있다.

도면의 간단한 설명

- [0030] 도 1a 및 도 1b는 본 발명의 실시형태에 따른 기억 소자를 도시한 도면.
- 도 2는 본 발명의 실시형태에 따른 기억 장치를 도시한 도면.
- 도 3은 도 2의 기억 장치의 동작을 도시한 도면.
- 도 4a 및 도 4b는 각각 본 발명의 실시형태에 따른 기억 장치의 관독 회로를 도시한 도면.
- 도 5는 본 발명의 실시형태에 따른 기억 장치를 도시한 도면.
- 도 6a 및 도 6b는 본 발명의 실시형태에 따른 기억 소자를 도시한 도면.
- 도 7은 본 발명의 실시형태에 따른 기억 소자를 도시한 도면.
- 도 8은 본 발명의 실시형태에 따른 기억 소자를 도시한 도면.
- 도 9는 본 발명의 실시형태에 따른 기억 소자를 도시한 도면.
- 도 10의 (a) 내지 (h)는 본 발명의 실시형태에 따른 기억 소자의 제조 방법을 도시한 도면.
- 도 11의 (a) 내지 (d)는 본 발명의 실시형태에 따른 기억 소자의 제조 방법을 도시한 도면.
- 도 12의 (a)와 (b)는 본 발명의 실시형태에 따른 기억 소자의 제조 방법을 도시한 도면.
- 도 13의 (a) 내지 (h)는 본 발명의 실시형태에 따른 기억 소자의 제조 방법을 도시한 도면.
- 도 14의 (a) 내지 (h)는 본 발명의 실시형태에 따른 기억 소자의 제조 방법을 도시한 도면.
- 도 15는 본 발명의 실시형태에 따른 기억 소자의 제조 방법을 도시한 도면.
- 도 16의 (a) 내지 (f)는 각각 본 발명의 실시형태에 따른 전자 기기를 도시한 도면.

발명을 실시하기 위한 구체적인 내용

- [0031] 본 발명의 실시형태의 예가 도면을 참조하여 아래에 설명된다. 본 발명은 다음의 설명으로 한정되지 않고, 당

업자라면 본 발명의 취지 및 범위를 벗어나지 않고서 다양한 변화 및 변형이 이루어질 수 있다는 것을 이해할 수 있다는 점에 유의한다. 따라서, 본 발명은 실시형태의 다음의 설명으로 한정되는 것으로 해석되어서는 안 된다.

- [0032] 다음 설명에서 참조된 도면에 도시된 각 구성 요소의 위치, 크기, 범위 등은 어떤 경우에는 이러한 구성요소들을 간단히 하고 특징을 부각하도록 실제와는 다르다는 점에 유의한다. 따라서, 본 발명은 도면에 개시된 위치, 크기, 범위 등에 한정되지 않는다.
- [0033] 다음의 설명에서, "제1", "제2", 및 "제3" 등의 서수는 구성 요소들 간의 혼동을 피하기 위해 편의상 사용되고, 그 용어는 구성 요소들을 수치적으로 한정하는 것은 아니라는 점에 유의한다.
- [0034] 본 발명의 실시형태에 따른 기억 장치의 예가 아래에 설명된다.
- [0035] 회로도 각각에서, 어떤 경우에는, 트랜지스터가 산화물 반도체를 포함한다는 것을 표시하기 위해 "OS"(산화물 반도체(oxide semiconductor"의 약자)가 트랜지스터에 병기된다는 점에 유의한다.
- [0036] 도 1a는 본 발명의 실시형태에 따른 기억 소자의 구성을 도시한 회로도이다. 도 1a에 도시된 기억 소자는 트랜지스터(160), 트랜지스터(162), 및 용량 소자(164)를 포함한다. 도 1a에서, 트랜지스터(160)의 소스 및 드레인 전극 중 하나는 제1 배선(1st Line이라고도 함)에 전기적으로 접속되고, 트랜지스터(160)의 소스 및 드레인 전극 중 다른 하나는 제2 배선(2nd Line이라고도 함)에 전기적으로 접속된다. 트랜지스터(162)의 소스 및 드레인 전극 중 하나는 제3 배선(3rd Line이라고도 함)에 전기적으로 접속되고, 트랜지스터(162)의 게이트 전극은 제4 배선(4th Line이라고도 함)에 전기적으로 접속된다. 또한, 트랜지스터(160)의 게이트 전극 및 트랜지스터(162)의 소스 및 드레인 전극 중 다른 하나는 용량 소자(164)의 전극들 중 하나에 전기적으로 접속된다. 용량 소자(164)의 전극들 중 다른 하나는 제5 배선(5th Line이라고도 함)에 전기적으로 접속된다.
- [0037] 산화물 반도체를 포함하는 트랜지스터는 트랜지스터(162)로서 사용된다. 산화물 반도체를 포함하는 트랜지스터의 오프 전류의 양은 산화물 반도체의 고순도화 및 수소 및 물의 제거에 의해 상당히 감소될 수 있다. 따라서, 트랜지스터(160)의 게이트 전극에 공급되는 전하는 트랜지스터(162)를 턴 오프시킴으로써 극히 오랜 시간 동안 유지될 수 있다. 용량 소자(164)를 제공함으로써 트랜지스터(160)의 게이트 전극에 공급된 전하를 용이하게 유지할 수 있고 또한 유지된 데이터의 판독을 용이하게 할 수 있다. 트랜지스터(162)의 채널 길이는 바람직하게는 10nm 내지 1000nm이라는 점에 유의한다. 채널 길이는 10nm 내지 1000nm로 설정되어, 고속 동작이 수행될 수 있고 전력 소비가 감소될 수 있다.
- [0038] 도 1a에 도시된 기억 소자에서의 데이터 기입 동작, 데이터 유지 동작, 및 데이터 판독 동작이 아래에 설명된다.
- [0039] 먼저, 제3 배선으로부터 공급된 전하는 제4 배선에 의해 트랜지스터(162)를 턴 온시킴으로써 트랜지스터(160)의 게이트 전극 및 용량 소자(164)의 전극들 중 하나에 공급된다. 바꾸어 말하면, 전하는 도 1a의 부분 FG에 공급된다(기입 동작). 여기서, 2개의 다른 전위 레벨을 부여하는 전하(이후, "저 레벨 전하" 및 "고 레벨 전하"라고 함)가 공급된다.
- [0040] 그 다음에, 도 1a의 부분 FG에서의 전하는 제4 배선에 의해 트랜지스터(162)를 턴 오프시킴으로써 유지된다(유지 동작).
- [0041] 트랜지스터(162)의 오프 전류는 극히 낮으므로, 부분 FG에서의 전하는 오랜 시간 동안 유지된다.
- [0042] 다음에, 데이터 판독 동작이 설명된다. 소정의 전위(정전위)가 제1 배선에 공급되는 동안 적절한 전위(판독 전위)가 제5 배선에 공급될 때, 제2 배선의 전위는 부분 FG에 유지된 전하량(트랜지스터(160)의 게이트 전극의 전위)에 따라 변화한다. 왜냐하면, 일반적으로, 트랜지스터(160)가 n 채널 트랜지스터일 때, 고 레벨 전하가 트랜지스터(160)의 게이트 전극에 공급되는 경우에서의 "피상 임계 전압" V_{th-H} 는 저 레벨 전하가 트랜지스터(160)의 게이트 전극에 공급되는 경우에서의 "피상 임계 전압" V_{th-L} 보다 낮기 때문이다. 여기서, 트랜지스터(160)의 "피상 임계 전압"은 제1 배선의 전위가 정전위로 설정될 때 트랜지스터(160)를 턴 온시키는 데 필요한 제5 배선의 전위이다. 따라서, 제5 배선의 전위는 V_{th-H} 과 V_{th-L} 사이의 중간인 전위 V_0 로 설정되어, 트랜지스터(160)의 게이트 전극에 공급된 전하가, 고 레벨 전하인지 저 레벨 전하인지를 결정할 수 있다. 예를 들어, 고 레벨 전하가 유지되는 경우에, 제5 배선의 전위가 $V_0(>V_{th-H})$ 로 설정될 때, 트랜지스터(160)는 턴 온된다. 저 레벨 전하가 유지되는 경우에, 제5 배선의 전위가 $V_0(<V_{th-L})$ 로 설정될 때에도, 트랜지스터(160)는 오프로

유지된다. 따라서, 제2 배선의 전위를 참조함으로써, 유지된 데이터가 결정되고 판독될 수 있다.

- [0043] 기억 소자들이 사용되도록 배열되는 경우에, 원하는 기억 소자의 데이터만이 판독될 필요가 있다. 데이터가 이 방식으로 판독되는 경우에, 게이트 전극의 상태에 관계없이 트랜지스터(160)가 턴 오프되는 전위($V_{th,off}$ 보다 낮은 전위)가 제5 배선에 공급될 수 있다. 다르게는, 게이트 전극의 상태에 관계없이 트랜지스터(160)가 턴 온되는 전위($V_{th,on}$ 보다 높은 전위)가 제5 배선에 공급될 수 있다.
- [0044] 다음에, 데이터 재기입 동작이 설명된다. 데이터 재기입 동작은 상기 데이터 기입 동작 및 데이터 유지 동작과 마찬가지로 방식으로 수행된다. 즉, 트랜지스터(162)는 제4 배선의 전위에 의해 턴 온된다. 따라서, 제3 배선의 전위(새로운 데이터와 관련된 전위)가 부분 FG에 공급된다. 그 후, 새로운 데이터와 관련된 전하는 제4 배선의 전위에 의해 트랜지스터(162)를 턴 오프시킴으로써 부분 FG에 공급된다.
- [0045] 본 발명의 실시형태에 따른 기억 장치에서, 데이터는 상술한 바와 같이 데이터의 또 하나의 기입에 의해 직접 재기입될 수 있다. 따라서, 플래시 메모리 등 내의 플로팅 게이트로부터 전하를 추출할 때 필요했던 고 전압이 불필요하므로, 플로팅 게이트로의 전하의 주입 및 플로팅 게이트로부터의 전하의 제거로 인한 동작 속도의 감소가 억제될 수 있다.
- [0046] 트랜지스터(162)의 소스 및 드레인 전극 중 다른 하나는 트랜지스터(160)의 게이트 전극에 전기적으로 접속되어, 도 1a의 부분 FG가 플래시 메모리의 플로팅 게이트와 유사한 기능을 갖는다는 점에 유의한다. 트랜지스터(162)가 오프인 경우에, 부분 FG는 절연체 내에 매립되는 것으로 간주될 수 있고, 따라서, 전하가 부분 FG에 유지된다. 본 발명의 실시형태에 따른 기억 소자용으로 제공된 트랜지스터(162)의 오프 전류의 양은 실리콘 등을 포함하는 종래의 트랜지스터의 오프 전류의 양의 10만 분의 1 이하일 수 있다. 따라서, 본 발명의 실시형태에 따른 기억 소자는 트랜지스터(162)를 통한 부분 FG로부터의 전하의 리크가 거의 발생하지 않는 기억 소자로서 간주될 수 있다. 즉, 본 발명의 실시형태에 따른 기억 소자를 이용함으로써, 전력이 공급되지 않아도 데이터가 보유될 수 있는 불휘발성 기억 장치가 실현될 수 있다.
- [0047] 예를 들어, 트랜지스터(162)의 오프 전류가 실온에서 10zA 이하이고 용량 소자(164)의 용량값이 약 10fF인 경우에, 데이터는 적어도 10^4 초 동안 유지될 수 있다. 유지 기간은 트랜지스터의 특성 및 용량 소자의 용량값에 따라 변화한다는 점에 유의한다.
- [0048] 또한, 상술한 바와 같이, 플래시 메모리와 다른, 본 발명의 실시형태에 따른 기억 소자에서는, 채널 형성 영역과 플로팅 게이트 사이의 절연층을 열화시키는 터널링 전류가 사용되지 않는다. 그러므로, 기입 동작의 횟수에 제한이 없다. 또한, 종래의 플로팅 게이트 트랜지스터에서의 기입 또는 소거 시에 필요하였던 고 전압이 필요하지 않다.
- [0049] 도 1a에 도시된 기억 소자 내의 트랜지스터 등의 구성 요소는 도 1b에 도시된 저항 및 용량 소자와 함께 형성되는 것으로 간주될 수 있다. 도 1b에 도시한 바와 같이, 트랜지스터(160) 및 용량 소자(164) 각각에서, 저항과 용량 소자는 서로 병렬로 접속되는 것으로 간주될 수 있다. R1 및 C1은 각각 용량 소자(164)의 저항값 및 용량값을 표시한다. 저항값 R1은 용량 소자(164)에 포함된 절연층에 따른 저항값에 대응한다. R2 및 C2는 각각 트랜지스터(160)의 저항값 및 용량값을 표시한다. 저항값 R2는 트랜지스터(160)가 온인 시점에 게이트 절연층에 따른 저항값에 대응한다. 용량값 C2는 소위 게이트 용량 소자(게이트 전극과 소스 또는 드레인 전극 사이에 형성된 용량 소자; 및 게이트 전극과 채널 형성 영역 사이에 형성된 용량 소자)의 용량값에 대응한다.
- [0050] 전하 유지 기간(데이터 유지 기간이라고도 함)은, 트랜지스터(162)의 게이트 리크 전류가 충분히 낮고, 트랜지스터(162)가 오프인 경우에 소스와 드레인 전극 사이의 저항값(실효 저항이라고도 함)이 ROS일 때, R1은 ROS보다 크고 R2는 ROS보다 작다는 조건 하에서 트랜지스터(162)의 오프 전류에 의해 주로 결정된다.
- [0051] 한편, 상기 조건이 만족되는 경우에, 트랜지스터(162)의 오프 전류가 충분히 낮을 때에도 유지 기간을 충분히 보장하기는 어렵다. 왜냐하면, 트랜지스터(162)의 오프 전류 이외의 리크 전류(예를 들어, 소스와 게이트 전극 사이에 발생된 리크 전류)가 높기 때문이다. 따라서, 본 발명의 실시형태에 따른 기억 소자가 상기 관계를 만족시키는 것이 바람직하다.
- [0052] 한편, C1은 바람직하게는 C2 이상이다. C1이 크다면, 부분 FG의 전위가 제5 배선에 의해 제어될 때(예를 들어, 판독 시점에) 제5 배선의 전위 변동이 억제될 수 있다.
- [0053] R1 및 R2는 트랜지스터(160)의 게이트 절연층 및 트랜지스터(162)의 게이트 절연층에 의해 결정되는 점에 유의

한다. 동일한 관계가 C1 및 C2에 적용된다. 그러므로, 게이트 절연층의 재료, 두께 등이 적절히 설정되어, 상기 관계를 만족시키는 기억 소자가 실현될 수 있다.

- [0054] 본 발명의 실시형태에 따른 기억 소자에서, 부분 FG는 플래시 메모리 등의 플로팅 게이트 트랜지스터의 플로팅 게이트와 유사한 기능을 갖지만, 부분 FG는 플래시 메모리 등의 플로팅 게이트의 특징과는 본질적으로 다른 특징을 가진다. 종래의 플래시 메모리에서, 제어 게이트에의 고 전계의 인가에 의해 터널링 전류가 발생되므로, 고 전계가 인접한 셀의 플로팅 게이트에 영향을 주는 것을 방지하도록 기억 소자들 간에 적절한 간격을 유지할 필요가 있다. 따라서, 기억 소자의 집적화에 장애가 된다.
- [0055] 또한, 플래시 메모리의 상기 원리로 인해, 절연층의 열화가 진행하므로 재기입 동작의 횟수에 제한이 있다.
- [0056] 본 발명의 실시형태에 따른 기억 소자는 트랜지스터의 스위칭에 의해 동작하고, 터널링 전류에 의한 전하 주입은 종래의 플래시 메모리와 달리 발생하지 않는다. 즉, 플래시 메모리와는 달리, 전하 주입을 위한 고 전계가 필요하지 않다. 따라서, 제어 게이트로부터의 고 전계의 인접한 셀에의 영향을 고려할 필요가 없어서, 의 경우보다 높은 집적화를 가능하게 한다.
- [0057] 또한, 나중에 설명되는 바와 같이, 트랜지스터(160) 및 트랜지스터(162)는 서로 중첩하여 제공되어, 보다 높은 집적화가 또한 가능하다.
- [0058] 더구나, 종래의 플로팅 게이트 트랜지스터에서는, 전하는 기입 동작 동안에 게이트 절연막(터널 절연막)에서 이동하여, 게이트 절연막(터널 절연막)의 열화가 방지될 수 없다. 반면, 본 발명의 실시형태에 따른 기억 소자에서, 데이터는 기입 트랜지스터의 스위칭 동작에 의해 기입되므로, 종래의 플로팅 게이트 트랜지스터의 문제로 인식되었던 게이트 절연막의 열화가 해결될 수 있다. 이것은 원칙적으로 기입 동작의 횟수에 제한이 없고 기입 내성이 극히 높다는 것을 의미한다. 예를 들어, 본 발명의 실시형태에 따른 기억 소자에서, 데이터는 또한 1×10^9 번 이상 (10억 번 이상) 기입될 수 있다.
- [0059] 또한, 터널링 전류에 의한 전하 주입이 이용되지 않기 때문에, 기억 소자의 열화의 원인이 없다. 바꾸어 말하면, 본 발명의 실시형태에 따른 기억 소자는 플래시 메모리보다 높은 내구성과 신뢰성을 가진다.
- [0060] 또한, 고 전계가 필요 없으므로, 기억 소자에 적어도 승압 회로가 불필요하다. 따라서, 대형 크기의 주변 회로가 불필요하고, 기억 장치의 프레임이 좁아질 수 있다.
- [0061] C1에 포함된 절연층의 유전 상수 $\epsilon r1$ 이 C2에 포함된 절연층의 유전 상수 $\epsilon r2$ 와 다른 경우에, C1의 면적 S1은 C2의 면적 S2의 2배 이하(더 바람직하게는, 면적 S1은 면적 S2 이하)이고 C2는 C1보다 작은 것이 바람직하다. 구체적으로, 예를 들어, 절연층의 재료로서, 산화 하프늄 등의 하이-k 재료로 형성된 층과 산화물 반도체로 형성된 층의 적층이 C1용으로 사용되어 $\epsilon r1$ 은 10 이상(바람직하게는, 15 이상)으로 설정되고, 산화 실리콘층이 C2용으로 사용되어 $\epsilon r2$ 가 3 내지 4로 설정된다. 이러한 구조의 조합은 본 발명의 실시형태에 따른 기억 소자의 높은 집적화를 가능하게 한다.
- [0062] 전자가 다수 캐리어인 n 채널 트랜지스터가 상기 설명에서 사용되지만, 정공이 다수 캐리어인 p 채널 트랜지스터가 또한 n 채널 트랜지스터 대신에 사용될 수 있다는 점에 유의한다.
- [0063] 상술한 바와 같이, 본 발명의 실시형태에 따른 기억 소자는 오프 상태에서 소스와 드레인 사이의 리크 전류(오프 전류)가 낮은 기입 트랜지스터; 기입 트랜지스터의 반도체 재료와는 다른 반도체 재료를 이용하여 형성된 판독 트랜지스터; 및 용량 소자를 포함하는 불휘발성 기억 소자를 포함한다.
- [0064] 기입 트랜지스터의 오프 전류는 사용 온도(예를 들어, 25℃)에서 100zA 이하, 바람직하게는 10zA 이하, 더 바람직하게는 1zA 이하이다. 실리콘을 포함하는 트랜지스터의 경우에, 상술한 바와 같이 낮은 오프 전류를 달성하기가 어렵다. 그러나, 산화물 반도체를 포함하는 트랜지스터로, 낮은 오프 전류가 달성될 수 있다. 따라서, 산화물 반도체를 포함하는 트랜지스터는 바람직하게는 기입 트랜지스터로서 이용된다.
- [0065] 또한, 산화물 반도체를 포함하는 트랜지스터는 작은 부임계 스윙(S 값)을 가지므로, 이동도가 비교적 낮아도 스위칭 속도가 충분히 증가될 수 있다. 그러므로, 기입 트랜지스터로서 이 트랜지스터를 사용하여, 부분 FG에 공급된 기입 펄스의 상승이 극히 급격할 수 있다.
- [0066] 기입 트랜지스터의 오프 전류는 낮기 때문에, 부분 FG에 유지된 전하량은 감소될 수 있다는 점에 유의한다. 또한, 데이터 기입 동작 및 데이터 소거 동작이 고속으로 수행될 수 있으므로, 데이터의 재기입이 고속으로 수행될 수 있다.

- [0067] 판독 트랜지스터로서는, 판독 속도를 증가시키기 위해서 고속으로 동작하는 트랜지스터를 사용하는 것이 바람직하다. 예를 들어, 1 나노초 이하의 스위칭 속도가 판독 트랜지스터로서 바람직하게 이용된다.
- [0068] 기입 트랜지스터가 턴 온되어 기입 트랜지스터의 소스 및 드레인 전극 중 다른 하나, 용량 소자의 전극들 중 하나, 및 판독 트랜지스터의 게이트 전극이 서로 전기적으로 접속되는 부분 FG에 전압이 인가된 후, 기입 트랜지스터가 턴 오프되어 소정량의 전하가 부분 FG에 유지되는 방식으로, 데이터가 기입된다. 여기서, 기입 트랜지스터의 오프 전류가 극히 낮기 때문에, 부분 FG에 공급된 전하가 오랜 시간 동안 유지된다. 오프 전류가 예를 들어, 실질적으로 0일 때, 리프래시 동작이 필요하지 않거나 또는, 리프래시 동작이 수행되는 경우에도, 리프래시 동작의 빈도가 극히 낮다(예를 들어, 1달 또는 1년에 약 한 번). 따라서, 기억 소자의 전력 소비가 충분히 감소될 수 있다.
- [0069] 본 발명의 실시형태에 따른 기억 소자에서, 데이터는 기억 소자에의 데이터의 또 하나의 기입에 의해 직접 재기입될 수 있다는 점에 유의한다. 따라서, 플래시 메모리 등에 필요한 소거 동작이 필요하지 않아, 소거 동작으로 인한 동작 속도의 감소가 방지될 수 있다.
- [0070] 본 발명의 실시형태에 따른 기억 소자에 인가된 최고 전압(기억 소자의 각 단자에 동시에 인가되는 최고 전위와 최저 전위 사이의 차)이 2단계(1 비트)의 데이터가 기입되는 경우에 각 기억 소자에서 5V 이하, 바람직하게는 3V 이하일 수 있다는 점에 유의한다.
- [0071] 본 발명의 실시형태에 따른 기억 소자는 적어도 기입 트랜지스터, 판독 트랜지스터, 및 용량 소자를 포함하고, 기억 소자는 용량 소자의 면적이 작아도 동작할 수 있다. 따라서, 단위 면적당 기억 용량이 예를 들어, 각 기억 소자에서 6개의 트랜지스터를 요구하는 SRAM에 비해 증가될 수 있다.
- [0072] 또한, 본 발명의 실시형태에 따른 기억 소자에 사용되는 산화물 반도체에서, 기억 소자의 전류-전압 특성은 산화물 반도체가 3.0eV 내지 3.5eV의 높은 에너지 갭 및 극소수의 열적으로 여기된 캐리어를 갖기 때문에, 예를 들어, 150℃의 고온에서도 열화되지 않는다. 본 발명의 실시형태에 따른 기억 소자용으로 사용된 트랜지스터에서, 150℃의 고온에서도 특성 열화가 없고 오프 전류는 100zA 만큼 극히 낮다.
- [0073] 도 2는 도 1a 및 도 1b를 참조하여 설명된 기억 소자들이 본 발명의 실시형태에 따른 기억 소자로서 매트릭스로 배열된 기억 장치의 구성을 도시한다. 도 2에서, 간단한 설명을 위해 수직(행)의 2개의 기억 소자 × 수평(열)의 2개의 기억 소자의 매트릭스로 기억 소자들이 배열되지만, 수직(행)의 m개의 기억 소자 × 수평(열)의 n개의 기억 소자(m과 n은 둘 다 자연수)의 매트릭스로 기억 소자들이 배열된 기억 소자가 이후에 설명된다는 점에 유의한다.
- [0074] 도 2에 도시된 기억 장치에서, 복수의 기억 소자(1100)가 수직(행)의 m개의 기억 소자 × 수평(열)의 n개의 기억 소자(m과 n은 둘 다 자연수)의 매트릭스로 배열되고, 제1 구동 회로(1111), 제2 구동 회로(1112), 제3 구동 회로(1113), 및 제4 구동 회로(1114)가 그 외측에 배열되고, 이들 구동 회로 및 기억 소자(1100)가 m개의 워드선 WL, m개의 제2 신호선 S2, n개의 비트선 BL, n개의 소스선 SL, 및 n개의 제1 신호선 S1에 의해 접속된다. 여기서, 도 1a에 도시된 기억 소자가 기억 소자(1100)용으로 사용된다.
- [0075] 기억 소자(1100)에서, 제1 트랜지스터, 제2 트랜지스터, 및 용량 소자는 각각 도 1a에 도시된 트랜지스터(160), 트랜지스터(162), 및 용량 소자(164)에 대응한다. 또한, 소스선 SL, 비트선 BL, 제1 신호선 S1, 제2 신호선 S2, 및 워드선 WL이 각각 도 1a에 도시된 제1 배선, 제2 배선, 제3 배선, 제4 배선, 및 제5 배선에 대응한다.
- [0076] 바꾸어 말하면, 기억 소자(1100)에서, 제1 트랜지스터의 소스 및 드레인 전극 중 하나는 소스선 SL에 전기적으로 접속되고, 제1 트랜지스터의 소스 및 드레인 전극 중 다른 하나는 비트선 BL에 전기적으로 접속된다. 제2 트랜지스터의 소스 및 드레인 전극 중 하나는 제1 신호선 S1에 전기적으로 접속되고, 제2 트랜지스터의 게이트 전극은 제2 신호선 S2에 전기적으로 접속된다. 또한, 제1 트랜지스터의 게이트 전극 및 제2 트랜지스터의 소스 및 드레인 전극 중 다른 하나는 용량 소자의 전극들 중 하나에 전기적으로 접속된다. 용량 소자의 전극들 중 다른 하나는 워드선 WL에 전기적으로 접속된다.
- [0077] 또한, 기억 소자(1100)는 소스선 SL과 비트선 BL 사이에 병렬로 접속된다. 예를 들어, i 번째 행 및 j 번째 열(i, j)(i는 1 내지 m의 정수이고, j는 1 내지 n의 정수)의 기억 소자(1100)가 소스선 SL(j), 비트선 BL(j), 제1 신호선 S1(j), 워드선 WL(i), 및 제2 신호선 S2(i)에 접속된다.
- [0078] 소스선 SL 및 비트선 BL이 제1 구동 회로(1111)에 접속된다. 제1 신호선 S1은 제3 구동 회로(1113)에 접속된다. 제2 신호선 S2는 제2 구동 회로(1112)에 접속된다. 워드선 WL은 제4 구동 회로(1114)에 접속된다.

여기서, 제1 구동 회로(1111), 제2 구동 회로(1112), 제3 구동 회로(1113), 및 제4 구동 회로(1114)는 별도로 제공되지만, 이로 한정하지 않고, 하나 또는 복수의 이들 구동 회로의 기능을 갖는 디코더가 사용될 수 있다는 점에 유의한다.

- [0079] 다음에, 도 2에 도시된 기억 장치의 기입 동작 및 판독 동작이 도 3에 도시된 타이밍 차트를 참조하여 설명된다.
- [0080] 간단하게 2개의 행 \times 2개의 열의 기억 장치를 설명하지만, 본 발명은 이에 한정되지 않는다.
- [0081] 도 3에서, S1(1) 및 S1(2)는 제1 신호선 S1의 전위이고, S2(1) 및 S2(2)는 제2 신호선 S2의 전위이고, BL(1) 및 BL(2)은 비트선 BL의 전위이고, WL(1) 및 WL(2)는 워드선 WL의 전위이고, SL(1) 및 SL(2)는 소스선 SL의 전위이다.
- [0082] 먼저, 데이터가 제1 행의 기억 소자(1100)(1,1) 및 기억 소자(1100)(1,2)에 기입되고, 데이터가 제1 행의 기억 소자(1100)(1,1) 및 기억 소자(1100)(1,2)로부터 판독되는 경우가 설명된다. 다음의 설명에서, 기억 소자(1100)(1,1)에 기입될 데이터는 "1"이고 기억 소자(1100)(1,2)에 기입될 데이터는 "0"이라고 가정한다는 점에 유의한다.
- [0083] 먼저, 기입 동작이 설명된다. 제1 행의 기입 기간에서, 제1 행의 제2 트랜지스터가 턴 온되도록 전위 VH가 제1 행의 제2 신호선 S2(1)에 공급된다. 또한, 제2 행의 제2 트랜지스터가 턴 오프되도록 전위 0V가 제2 행의 제2 신호선 S2(2)에 공급된다.
- [0084] 다음에, 전위 V2 및 전위 0V가 각각 제1 열의 제1 신호선 S1(1) 및 제2 열의 제1 신호선 S1(2)에 인가된다.
- [0085] 결과적으로, 전위 V2 및 전위 0V가 각각 기억 소자(1100)(1,1)의 부분 FG 및 기억 소자(1100)(1,2)의 부분 FG에 인가된다. 여기서, 전위 V2는 제1 트랜지스터의 임계 전압보다 높게 설정된다. 다음에, 제1 행의 신호선 S2(1)의 전위는 제1 행의 제2 트랜지스터가 턴 오프되도록 0V로 설정된다. 따라서, 기입이 종료된다.
- [0086] 워드선 WL(1) 및 WL(2)의 전위가 0V로 설정된다는 점에 유의한다. 또한, 제1 행의 제1 신호선 S1(1)의 전위가 변화되기 전에, 제1 행의 제2 신호선 S2(1)의 전위가 0V로 설정된다. 기억 소자에서, 워드선 WL에 접속된 단자가 제어 게이트 전극이고, 제1 트랜지스터의 소스 전극이 소스 전극이고, 제2 트랜지스터의 드레인 전극이 드레인 전극이라고 가정하면, 데이터가 기입된 기억 소자의 임계 전압은 데이터 "0"인 경우에 V_{w0} 이고, 데이터 "1"인 경우에 V_{w1} 이다. 여기서, 기억 소자의 임계 전압은 제1 트랜지스터의 소스와 드레인 전극 사이의 저항 상태를 변화시키는, 워드선 WL에 접속된 단자의 전압을 의미한다. $V_{w0} > 0 > V_{w1}$ 이 만족되는 점에 유의한다.
- [0087] 다음에, 판독 동작이 설명된다. 제1 행의 판독 기간에, 전위 0V 및 전위 VL이 각각 제1 행의 워드선 WL(1) 및 제2 행의 워드선 WL(2)에 공급된다. 전위 VL은 V_{w1} 의 임계 전압보다 낮게 설정된다. 전위 WL(1)이 제1 행에서 0V로 설정될 때, 데이터 "0"이 기억되는 기억 소자(1100)(1,2)의 제1 트랜지스터는 턴 오프되고, 데이터 "1"이 기억되는 기억 소자(1100)(1,1)의 제1 트랜지스터는 턴 온된다. 전위 WL(2)이 제2 행에서 VL로 설정될 때, 데이터 "0" 또는 데이터 "1"이 기억되는 기억 소자(1100)의 경우에도 제2 트랜지스터는 턴 오프된다.
- [0088] 다음에, 전위 0V가 제1 열의 소스선 SL(1) 및 제2 열의 소스선 SL(2)에 공급된다.
- [0089] 결과적으로, 비트선 BL(1)과 소스선 SL(1) 사이의 기억 소자(1100)(1,1)가 온이므로, 낮은 저항 상태를 갖고, 비트선 BL(2)과 소스선 SL(2) 사이의 기억 소자(1100)(1,2)의 제1 트랜지스터는 오프이므로, 높은 저항 상태를 갖는다. 비트선 BL(1) 및 비트선 BL(2)에 접속된 판독 회로는 비트선들 사이의 저항 상태의 차이에 기초하여 데이터를 판독할 수 있다.
- [0090] 또한, 전위 0V 및 전위 VL이 각각 제2 신호선 S2(1) 및 제2 신호선 S2(2)에 공급되어, 모든 제2 트랜지스터가 턴 오프된다. 제1 행의 부분 FG의 전위는 0V 또는 V2이므로, 제2 신호선 S2(1)의 전위가 0V로 설정되어, 제1 행의 모든 제2 트랜지스터는 턴 오프될 수 있다. 한편, 제2 행의 부분 FG의 전위는 전위 VL가 워드선 WL(2)에 공급되는 경우 데이터 기입 바로 직후의 전위보다 낮다. 따라서, 제2 트랜지스터가 턴 온되는 것을 방지하기 위해, 제2 신호선 S2(2)의 전위가 워드선 WL(2)의 전위와 마찬가지로 낮은 전위로 설정된다. 따라서, 모든 제2 트랜지스터는 턴 오프될 수 있다.
- [0091] 상술한 바와 같이, 판독 회로는 판독 동작에 사용된다.
- [0092] 도 4a는 판독 회로의 예를 도시한다. 도 4a에 도시된 판독 회로는 트랜지스터 및 감지 증폭 회로를 포함한다. 전위 V_{dd} 는 소스 및 드레인 전극 중 하나에 인가되고, 감지 증폭 회로의 +단자와 비트선은 트랜지스터의 소스 및

드레인 전극 중 다른 하나에 접속된다. 바이어스 전위 V_{bias} 는 트랜지스터의 게이트 전극에 인가된다. 여기서, 바이어스 전위 V_{bias} 는 0보다 높고 V_{dd} 보다 낮다는 점에 유의한다.

- [0093] 기억 소자가 높은 저항을 가지는 경우에, 감지 증폭 회로의 + 단자에 입력된 전위는 기준 전위 V_{ref} 보다 높고 감지 증폭 회로는 데이터 "1"을 출력한다. 한편, 기억 소자가 낮은 저항을 갖는 경우에, 감지 증폭 회로의 -단자에 입력된 전위는 기준 전위 V_{ref} 보다 낮고 감지 증폭 회로는 데이터 "0"을 출력한다.
- [0094] 도 4b는 판독 회로의 또 하나의 예를 도시한다. 도 4b에 도시된 판독 회로는 트랜지스터 및 클록 인버터(clocked inverter)를 포함한다. 전위 V_{dd} 는 트랜지스터의 소스 및 드레인 전극 중 하나에 인가되고, 클록 인버터의 입력 및 비트선은 트랜지스터의 소스 및 드레인 전극 중 다른 하나에 접속된다. 전위 V_{dd} 는 또한 트랜지스터의 게이트 전극에 인가된다.
- [0095] 도 4b의 판독 회로가 사용되는 경우의 출력 전위가 설명된다. 기억 소자(1100)(1,1)의 제1 트랜지스터가 온일 때, 비트선 BL(1)과 소스선 SL(1) 사이의 저항은 낮다. 따라서, 클록 인버터의 입력은 저 전위를 갖고, 출력 D(1)은 신호 하이이다. 한편, 비트선 BL(2)과 소스선 SL(2) 사이의 저항은 높기 때문에, 고 전위가 클록 인버터에 공급되고 출력 D(2)은 신호 로우이다.
- [0096] 판독 회로의 구성은 도 4a 및 도 4b의 구성으로 한정되지 않는다는 점에 유의한다. 예를 들어, 판독 회로는 프리차지 회로를 포함할 수 있고, 또는 기준 비트선은 기준 전위 V_{ref} 대신에 감지 증폭 회로에 접속될 수 있다.
- [0097] 도 1a 및 도 1b에 도시된 기억 소자를 구비한 기억 장치(도 2)가 여기서 사용되지만, 본 발명은 이로 한정되지 않는다. 도 1a 및 도 1b에 도시된 기억 소자를 이용하여, 도 2의 형태와는 다른 형태의 또 하나의 기억 장치가 또한 형성될 수 있다.
- [0098] 도 5는 도 1a 및 도 1b에 도시된 기억 소자를 이용하여 형성된, 도 2의 형태와는 다른 형태의 또 하나의 기억 장치를 도시한다. 도 5는 기억 소자가 직렬로 접속된 소위 NAND 기억 장치의 회로도도 도시한다.
- [0099] 도 5에 도시된 기억 장치는 소스선 SL, 비트선 BL, 제1 신호선 S1, 복수의 제2 신호선 S2, 복수의 워드선 WL, 및 복수의 기억 소자를 포함한다. 도 5에서, 하나의 소스선 SL 및 하나의 비트선 BL이 기억 장치에 제공되지만, 복수의 소스선 SL 및 복수의 비트선 BL이 이로 한정되지 않고 제공될 수 있다는 점에 유의한다.
- [0100] 도 5에 도시된 기억 소자 각각에서, (도 1a 및 도 1b의 트랜지스터(162)에 대응하는) 제2 트랜지스터의 소스 및 드레인 전극 중 하나는 제1 신호선 S1에 전기적으로 접속되고, 제2 트랜지스터의 게이트 전극은 제2 신호선 S2에 전기적으로 접속된다. 또한, (도 1a 및 도 1b의 트랜지스터(160)에 대응하는) 제1 트랜지스터의 게이트 전극 및 제2 트랜지스터의 소스 및 드레인 전극 중 다른 하나는 용량 소자의 전극들 중 하나에 전기적으로 접속된다. 용량 소자의 전극들 중 다른 하나는 워드선 WL에 전기적으로 접속된다.
- [0101] 여기서, k개의 기억 소자(k는 자연수) 각각에 포함된 제1 트랜지스터의 소스 및 드레인 전극은 소스선 SL과 비트선 BL 사이에 순차적으로 직렬로 접속되고, 제1 기억 소자의 제1 트랜지스터의 소스 전극은 비트선 BL에 전기적으로 접속되고, 최종 단계에 있는 k 번째 기억 소자의 제1 트랜지스터의 드레인 전극은 소스선 SL에 전기적으로 접속된다.
- [0102] 도 5에 도시된 기억 장치에서, 기입 동작 및 판독 동작이 각 행에서 수행된다. 기입 동작은 다음과 같이 수행된다. 바꾸어 말하면, 기입이 수행될 행의 제2 트랜지스터는 기입이 수행될 행의 제2 신호선 S2에 의해 턴 온된다. 따라서, 제1 신호선 S1의 전위는 특정 행의 제1 트랜지스터의 게이트 전극에 공급되어, 소정의 전하가 부분 FG 내로 주입된다. 이 방식으로, 데이터는 특정 행의 기억 소자로 기입될 수 있다.
- [0103] 또한, 판독 동작이 다음과 같이 수행된다. 먼저, 제1 트랜지스터가 제1 트랜지스터의 게이트의 전하에 관계없이 턴 온되는 전위가 판독이 수행될 행 이외의 행의 워드선 WL에 공급되어, 판독이 수행될 행 이외의 행의 제1 트랜지스터가 턴 온된다. 다음에, 제1 트랜지스터의 온 상태 또는 오프 상태가 제1 트랜지스터의 게이트 전극 내의 전하에 따라 결정되는 전위(판독 전위)가 판독이 수행될 행의 워드선 WL에 공급된다. 그 다음에, 비트선 BL에 접속된 판독 회로(도시 안 됨)가 동작하도록 정전위가 소스선 SL에 공급된다. 여기서, 소스선 SL과 비트선 BL 사이의 복수의 제1 트랜지스터는 판독이 수행될 행의 트랜지스터를 제외하고 온이므로, 소스선 SL과 비트선 BL 사이의 컨덕턴스가 판독이 수행될 행의 제1 트랜지스터의 상태에 의해 결정된다. 즉, 판독 회로에 의해 판독된 비트선 BL의 전위는 판독이 수행될 행의 제1 트랜지스터의 게이트 전극 내의 전하에 의존한다. 이 방식

으로, 데이터는 특정 행의 기억 소자로부터 판독될 수 있다.

- [0104] 다음에, 본 발명의 실시형태에 따른 도 1a에 도시된 기억 소자의 상면도 및 단면도가 도 6a 및 도 6b를 참조하여 설명된다. 여기서, 도 6b는 상면도이고, 도 6a는 도 6b의 선 C1-C2 및 D1-D2를 따라 취한 단면도이다.
- [0105] 도 6a 및 도 6b에 도시된 기억 소자에서, 트랜지스터(160)는 기판(100) 위에 제공되고, 트랜지스터(160)의 적어도 게이트 전극(110)은 층간 절연층(125), 층간 절연층(126), 및 층간 절연층(128)으로부터 노출되고, 트랜지스터(162)의 소스 또는 드레인 전극(142a)은 노출된 게이트 전극(110)에 접하여 제공된다. 소스 또는 드레인 전극(142a)은 트랜지스터(162)의 소스 또는 드레인 전극으로서 뿐만 아니라 용량 소자(164)의 전극으로서 기능한다. 용량 소자(164)는 소스 또는 드레인 전극(142a), 전극(148b), 산화물 반도체층(144), 및 게이트 절연층(146)을 포함한다. 여기서, 트랜지스터(160) 및 트랜지스터(162)는 적어도 일부가 서로 중첩하도록 제공된다.
- [0106] 도 6a 및 도 6b에서, 트랜지스터(160)는 기판(100) 위에 제공된다. 기판(100)으로서, 고속으로 동작할 수 있는 반도체 재료를 포함하는 기판이 사용될 수 있는데, 예를 들어, 단결정 실리콘 기판이 사용될 수 있다. 트랜지스터(160)는 특히 단결정 실리콘 기판이 기판(100)으로서 사용될 때 고속으로 동작할 수 있다.
- [0107] 도 6a 및 도 6b에서, 트랜지스터(162)는 트랜지스터(160) 위에 제공되는 점에 유의한다. 트랜지스터(162)는 산화물 반도체층(144)을 포함한다.
- [0108] 트랜지스터(160) 및 트랜지스터(162)가 여기서 n 채널 트랜지스터로 설명되지만, p 채널 트랜지스터가 또한 사용될 수 있다.
- [0109] 트랜지스터(160)는 반도체 재료를 포함하는 기판(100) 내에 제공된 채널 형성 영역(116), 고농도 불순물 영역(120), 채널 형성 영역(116) 위에 제공된 게이트 절연층(108a), 게이트 절연층(108a) 위에 제공된 게이트 전극(110), 및 고농도 불순물 영역(120)에 전기적으로 접속된 소스 또는 드레인 전극(154)을 포함한다. 금속 화합물 영역(124)은 고농도 불순물 영역(120)과 소스 또는 드레인 전극(154) 사이에 제공된다.
- [0110] 또한, 소자 분리 절연층(106)은 트랜지스터(160)를 둘러싸도록 기판(100)의 표면 근방에 제공되고, 층간 절연층(125), 층간 절연층(126), 및 층간 절연층(128)은 트랜지스터(160)를 덮도록 제공된다. 층간 절연층(125), 층간 절연층(126), 및 층간 절연층(128)은 적어도 게이트 전극(110)이 노출될 때까지 트랜지스터(160)를 덮도록 형성된 후에 CMP 등에 의해 에칭된다.
- [0111] 도 6a 및 도 6b의 트랜지스터(162)는 층간 절연층(128), 산화물 반도체층(144), 게이트 절연층(146), 및 게이트 전극(148a) 위에 제공된 소스 또는 드레인 전극(142a) 및 소스 또는 드레인 전극(142b)을 포함한다. 산화물 반도체층(144)은 이 전극들에 접하여 소스 또는 드레인 전극(142a)과 소스 또는 드레인 전극(142b) 사이에 제공되고, 게이트 전극(148a)이 산화물 반도체층(144)의 채널 형성 영역과 중첩하여 제공된다.
- [0112] 여기서, 산화물 반도체층(144)은 바람직하게는 산소 결손에 의해 발생된 결함 준위가 고순도를 갖도록 수소 등의 불순물을 충분히 제거하고 나아가 산소를 공급함으로써 감소된 산화물 반도체층이다. 구체적으로, 산화물 반도체층(144) 내의 수소의 농도는 예를 들어, $5 \times 10^{19}/\text{cm}^3$ 이하, 바람직하게는 $5 \times 10^{18}/\text{cm}^3$ 이하, 더 바람직하게는 $5 \times 10^{17}/\text{cm}^3$ 이하이다. 여기서, 산화물 반도체층(144) 내의 수소의 농도는 2차 이온 질량 분석법(SIMS)에 의한 측정값에 기초한 것이다. 따라서, $1 \times 10^{12}/\text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{11}/\text{cm}^3$ 미만, 또는 더 바람직하게는 측정 하한값보다 낮은 캐리어 농도가, 산소 결손에 의해 발생된 에너지 갭의 결함 준위가 고순도를 갖도록 수소를 충분히 감소시키고 나아가 산소를 공급함으로써 감소된 산화물 반도체층에서 얻어진다. 이러한 반도체층을 이용하여, 실온에서의 오프 전류 밀도(오프 전류를 트랜지스터의 채널 폭으로 나누어서 얻어진 값)는 예를 들어, $10\text{zA}/\mu\text{m}$ 내지 $100\text{zA}/\mu\text{m}$ 이다. 이 방식으로, i형(진성) 또는 실질적으로 i형으로 이루어진 이러한 산화물 반도체가 사용될 때, 극히 낮은 오프 전류를 갖는 트랜지스터가 얻어질 수 있다.
- [0113] 도 6a 및 도 6b의 트랜지스터(162)의 산화물 반도체층(144)이 섬 형상으로 가공되지 않는다는 점에 유의한다. 따라서, 산화물 반도체층(144)은 가공시의 에칭으로 인해 오염되는 것이 방지되므로, 산화물 반도체층(144)은 고순도화된 것으로 유지될 수 있다.
- [0114] 도 6a 및 도 6b에 도시된 용량 소자(164)에서, 산화물 반도체층(144)과 게이트 절연층(146)이 적층될 때, 소스 또는 드레인 전극(142a)과 전극(148b) 사이의 절연이 충분히 보장될 수 있다는 점에 유의한다.
- [0115] 소스 또는 드레인 전극(142a) 및 소스 또는 드레인 전극(142b)은 바람직하게는 테이퍼 형상을 갖도록 형성된다는 점에 유의한다. 왜냐하면, 산화물 반도체층(144)의 피복성이 증가될 수 있고 분리가 방지될 수 있기 때문이다.

다. 여기서, 테이퍼 각도는 특히 바람직한, 예를 들어 30° 내지 60° 로 설정된다. 테이퍼 각도는 층의 단면에 수직인 방향(기판의 표면에 수직인 면)으로부터 보아서 테이퍼 형상을 갖는 층(예를 들어, 소스 또는 드레인 전극(142a))의 측면과 저면에 형성된 경사각(내각)이라는 점에 유의한다.

- [0116] 층간 절연층(150)은 트랜지스터(162) 및 용량 소자(164) 위에 제공되고, 층간 절연층(152)은 층간 절연층(150) 위에 제공된다.
- [0117] 다음에, 층간 절연층(152)으로부터 기판(100)에 이르는 개구가 제공되고, 소스 또는 드레인 전극(154)이 층간 절연층(152) 위와 개구 내에 제공된다. 소스 또는 드레인 전극(154)은 금속 화합물 영역(124)에 이르도록 제공된다.
- [0118] 본 발명의 실시형태에 따른 기억 소자는 도 6a 및 도 6b에 도시된 기억 소자로 한정되지 않는다는 점에 유의한다.
- [0119] 예를 들어, 도 7에 도시된 층간 절연층(126)이 제공되지 않을 수 있다. 층간 절연층(126)이 형성되지 않을 때, 단계의 수가 감소되므로 처리량이 향상될 수 있다.
- [0120] 다르게는, 도 8에 도시된 바와 같이, 측벽 절연층(118)이 게이트 절연층(108a) 및 게이트 전극(110)의 측면들과 접하여 제공될 수 있다. 측벽 절연층(118)이 제공되는 경우에, 나중에 설명되는 바와 같이, 저농도 불순물 영역이 형성될 수 있다. 드레인 에지 근방의 전계는 저농도 불순물 영역에 의해 완화될 수 있으므로, 오프 전류가 감소될 수 있다.
- [0121] 또 다르게는, 도 7 및 도 8의 구조는 도 9에 도시된 바와 같이 조합될 수 있다.
- [0122] 다음에, 도 8에 도시된 기억 소자에 포함된 트랜지스터(160)의 제조 방법이 설명된다.
- [0123] 먼저, 반도체 재료를 포함하는 기판(100)이 준비된다(도 10의 (a)). 반도체 재료를 포함하는 기판(100)으로서, 실리콘, 탄화 실리콘 등의 단결정 반도체 또는 다결정 반도체 기판; 실리콘 게르마늄 등의 화합물 반도체 기판; SOI 기판 등이 사용될 수 있다. 여기서, 반도체 재료를 포함하는 기판(100)으로서 단결정 실리콘 기판을 이용하는 예가 도시된다. 일반적으로, 용어 "SOI 기판"은 실리콘 반도체층이 절연면 위에 제공된 기판을 의미한다는 점에 유의한다. 본 명세서에서, 용어 "SOI 기판"은 또한 그 카테고리 내에서 실리콘 이외의 반도체 재료를 이용하여 형성된 반도체층이 절연면 위에 제공된 기판을 포함한다. 바꾸어 말하면, "SOI" 기판에 포함된 반도체 재료는 실리콘으로 한정되지 않는다. 또한, "SOI 기판"의 예는 글래스 기판 등의 그 절연 기판 위에 반도체층을 갖고, 반도체층과 절연 기판 사이에 절연층이 있는 기판을 포함한다.
- [0124] 다음에, 소자 분리 절연층(106)을 형성하기 위한 마스크로서 기능하는 보호층(102)이 기판(100) 위에 형성된다(도 10의 (a)). 보호층(102)으로서, 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘 등을 이용하여 형성된 절연층이 예를 들어 이용될 수 있다. 이 단계의 전 또는 후에, n형 도전성을 부여하는 불순물 원소 또는 p형 도전성을 부여하는 불순물 원소가 트랜지스터의 임계 전압을 제어하기 위해 기판(100)에 첨가될 수 있다는 점에 유의한다. 기판(100)이 실리콘 기판인 경우에, 인(P), 비소(As) 등이 n형 도전성을 부여하는 불순물 원소로서 사용될 수 있다. 붕소(B), 알루미늄(Al), 갈륨(Ga) 등이 p형 도전성을 부여하는 불순물 원소로서 사용될 수 있다.
- [0125] "산화 질화 실리콘"은 질소보다 산소를 더 포함하고, 측정이 양호하게는 러더포드 후방 산란 분광법(RBS) 및 수소 전방 산란(HFS)을 사용하여 수행되는 경우에, 산소, 질소, 실리콘, 및 수소를 각각 50 원자% 내지 70 원자%, 0.5 원자% 내지 15 원자%, 25 원자% 내지 35 원자%, 및 0.1 원자% 내지 10 원자%의 범위의 농도로 포함한다는 점에 유의한다.
- [0126] 또한, "질화 산화 실리콘"은 산소보다 질소를 더 포함하고, 측정이 양호하게는 RBS 및 HFS를 이용하여 수행되는 경우에, 산소, 질소, 실리콘, 및 수소를 각각 5 원자% 내지 30 원자%, 20 원자% 내지 55 원자%, 25 원자% 내지 35 원자%, 및 10 원자% 내지 30 원자%의 범위의 농도로 포함한다. 질소, 산소, 실리콘, 및 수소의 퍼센티지는 산화 질화 실리콘막 또는 질화 산화 실리콘막에 포함된 원자의 총수가 100 원자%로 정의되는 경우에, 위에 주어진 범위 내에 든다는 점에 유의한다.
- [0127] 다음에, 보호층(102)으로 덮이지 않은 영역(노출된 영역) 내의 기판(100)의 일부는 마스크로서 보호층(102)을 이용하는 에칭에 의해 제거된다. 따라서, 다른 반도체 영역으로부터 분리된 반도체 영역(104)이 형성된다(도 10의 (b)). 에칭으로서, 드라이 에칭이 바람직하게 수행되지만, 웨트 에칭이 수행될 수 있다. 에칭 가스 및

에칭액은 에칭될 기관의 재료에 따라 적절히 선택될 수 있다.

- [0128] 다음에, 절연막이 적어도 반도체 영역(104)을 덮도록 형성되고, 반도체 영역(104)과 중첩하는 영역에서의 절연막이 선택적으로 제거되어, 소자 분리 절연층(106)이 형성된다(도 10의 (b)). 절연막은 바람직하게는 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘 등을 이용하여 형성된다. 절연막은 CMP 등의 연마 처리, 에칭 처리 등으로 제거될 수 있다. 보호층(102)은 반도체 영역(104)이 형성된 후(또는 소자 분리 절연층(106)이 형성된 후) 제거된다는 점에 유의한다.
- [0129] 다음에, 절연막은 반도체 영역(104) 위에 형성되고, 도전막은 절연막 위에 형성된다.
- [0130] 이 단계에서 형성된 절연막은 나중에 게이트 절연층(108a)으로서 기능하며, 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 하프늄, 산화 알루미늄, 산화 탄탈, 산화 이트륨, 하프늄 실리케이트, 질소가 첨가된 하프늄 실리케이트, 질소가 첨가된 하프늄 알루미늄에이트 등 중 어느 것을 포함하는 막을 이용한 단층 또는 적층된 층으로서 CVD 방법, 스퍼터링 방법으로 형성된다. 다르게는, 절연막은 반도체 영역(104)의 표면이 고밀도 플라즈마 처리 또는 열 산화 처리에 의해 산화 또는 질화되는 방식으로 형성될 수 있다. 고밀도 플라즈마 처리는 예를 들어, 헬륨(He), 아르곤(Ar), 크립톤(Kr), 또는 크세논(Xe) 등의 회가스와 산소, 산화 질소, 암모니아, 질소, 또는 수소 등의 가스의 혼합 가스를 이용하여 수행될 수 있다. 절연막의 두께는 바람직하게는 1nm 내지 100nm, 더 바람직하게는 10nm 내지 50nm이다.
- [0131] 이 단계에서 형성된 도전막은 증착 방법, CVD 방법, 스퍼터링 방법, 스핀 코팅 방법 등으로 알루미늄(Al), 구리(Cu), 티타늄(Ti), 탄탈(Ta), 또는 텅스텐(W) 등의 금속 재료를 이용하여 형성될 수 있다. 다르게는, 다결정 실리콘 등의 반도체 재료가 이용될 수 있다. 도전막이 금속 재료를 이용하여 형성되는 예가 도시된다는 점에 유의한다.
- [0132] 그 후, 게이트 절연층(108a) 및 게이트 전극(110)은 절연막 및 도전막을 선택적으로 에칭함으로써 형성된다.
- [0133] 다음에, 절연막은 게이트 전극(110)을 덮도록 형성된다. 다음에, 얇은 접합 깊이를 갖는 불순물 영역(114)이 게이트 전극(110)을 마스크로 이용하여, 반도체 영역(104)에 인, 비소 등을 첨가함으로써 형성된다. 인 또는 비소가 n 채널 트랜지스터를 형성하기 위해 이 단계에서 첨가되지만, 붕소 또는 알루미늄 등의 다른 불순물 원소가 p 채널 트랜지스터가 형성되는 경우에 첨가될 수 있다는 점에 유의한다. 불순물 영역(114)의 형성으로, 채널 형성 영역(116)이 게이트 절연층(108a) 아래의 반도체 영역(104)에 형성된다(도 10의 (c)). 이 단계에서, 첨가된 불순물의 농도가 적절히 설정될 수 있지만, 그 농도는 바람직하게는 반도체 소자가 고도로 미세화되는 경우에 높게 설정된다. 절연막(112)이 형성된 후 불순물 영역(114)이 형성되는 단계가 이용되지만, 불순물 영역(114)이 형성된 후에 절연막(112)이 형성될 수 있다는 점에 유의한다.
- [0134] 다음에, 측벽 절연층(118)이 형성된다(도 10의 (d)). 측벽 절연층(118)은, 절연층이 절연막(112)을 덮도록 형성된 후 높은 이방성 에칭이 그 절연막에 대해 수행되는 방식으로 자기 정합식으로 형성될 수 있다. 이때, 게이트 전극(110)의 상면 및 불순물 영역(114)의 상면은 바람직하게는 절연막(112)의 일부를 에칭함으로써 노출된다는 점에 유의한다. 측벽 절연층(118)은 고집적화 등을 위해 어떤 경우에는 형성되지 않는다는 점에 유의한다(예를 들어, 도 6a 및 도 6b).
- [0135] 다음에, 절연막은 게이트 전극(110), 불순물 영역(114), 측벽 절연층(118) 등을 덮도록 형성된다. 다음에, 절연층이 불순물 영역(114)과 접하는 영역에 인(P), 비소(As) 등을 첨가함으로써 고농도 불순물 영역(120)이 형성된다. 그 다음에, 절연막이 제거된 후, 금속막(122)이 게이트 전극(110), 측벽 절연층(118), 고농도 불순물 영역(120) 등을 덮도록 형성된다(도 10의 (e)). 금속막(122)은 진공 증착 방법, 스퍼터링 방법 또는 스핀 코팅 방법 등의 다양한 방법으로 형성될 수 있다. 금속막(122)은 바람직하게는 반도체 영역(104)에 포함된 반도체 재료와의 반응에 의해 저저항 금속 화합물로 되는 금속 재료를 이용하여 형성된다. 이러한 금속 재료의 예는 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 니켈(Ni), 코발트(Co), 및 백금(Pt)을 포함한다.
- [0136] 다음에, 열처리가 수행되어, 금속막(122)이 기관(100)의 반도체 재료와 반응한다. 따라서, 고농도 불순물 영역(120)과 접하는 금속 화합물 영역(124)이 형성된다(도 10의 (f)). 게이트 전극(110)이 다결정 실리콘 등을 이용하여 형성되는 경우에, 금속 화합물 영역이 또한 금속막(122)과 접하여 게이트 전극(110)의 영역에 형성된다는 점에 유의한다.
- [0137] 열처리로서, 예를 들어, 플래시 램프로 하는 조사가 이용될 수 있다. 물론 다른 열처리가 이용될 수 있지만, 극히 짧은 시간 동안의 가열 처리가 이루어질 수 있는 방법이 금속 화합물의 형성 시에 화학 반응의 제어가능성을 향상시키기 위해 바람직하게 이용된다. 상술한 금속 화합물 영역은 금속 재료와 반도체 재료의 반응에 의해

형성되고 충분히 높은 전도성을 가진다는 점에 유의한다. 금속 화합물의 형성은 전기적 저항을 적절히 감소시키고 소자 특성을 향상시킨다. 금속막(122)은 금속 화합물 영역(124)이 형성된 후에 제거되는 점에 유의한다.

[0138] 다음에, 층간 절연층(125), 층간 절연층(126), 및 층간 절연층(128)이 상기 단계들에서 형성된 구성 요소들을 덮도록 형성된다(도 10의 (g)). 층간 절연층(125), 층간 절연층(126), 및 층간 절연층(128)은 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 또는 질화 실리콘 등의 무기 절연 재료를 포함하는 재료를 이용하여 형성될 수 있다. 다르게는, 폴리이미드 또는 아크릴 등의 유기 절연 재료가 사용될 수 있다. 층간 절연층(125), 층간 절연층(126), 및 층간 절연층(128)의 적층 구조가 이 단계에서 이용되지만, 본 발명은 이로 한정되지 않는다는 점에 유의한다.

[0139] 층간 절연층(125)은 바람직하게는 CVD 방법 등으로 형성되고, 층간 절연층(126)은 바람직하게는 성막 동안의 분위기에서 수소 등의 농도가 충분히 감소되는 스퍼터링 방법으로 형성된다. 층간 절연층(125)은 CVD 방법 등으로 형성되어, 처리량이 향상될 수 있고, 층간 절연층(126)은 스퍼터링 방법으로 형성되어, 물 또는 수소 등의 불순물이 산화물 반도체층(144)에 혼입되는 것을 방지할 수 있다. 트랜지스터(160)는 실리콘 반도체를 이용하여 형성되기 때문에, 수소화 처리를 수행하는 것이 바람직하다는 점에 유의한다. 수소화 처리는 바람직하게는 층간 절연층(125)이 형성된 후 또는 층간 절연층(125)의 형성 전의 단계에서 수행될 수 있다는 점에 유의한다.

[0140] 도 6a 및 도 6b에 도시된 기억 소자가 형성되는 경우에, 게이트 전극(110)의 표면은 층간 절연층(125), 층간 절연층(126), 및 층간 절연층(128)의 형성 후에 CMP 또는 에칭 처리에 의해 노출된다는 점에 유의한다.

[0141] 상술한 바와 같이, 트랜지스터(160)가 형성된다(도 10의 (h)). 트랜지스터(160)는 고속으로 동작할 수 있으므로, 논리 회로(연산 회로라고도 함) 등이 트랜지스터를 이용하여 형성될 수 있다. 바꾸어 말하면, 트랜지스터는 기억 장치의 구동 회로 등으로 사용될 수 있다.

[0142] 도 6a 및 도 6b에 도시된 기억 소자는 측벽 절연층(118)의 형성 없이 상기한 바와 마찬가지로 방식으로 제조될 수 있다는 점에 유의한다.

[0143] 다음에, 도 6a 및 도 6b에 도시된 트랜지스터(162)의 제조 방법이 설명된다.

[0144] 절연층(141a), 절연층(141b), 소스 또는 드레인 전극(142a), 및 소스 또는 드레인 전극(142b)은, 도전막 및 절연막이 게이트 전극(110), 층간 절연층(125), 층간 절연층(126), 및 층간 절연층(128) 위에 형성되고, 도전막 및 절연막이 선택적으로 에칭되는 방식으로 형성된다(도 11의 (a)). 이 단계에서, 소스 또는 드레인 전극(142a)은 게이트 전극(110)과 직접 접하여 형성된다.

[0145] 소스 또는 드레인 전극(142a) 및 소스 또는 드레인 전극(142b)을 형성하기 위한 도전막이 다른 도전막과 마찬가지로 방식으로 형성될 수 있다.

[0146] 다음에, 절연층(141a) 및 절연층(141b)을 선택적으로 에칭함으로써 절연층(143a)이 소스 또는 드레인 전극(142a) 위에 형성되고 절연층(143b)이 소스 또는 드레인 전극(142b) 위에 형성된다(도 11의 (b)).

[0147] 절연층(143a) 및 절연층(143b)을 제공함으로써, 나중에 형성될 게이트 전극과 소스 또는 드레인 전극(142a) 사이 또는 게이트 전극과 소스 또는 드레인 전극(142b) 사이의 기생 용량이 감소될 수 있다.

[0148] 절연층(143a) 및 절연층(143b)을 형성하기 위한 공정은 상기 공정으로 한정되지 않는다는 점에 유의한다. 예를 들어, 절연층(143a) 및 절연층(143b)은, 소스 또는 드레인 전극(142a) 및 소스 또는 드레인 전극(142b)이 형성되고, 절연막이 이들을 덮도록 형성된 후 절연막이 선택적으로 에칭되는 방식으로 형성될 수 있다.

[0149] 다음에, 게이트 절연층(146)은 소스 또는 드레인 전극(142a) 및 소스 또는 드레인 전극(142b)을 덮도록 형성된 산화물 반도체층(144) 위에 형성된다(도 11의 (c)).

[0150] 산화물 반도체층(144)으로서, 다음의 산화물 반도체 중 어느 것이 사용될 수 있다: 4 성분 금속 산화물인 In-Sn-Ga-Zn-O계 산화물 반도체; 3 성분 금속 산화물인 In-Ga-Zn-O계 산화물 반도체, In-Sn-Zn-O계 산화물 반도체, In-Al-Zn-O계 산화물 반도체, Sn-Ga-Zn-O계 산화물 반도체, Al-Ga-Zn-O계 산화물 반도체, 또는 Sn-Al-Zn-O계 산화물 반도체; 2 성분 금속 산화물인 In-Zn-O계 산화물 반도체, Sn-Zn-O계 산화물 반도체, Al-Zn-O계 산화물 반도체, Zn-Mg-O계 산화물 반도체, Sn-Mg-O계 산화물 반도체, 또는 In-Mg-O계 산화물 반도체; 또는 1 성분 금속 산화물인 In-O계 산화물 반도체, Sn-O계 산화물 반도체, 또는 Zn-O계 산화물 반도체.

[0151] 특히, In-Ga-Zn-O계 산화물 반도체 재료는 전계가 없을 때 충분히 높은 저항을 가지므로, 충분히 낮은 오프 전류가 얻어질 수 있다. 또한, 높은 전계 효과 이동도를 가지면, In-Ga-Zn-O계 산화물 반도체 재료가 반도체 재

료로서 바람직하다.

- [0152] In-Ga-Zn-O계 산화물 반도체 재료의 대표적인 예는 $\text{InGaO}_3(\text{ZnO})_m(m>0)$ 으로 표현되는 산화물 반도체 재료를 포함한다. 또한, Ga 대신에 M을 이용하여, $\text{InMO}_3(\text{ZnO})_m(m>0)$ 으로 표현되는 산화물 반도체 재료가 있다. M은 갈륨(Ga), 알루미늄(Al), 철(Fe), 니켈(Ni), 망간(Mn), 코발트(Co) 등으로부터 선택된 하나 또는 복수의 금속 원소를 표시한다는 점에 유의한다. 예를 들어, M은 Ga, Ga와 Al, Ga와 Fe, Ga와 Ni, Ga와 Mn, Ga와 Co 등일 수 있다. 상기 조성은 산화물 반도체 재료가 가질 수 있는 결정 구조로부터 유도되고 단지 예에 불과하다는 점에 유의한다.
- [0153] 스퍼터링 방법으로 산화물 반도체층(144)을 제조하기 위한 타겟으로서, $\text{In:Ga:Zn}=1:x:y$ (x는 0 이상이고 y는 0.5 내지 5임)의 조성식으로 표현된 타겟이 바람직하게 사용된다. 예를 들어, $\text{In:Ga:Zn}=1:1:1$ [원자비](x=1 및 y=1; 즉, $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:2$ [몰비])의 조성비를 갖는 타겟이 사용될 수 있다. 다르게는, $\text{In:Ga:Zn}=1:1:0.5$ [원자비](x=1, y=0.5)의 조성비를 갖는 타겟, $\text{In:Ga:Zn}=1:1:2$ [원자비](x=1, y=2)의 조성비를 갖는 타겟, 또는 $\text{In:Ga:Zn}=1:0:1$ [원자비](x=0, y=1)의 조성비를 갖는 타겟이 사용될 수 있다.
- [0154] 금속 산화물 타겟 내의 금속 산화물의 상대 밀도는 80% 이상, 바람직하게는 95% 이상, 또는 더 바람직하게는 99.9% 이상이다. 높은 상대 밀도를 갖는 금속 산화물 타겟을 사용하면 치밀한 구조를 갖는 산화물 반도체층(144)을 형성하는 것이 가능하게 된다.
- [0155] 산화물 반도체층(144)이 형성되는 분위기는 바람직하게는 회가스(양호한 예로서 아르곤(Ar)) 분위기, 산소 분위기, 또는 회가스(양호한 예로서 아르곤(Ar))와 산소의 혼합된 분위기이다. 구체적으로, 예를 들어, 수소, 물, 수산기, 또는 수소화물 등의 불순물이 1ppm 이하(바람직하게는, 10ppb 이하)의 농도로 제거된 분위기를 사용하는 것이 바람직하다.
- [0156] 산화물 반도체층(144)을 형성할 때, 예를 들어, 피처리물이 감압 상태하에서 처리실에 유지되고 피처리물은 100℃ 이상 550℃ 미만, 바람직하게는 200℃ 내지 400℃의 온도로 가열된다. 다르게는, 산화물 반도체층(144)을 형성할 때의 피처리물의 온도는 실온일 수 있다. 다음에, 수소, 물 등이 제거된 스퍼터링 가스는 처리실 내의 수분이 제거되면서 처리실 내로 도입되어, 산화물 반도체층(144)은 상술한 타겟을 이용하여 형성된다. 피처리물이 가열되는 동안 산화물 반도체층(144)을 형성함으로써, 산화물 반도체층(144)에 포함된 불순물이 감소될 수 있다. 또한, 스퍼터링으로 인한 손상이 감소될 수 있다. 처리실 내의 수분을 제거하기 위해서, 흡착형의 진공 펌프가 바람직하게 사용된다. 예를 들어, 크라이오펌프, 이온 펌프, 또는 티타늄 서블리메이션 펌프가 바람직하게 사용될 수 있다. 콜드 트랩을 구비한 터보 펌프가 또한 사용될 수 있다. 크라이오펌프 등을 이용한 배기에 의해, 수소, 물 등이 처리실로부터 제거될 수 있으므로, 산화물 반도체층(144) 내의 불순물 농도가 감소될 수 있다.
- [0157] 예를 들어, 산화물 반도체층(144)을 형성하는 조건은 다음과 같이 설정될 수 있다: 물체와 타겟 사이의 거리는 170mm, 압력은 0.4Pa, 직류(DC) 전력은 0.5kW, 및 분위기는 산소(산소: 100%) 분위기, 아르곤(Ar)(아르곤(Ar): 100%) 분위기, 또는 산소와 아르곤(Ar)의 혼합된 분위기이다. (성막 시에 형성된 분말 물질 등의) 먼지의 발생이 억제될 수 있고 두께 분포가 균일하게 되기 때문에 펄스식 직류(DC) 전원을 사용하는 것이 바람직하다. 산화물 반도체층(144)의 두께는 1nm 내지 50nm, 바람직하게는 1nm 내지 30nm, 또는 더 바람직하게는 1nm 내지 10nm이다. 이러한 두께를 갖는 산화물 반도체층(144)을 이용하면 미세화로 인한 단채널 효과를 억제할 수 있다. 산화물 반도체층의 적절한 두께는 사용될 산화물 반도체 재료, 기억 장치의 의도된 목적 등에 따라 다르므로, 두께도 재료 및 용도 등에 따라 결정될 수 있는 점에 유의한다.
- [0158] 산화물 반도체층(144)이 스퍼터링 방법으로 형성되기 전에, 산화물 반도체층(144)이 형성될 표면(예를 들어, 층간 절연층(128)의 표면)에 부착된 재료는 바람직하게는 아르곤(Ar) 가스가 도입되고 플라즈마가 발생하는 역 스퍼터링에 의해 제거되는 점에 유의한다. 여기서, 역 스퍼터링은 이온이 스퍼터링 타겟에 충돌하는 정상적인 스퍼터링 방법과 대조적으로, 이온이 가공될 표면에 충돌하여 표면이 개질되는 방법이다. 이온이 피처리 표면에 충돌하게 하는 방법은 고주파 전압이 아르곤(Ar) 분위기에서 표면에 가해지고 플라즈마가 피처리물의 근방에 발생하는 방법을 포함한다. 질소 분위기, 헬륨 분위기, 또는 산소 분위기가 아르곤(Ar) 분위기 대신에 사용될 수 있다는 점에 유의한다.
- [0159] 그 후, 열처리(제1 열처리)가 바람직하게는 산화물 반도체층(144)에 대해 수행된다. 산화물 반도체층(144) 내의 (물 및 수산기를 포함하는) 과잉 수소가 제1 열처리에 의해 제거될 수 있으므로, 산화물 반도체층의 구조가 개선될 수 있고, 에너지 갭에서의 결함 준위가 감소될 수 있다. 제1 열처리는 예를 들어, 300℃ 이상 550℃ 미

만, 또는 400℃ 내지 500℃의 온도에서 수행된다.

- [0160] 열처리는 예를 들어, 피처리물이 저항 발열 소자 등이 사용되는 전기로 내로 도입되고, 1 시간 동안 질소 분위기에서 450℃로 가열되는 방식으로 수행될 수 있다는 점에 유의한다. 산화물 반도체층(144)은 열처리 중에 대기에 노출되지 않아 물 또는 수소가 들어오는 것이 방지될 수 있다.
- [0161] 열처리 장치는 전기로에 한정되지 않고, 가열된 가스 등의 매체로부터의 열전도 또는 열복사에 의해 피처리물을 가열하는 장치일 수 있다. 예를 들어, GRTA(gas rapid thermal anneal) 장치 또는 LRTA(lamp rapid thermal anneal) 장치 등의 RTA(rapid thermal anneal) 장치를 열처리 장치로서 사용할 수 있다. LRTA 장치는 할로겐 램프, 메탈 할라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 또는 고압 수은 램프 등의 램프로부터 발하는 광(전자기파)의 복사에 의해 피처리물을 가열하는 장치이다. GRTA 장치는 고온의 가스를 사용하여 열처리를 수행하는 장치이다. 열처리에 의해 피처리물과 반응하지 않는 불활성 가스, 예를 들어 질소 또는 아르곤(Ar) 등의 회가스가 사용된다.
- [0162] 예를 들어, 제1 열처리로서, GRTA 공정은 다음과 같이 수행될 수 있다. 피처리물이 가열된 불활성 가스 분위기에 넣어져 수분 동안 가열되고, 불활성 가스 분위기에서 꺼내진다. GRTA 공정은 단시간 동안 고온 열처리를 가능하게 한다. 또한, GRTA 공정은 온도가 피처리물의 온도 상한선을 초과할 때에도 이용될 수 있다. 불활성 가스는 공정 중에 산소를 포함하는 가스로 바뀔 수 있다는 점에 유의한다. 왜냐하면, 산소 결손으로 인한 에너지 갭의 결함 준위가 산소를 포함하는 분위기에서 제1 열처리를 수행함으로써 감소될 수 있기 때문이다.
- [0163] 불활성 가스 분위기는 바람직하게는 그 주성분으로 질소 또는 회가스(헬륨(He), 네온(Ne) 또는 아르곤(Ar) 등)을 포함하는 분위기이고, 물, 수소 등을 포함하는 않는다는 점에 유의한다. 예를 들어, 열처리 장치 내로 도입된 질소 또는 헬륨(He), 네온(Ne), 또는 아르곤(Ar) 등의 회가스의 순도는 6N(99.9999%), 바람직하게는 7N(99.99999%)로 설정된다(즉, 불순물 농도는 1ppm 이하, 바람직하게는 0.1ppm 이하이다).
- [0164] 어느 경우에도, 불순물이 제1 열처리에 의해 감소되는 i형(진성) 또는 실질적으로 i형 산화물 반도체층(144)이 형성되어, 극히 우수한 특성을 갖는 트랜지스터가 실현될 수 있다.
- [0165] 상기 열처리(제1 열처리)는 수소, 물 등을 제거하는 효과를 갖고 탈수화 처리, 탈수소화 처리 등이라고 할 수 있다. 탈수화 처리 또는 탈수소화 처리는 예를 들어, 산화물 반도체층이 형성된 후, 게이트 절연층이 형성된 후, 또는 게이트 전극이 형성된 후 수행될 수 있다. 이러한 탈수화 처리 또는 탈수소화 처리는 1회 또는 복수회 수행될 수 있다는 점에 유의한다.
- [0166] 게이트 절연층(146)은 바람직하게는 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 하프늄, 산화 알루미늄, 산화 탄탈, 산화 이트륨, 하프늄 실리케이트, 질소가 첨가된 하프늄 실리케이트, 질소가 첨가된 하프늄 알루미늄네이트 등 중 어느 것을 포함하는 막을 이용한 단층 또는 적층된 층으로서 CVD 방법, 스퍼터링 방법 등으로 형성된다. 이 단계에서, 절연막의 두께는 바람직하게는 1nm 내지 100nm, 더 바람직하게는 10nm 내지 50nm이다. 게이트 절연층(146)이 형성된 후, 불활성 가스 분위기 또는 산소 분위기에서 열처리(제2 열처리)를 수행하는 것이 바람직하다는 점에 유의한다.
- [0167] 게이트 절연층(146)은 바람직하게는 스퍼터링 방법으로 형성되는 점에 유의한다. 게이트 절연층(146)은 스퍼터링 방법으로 형성되어, 물 또는 수소 등의 불순물이 산화물 반도체층(144) 내로 혼입되는 것을 방지할 수 있다.
- [0168] 다음에, 게이트 절연층(146) 위에서, 채널 형성 영역으로서 기능하는 트랜지스터(162)의 영역과 중첩하는 영역에 게이트 전극(148a)이 형성되고, 전극(148b)은 소스 또는 드레인 전극(142a)과 중첩하는 영역에 형성된다(도 11의 (d)).
- [0169] 게이트 전극(148a) 및 전극(148b)은, 도전막이 게이트 절연층(146) 위에 형성된 다음 선택적으로 에칭되는 방식으로 형성될 수 있다. 게이트 전극(148a) 및 전극(148b)으로 될 도전막은 스퍼터링 방법 또는 플라즈마 CVD 방법 등의 CVD 방법으로 대표되는 PVD 방법으로 형성될 수 있다. 그 상재는 소스 또는 드레인 전극(142a) 등의 것들과 유사하다.
- [0170] 다음에, 층간 절연층(150) 및 층간 절연층(152)은 게이트 절연층(146), 게이트 전극(148a), 및 전극(148b) 위에 형성된다(도 12의 (a)).
- [0171] 층간 절연층(152)은 바람직하게는 평탄화된 표면을 갖도록 형성된다는 점에 유의한다. 왜냐하면, 평탄화된 표면을 갖도록 형성된 층간 절연층(152)의 형성은 예를 들어, 기억 소자가 미세화되는 경우에도 층간 절연층(152) 위에 전극, 배선 등을 양호하게 형성하는 것을 가능하게 하기 때문이다. 층간 절연층(152)은 CMP(화학적 기계

적 연마) 등의 방법으로 평탄화될 수 있다는 점에 유의한다.

- [0172] 다음에, 층간 절연층(125), 층간 절연층(126), 층간 절연층(128), 산화물 반도체층(144), 게이트 절연층(146), 층간 절연층(150), 및 층간 절연층(152)은 트랜지스터(160)의 금속 화합물 영역(124)에 이르는 개구(151)가 형성되도록 선택적으로 에칭된다(도 12의 (b)). 에칭으로서, 드라이 에칭 또는 웨트 에칭이 사용될 수 있지만, 드라이 에칭이 미세 제조의 측면에서 바람직하게 이용된다.
- [0173] 다음에, 도전막이 개구(151)를 채우도록 형성되고 에칭되어, 소스 또는 드레인 전극(154)이 형성될 수 있으므로 도 6a 및 도 6b에 도시된 기억 소자가 완성된다. 도전막을 형성할 시에, 예를 들어, 티타늄막이 개구를 포함하는 영역에 PVD 방법으로 작은 두께를 갖도록 형성된 후 질화 티타늄막이 CVD 방법으로 작은 두께를 갖도록 형성된 후, 텅스텐막이 개구 내에 매립되도록 형성된다. PVD 방법으로 형성된 티타늄막은 산화막(예를 들어, 자연 산화막)의 표면을 환원시키는 기능을 갖고, 그 위에 티타늄막이 형성되어, 하부 전극(예를 들어, 이 단계에서 금속 화합물 영역(124))과의 접촉 저항을 감소시킨다. 티타늄막의 형성 후에 형성된 질화 티타늄막은 도전막의 확산을 방지하는 배리어 기능을 갖는다. 배리어막이 티타늄, 질화 티타늄 등을 이용하여 형성된 후, 구리막이 도금에 의해 형성될 수 있다.
- [0174] 도 7 및 도 9에 도시된 기억 소자는 또한 도 6a 및 도 6b 및 도 8에 기억 소자와 마찬가지로 형성될 수 있다는 점에 유의한다.
- [0175] 상술한 바와 같이, 트랜지스터(160), 트랜지스터(162), 및 용량 소자(164)를 포함하는 기억 장치가 제조될 수 있다.
- [0176] 전극, 배선, 절연층 등이 상기 공정 이후에 역시 형성될 수 있다는 점에 유의한다. 배선이 층간 절연층 및 도전층을 포함하는 적층된 구조의 다층 구조를 가질 때, 고집적화된 기억 장치가 제공될 수 있다.
- [0177] 트랜지스터(162)의 제조 방법은 본 발명의 실시형태의 상기 공정으로 한정되지 않는다는 점에 유의한다. 다르게는, 트랜지스터(162)는 예를 들어 산화물 반도체층(144)을 적절히 패터닝함으로써 형성될 수 있다.
- [0178] 다음에, 단결정 반도체층이 베이스 기판 위에 제공된 SOI 기판의 제조 방법이 도 13의 (a) 내지 (h)를 참조하여 설명되고, 다음에 SOI 기판을 이용하는 트랜지스터의 제조 방법이 도 14의 (a) 내지 (h)를 참조하여 설명된다.
- [0179] 먼저, 베이스 기판(500)이 준비된다(도 13의 (a)). 베이스 기판(500)으로서, 절연체로 이루어진 기판이 사용될 수 있다. 그 특정한 예는 알루미늄오실리케이트 글래스, 알루미늄보로실리케이트 글래스, 및 바륨 보로실리케이트 글래스 등의 전자 공업용으로 사용되는 다양한 글래스; 석영 기판; 세라믹 기판; 및 사파이어 기판을 포함한다. 다르게는, 그 주성분으로서 질화 실리콘 및 산화 알루미늄을 포함하고 열 팽창 계수가 실리콘의 열 팽창 계수에 가까운 세라믹 기판이 사용될 수 있다.
- [0180] 단결정 실리콘 기판 또는 단결정 게르마늄 기판 등의 반도체 기판이 베이스 기판(500)으로서 사용될 수 있다는 점에 유의한다. 반도체 기판이 베이스 기판(500)으로서 사용되는 경우에, 고품질을 갖는 SOI 기판이 쉽게 얻어질 수 있는데, 왜냐하면 열처리를 위한 온도 조건이 글래스 기판 등이 사용되는 경우에 비해 용이하게 얻어질 수 있기 때문이다. 반도체 기판으로서, 태양 전지급 실리콘(SOG-Si) 기판 등이 사용될 수 있다. 다르게는, 단결정 반도체 기판이 사용될 수 있다. SOG-Si 기판, 다결정 반도체 기판 등이 사용되는 경우에, 제조 코스트가 단결정 기판 등이 사용되는 경우에 비해 감소될 수 있다.
- [0181] 여기서, 글래스 기판이 베이스 기판(500)으로서 사용되는 경우가 설명된다. 큰 크기로 제조될 수 있고 저렴한 글래스 기판이 베이스 기판(500)으로서 사용될 때, 코스트 감소가 달성될 수 있다.
- [0182] 베이스 기판(500)의 표면은 바람직하게는 미리 세정된다. 구체적으로, 베이스 기판(500)은 염산/과산화수소수 혼합액(HPM), 황산/과산화수소수 혼합액(SPM), 암모니아 과산화수소수 혼합액(APM), 희석된 불화 수소산(DHF), FPM(불화 수소산, 과산화수소수, 및 순수한 물의 혼합 용액)으로 초음파 세정될 수 있다. 이러한 세정 처리를 통해, 베이스 기판(500)의 표면의 평탄성이 개선될 수 있고 베이스 기판(500)의 표면 위에 남아 있는 연마 입자가 제거될 수 있다.
- [0183] 다음에, 질소 함유층(502)(예를 들어, 질화 실리콘막 등의 질소를 포함하는 절연막을 포함하는 층)이 베이스 기판(500)의 표면 위에 형성된다(도 13의 (b)). 질소 함유층(502)은 CVD 방법, 스퍼터링 방법 등으로 형성될 수 있다.
- [0184] 이 단계에서 형성된 질소 함유층(502)은 나중 단계에서 단결정 반도체층을 접합하기 위한 층으로서(접합층으로

서) 기능하게 된다. 질소 함유층(502)은 또한 나트륨(Na) 등의 베이스 기판에 포함된 불순물이 단결정 반도체층으로 확산하는 것을 방지하는 배리어층으로서 기능한다.

[0185] 질소 함유층(502)이 접합층으로서 사용되기 때문에, 질소 함유층(502)은 소정 레벨의 표면 평탄성을 가지도록 형성되는 것이 바람직하다. 구체적으로, 질소 함유층(502)은, 0.5nm 이하의 평균 표면 거칠기(R_a , 산술 평균 편차라고도 함) 및 0.60nm 이하의 제곱 평균 근 표면 거칠기(R_{ms}), 바람직하게는 0.35nm 이하의 평균 표면 거칠기 및 0.45nm 이하의 제곱 평균 근 표면 거칠기를 갖도록 형성된다. 상기 평균 표면 거칠기 또는 제곱 평균 거칠기를 위해, 예를 들어, $10\mu m \times 10\mu m$ 의 영역에 대해 수행된 측정에 의해 얻어진 값이 사용될 수 있음에 유의한다. 이 두께는 10nm 내지 200nm, 바람직하게는 50nm 내지 100nm의 범위에 있다. 상술한 바와 같이 향상된 표면 평탄성으로, 단결정 반도체층의 접합 불량률이 방지될 수 있다.

[0186] 다음에, 본드 기판이 준비된다. 이 단계에서, 단결정 반도체 기판(510)이 본드 기판으로서 사용된다(도 13의 (c)). 단결정 반도체 기판이 본드 기판으로서 사용되지만, 본드 기판은 이로 한정되지 않는다는 점에 유의한다.

[0187] 예를 들어, 단결정 반도체 기판(510)으로서, 단결정 실리콘 기판, 단결정 게르마늄 기판, 또는 단결정 실리콘 게르마늄 기판 등의 14족의 원소를 이용하여 형성된 단결정 반도체 기판이 사용될 수 있다. 다르게는, 갈륨 비소, 인듐 인 등의 화합물 반도체가 사용될 수 있다. 단결정 반도체 기판(510)은 원형 기판으로 한정되지 않고 예를 들어 장방형으로 가공된 기판일 수 있음에 유의한다. 또한, 단결정 반도체 기판(510)은 초크랄스키(CZ) 방법 또는 플로팅 존(FZ) 방법으로 형성될 수 있다.

[0188] 산화막(512)은 단결정 반도체 기판(510)의 표면 위에 형성된다(도 13의 (d)). 오염 제거라는 점에서 볼 때, 단결정 반도체 기판(510)의 표면은 산화막(512)이 형성되기 전에 염산/과산화수소수 혼합액(HPM), 황산/과산화수소수 혼합액(SPM), 암모니아 과산화수소수 혼합액(APM), 희석된 불화 수소산(DHF), FPM(불화 수소산, 과산화수소수, 및 순수한 물의 혼합 용액)으로 세정하는 것이 바람직하다. 희석된 불화 수소산 및 오존수가 세정을 위해 교대로 방출될 수 있다.

[0189] 산화막(512)은 예를 들어, 산화 실리콘막, 산화 질화 실리콘막 등을 이용하여 단층 또는 적층으로 형성될 수 있다. 산화막(512)의 형성 방법의 예는 열 산화 방법, CVD 방법 또는 스퍼터링 방법을 포함한다. 산화막(512)이 CVD 방법 등으로 형성되는 경우에, 산화 실리콘막은 바람직하게는 테트라에톡시실란(약자: TEOS)(화학식: $Si(OC_2H_5)_4$) 등의 유기실란을 사용하여 형성되므로, 양호한 접합이 이루어질 수 있다는 점에 유의한다.

[0190] 이 단계에서, 산화막(512)(여기서, 산화 실리콘막)이 단결정 반도체 기판(510)에 대해 열 산화 처리를 수행함으로써 형성된다. 열 산화 처리는 바람직하게는 할로젠이 첨가된 산화 분위기에서 수행된다.

[0191] 예를 들어, 염소가 첨가된 산화 분위기에서 단결정 반도체 기판(510)이 열 산화 처리되어, 염소에 의해 산화된 산화막(512)이 형성될 수 있다. 이 경우에, 산화막(512)은 염소 원자를 포함하는 막이다. 이러한 염소 산화에 의해, 외부 불순물인 중금속(예를 들어, 철(Fe), 크롬(Cr), 니켈(Ni), 또는 몰리브덴(Mo))이 포집되고, 금속의 염화물이 형성된 다음 제거되어, 단결정 반도체 기판(510)의 오염이 감소될 수 있다. 또한, 베이스 기판(500)에 접합한 후, 나트륨(Na) 등의 베이스 기판으로부터의 불순물이 고정되어 단결정 반도체 기판(510)의 오염이 방지될 수 있다.

[0192] 또한, 산화막(512)에 포함된 할로젠 원자는 염소 원자로 한정되지 않는다. 불소 원자가 산화막(512)에 포함될 수 있다. 단결정 반도체 기판(510)의 표면의 불소 산화 방법의 예는 단결정 반도체 기판(510)이 HF 용액에 침지된 후 산화 분위기에서 열 산화 처리되는 방법 및 열 산화 처리가 NF_3 이 첨가된 산화 분위기에서 수행되는 방법을 포함한다.

[0193] 다음에, 이온이 전계에 의해 가속되고, 단결정 반도체 기판(510)이 이온으로 조사되고, 이온이 그 기판에 첨가되어, 결정 구조가 손상되는 취화 영역(514)이 단결정 반도체 기판(510)의 소정의 깊이로 형성된다(도 13의 (e)).

[0194] 취화 영역(514)이 형성되는 깊이는 이온의 운동 에너지, 질량, 전하, 또는 입사각에 의해 제어될 수 있다. 취화 영역(514)은 이온의 평균 침투 깊이와 거의 동일한 깊이로 형성된다. 그러므로, 단결정 반도체 기판(510)으로부터 분리될 단결정 반도체층의 두께는 이온이 첨가되는 깊이에 의해 제어될 수 있다. 예를 들어, 이온의 평균 침투 깊이는 단결정 반도체층의 두께가 10nm 내지 500nm, 바람직하게는 50nm 내지 200nm이도록 조정될 수 있

다.

- [0195] 이온 조사 처리는 이온 도핑 장치 또는 이온 주입 장치로 수행될 수 있다. 이온 도핑 장치의 예는 처리 가스의 플라즈마 여기가 수행되고 피처리물이 발생된 모든 종류의 이온 종으로 조사되는 비질량(non-mass) 분리형 장치를 포함한다. 이 장치에서, 피처리물은 질량 분리 없이 플라즈마의 이온 종으로 조사된다. 반면, 이온 주입 장치는 질량 분리형 장치이다. 이온 주입 장치에서, 플라즈마의 이온 종의 질량 분리가 수행되고 피처리물은 소정의 질량을 갖는 이온 종으로 조사된다.
- [0196] 다음에, 이온 도핑 장치가 단결정 반도체 기판(510)에 할로젠을 첨가하는 데 사용되는 예가 설명된다. 수소를 포함하는 가스가 소스 가스로서 사용된다. 조사에 사용되는 이온에 관해서는, H_3^+ 의 비율이 바람직하게는 높게 설정된다. 구체적으로, H_3^+ 의 비율이 H^+ , H_2^+ , 및 H_3^+ 의 총량에 대해 50% 이상(더 양호하게는, 80% 이상)으로 설정되는 것이 바람직하다. H_3^+ 의 높은 비율로, 이온 조사의 효율이 향상될 수 있다.
- [0197] 첨가되는 이온은 수소 이온으로 한정되지 않는다는 점에 유의한다. 헬륨(He) 등의 이온이 첨가될 수 있다. 또한, 첨가되는 이온은 한 종류의 이온으로 한정되지 않고, 복수 종류의 이온이 첨가될 수 있다. 예를 들어, 수소 및 헬륨(He)으로 하는 조사가 이온 도핑 장치를 사용하여 동시에 수행되는 경우에, 단계의 수가 수소와 헬륨의 조사가 별도의 단계에서 수행되는 경우에 비해 감소될 수 있고, 나중에 형성될 단결정 반도체층의 표면 거칠기가 억제될 수 있다.
- [0198] 취화 영역(514)이 이온 도핑 장치를 이용하여 형성되는 것과 동시에 중금속이 단결정 반도체 기판(510)에 첨가될 수 있는 가능성이 있지만, 할로젠 원자를 포함하는 산화막(512)을 통해 이온 조사가 수행되어, 중금속으로 인한 단결정 반도체 기판(510)의 오염이 방지될 수 있다는 점에 유의한다.
- [0199] 다음에, 베이스 기판(500)과 단결정 반도체 기판(510)은 서로 마주 보도록 배치되고 질소 함유층(502)의 표면과 산화막(512)의 표면은 서로 가깝게 접하여 배치된다. 베이스 기판(500)과 단결정 반도체 기판(510)은 질소 함유층(502)의 표면과 산화막(512)의 표면이 상술한 바와 같이 서로 밀착하게 배치되도록 서로 접합된다(도 13의 (f)).
- [0200] 베이스 기판(500)과 단결정 반도체 기판(510)이 서로 접합될 때, 0.001 N/cm^2 내지 100 N/cm^2 의 압력, 더 바람직하게는 1 N/cm^2 내지 20 N/cm^2 의 압력이 베이스 기판(500)의 한 부분 또는 단결정 반도체 기판(510)의 한 부분에 가해지는 것이 바람직하다. 접합 표면이 서로 접근하게 되고 이러한 방식으로 압력을 가함으로써 서로 밀착하여 접하게 배치될 때, 질소 함유층(502)과 산화막(512) 사이의 접합은 밀착이 이루어지는 부분에서 발생되고, 접합은 거의 전체 영역으로 자발적으로 확산한다. 이 접합은 반데르발스 힘 또는 수소 결합의 작용하에서 수행되고 실온에서 수행될 수 있다.
- [0201] 단결정 반도체 기판(510)과 베이스 기판(500)이 서로 접합되기 전에, 서로 접합될 표면은 바람직하게는 표면 처리되는 점에 유의한다. 표면 처리에 의해, 접합 표면에서의 접합 강도가 향상될 수 있다.
- [0202] 표면 처리로서, 웨트 처리, 드라이 처리, 또는 웨트 처리와 드라이 처리의 조합이 사용될 수 있다. 다르게는, 복수의 상이한 웨트 처리가 조합될 수 있거나, 또는 복수의 상이한 드라이 처리가 조합될 수 있다.
- [0203] 단결정 반도체 기판(510)과 베이스 기판(500)이 서로 접합된 후에, 접합을 더욱 강화하기 위해 열처리를 수행하는 것이 바람직하다는 점에 유의한다. 이 열처리는 취화 영역(514)에서의 분리가 일어나지 않는 온도(예를 들어, 실온 이상 400°C 미만)에서 수행된다. 다르게는, 질소 함유층(502)과 산화막(512)이 이 범위의 온도에서 가열되면서 서로 접합될 수 있다. 열처리는 확산로 또는 저항 가열로 등의 가열로, RTA(rapid thermal annealing) 장치, 마이크로파 가열 장치 등을 이용하여 수행될 수 있다. 상기 온도 조건은 일례이고 이로 한정되는 않는다는 점에 유의한다.
- [0204] 다음에, 열처리가 취화 영역에서 단결정 반도체 기판(510)의 분리를 위해 수행되어, 단결정 반도체층(516)이 질소 함유층(502) 및 산화막(512)을 사이에 두고 베이스 기판(500) 위에 형성된다(도 13의 (g)).
- [0205] 상술한 분리 시의 열처리를 위한 온도는 바람직하게는 가능한 한 낮다는 점에 유의한다. 왜냐하면, 분리 시의 열처리의 온도가 낮을수록, 단결정 반도체층(516)의 표면 거칠기가 더 억제될 수 있기 때문이다. 구체적으로, 상술한 분리 시의 열처리를 위한 온도는 300°C 내지 600°C 일 수 있고 온도가 500°C 이하 (400°C 이상)일 때 열

처리가 더 효과적이다.

- [0206] 단결정 반도체 기판(510)이 분리된 후, 열처리는 단결정 반도체층(516)에 남아 있는 수소의 농도가 감소되도록 500℃ 이상의 온도에서 단결정 반도체층(516)에 대해 수행될 수 있다는 점에 유의한다.
- [0207] 다음에, 단결정 반도체층(516)의 표면은 레이저 광으로 조사되어, 표면 평탄성이 향상되고 결함 수가 적은 단결정 반도체층(518)이 형성된다. 레이저 광 조사 처리 대신에, 열처리가 수행될 수 있다는 점에 유의한다.
- [0208] 레이저 광으로 하는 조사 처리가 단결정 반도체층(516)의 분리 시의 열처리 바로 후에 이 단계에서 수행되지만, 본 발명은 이로 한정되지 않는다. 단결정 반도체층(516)의 표면 위에 많은 결함이 있는 영역을 제거하기 위해 단결정 반도체층(516)의 분리 시의 열처리 후에 에칭 처리가 수행될 수 있고, 그 다음 레이저 광 조사 처리가 수행될 수 있다. 다르게는, 단결정 반도체층(516)의 표면 평탄성이 향상된 후, 레이저 광 조사 처리가 수행될 수 있다. 에칭 처리는 웨트 에칭 또는 드라이 에칭일 수 있다는 점에 유의한다. 다르게는, 단결정 반도체층(516)의 두께를 감소시키는 단계는 상술한 바와 같이 레이저 광 조사 이후에 수행될 수 있다. 단결정 반도체층(516)의 두께를 감소시키기 위해, 드라이 에칭 및 웨트 에칭 중 어느 하나 또는 이들 둘 다가 이용될 수 있다.
- [0209] 상기 단계들을 통해, 양호한 특성을 갖는 단결정 반도체층(518)을 갖는 SOI 기판이 얻어질 수 있다(도 13의 (h)).
- [0210] 다음에, 상술한 SOI 기판을 포함하는 트랜지스터(570)의 제조 방법이 도 14의 (a) 내지 (h)를 참조하여 설명된다.
- [0211] 도 14의 (a)는 도 13의 (a) 내지 (h)에 도시된 방법으로 제조된 SOI 기판의 일부를 도시한 단면도이다.
- [0212] 먼저, 단결정 반도체층(518)이 섬 형상으로 가공되어 반도체층(520)이 형성된다(도 14의 (b)). 이 단계의 전 또는 후에, 트랜지스터의 임계 전압을 제어하기 위해, n형 도전성을 부여하는 불순물 원소 또는 p형 도전성을 부여하는 불순물 원소가 반도체층에 첨가될 수 있다는 점에 유의한다. 반도체가 실리콘인 경우에, 인(P), 비소(As) 등이 n형 도전성을 부여하는 불순물 원소로서 사용될 수 있다. 붕소(B), 알루미늄(Al), 갈륨(Ga) 등이 p형 도전성을 부여하는 불순물 원소로서 사용될 수 있다.
- [0213] 다음에, 절연층(522)이 반도체층(520)을 덮도록 형성된다(도 14의 (c)). 절연층(522)은 나중에 게이트 절연층으로 된다. 이 단계에서, 산화 실리콘막의 단층이 플라즈마 CVD 방법으로 형성된다. 절연층(522)의 재료 및 형성 방법은 특정하게 한정되지 않는다.
- [0214] 다음에, 도전막이 절연층(522) 위에 형성된 후에, 도전층이 선택적으로 에칭되어 반도체층(520) 위에 게이트 전극(524)이 증착되도록 형성된다(도 14의 (d)). 게이트 전극(524)의 재료 및 형성 방법은 특정하게 한정되지 않는다.
- [0215] 다음에, 게이트 전극(524)을 마스크로 사용하여, 하나의 도전형을 부여하는 불순물 원소를 반도체층(520)에 첨가함으로써 불순물 영역(526)이 형성된다(도 14의 (e)). n 채널 트랜지스터를 형성하기 위해 인 또는 비소가 이 단계에서 첨가되지만, p 채널 트랜지스터가 형성되는 경우에 붕소 또는 알루미늄 등의 다른 불순물 원소가 형성되는 점에 유의한다.
- [0216] 다음에, 측벽 절연층(528)이 게이트 전극(524)의 측면 위에 형성된다. 측벽 절연층(528)은 절연층(522) 및 게이트 전극(524)을 덮도록 절연층이 형성된 후 높은 이방성 에칭이 절연층에 대해 수행되는 방식으로 자기 정합식으로 형성될 수 있다. 이때, 절연층(522)을 부분적으로 에칭함으로써 게이트 절연층(522a)의 형성과 함께 불순물 영역(526)을 노출하는 것이 바람직하다는 점에 유의한다.
- [0217] 다음에, 게이트 전극(524) 및 측벽 절연층(528)을 마스크로 사용하여, 한 도전형을 부여하는 불순물 원소가 불순물 영역(526)에 첨가된다. 불순물 영역(526)에 첨가된 불순물 원소는 이전 단계에서 첨가된 불순물과 동일한 도전형을 부여하는 불순물 원소(즉, 불순물 영역(526)에 이미 포함된 불순물 원소)라는 점에 유의한다. 또한, 불순물 영역(526)에 첨가된 불순물 원소의 농도는 이전 단계에서의 불순물 원소의 것보다 높다. 불순물 원소의 첨가에 의해, 한 쌍의 고농도 불순물 영역(530), 한 쌍의 저농도 불순물 영역(532), 및 채널 형성 영역(534)이 반도체층(520)에 형성된다(도 14의 (g)). 고농도 불순물 영역(530)은 각각 소스 또는 드레인 영역으로서 기능한다.
- [0218] 반도체층(520)이 실리콘을 포함하는 재료를 이용하여 형성되는 경우에, 소스 영역 및 드레인 영역의 저항을 더욱 감소시키기 위해 반도체층(520)의 부분에 실리사이드를 형성함으로써 실리사이드 영역이 형성될 수 있다는

점에 유의한다. 실리사이드는, 금속이 반도체층과 접하게 되고, 반도체층 내의 실리콘이 열처리(GRTA 방법 또는 LRTA 방법)에 의해 금속과 반응하게 되는 방식으로 수행된다. 실리사이드 영역을 위해, 코발트 실리사이드 영역 또는 니켈 실리사이드 영역이 형성될 수 있다. 반도체층(520)이 얇은 경우에, 실리사이드 반응은 반도체층(520)의 저부로 진행할 수 있다. 실리사이드를 형성하는 데 이용되는 금속 재료는 티타늄(Ti), 니켈(Ni), 텅스텐(W), 몰리브덴(Mo), 코발트(Co), 지르코늄(Zr), 하프늄(Hf), 탄탈(Ta), 바나듐(V), 네오디뮴(Nd), 크롬(Cr), 백금(Pt), 및 팔라듐(Pd)을 포함한다. 실리사이드 영역은 열처리로서 레이저 광 조사에 의해 또한 형성될 수 있다는 점에 유의한다.

[0219] 다음에, 층간 절연층(536) 및 층간 절연층(538)이 상기 단계들에서 형성된 구성 요소를 덮도록 형성된다(도 14의 (h)). 층간 절연층(536) 및 층간 절연층(538)은 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 하프늄, 산화 알루미늄, 또는 산화 탄탈 등의 무기 절연 재료를 포함하는 금속을 이용하여 형성될 수 있다. 다르게는, 폴리이미드 또는 아크릴 등의 유기 재료가 사용될 수 있다. 층간 절연층(536) 및 층간 절연층(538)의 적층 구조가 이 단계에서 이용되지만, 본 발명은 이로 한정되지 않는다는 점에 유의한다. 층간 절연층(536) 또는 층간 절연층(538)을 반드시 형성할 필요는 없고, 또는 복수의 다른 층이 더 적층될 수 있다. 층간 절연층(538)이 형성된 후에, 층간 절연층(538)의 표면은 바람직하게는 CMP, 에칭 처리 등에 의해 평탄화된다는 점에 유의한다. CMP 또는 에칭 처리에 의해, 게이트 전극(524)의 표면이 노출된다.

[0220] 다르게는, 게이트 전극(524)에 전기적으로 접속된 전극은, 층간 절연층(536) 및 층간 절연층(538)의 일부가 에칭되어 게이트 전극(524)이 노출된 후 도전막이 개구에 형성되는 방식으로 형성될 수 있다.

[0221] 상술한 방식으로, SOI 기판을 포함하는 트랜지스터(570)가 형성된다(도 14의 (h)). 트랜지스터(570)는 고속으로 동작할 수 있으므로, 논리 회로(연산 회로라고도 함) 등이 트랜지스터를 이용하여 형성될 수 있다. 바꾸어 말하면, 트랜지스터는 구동 회로 또는 기억 장치 등에 사용될 수 있다.

[0222] 전극, 배선, 절연층 등이 역시 상기 공정 이후에 형성될 수 있다는 점에 유의한다. 배선이 층간 절연층 및 도전층을 포함하는 적층 구조의 다층 구조를 가질 때, 고집적화된 기억 장치가 제공될 수 있다.

[0223] 트랜지스터(570)를 구비한 SOI 기판을 이용함으로써, 기억 소자가 도 6a 및 도 6b 등 뿐만 아니라 도 15에 도시된 바와 같이 형성될 수 있다.

[0224] 다음에, 본 발명의 실시형태에 따른 전자 기기가 설명된다. 상술한 기억 장치의 적어도 하나는 본 발명의 실시형태에 따른 전기 기기에 탑재된다. 본 발명의 실시형태에 따른 전자 기기의 예는 컴퓨터, 이동 전화(셀룰러 전화 또는 이동 전화 세트라고도 함), 휴대형 정보 단말(휴대형 게임 콘솔, 오디오 재생 장치 등을 포함), 디지털 카메라 또는 디지털 비디오 카메라 등의 카메라, 전자 페이퍼, 텔레비전 세트(텔레비전 또는 텔레비전 수신기라고도 함) 등을 포함한다.

[0225] 도 16의 (a)는 하우징(901), 하우징(902), 표시부(903), 키보드(904) 등을 포함하는 랩톱 퍼스널 컴퓨터를 도시한다. 상술한 기억 장치는 하우징(901) 및 하우징(902)에 제공된다. 상술한 기억 장치는 도 16의 (a)에 도시된 랩톱 퍼스널 컴퓨터에 탑재되어, 전력 소비 및 기억 장치에 의해 차지되는 면적이 감소될 수 있다.

[0226] 도 16의 (b)는 휴대형 정보 단말(퍼스널 디지털 어시스턴스(PDA))을 도시한다. 본체(911)는 표시부(913), 외부 인터페이스(915), 조작 버튼(914) 등을 구비한다. 또한, 휴대형 정보 단말 등을 조작하기 위한 스타일러스(912)가 또한 제공된다. 상술한 기억 장치는 본체(911)에 제공된다. 상술한 기억 장치는 도 16의 (b)에 도시된 PDA에 탑재되어, 전력 소비 및 기억 장치에 의해 차지되는 면적이 감소될 수 있다.

[0227] 도 16의 (c)는 전자 페이퍼를 탑재한 전자 북 리더(920)를 도시한다. 전자 북 리더(920)는 하우징(921) 및 하우징(923)인 2개의 하우징을 갖는다. 하우징(921) 및 하우징(923)은 각각 표시부(925) 및 표시부(927)를 구비한다. 하우징(921)과 하우징(923)은 축부(937)에 의해 접속되고 축부(937)를 축으로 하여 개폐될 수 있다. 또한, 하우징(921)은 전력 스위치(931), 조작 키(933), 스피커(935) 등을 구비한다. 하우징(921) 및 하우징(923) 중 적어도 하나는 상술한 기억 장치를 구비한다. 상술한 기억 장치는 도 16의 (c)에 도시된 전자 북 리더에 탑재되어, 전력 소비 및 기억 장치에 의해 차지되는 면적이 감소될 수 있다.

[0228] 도 16의 (d)는 하우징(940) 및 하우징(941)인 2개의 하우징을 포함하는 이동 전화를 도시한다. 또한, 도 16의 (d)에 도시된 바와 같이, 하우징(940) 및 하우징(941)은 전개된 상태에서 하나가 다른 것 위에 겹치도록 슬라이딩에 의해 시프트할 수 있으므로, 이동 전화의 크기가 감소될 수 있고, 이동 전화를 가지고 다니기에 적합하게 된다. 하우징(941)은 표시 패널(942), 스피커(943), 마이크로폰(944), 조작 키(945), 포인팅 장치(946), 카메라 렌즈(947), 외부 접속 단자(948) 등을 구비한다. 하우징(940)은 이동 전화를 충전하는 태양 전지(949), 외

부 메모리 슬롯(950) 등을 구비한다. 안테나는 하우징(941)에 내장되어 있다는 점에 유의한다. 하우징(940) 및 하우징(941) 중 적어도 하나는 상술한 기억 장치를 구비한다. 상술한 기억 장치는 도 16의 (d)에 도시된 이동 전화에 탑재되어, 전력 소비 및 기억 장치에 의해 차지되는 면적이 감소될 수 있다.

[0229] 도 16의 (e)는 본체(961), 표시부(967), 접안부(963), 조작 스위치(964), 표시부(965), 배터리(966) 등을 포함하는 디지털 카메라를 도시한다. 상술한 기억 장치는 본체(961)에 제공된다. 상술한 기억 장치는 도 16의 (e)에 도시된 디지털 카메라에 탑재되어, 전력 소비 및 기억 장치에 의해 차지되는 면적이 감소될 수 있다.

[0230] 도 16의 (f)는 하우징(971), 표시부(973), 스탠드(975) 등을 포함하는 텔레비전 세트(970)를 도시한다. 텔레비전 세트(970)는 하우징(971)의 스위치 또는 리모트 컨트롤러(980)로 조작할 수 있다. 하우징(971) 및 리모트 컨트롤러(980) 중 적어도 하나는 상술한 기억 장치를 구비한다. 상술한 기억 장치는 도 16의 (f)에 도시된 텔레비전 세트에 탑재되어, 전력 소비 및 기억 장치에 의해 차지되는 면적이 감소될 수 있다.

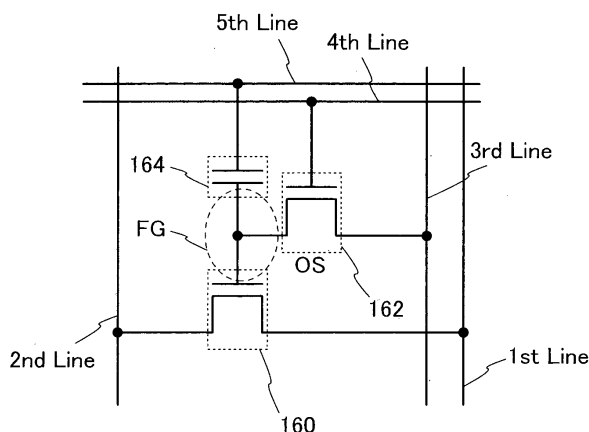
[0231] 본 출원은, 그 전체 내용이 본 명세서에 참고로 인용되는, 2010년 1월 20일자일본 특허청에 출원된 일본 특허출원 2010-010527호에 기초한 것이다.

부호의 설명

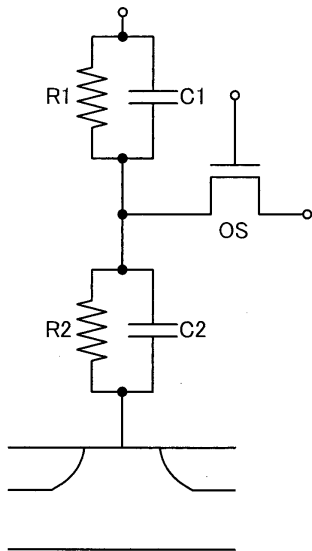
[0232] 100: 기관, 102: 보호층, 104: 반도체 영역, 106: 소자 분리 절연층, 108a: 게이트 절연층, 110: 게이트 전극, 112: 절연막, 114: 불순물 영역, 116: 채널 형성 영역, 118: 측벽 절연층, 120: 고농도 불순물 영역, 122: 금속막, 124: 금속 화합물 영역, 125: 층간 절연층, 126: 층간 절연층, 128: 층간 절연층, 141a: 절연층, 141b: 절연층, 142a: 소스 또는 드레인 전극, 142b: 소스 또는 드레인 전극, 143a: 절연층, 143b: 절연층, 144: 산화물 반도체층, 146: 게이트 절연층, 148a: 게이트 전극, 148b: 전극, 150: 층간 절연층, 151: 개구, 152: 층간 절연층, 154: 소스 또는 드레인 전극, 160: 트랜지스터, 162: 트랜지스터, 164: 용량 소자, 500: 베이스 기관, 502: 질소 함유층, 510: 단결정 반도체 기관, 512: 산화막, 514: 취화 영역, 516: 단결정 반도체층, 518: 단결정 반도체층, 520: 반도체층, 522: 절연층, 522a: 게이트 절연층, 524: 게이트 전극, 526: 불순물 영역, 528: 측벽 절연층, 530: 고농도 불순물 영역, 532: 저농도 불순물 영역, 534: 채널 형성 영역, 536: 층간 절연층, 538: 층간 절연층, 570: 트랜지스터, 901: 하우징, 902: 하우징, 903: 표시부, 904: 키보드, 911: 본체, 912: 스타일러스, 913: 표시부, 914: 조작 버튼, 915: 외부 인터페이스, 920: 전자 북 리더, 921: 하우징, 923: 하우징, 925: 표시부, 927: 표시부, 931: 전력 스위치, 933: 조작 키, 935: 스피커, 937: 측부, 940: 하우징, 941: 하우징, 942: 표시 패널, 943: 스피커, 944: 마이크로폰, 945: 조작 키, 947: 카메라 렌즈, 948: 외부 접속 단자, 949: 태양 전지, 950: 외부 메모리 슬롯, 961: 본체, 963: 접안부, 964: 조작 스위치, 965: 표시부, 966: 배터리, 967: 표시부, 970: 텔레비전 세트, 971: 하우징, 973: 표시부, 975: 스탠드, 980: 리모트 컨트롤러, 1100: 기억 소자, 1111: 제1 구동 회로, 1112: 제2 구동 회로, 1113: 제3 구동 회로, 1114: 제4 구동 회로.

도면

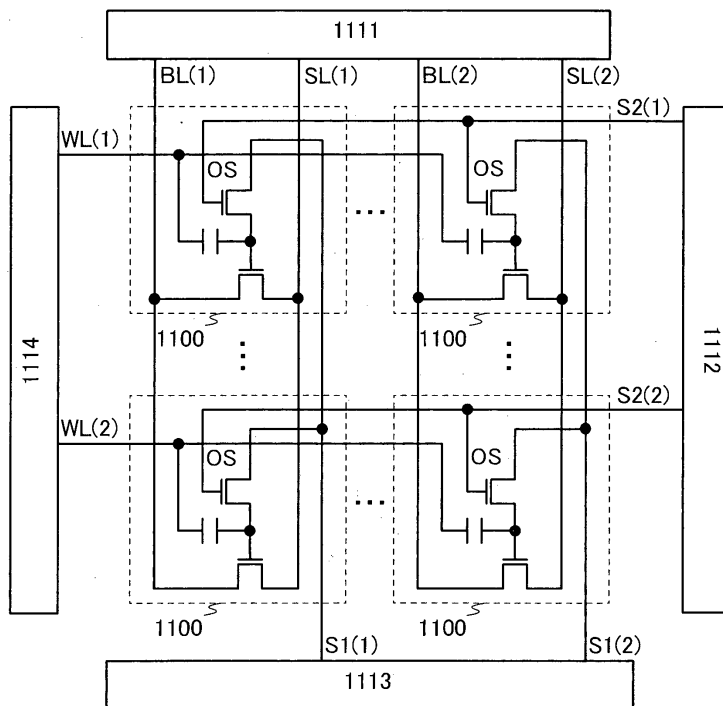
도면1a



도면1b



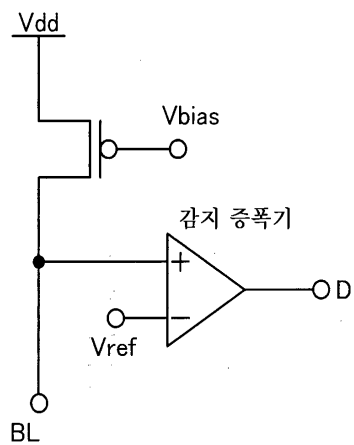
도면2



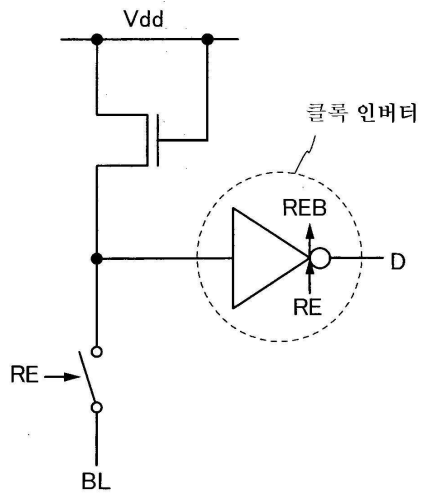
도면3

		제1 행 기입 (1,1)="1" (1,2)="0"	제1 행 판독 (1,1)="1" (1,2)="0"
S1_(1)	V2 0V		
S1_(2)	V1 0V		
S2_(1)	VH 0V VL		
S2_(2)	VH 0V VL		
BL(1)	V1 0V		
BL(2)	V1 0V		
WL(1)	VH 0V VL		
WL(2)	VH 0V VL		
SL(1),SL(2)	V1 0V		
D(1)	V1 0V	고 임피던스	
D(2)	V1 0V	고 임피던스	

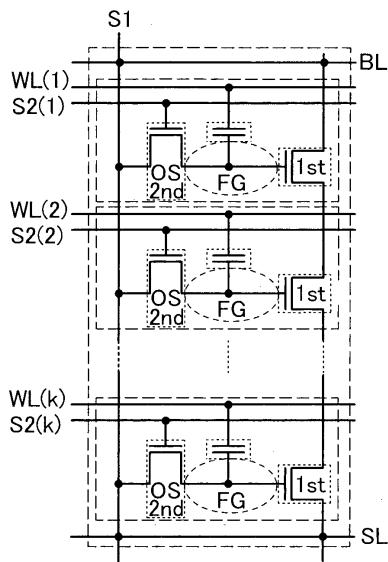
도면4a



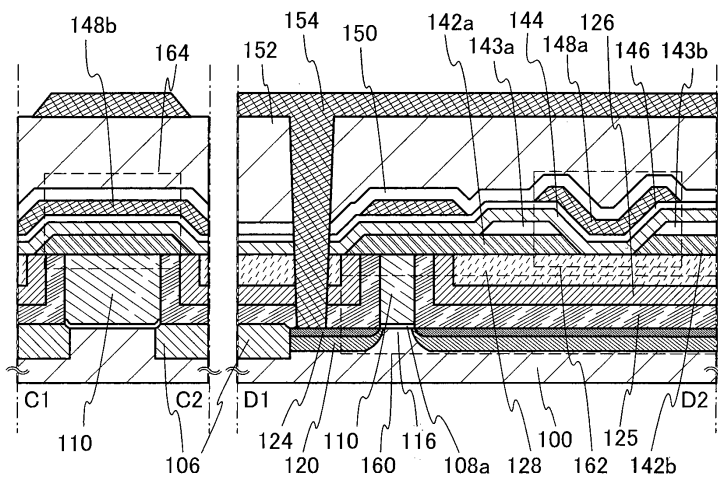
도면4b



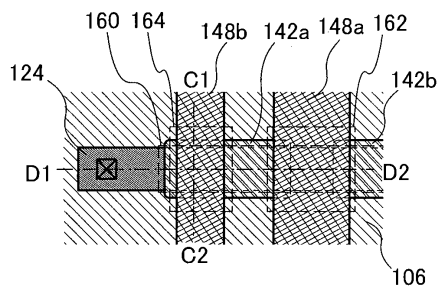
도면5



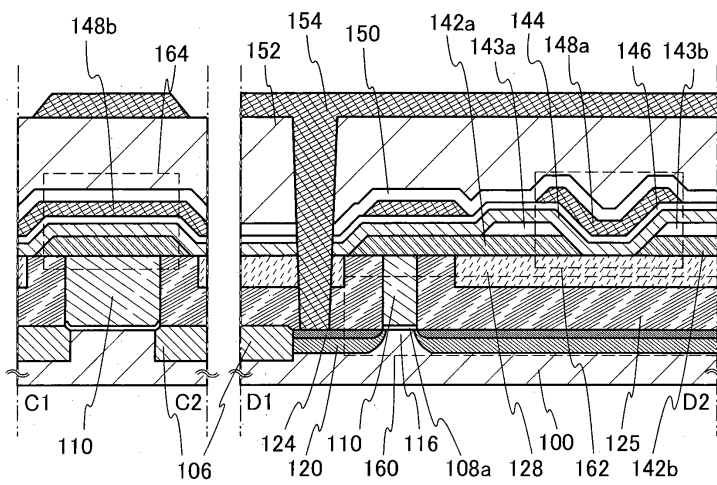
도면6a



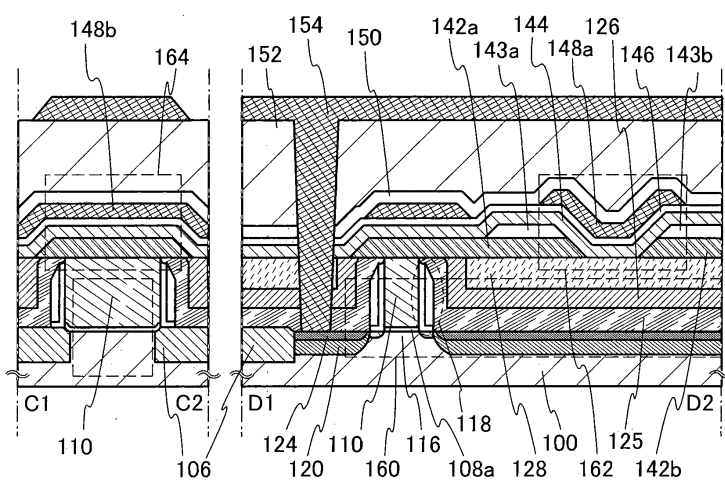
도면6b



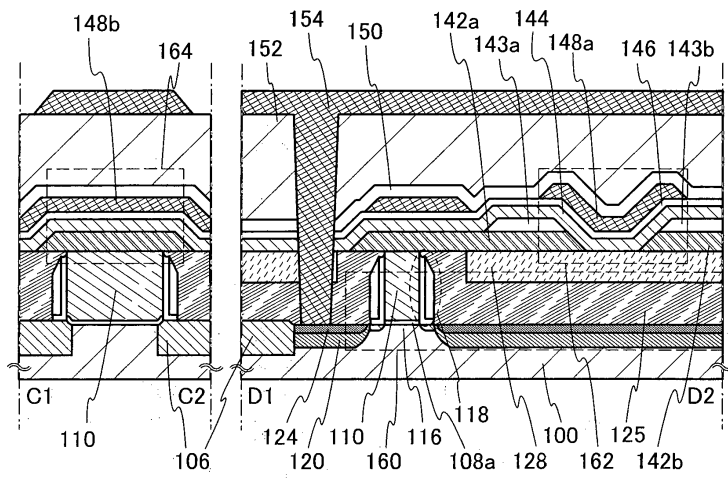
도면7



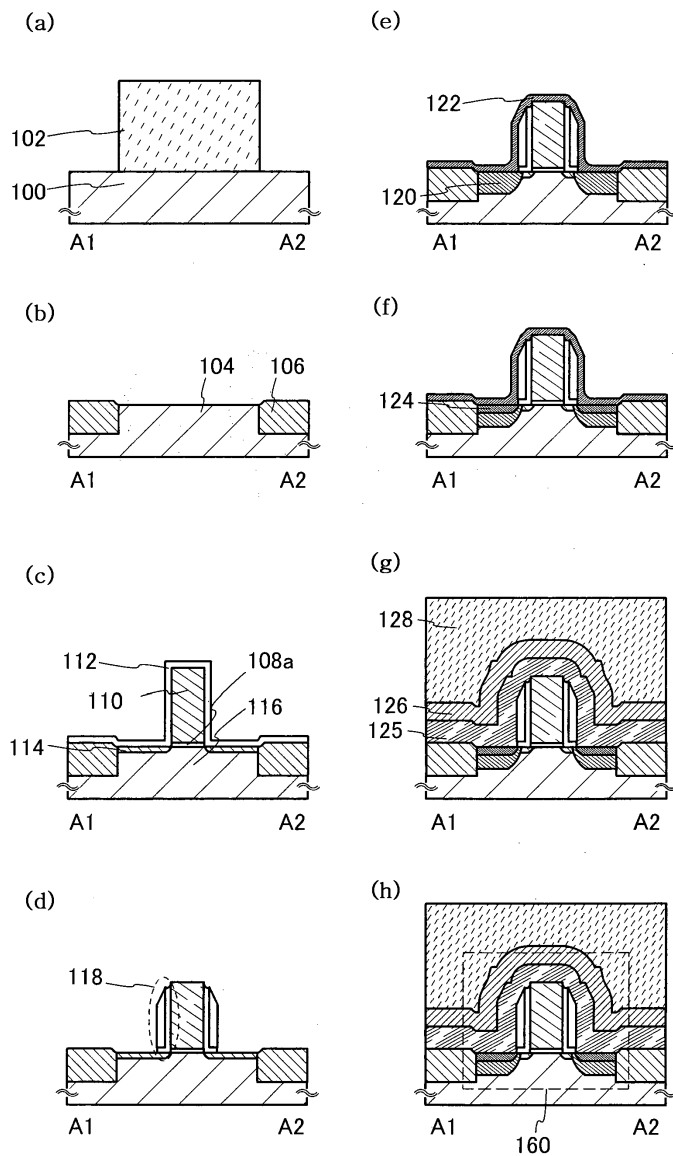
도면8



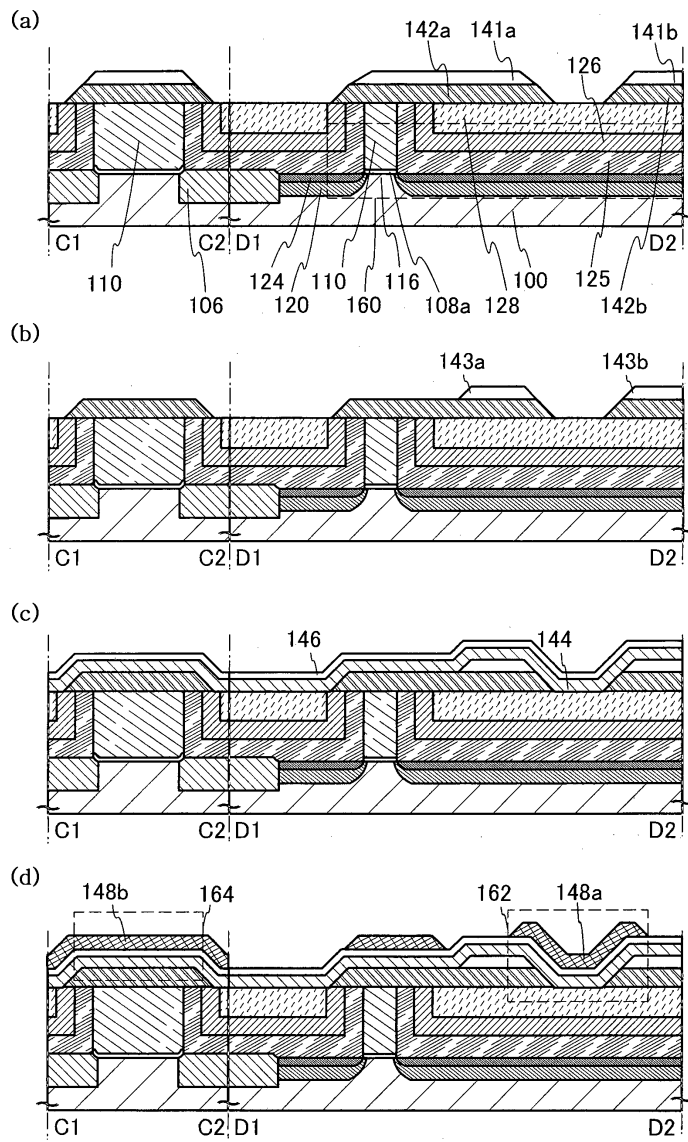
도면9



도면10

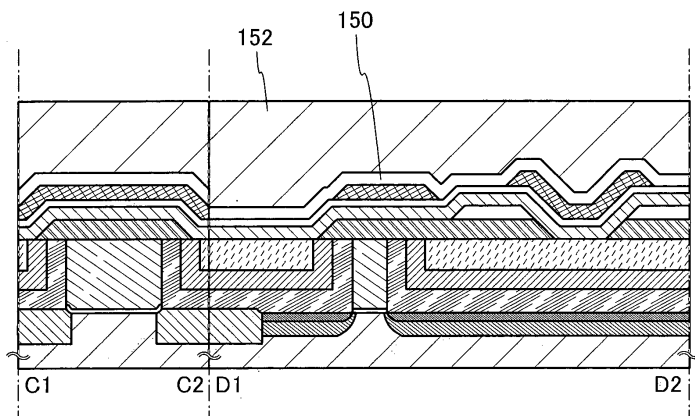


도면11

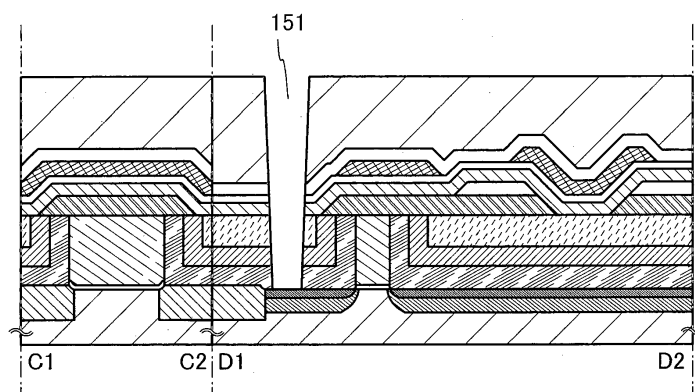


도면12

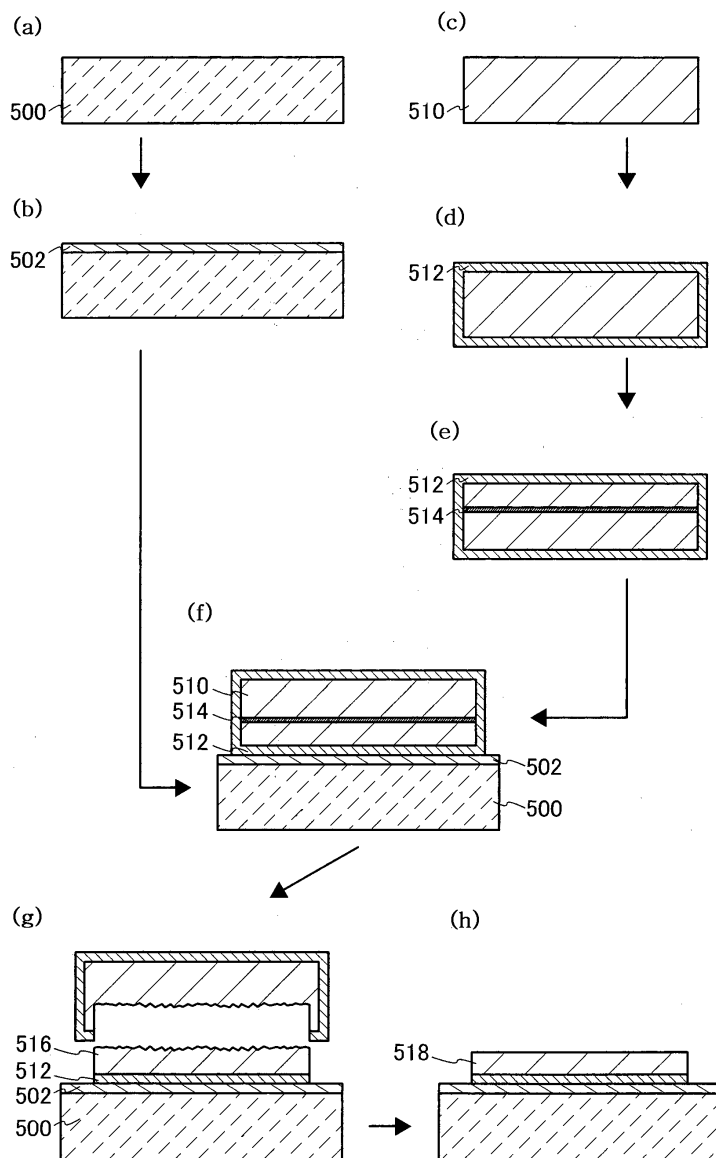
(a)



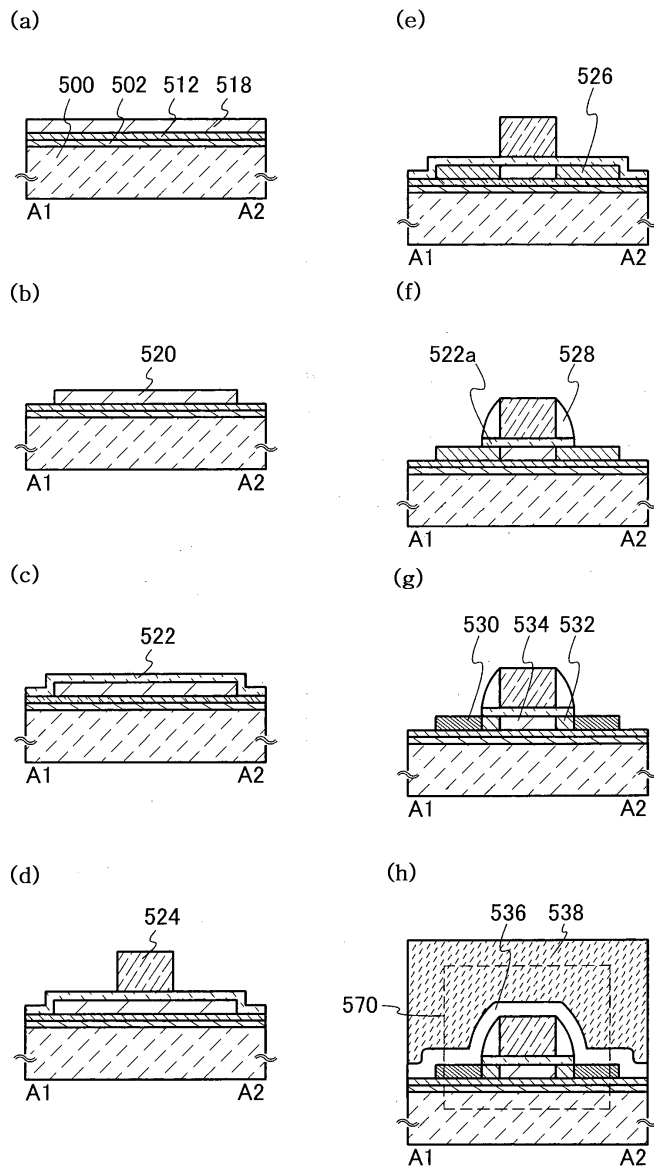
(b)



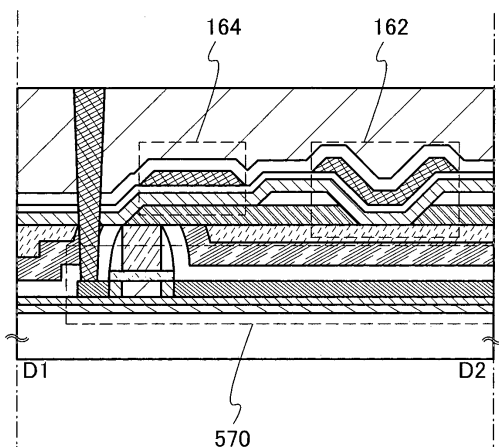
도면13



도면14



도면15



도면16

