

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年3月28日(28.03.2024)

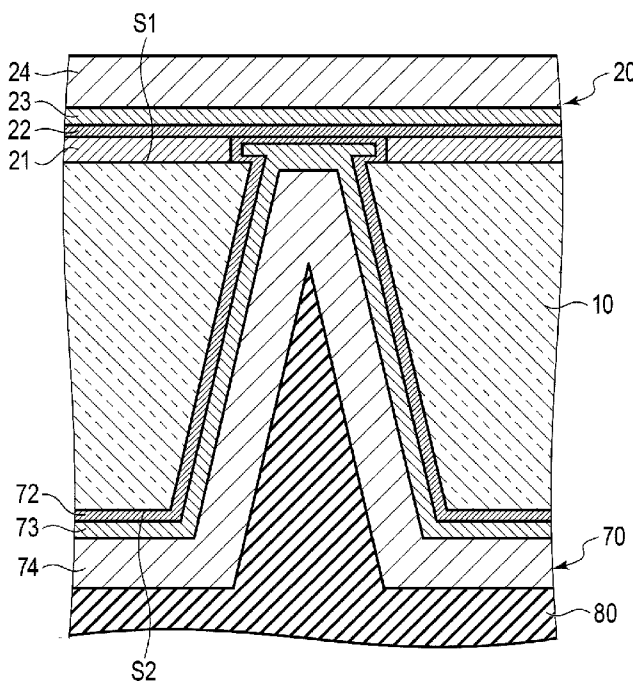


(10) 国際公開番号
WO 2024/062808 A1

- (51) 国際特許分類:
H05K 1/11 (2006.01) *H05K 1/16* (2006.01)
H01L 23/12 (2006.01) *H05K 3/00* (2006.01)
H01L 23/15 (2006.01)
- (21) 国際出願番号: PCT/JP2023/029603
- (22) 国際出願日: 2023年8月16日(16.08.2023)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2022-151675 2022年9月22日(22.09.2022) JP
- (71) 出願人: T O P P A N ホールディングス株式会社 (TOPPAN HOLDINGS INC.) [JP/JP]; 〒1100016 東京都台東区台東一丁目5番1号 Tokyo (JP).
- (72) 発明者: 石井 智之 (ISHII, Tomoyuki); 〒1100016 東京都台東区台東一丁目5番1号 凸版印刷株式会社内 Tokyo (JP).
- (74) 代理人: 弁理士法人 鈴榮特許総合事務所 (SUZUYE & SUZUYE); 〒1050014 東京都港区芝三丁目2番1号 セレスティン芝三井ビルディング11階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,

(54) Title: WIRING SUBSTRATE

(54) 発明の名称: 配線基板



(57) Abstract: The present invention makes disconnection unlikely between a wiring layer provided on a glass substrate and a TGV provided on the glass substrate. A wiring substrate (1) comprises: a glass substrate (10) which has first and second surfaces (S1, S2) and which is provided with through holes; a first conductor layer (20) which includes a first copper layer (24) that faces the first surface and a hydrofluoric acid-resistant metal layer (21) that is provided therebetween, and which covers openings of the through holes on the first surface side, a surface of said first conductor layer on the glass



WO 2024/062808 A1

HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

一 国際調査報告 (条約第21条(3))

substrate side having recesses at the positions of the through holes, the contour the opening of each recess being larger than and surrounding the opening of the corresponding through hole on the first surface side; and a second conductor layer (70) which includes an adhesive layer (72) that covers the side walls of the through holes, the inner surfaces of the recesses, and a region of the second surface surrounding the openings of the through hole on the second surface side, a seed layer (73) that is provided on the adhesive layer, and a second copper layer (74) that is provided on the seed layer. The total T1+T2 of the thickness T1 of the adhesive layer and the thickness T2 of the seed layer is not less than the thickness T3 of the hydrofluoric acid-resistant metal layer.

(57) 要約 : ガラス基板上に設けられた配線層と、このガラス基板に設けられた TGV との間での断線を生じ難くする。配線基板 (1) は、第 1 及び第 2 面 (S1, S2) を有し、貫通孔が設けられたガラス基板 (10) と、第 1 面と向き合った第 1 銅層 (24) と、それらの間に介在した耐弗酸金属層 (21) とを含み、貫通孔の第 1 面側の開口を覆った第 1 導体層 (20) であって、ガラス基板側の面は貫通孔の位置に凹部を有し、各凹部の開口の輪郭は、これに対応した貫通孔の第 1 面側の開口より大きく且つこれを取り囲んだ第 1 導体層と、貫通孔の側壁、凹部の内面、及び第 2 面のうち貫通孔の第 2 面側の開口を取り囲んだ領域を被覆した密着層 (72) と、密着層上に設けられたシード層 (73) と、シード層上に設けられた第 2 銅層 (74) とを含んだ第 2 導体層 (70) とを備え、密着層の厚さ T1 とシード層の厚さ T2 との合計 T1 + T2 は、耐弗酸金属層の厚さ T3 以上である。

明 細 書

発明の名称：配線基板

技術分野

[0001] 本発明は、配線基板に関する。

背景技術

[0002] 従来から、例えば、大規模集積回路（LSI）の実装技術として、シリコン貫通電極（TSV）を用いた実装技術が知られている。TSVが設けられたシリコン基板、即ち、シリコンインターポーザは、配線のデザインルールが互いに異なる集積回路（IC）チップ及びプリント基板のように、端子間距離が異なる部品を中継する配線基板である。

[0003] シリコンインターポーザでは、半導体であるシリコンを貫通電極から電気的に絶縁する必要がある。具体的には、貫通孔を形成した後に、シリコン基板へ絶縁処理を行う必要がある。また、シリコン基板は、それ自体が高価である。それ故、シリコンインターポーザには、製造コストが高いという問題がある。そこで、安価で大面積のガラス基板にガラス貫通電極（TGV）等を形成し、これを個片化することにより得られるガラスインターポーザが注目されている。

[0004] TGV技術においては、ガラス基板へ貫通孔を形成する必要がある。ガラス基板には、様々な方法で貫通孔を形成することができる。

[0005] 例えば、特許文献1に記載されているように、パルス発振YAGレーザを使用したレーザ光照射によって、ガラス基板へ貫通孔を形成する技術が知られている。

[0006] 特許文献2には、感光性ガラス基板に微細な孔を形成する方法が記載されている。この方法では、先ず、フォトリソを介して感光性ガラス基板へ紫外線を照射して、感光性ガラス基板に潜像を形成する。次に、感光性ガラス基板を加熱処理して、潜像が形成された部分で結晶化を生じさせる。次いで、潜像を形成した部分の中央に、潜像よりも小さな穴をレーザ光照射により

形成する。その後、弗酸を用いてエッチングを行い、結晶化させた部分を選択的にエッチングする。このようにして、レーザ光照射によって形成した孔よりも大きな孔を生じさせる。

[0007] 特許文献3には、同軸上に配置され、板ガラスを間に挟んで向き合った一対のコアドリルによって、板ガラスへ穿孔する方法が記載されている。

[0008] 特許文献4には、ガラス基板への貫通孔の形成とガラス基板の薄板化とをエッチングによって同時に行う方法が記載されている。この方法では、先ず、ガラス基板へレーザ光を照射して、改質部を生じさせる。次に、ガラス基板の一方の面を弗酸でエッチングして、ガラス基板を薄板化するとともに、改質部を除去して貫通孔を形成する。

[0009] ガラスインターポーザには、インダクタやコンデンサを設けることもできる。特許文献5には、インダクタとコンデンサとを組み合わせたLCフィルタを内蔵したガラスコア配線基板が記載されている。この配線基板において、コンデンサは、ガラスコア基板の厚さ方向へ、金属層、誘電体層及び金属層を重ねた、MIM (Metal/Insulator/Metal) と呼ばれる構造を有している。また、この配線基板において、インダクタは、螺旋軸がガラスコア基板の主面に対して平行であり、ガラスコア基板に設けられた二列の貫通孔を通して螺旋状に伸びた構造を有している。

先行技術文献

特許文献

- [0010] 特許文献1：特開2000-61667号公報
特許文献2：特開2001-105398号公報
特許文献3：特開昭54-126215号公報
特許文献4：国際公開第2019/235617号
特許文献5：特開2021-166257号公報

発明の概要

[0011] 本発明は、ガラス基板上に設けられた配線層と、このガラス基板に設けられたTGVとの間での断線を生じ難くし得る技術を提供することを目的とす

る。

- [0012] 本発明の一側面によると、第1面とその裏面である第2面とを有し、前記第1面から前記第2面まで各々が伸びた1以上の第1貫通孔が設けられたガラス基板と、前記第1面と向き合った第1銅層と、前記第1銅層と前記ガラス基板との間に介在した耐弗酸金属層とを含み、前記1以上の第1貫通孔の前記第1面側の開口を覆った第1導体層であって、前記ガラス基板側の面は前記1以上の第1貫通孔の位置に凹部を有し、前記凹部の各々の開口の輪郭は、これに対応した前記第1貫通孔の前記第1面側の前記開口より大きく且つこれを取り囲んだ第1導体層と、前記1以上の第1貫通孔の側壁、前記凹部の内面、及び前記第2面のうち前記1以上の第1貫通孔の前記第2面側の開口を取り囲んだ領域を被覆した密着層と、前記密着層上に設けられたシード層と、前記シード層上に設けられた第2銅層とを含んだ第2導体層とを備え、前記密着層の厚さ $T1$ と前記シード層の厚さ $T2$ との合計 $T1 + T2$ は、前記耐弗酸金属層の厚さ $T3$ と等しいか又はそれよりも大きい配線基板が提供される。
- [0013] 本発明の他の側面によると、前記耐弗酸金属層には前記1以上の第1貫通孔の位置に1以上の第2貫通孔がそれぞれ設けられ、前記1以上の第2貫通孔は、前記第1導体層の前記ガラス基板側の前記面に前記凹部を形成している上記側面に係る配線基板が提供される。
- [0014] 本発明の更に他の側面によると、前記厚さ $T1$ は、前記厚さ $T3$ と等しいか又はそれよりも大きい上記側面の何れかに係る配線基板が提供される。
- [0015] 本発明の更に他の側面によると、前記厚さ $T2$ は、前記厚さ $T1$ と前記厚さ $T3$ との合計 $T1 + T3$ と等しいか又はそれよりも大きい上記側面の何れかに係る配線基板が提供される。
- [0016] 本発明の更に他の側面によると、前記厚さ $T2$ は $0.5 \mu\text{m}$ 以下である上記側面の何れかに係る配線基板が提供される。
- [0017] 本発明の更に他の側面によると、前記厚さ $T1$ は 10 nm 乃至 $0.5 \mu\text{m}$ の範囲内にあり、前記厚さ $T2$ は 100 nm 乃至 $0.5 \mu\text{m}$ の範囲内にあり

、前記厚さ T3 は 10 nm 乃至 0.5 μ m の範囲内にある上記側面の何れかに係る配線基板が提供される。

[0018] 本発明の更に他の側面によると、前記第 1 導体層上に設けられた誘電体層と、前記誘電体層上に設けられた上部電極とを更に備え、前記第 1 導体層のうち前記上部電極と向き合った部分は下部電極であり、前記上部電極と前記誘電体層と前記下部電極とはコンデンサを構成している上記側面の何れかに係る配線基板が提供される。

[0019] 本発明の更に他の側面によると、前記下部電極は、前記 1 以上の第 1 貫通孔の少なくとも 1 つの前記第 1 面側の前記開口を覆っている上記側面に係る配線基板が提供される。

[0020] 本発明の更に他の側面によると、前記 1 以上の第 1 貫通孔は複数の第 1 貫通孔であり、前記第 1 導体層の一部と前記第 2 導体層の一部とはソレノイドコイルを構成している上記側面の何れかに係る配線基板が提供される。

[0021] 本発明の更に他の側面によると、前記第 1 導体層上に設けられた誘電体層と、前記誘電体層上に設けられた上部電極とを更に備え、前記第 1 導体層のうち前記上部電極と向き合った部分は下部電極であり、前記上部電極と前記誘電体層と前記下部電極とはコンデンサを構成し、前記 1 以上の第 1 貫通孔は複数の第 1 貫通孔であり、前記第 1 導体層の一部と前記第 2 導体層の一部とはソレノイドコイルを構成し、前記コンデンサと前記ソレノイドコイルとは LC フィルタを構成している上記側面の何れかに係る配線基板が提供される。

[0022] なお、LC フィルタは、LC 周波数フィルタとも呼ばれる。LC フィルタは、インダクタ (L) とコンデンサ (C) とを組み合わせた構造を有している。LC フィルタは、共振現象を利用して、特定の周波数に関して電気信号を回路に流し、他の周波数に関しては遮断するものであって、バンドパスフィルタ、ローパスフィルタ、ハイパスフィルタ、又はダイプレクサとしての機能を有しているものである。

[0023] 本発明の更に他の側面によると、前記耐弗酸金属層は、クロム、ニッケル

及びニッケルクロム合金からなる群より得られる材料からなる上記側面の何れかに係る配線基板が提供される。

[0024] 本発明の更に他の側面によると、前記密着層は、チタン、クロム及びニッケルからなる群より選ばれる1以上の材料又はその酸化物からなり、前記シード層は銅からなる上記側面の何れかに係る配線基板が提供される。

[0025] 本発明の更に他の側面によると、インターポーザである上記側面の何れかに係る配線基板が提供される。

[0026] 本発明の更に他の側面によると、上記側面の何れかに係る配線基板と、前記配線基板に実装された機能デバイスとを備えたパッケージ化デバイスが提供される。

[0027] ここで、「機能デバイス」は、電力及び電気信号の少なくとも一方が供給されることにより動作するデバイス、外部からの刺激により電力及び電気信号の少なくとも一方を出力するデバイス、又は、電力及び電気信号の少なくとも一方が供給されることにより動作し且つ外部からの刺激により電力及び電気信号の少なくとも一方を出力するデバイスである。機能デバイスは、例えば、半導体チップや、ガラス基板などの半導体以外の材料からなる基板上に回路や素子が形成されたチップのように、チップの形態にある。機能デバイスは、例えば、LSI、メモリ、撮像素子、発光素子、及びMEMS (Micro Electro Mechanical Systems) の1以上を含むことができる。MEMSは、例えば、圧力センサ、加速度センサ、ジャイロセンサ、傾斜センサ、マイクロフォン、及び音響センサの1以上である。一例によれば、機能デバイスは、LSIを含んだ半導体チップである。

[0028] 本発明の更に他の側面によると、第1面とその裏面である第2面とを有しているガラス基板を準備することと、前記ガラス基板へレーザ光を照射して、前記ガラス基板に1以上の改質部を形成することと、前記第1面上に、前記第1面と向き合った第1銅層と、前記第1銅層と前記ガラス基板との間に介在した耐弗酸金属層とを含んだ第1導体層を、前記1以上の改質部を覆うように形成することと、弗化水素を含んだエッチング液で前記第2面をエッ

チングして、前記第2面を後退させるとともに、前記1以上の改質部の位置に1以上の第1貫通孔をそれぞれ形成することと、前記耐弗酸金属層のうち前記1以上の第1貫通孔内で露出した部分をウェットエッチングに供して、前記第1導体層の前記ガラス基板側の面に凹部を形成することと、前記1以上の第1貫通孔の側壁、前記凹部の内面、及び前記第2面を被覆した密着層を形成することと、前記密着層上にシード層を形成することと、前記シード層上に第2銅層を形成することとを含み、前記密着層と前記シード層と前記耐弗酸金属層とは、前記密着層の厚さ $T1$ と前記シード層の厚さ $T2$ との合計 $T1 + T2$ が、前記耐弗酸金属層の厚さ $T3$ と等しいか又はそれよりも大きくなるように形成する配線基板の製造方法が提供される。

[0029] 本発明の更に他の側面によると、前記ガラス基板への前記レーザ光の照射に先立ち、前記ガラス基板を第1支持体に、前記第2面が前記第1支持体と向き合うに支持させることと、前記第1導体層を形成した後であって、前記1以上の第1貫通孔を形成する前に、前記ガラス基板から前記第1支持体を除去することとを更に含んだ上記側面に係る配線基板の製造方法が提供される。

[0030] 本発明の更に他の側面によると、前記耐弗酸金属層への前記ウェットエッチングは、前記耐弗酸金属層に1以上の第2貫通孔が形成されるように行う上記側面の何れかに係る配線基板の製造方法が提供される。

[0031] 本発明の更に他の側面によると、前記第1導体層を形成した後であって、前記1以上の第1貫通孔を形成する前に、前記ガラス基板と前記第1導体層とを含んだ複合体を第2支持体に、前記第1導体層が前記第2支持体と向き合うように支持させることを更に含んだ上記側面の何れかに係る配線基板の製造方法が提供される。

[0032] 本発明によれば、ガラス基板上に設けられた配線層と、このガラス基板に設けられた TGV との間での断線を生じ難くし得る技術が提供される。

図面の簡単な説明

[0033] [図1]図1は、本発明の第1実施形態に係る配線基板の断面図である。

[図2]図2は、図1に示す配線基板の一部を拡大して示す断面図である。

[図3]図3は、図1に示す配線基板の製造方法における一工程を示す断面図である。

[図4]図4は、図1に示す配線基板の製造方法における他の工程を示す断面図である。

[図5]図5は、図1に示す配線基板の製造方法における更に他の工程を示す断面図である。

[図6]図6は、図1に示す配線基板の製造方法における更に他の工程を示す断面図である。

[図7]図7は、図1に示す配線基板の製造方法における更に他の工程を示す断面図である。

[図8]図8は、図1に示す配線基板の製造方法における更に他の工程を示す断面図である。

[図9]図9は、図1に示す配線基板の製造方法における更に他の工程を示す断面図である。

[図10]図10は、図1に示す配線基板の製造方法における更に他の工程を示す断面図である。

[図11]図11は、図1に示す配線基板の製造方法における更に他の工程を示す断面図である。

[図12]図12は、図1に示す配線基板を使用して製造可能なパッケージ化デバイスの一例を示す断面図である。

[図13]図13は、比較例に係る配線基板の一部を示す断面図である。

[図14]図14は、第1変形例に係る配線基板のガラス基板に設けられた貫通孔を示す断面図である。

[図15]図15は、第2変形例に係る配線基板のガラス基板に設けられた貫通孔を示す断面図である。

[図16]図16は、第3変形例に係る配線基板の一部を示す斜視図である。

[図17]図17は、第4変形例に係る配線基板の一部を示す断面図である。

[図18]図18は、第5変形例に係る配線基板の一部を示す断面図である。

[図19]図19は、第6変形例に係る配線基板の一部を示す断面図である。

[図20]図20は、本発明の第2実施形態に係る配線基板の製造方法における一工程を示す断面図である。

[図21]図21は、本発明の第2実施形態に係る配線基板の製造方法における他の工程を示す断面図である。

[図22]図22は、本発明の第3実施形態に係る配線基板の製造方法における一工程を示す断面図である。

[図23]図23は、本発明の第3実施形態に係る配線基板の製造方法における他の工程を示す断面図である。

[図24]図24は、本発明の第4実施形態に係る配線基板の製造方法における一工程を示す断面図である。

[図25]図25は、本発明の第4実施形態に係る配線基板の製造方法における他の工程を示す断面図である。

発明を実施するための形態

[0034] 以下に、本発明の実施形態について、図面を参照しながら説明する。以下に説明する実施形態は、上記側面の何れかをより具体化したものである。以下に記載する事項は、単独で又は複数を組み合わせて、上記側面の各々に組み入れることができる。

[0035] また、以下に示す実施形態は、本発明の技術的思想を具体化するための構成を例示するものであって、本発明の技術的思想は、下記の構成部材の材質、形状、及び構造等によって限定されるものではない。本発明の技術的思想には、請求の範囲に記載された請求項が規定する技術的範囲内において、種々の変更を加えることができる。

[0036] なお、同様又は類似した機能を有する要素については、以下で参照する図面において同一の参照符号を付し、重複する説明は省略する。また、図面は模式的なものであり、或る方向の寸法と別の方向の寸法との関係、及び、或る部材の寸法と他の部材の寸法との関係等は、現実のものとは異なり得る。

[0037] <1>第1実施形態

<1.1>配線基板

図1は、本発明の第1実施形態に係る配線基板の断面図である。図2は、図1に示す配線基板の一部を拡大して示す断面図である。

[0038] 図1に示す配線基板1は、ガラスコア配線基板である。一例によれば、配線基板1は、インターポーザとして使用する配線基板、即ち、ガラスインターポーザである。

[0039] 配線基板1は、ガラス基板10と、第1導体層20と、誘電体層31と、上部電極32と、層間絶縁膜40と、導体層50と、絶縁層60と、第2導体層70と、層間絶縁膜80と、導体層90と、絶縁層100とを含んでいる。

[0040] ガラス基板10は、第1面S1と、その裏面である第2面S2とを有している。第1面S1と第2面S2とは、互いに対して平行である。

[0041] ガラス基板10には、第1面S1から第2面S2まで各々が伸びた1以上の第1貫通孔、ここでは、複数の第1貫通孔が設けられている。第1貫通孔の各々は、第2面S2から第1面S1へ向けて先細りしている。

[0042] 第1導体層20は、第1面S1上に設けられた導体パターンである。この導体パターンは、ランド部と、配線部と、後述するコンデンサ30の下部電極とを含んでいる。第1導体層20は、第1配線層である。

[0043] 第1導体層20は、多層構造を有している。具体的には、第1導体層20は、第1面S1と向き合った第1銅層24と、第1銅層24とガラス基板10との間に介在した耐弗酸金属層21とを含んでいる。第1導体層20は、図2に示すように、耐弗酸金属層21と第1銅層24との間に介在した密着層22と、密着層22と第1銅層24との間に介在したシード層23とを更に含んでいる。

[0044] 第1導体層20は、第1貫通孔の第1面S1側の開口を覆っている。第1導体層20のガラス基板10側の面は、第1貫通孔の位置に凹部を有している。ここでは、耐弗酸金属層21には、第1貫通孔の位置に第2貫通孔がそ

れぞれ設けられている。これら第2貫通孔は、第1導体層20のガラス基板10側の面に、上記の凹部を形成している。

[0045] 第1導体層20の上記面に設けられた凹部の各々の開口（以下、第1開口ということがある）の輪郭は、これに対応した第1貫通孔の第1面S1側の開口（以下、第2開口ということがある）より大きく且つこれを取り囲んでいる。即ち、配線基板1の厚さ方向に対して垂直な平面への第1開口の正射影の輪郭は、この平面への第2開口の正射影より大きく且つこれを取り囲んでいる。上記平面への第1開口の正射影の輪郭から、この平面への第2開口の正射影までの距離、即ち、後述するサイドエッチングによって生じるアンダーカット部の幅は、一例によれば1 μ m乃至10 μ mの範囲内にあり、他の例によれば0.1 μ m乃至5 μ mの範囲内にある。

[0046] 耐弗酸金属層21は、ガラス基板10と比較して、弗酸によるエッチングに対する耐性に優れた金属材料からなる。耐弗酸金属層21は、例えば、耐弗酸金属層は、クロム、ニッケル及びニッケルクロム合金からなる群より得られる材料からなる。耐弗酸金属層21の厚さT3は、10nm乃至500nmの範囲内にあることが好ましく、0.02 μ m乃至0.08 μ mの範囲内にあることがより好ましい。

[0047] 密着層22及びシード層23は、耐弗酸金属層21上にこの順に積層されている。密着層22及びシード層23には、それぞれ、後述する密着層72及びシード層73について例示する材料を使用することができる。密着層72及びシード層73は、第1銅層24を電解めっきによって形成する場合に設ける。密着層72は省略してもよい。また、第1銅層24を無電解めっきやスパッタリングなどの他の方法を利用して形成する場合、密着層22及びシード層23の双方を省略してもよい。

[0048] 誘電体層31及び上部電極32は、第1導体層20の一部の上に、この順に積層されている。第1導体層20のうち上部電極32と向き合った部分は、下部電極である。上部電極32と誘電体層31と下部電極とは、コンデンサ30を、具体的にはMIMコンデンサを構成している。

- [0049] 図1に示す例では、下部電極は、第1貫通孔の第1面S1側の開口を覆っている。下部電極は、第1貫通孔から離間させてもよいが、第1貫通孔の第1面S1側の開口を覆うように設けた場合、配線に起因した電気抵抗を小さくすることや、配線長の短縮が可能になる。
- [0050] なお、ここでは、第1面S1と向き合うようにコンデンサ30を設置しているが、コンデンサは、第2面S2側に設置してもよい。或いは、第1面S1と向き合うようにコンデンサ30を設置するとともに、第2面S2側に他のコンデンサを更に設置してもよい。コンデンサ30は省略することができる。
- [0051] 層間絶縁膜40は、第1面S1を被覆するとともに、第1導体層20、誘電体層31及び上部電極32を埋め込んでいる。層間絶縁膜40には、第1導体層20が含むランド部の位置及び上部電極32の位置に、貫通孔が設けられている。一例によれば、層間絶縁膜40は、絶縁樹脂層である。
- [0052] 導体層50は、層間絶縁膜40上に設けられた導体パターンである。この導体パターンは、層間絶縁膜40の主面に設けられたパッド部と、層間絶縁膜40に設けられた貫通孔の側壁を被覆したビア部とを含んでいる。パッド部は、外部接続端子である。ビア部の各々は、第1導体層20が含むランド部又は上部電極32をパッド部へ接続している。
- [0053] 導体層50は、シード層53と銅層54とを含んでいる。シード層53及び銅層54は、層間絶縁膜40上に、この順に積層されている。導体層50は、層間絶縁膜40とシード層53との間に密着層を更に含むことができる。導体層50が含む密着層及びシード層53には、それぞれ、後述する密着層72及びシード層73について例示する材料を使用することができる。シード層53は省略してもよい。
- [0054] 絶縁層60は、層間絶縁膜40を少なくとも部分的に被覆するとともに、導体層50を埋め込んでいる。絶縁層60には、導体層50が含むパッド部の位置に貫通孔が設けられている。絶縁層60は、例えば、ソルダーレジストからなる。

- [0055] 第2導体層70は、ガラス基板10の第2面S2を被覆した部分と、ガラス基板10に設けられた第1貫通孔の側壁を被覆した部分と、第1導体層20に設けられた凹部の内面を被覆した部分とを含んだ導体パターンである。この導体パターンは、ランド部と配線部とビア部とを含んでいる。第2導体層70のうち第2面S2を被覆した部分は、第2配線層であって、ランド部と配線部とを含んでいる。ビア部は、第2導体層70のうち、ガラス基板10に設けられた第1貫通孔の側壁を被覆した部分と、第1導体層20に設けられた凹部の内面を被覆した部分とからなる。
- [0056] 第2導体層70は、多層構造を有している。具体的には、第2導体層70は、図2に示すように、密着層72とシード層73と第2銅層74とを含んでいる。密着層72、シード層73及び第2銅層74は、ガラス基板10上に、この順に積層されている。
- [0057] 密着層72は、ガラス基板10に設けられた第1貫通孔の側壁、第1導体層20に設けられた凹部の内面、及び第2面S2のうち第1貫通孔の第2面S2側の開口を取り囲んだ領域を被覆している。密着層72は、これら面に対してコンフォーマルである。
- [0058] 密着層72は、シード層73のガラス基板10に対する密着性を高める。密着層72は、チタン、クロム及びニッケルからなる群より選ばれる1以上の材料又はその酸化物からなることが好ましく、チタン又はチタン酸化物からなることがより好ましい。密着層72の厚さT1は、10nm乃至0.5 μ mの範囲内にあることが好ましく、20nm乃至0.08 μ mの範囲内にあることがより好ましい。ここで、密着層72の厚さT1は、密着層72のうち第2面S2上に設けられた部分の厚さである。
- [0059] 密着層72の厚さT1とシード層73の厚さT2との合計T1+T2を大きくするうえでは、厚さT1を大きくすることが有利である。但し、厚さT1を大きくすると、第1導体層20と第2導体層70との接続抵抗が大きくなる。
- [0060] シード層73は、密着層72上に設けられている。シード層73は、密着

層 7 2 に対してコンフォーマルである。シード層 7 3 は、電解めっきにおいて給電層としての役割を果たす。シード層 7 3 は、例えば、銅からなる。シード層 7 3 の厚さ T_2 は、 100 nm 乃至 $0.5\ \mu\text{m}$ の範囲内にあることが好ましく、 200 nm 乃至 $0.4\ \mu\text{m}$ の範囲内にあることがより好ましい。ここで、シード層 7 3 の厚さ T_2 は、シード層 7 3 のうち第 2 面 S_2 上に設けられた部分の厚さである。

[0061] 給電層としての役割を考慮した場合、シード層 7 3 は厚いことが好ましい。厚さ T_2 を大きくすると、但し、セミアディティブ法で第 2 導体層 7 0 を形成する場合、連続膜として形成したシード層 7 3 等の不要部を全面エッチングによって除去するのに伴い、第 2 銅層 7 4 の表面領域も除去される。それ故、厚さ T_2 を大きくすると、第 2 導体層 7 0 が含む配線の形状精度や寸法精度が低下する。

[0062] 第 2 銅層 7 4 は、シード層 7 3 上に設けられている。第 2 銅層 7 4 は、シード層 7 3 に対してコンフォーマルである。第 2 銅層 7 4 の厚さは、例えば、 $2\ \mu\text{m}$ 乃至 $10\ \mu\text{m}$ の範囲内にある。

[0063] 密着層 7 2 の厚さ T_1 とシード層 7 3 の厚さ T_2 との合計 $T_1 + T_2$ は、耐弗酸金属層 2 1 の厚さ T_3 と等しいか又はそれよりも大きい。即ち、厚さ T_1 乃至 T_3 は、以下の不等式 (1) に示す関係を満たす。

$$T_3 \leq T_1 + T_2 \quad \dots (1)$$

合計 $T_1 + T_2$ は、厚さ T_3 よりも大きいことが好ましく、厚さ T_3 の 2 倍以上であることがより好ましく、厚さ T_3 の 6 倍以上であることが更に好ましい。厚さ T_2 及び T_3 は、以下の不等式 (1) に示す関係を満たしていてもよい。

$$T_3 \leq T_1 \quad \dots (2)$$

後述するように、厚さ T_1 乃至 T_3 が上記関係を満たしている場合、シード層 7 3 は、第 1 導体層 2 0 に設けられた凹部の底面と第 1 貫通孔の側壁との間で、アンダーカットに起因した不連続部を生じ難い。それ故、第 2 銅層 7 4 を形成するための電解めっきにおいて、第 1 導体層 2 0 に設けられた凹

部内での銅の堆積が不十分になり難い。

[0064] 合計 $T_1 + T_2$ は、厚さ T_3 の 20 倍以下であることが好ましく、厚さ T_3 の 8 倍以下であることがより好ましい。セミアディティブ法で第 2 導体層 70 を形成する場合、連続膜として形成した密着層 72 及びシード層 73 等の不要部を全面エッチングによって除去する。合計 $T_1 + T_2$ を大きくすると、これら不要部の除去に要する時間が長くなる。

[0065] 厚さ T_2 は、厚さ T_1 と厚さ T_3 との合計 $T_1 + T_3$ と等しいか又はそれよりも大きいことが好ましい。即ち、厚さ T_1 乃至 T_3 は、以下の不等式 (3) に示す関係を満たしていることが好ましい。

$$T_1 + T_3 \leq T_2 \quad \dots (3)$$

厚さ T_1 乃至 T_3 が上記の関係を満たしている場合、シード層 73 は、耐弗酸金属層 21 及び密着層 72 と比較してより厚い。このような構成を採用した場合、シード層 73 は、第 2 銅層 74 を形成するための電解めっきの際に、給電層として特に優れた性能を発揮し得る。

[0066] 層間絶縁膜 80 は、第 2 面 S_2 を被覆するとともに、第 2 導体層 70 を埋め込んでいる。層間絶縁膜 80 には、第 2 導体層 70 が含むランド部の位置に、貫通孔が設けられている。一例によれば、層間絶縁膜 40 は、絶縁樹脂層である。

[0067] 導体層 90 は、層間絶縁膜 80 上に設けられた導体パターンである。この導体パターンは、層間絶縁膜 80 の主面に設けられたパッド部と、層間絶縁膜 80 に設けられた貫通孔の側壁を被覆したビア部とを含んでいる。パッド部は、外部接続端子である。ビア部の各々は、第 2 導体層 70 が含むランド部をパッド部へ接続している。

[0068] 導体層 90 は、シード層 93 と銅層 94 とを含んでいる。シード層 93 及び銅層 94 は、層間絶縁膜 80 上に、この順に積層されている。導体層 90 は、層間絶縁膜 80 とシード層 93 との間に密着層を更に含むことができる。導体層 90 が含む密着層及びシード層 93 には、それぞれ、密着層 72 及びシード層 73 について例示した材料を使用することができる。シード層 9

3は省略してもよい。

[0069] 絶縁層100は、層間絶縁膜80を少なくとも部分的に被覆するとともに、導体層90を埋め込んでいる。絶縁層100には、導体層90が含むパッド部の位置に貫通孔が設けられている。絶縁層100は、例えば、ソルダーレジストからなる。

[0070] <1. 2>配線基板の製造方法

上記の配線基板1は、例えば、以下の方法により製造することができる。

図3乃至図11は、図1に示す配線基板の製造方法を示す断面図である。

[0071] <1. 2. 1>第1工程

この方法では、先ず、第1面S1とその裏面である第2面S2とを有しているガラス基板10を準備する。例えば、厚さ500 μ mの無アルカリガラス板の表面から、超音波洗浄などで汚染物を除去して、ガラス基板10を得る。なお、この段階のガラス基板10は、配線基板1が含むガラス基板10と比較してより厚い。また、この段階のガラス基板10は、後述するパッケージ化デバイスが含むガラス基板10と比較して、厚さ方向に対して垂直な方向の寸法がより大きな大判のガラス基板である。

[0072] <1. 2. 2>第2工程

次に、第1面S1から第2面S2へ向けてガラス基板10へレーザ光を照射して、図3に示すように、ガラス基板10に1以上の改質部11を形成する。改質部11は、例えば、レーザ光照射によって加熱されることにより、レーザ光未照射部との間で結晶性等に相違を生じた部分である。改質部11は、第1貫通孔に対応した位置に形成する。改質部11は、第1面S1から第2面S2へ向けて、例えば、ガラス基板10の厚さ方向へ伸びている。レーザ光量は、第1面S1から伸びた改質部11が第2面S2まで到達しないように調整することが望ましい。

[0073] ここで用いるレーザ光の波長は、535nm以下である。レーザ光の好ましい波長は、355nm以上535nm以下である。レーザ光の波長を355nm未満とすると、十分なレーザ出力を得ることが難しく、安定的なレー

ザ改質が難しくなるおそれがある。一方、レーザ光の波長を535nmより大きくすると、照射スポットが大きくなり、小範囲のレーザ改質が難しくなる。また、熱の影響により、マイクロクラックが発生し、ガラス基板10が割れやすくなる。

[0074] パルスレーザを用いる場合、レーザパルス幅はピコ秒からフェムト秒の範囲内にあることが望ましい。レーザパルス幅がナノ秒以上になると、1パルス当たりのエネルギー量の制御が困難となり、マイクロクラックが発生して、ガラス基板10が割れやすくなる。

[0075] レーザパルスのエネルギーは、ガラスの組成や、どのようなレーザ改質を生じさせるかに応じて好ましい値が選択され、5 μ J以上150 μ J以下の範囲内にあることが好ましい。レーザパルスのエネルギーを増加させることで、それに比例するように改質部11の長さを大きくすることが可能となる。

[0076] <1. 2. 3>第3工程

次に、第1面S1上に、第1面S1と向き合った第1銅層24と、第1銅層24とガラス基板10との間に介在した耐弗酸金属層21とを含んだ第1導体層20を、改質部11を覆うように形成する。

[0077] 例えば、先ず、図4に示すように、第1面S1上に、耐弗酸金属層21及びシード層23をこの順に形成する。ここでは、耐弗酸金属層21及びシード層23の各々は、連続膜として形成する。耐弗酸金属層21は、例えば、スパッタリングにより形成する。シード層23は、例えば、スパッタリング又は無電解めっきにより形成する。シード層23を形成するのに先立ち、耐弗酸金属層21上に、図2に示す密着層22を形成してもよい。密着層22は、例えば、スパッタリング又は無電解めっきにより、連続膜として形成する。密着層22を形成すると、耐弗酸金属層21とシード層23との間の密着性が向上する。

[0078] 次に、シード層23上に、絶縁体からなり、第1銅層24に対応した位置で開口したマスクパターンを形成する。マスクパターンは、例えば、シード

層23上にフォトレジスト層を設け、このフォトレジスト層へのパターン露光及び現像を行うことにより形成する。一例によれば、昭和電工マテリアルズ社製のドライフォトレジストであるRD1225をシード層23へラミネートし、このドライフォトレジストへのパターン露光及び現像を順次行うことにより、樹脂からなるマスクパターンを得る。

[0079] 続いて、シード層23を給電層として用いた電解銅めっきを行う。これにより、マスクパターンの開口部の位置でシード層23上に銅を堆積させて、図5に示す第1銅層24を得る。

[0080] その後、マスクパターンを除去する。例えば、ドライフィルムレジストを溶解剥離する。次いで、第1銅層24とガラス基板10とを含んだ複合体の第1銅層24側の面全体を、シード層23の露出部が除去されるまでエッチングする。また、シード層23と耐弗酸金属層21との間に密着層22が存在している場合には、この複合体の第1銅層24側の面全体を、密着層22のうち、シード層23の露出部を除去することによって露出した部分も除去されるまで更にエッチングする。

[0081] 以上のようにして、図5に示す第1導体層20を得る。なお、第1導体層20は、上記の通り、ランド部と配線部と下部電極とを含んでいる。

[0082] <1. 2. 4>第4工程

次に、第1導体層20が含む下部電極上に、誘電体層31及び上部電極32をこの順に形成して、図5に示すコンデンサ30を得る。上部電極32は、例えば、第1導体層20が含むシード層23及び第1銅層24について上述したのと同様の方法により形成することができる。そのような上部電極32は、シード層と銅層とを含んだ多層構造を有している。

[0083] <1. 2. 5>第5工程

次に、コンデンサ30とガラス基板10とを含んだ複合体のコンデンサ30側の面に、絶縁樹脂層を設ける。一例によれば、味の素ファインテクノ社製の絶縁樹脂フィルムであるABF-GXT31(32.5 μ m厚)を上記の面へラミネートし、これをプリキュアする。次いで、レーザ加工によって

絶縁樹脂層にブラインドビアを形成する。その後、デスミア処理を実施して、レーザ加工によって発生した残渣を除去する。以上のようにして、図6に示す層間絶縁膜40を得る。

[0084] 次いで、スパッタリング又は無電解めっきにより、シード層53を形成する。ここでは、シード層53は、層間絶縁膜40の上面、これに設けられた貫通孔の側壁、及び、第1導体層20及び上部電極32のうちこれら貫通孔の位置で露出した部分を被覆するように形成する。

[0085] 次に、シード層53上に、絶縁体からなり、銅層54に対応した位置で開口したマスクパターンを形成する。マスクパターンは、例えば、シード層53上にフォトリソレジスト層を設け、このフォトリソレジスト層へのパターン露光及び現像を行うことにより形成する。一例によれば、昭和電工マテリアルズ社製のドライフィルムレジストであるRD1225をシード層53へラミネートし、このドライフィルムレジストへのパターン露光及び現像を順次行うことにより、樹脂からなるマスクパターンを得る。

[0086] 続いて、シード層53を給電層として用いた電解銅めっきを行う。これにより、マスクパターンの開口部の位置でシード層53上に銅を堆積させて、図6に示す銅層54を得る。

[0087] その後、マスクパターンを除去する。例えば、ドライフィルムレジストを溶解剥離する。次いで、銅層54とガラス基板10とを含んだ複合体の銅層54側の面全体を、シード層53の露出部が除去されるまでエッチングする。以上のようにして、導体層50を得る。

[0088] 次いで、層間絶縁膜40上に、図6に示す絶縁層60を設ける。例えば、層間絶縁膜40上にソルダーレジストを設け、フォトリソグラフィ法などを用いてこれをパターンニングする。以上のようにして、図6の構造を得る。

[0089] <1. 2. 6>第6工程

次に、図7に示すように、ガラス基板10と絶縁層60とを含んだ複合体を、第2支持体141に、絶縁層60が第2支持体141と向き合うように支持させる。ここでは、仮貼り用の接着剤142を介して、第2支持体14

1を上記複合体へ貼り合わせる。第2支持体141は、次工程でのガラス基板10の薄板化に伴うその破損を生じ難くし、ガラス基板10を含んだ複合体の取り扱いを容易にする。

[0090] 接着剤142としては、例えば、日東電工社製のリバアルファ（登録商標）を使用する。第2支持体141としては、例えば、薄板状のガラスキャリアを使用する。第2支持体141は、ガラス製ではなくてもよく、金属製や樹脂製などでもよい。

[0091] 第2支持体141の厚さは、ガラス基板10の薄板化後の搬送性を鑑み、0.7mm以上10mm以下の範囲内にあることが望ましい。第2支持体141の厚さは、ガラス基板10の厚さに応じて適宜設定して構わない。

[0092] <1.2.7>第7工程

次に、第2支持体141に支持させた上記複合体の第2面S2を、弗化水素を含んだエッチング液でエッチングして、図8に示すように、第2面S2を後退させるとともに、改質部11の位置に第1貫通孔12をそれぞれ形成する。第2面S2をエッチングすると、ガラス基板10は薄くなり、改質部11が露出する。ガラス基板10のうち、改質部11は、他の部分と比較して、エッチングレートが高い。従って、このエッチングによって、ガラス基板10の薄板化と第1貫通孔12の形成とを同時に達成できる。

[0093] なお、このエッチングにおいて、耐弗酸金属層21は、エッチングストップ膜としての役割を果たす。また、上記のエッチングによって得られる第1貫通孔12は、図8では、第2面S2側の径（又は断面積）が第1面S1側の径（又は断面積）よりも大きい円錐台形状を有している。

[0094] ガラス基板10のエッチング量は、配線基板1の厚さに応じて適宜設定して構わない。例えば、エッチング前のガラス基板10の厚さが400 μ mである場合、そのエッチング量は100 μ m以上350 μ m以下の範囲内とすることが望ましい。薄板化後のガラス基板10の厚さは、50 μ m以上300 μ m以下の範囲内とすることが好ましい。

[0095] 弗化水素を含んだエッチング液は、例えば、弗化水素水溶液である。エッ

チング液は、硝酸、塩酸及び硫酸からなる群から選ばれる１種以上の無機酸を更に含むことができる。

[0096] エッチング液の弗化水素濃度は、例えば１．０質量％以上６．０質量％以下の範囲内にあり、好ましくは２．０質量％以上５．０質量％以下の範囲内にある。無機酸濃度は、例えば１．０質量％以上２０．０質量％以下の範囲内にあり、好ましくは３．０質量％以上１６．０質量％以下の範囲内にある。各成分の濃度を上記範囲内に設定したエッチング液を使用して、 $1.0\mu\text{m}/\text{min}$ 以下のエッチングレートでエッチングを行うことが望ましい。エッチングの際のエッチング液の温度は、 10°C 以上 40°C 以下の範囲内とすることが望ましい。

[0097] < 1. 2. 8 > 第８工程

次に、耐弗酸金属層２１のうち第１貫通孔１２内で露出した部分をウェットエッチングに供して、図９に示すように、第１導体層２０のガラス基板１０側の面に凹部を形成する。ここでは、耐弗酸金属層２１への上記ウェットエッチングは、耐弗酸金属層２１に第２貫通孔が形成されるように行う。

[0098] このウェットエッチングに使用するエッチング液は、耐弗酸金属層２１の露出部を除去できるものであれば、どのようなものを用いてもよい。このエッチング液としては、クロムエッチング液が好適に用いられる。

[0099] 一例によれば、上記のエッチング液として、フェリシアン化カリウム及び水酸化カリウムを含有した日本化学産業社製のアルカリ性クロムエッチング溶液を用いる。そして、このエッチング液を使用して、温度 40°C で１．５分に亘るウェットエッチングを行う。このようなウェットエッチングによると、耐弗酸金属層２１以外の部材、例えば、ガラス基板１０、第１銅層２４及び層間絶縁膜４０へダメージを与えることなく、耐弗酸金属層２１の露出部のみを除去することができる。

[0100] ここで、上記の通り、第１貫通孔１２は、第２面Ｓ２側の径（又は断面積）が第１面Ｓ１側の径（又は断面積）よりも大きい円錐台形状を有している。このような形状は、第１貫通孔１２の内部と外部との間でのエッチング液

の循環を促進し、効率的なエッチングを可能にする。

[0101] このウェットエッチングに先立って、例えば、 CF_4 ガス、酸素ガス、アルゴンガス、又は水素ガスを用いたプラズマ処理や超音波洗浄を実施して、耐弗酸金属層21の露出部のエッチング液に対する濡れ性を向上させておくことが好ましい。プラズマ処理と超音波洗浄との双方を実施することがより好ましい。この場合、濡れ性向上効果は更に高まる。

[0102] <1. 2. 9>第9工程

その後、図2に示す密着層72を形成する。ここでは、密着層72は、第1貫通孔12の側壁、第1導体層20に形成した凹部の内面、及び第2面S2を被覆した連続膜として形成する。密着層72は、例えば、スパッタリング又は無電解めっきにより、連続膜として形成する。後述するアンダーカット部へ金属を堆積させるうえでは、密着層72は無電解めっきにより形成することが好ましい。

[0103] 次いで、密着層72上に、図10に示すシード層73を形成する。シード層73は、例えば、スパッタリング又は無電解めっきにより、連続膜として形成する。アンダーカット部へ金属を堆積させるうえでは、シード層73は無電解めっきにより形成することが好ましい。

[0104] 密着層72及びシード層73は、密着層72の厚さT1とシード層73の厚さT2と耐弗酸金属層の厚さT3とが、上述した関係を満たすように形成する。

[0105] <1. 2. 10>第10工程

次に、図10に示すように、シード層73上に第2銅層74を形成する。

例えば、先ず、シード層73上に、絶縁体からなり、第2銅層74に対応した位置で開口したマスクパターンを形成する。マスクパターンは、例えば、シード層73上にフォトレジスト層を設け、このフォトレジスト層へのパターン露光及び現像を行うことにより形成する。一例によれば、昭和電工マテリアルズ社製のドライフォトレジストであるRD1225をシード層73へラミネートし、このドライフォトレジストへのパターン露光及び現像を順

次行うことにより、樹脂からなるマスクパターンを得る。

[0106] 続いて、シード層 73 を給電層として用いた電解銅めっきを行う。これにより、マスクパターンの開口部の位置でシード層 73 上に銅を堆積させて、図 10 に示す第 2 銅層 74 を得る。

[0107] その後、マスクパターンを除去する。例えば、ドライフィルムレジストを溶解剥離する。次いで、第 2 銅層 74 とガラス基板 10 とを含んだ複合体の第 2 銅層 74 側の面全体をエッチングして、シード層 73 の露出部を除去する。続いて、上記複合体の第 2 銅層 74 側の面全体を、密着層 72 のうち、シード層 73 の露出部を除去することによって露出した部分が除去されるまで更にエッチングする。

[0108] 以上のようにして、図 10 に示す第 2 導体層 70 を得る。なお、第 2 導体層 70 は、上記の通り、ランド部と配線部とを含んでいる。

[0109] <1. 2. 11>第 11 工程

次いで、第 2 導体層 70 及びガラス基板 10 を含んだ複合体の第 2 導体層 70 側の面に対して、第 5 工程と同様の処理を実施して、図 11 に示す、層間絶縁膜 80、導体層 90 及び絶縁層 100 を設ける。

[0110] <1. 2. 12>第 12 工程

その後、ガラス基板 10、第 1 導体層 20 及び第 2 導体層 70 等を含んだ複合体から、第 2 支持体 141 と接着剤 142 とを除去する。以上のようにして、図 1 に示す配線基板 1 を得る。

[0111] <1. 3>パッケージ化デバイス

上記の配線基板 1 は、パッケージ化デバイスの製造に使用することができる。

図 12 は、図 1 に示す配線基板を使用して製造可能なパッケージ化デバイスの一例を示す断面図である。図 12 に示すパッケージ化デバイスは、例えば、LC フィルタを搭載した高周波デバイスである。図 12 に示すパッケージ化デバイスは、配線基板 1 と、機能デバイス 2 と、チップ部品 3 と、接合用導体 4 及び 5 とを含んでいる。

- [0112] 配線基板 1 は、図 1 等を参照しながら説明した配線基板を個片化したものである。配線基板 1 は、接合用導体 4 及び 5 の少なくとも一方を更に含むことができる。
- [0113] 接合用導体 4 及び 5 は、ここでは、はんだボールである。接合用導体 4 は、導体層 50 が含むパッド部上に設けられている。接合用導体 4 は、機能デバイス 2 を配線基板 1 へ接合している。接合用導体 5 は、導体層 90 が含むパッド部上に設けられている。接合用導体 5 は、パッケージ化デバイスを、他の配線基板、例えばマザーボードへ接合することを可能とする。
- [0114] 機能デバイス 2 は、上記の通り、電力及び電気信号の少なくとも一方が供給されることにより動作するデバイス、外部からの刺激により電力及び電気信号の少なくとも一方を出力するデバイス、又は、電力及び電気信号の少なくとも一方が供給されることにより動作し且つ外部からの刺激により電力及び電気信号の少なくとも一方を出力するデバイスである。機能デバイス 2 は、例えば、半導体チップや、ガラス基板などの半導体以外の材料からなる基板上に回路や素子が形成されたチップのように、チップの形態にある。機能デバイス 2 は、例えば、LSI、メモリ、撮像素子、発光素子、及びMEMSの1以上を含むことができる。MEMSは、例えば、圧力センサ、加速度センサ、ジャイロセンサ、傾斜センサ、マイクロフォン、及び音響センサの1以上である。一例によれば、機能デバイスは、LSIを含んだ半導体チップである。
- [0115] 機能デバイス 2 は、配線基板 1 へ実装されている。ここでは、機能デバイス 2 は、フリップチップボンディングによって、配線基板 1 へ実装されている。機能デバイス 2 は、他の表面実装技術によって、配線基板 1 へ実装されていてもよい。パッケージ化デバイスは、2以上の機能デバイス2を含んでいてもよい。
- [0116] チップ部品 3 は、チップ抵抗、チップコンデンサ及びチップインダクタなどの、表面実装が可能な受動部品である。チップ部品 3 は、配線基板 1 へ実装されている。ここでは、チップ部品 3 は、ダイボンディング及びワイヤボ

ンディングによって、配線基板 1 へ実装されている。チップ部品 3 は、他の表面実装技術によって、配線基板 1 へ実装されていてもよい。パッケージ化デバイスは、2 以上のチップ部品 3 を含んでいてもよい。チップ部品 3 は、省略してもよい。ここでは、一例として、チップ部品 3 は、チップインダクタであり、コンデンサ 30 とともに LC フィルタを構成していることとする。

[0117] <1. 4>効果

上述した技術は、例えば、以下に記載する効果を奏する。

[0118] <1. 4. 1>ハンドリング性

上述した製造方法によると、ガラス基板 10 の破損を生じ難く、優れたハンドリング性を実現し得る。これについて、以下に説明する。

[0119] ガラス基板に貫通孔を形成すると、その機械的強度が低下する可能性がある。また、厚さが小さなガラス基板、例えば、厚さが 300 μm 以下であるガラス基板は、回路など導電部を形成するための搬送時などに割れを生じ易く、取扱いが困難である。

[0120] 上述した方法では、第 1 面 S1 へ第 1 導体層 20 等を形成する際には、ガラス基板 10 は相対的に厚いため、その破損は生じ難い。また、ガラス基板 10 と第 1 導体層 20 とを含んだ複合体は、ガラス基板 10 の薄板化及び第 1 貫通孔 12 の形成を行った後でも、高い強度を有している。それ故、その後の工程においても、ガラス基板 10 の破損は生じ難い。そして、第 2 支持体 141 は、ガラス基板 10 の破損を更に生じ難くする。また、第 2 支持体 141 を取り除く前に第 2 導体層 70 等を形成することにより、複合体の強度は高められているので、この複合体から第 2 支持体 141 を取り除いた後であっても、ガラス基板 10 の破損は生じ難い。従って、上述した製造方法によると、ガラス基板 10 の破損を生じ難く、その取扱いが容易である。

[0121] <1. 4. 2>生産性

また、上述した製造方法によると、以下に説明するように、高い生産性を達成可能である。

[0122] TSV技術においては、ドライエッチングを応用したBoschプロセスなどの手法が、シリコン基板に貫通孔を形成する方法として確立されている。しかしながら、ドライエッチングによるガラス基板への貫通孔の形成は、長時間を要し、実用的であるとは言い難い。

[0123] 上述した製造方法では、ガラス基板10を薄板化するためのウェットエッチングによって、第1貫通孔12の形成も行う。そして、第1貫通孔12は、レーザ光照射で生じさせた改質部11の位置に形成する。ガラス基板10のうち、改質部11は、他の部分と比較して高いエッチングレートでエッチングすることができる。従って、上述した製造方法によると、高い生産性を達成可能である。

[0124] <1.4.3>電気特性

更に、上述した方法により得られる配線基板1は、ガラス基板10上に設けられた配線層と、このガラス基板に設けられたTGVとの接続部の電気特性に優れている。

[0125] 図13は、比較例に係る配線基板の一部を示す断面図である。

図1乃至図11を参照しながら説明した方法では、第7工程において、弗化水素を含んだエッチング液を使用したエッチングを行うことにより、ガラス基板10に第1貫通孔12を形成する。このエッチング直後の構造は、図13に示すように、第1貫通孔12内であって、耐弗酸金属層21上に、ガラス基板10のエッチング残渣10ER（ガラス残渣ともいう）を有している可能性がある。図13に示すように、エッチング残渣10ERを除去することなしに第2導体層70を形成した場合、エッチング残渣10ERは、第1導体層20と第2導体層70との電氣的接続を阻害する。

[0126] 上記の方法では、第7工程に続く第8工程において、耐弗酸金属層21のうち第1貫通孔12の位置で露出した部分を、ウェットエッチングによって除去する。ウェットエッチングは等方性エッチングであるため、このエッチングを行うと、耐弗酸金属層21のうちエッチング残渣10ERの真下に位置した部分も、サイドエッチングによって除去される。それ故、このエッチ

ングを行うとエッチング残渣 10ER も除去される。また、一般に、耐弗酸金属層 21 の材料は、銅などと比較して、電気抵抗率がより大きい。それ故、耐弗酸金属層 21 のうち第 1 貫通孔 12 の位置で露出した部分を除去すると、第 1 導体層 20 と第 2 導体層 70 との接続抵抗を小さくすることができる。

[0127] 更に、上記の方法では、耐弗酸金属層 21 のうち第 1 貫通孔 12 の位置で露出した部分は、等方性エッチングであるウェットエッチングによって除去する。それ故、図 2 に示すように、耐弗酸金属層 21 は、第 1 貫通孔 12 の第 1 面 S1 側の開口に対応した部分のみが除去される訳でなく、サイドエッチングにより上記開口の周囲の部分も除去される。即ち、耐弗酸金属層 21 にはアンダーカット部を生じる。このアンダーカット部は、第 1 導体層 20 と第 2 導体層 70 との接触面積を増大させる。

[0128] 従って、上述した方法により得られる配線基板 1 は、ガラス基板 10 上に設けられた配線層と、このガラス基板に設けられた TGV との接続部の電気特性に優れている。

[0129] < 1. 4. 4 > 接続信頼性

また、上述した方法により得られる配線基板 1 は、ガラス基板 10 上に設けられた配線層と、このガラス基板に設けられた TGV との間の接続信頼性に優れている。

[0130] 図 13 に示すエッチング残渣 10ER は、耐弗酸金属層 21 と第 2 導体層 70 との密着性を低下させ、それ故、第 1 導体層 20 と第 2 導体層 70 との接続信頼性を低下させ得る。上記の方法では、第 7 工程に続く第 8 工程において、耐弗酸金属層 21 のうち第 1 貫通孔 12 の位置で露出した部分を、ウェットエッチングによって除去する。耐弗酸金属層 21 のうち第 1 貫通孔 12 の位置で露出した部分を除去すると、この部分の上に位置したエッチング残渣 10ER も除去される。

[0131] また、上記の配線基板 1 では、第 1 導体層 20 と第 2 導体層 70 との接続部に応力が集中する。それ故、接続信頼性には、この接続部での断線が大き

な影響を及ぼす。

[0132] この配線基板 1 では、耐弗酸金属層 2 1 がアンダーカット部を有しており、第 2 導体層 7 0 はアンダーカット部を少なくとも部分的に埋め込んでいる。第 2 導体層 7 0 のうちアンダーカット部を埋め込んだ部分は、シード層 7 3 と第 2 銅層 7 4 との複合層のうち第 1 貫通孔 1 2 内に位置した部分に、これを第 1 導体層 2 0 から引き離す方向の力が加えられた場合に、第 1 貫通孔 1 2 内に位置した上記部分の移動を生じ難くする。

[0133] 従って、上述した方法により得られる配線基板 1 は、ガラス基板 1 0 上に設けられた配線層と、このガラス基板に設けられた T G V との間の接続信頼性に優れている。

[0134] < 1. 4. 5 > 歩留まり

更に、上述した方法によると、ガラス基板 1 0 上に設けられた配線層と、このガラス基板に設けられた T G V との間での断線を生じ難くすることができ、それ故、高い歩留まりを達成することができる。これについて、以下に説明する。

[0135] 上記の通り、第 8 工程において行うウェットエッチングにより、図 2 に示すように、耐弗酸金属層 2 1 にアンダーカット部を生じる。密着層 7 2 及びシード層 7 3 を形成する第 9 工程において、アンダーカット部には、第 1 貫通孔 1 2 の側壁や、第 1 導体層 2 0 に形成した凹部の底面のうち第 1 貫通孔 1 2 の第 1 面 S 1 側の開口に対応した領域と比較して、密着層 7 2 の材料及びシード層 7 3 の材料は堆積し難い。それ故、密着層 7 2 の厚さ T 1 とシード層 7 3 の厚さ T 2 との合計 T 1 + T 2 が、耐弗酸金属層 2 1 の厚さ T 3 と比較してより小さい場合、アンダーカット部の近傍に不連続部を有するシード層 7 3 が形成される可能性がある。例えば、第 1 貫通孔 1 2 の第 1 面 S 1 側の開口を取り囲んだ環状の不連続部を有するシード層 7 3 が形成される可能性がある。

[0136] そのような不連続部をシード層 7 3 が有している場合、第 1 0 工程において行う電解銅めっきにおいて、シード層 7 3 のうち、その環状の不連続部に

よって囲まれた部分へ給電することができない。その結果、第1導体層20に形成した凹部の位置で、第2銅層74とシード層73のうち環状不連続部によって囲まれた部分との間にボイドを生じ得る。即ち、ガラス基板10上に設けられた配線層と、このガラス基板に設けられたTGVとの間での断線を生じる。

[0137] 図1乃至図11を参照しながら説明した方法では、密着層72の厚さT1とシード層73の厚さT2との合計 $T1 + T2$ を、耐弗酸金属層21の厚さT3と等しくするか又はこれよりも大きくする。この関係を満たすように密着層72及びシード層73を形成すると、シード層73に上記の不連続部が生じるのを確実に防止することができる。それ故、上記のボイドの発生を防止できる。従って、ガラス基板10上に設けられた配線層と、このガラス基板に設けられたTGVとの間での断線を生じ難くすることができ、高い歩留まりを達成することができる。

[0138] また、この方法では、厚さT1は、好ましくは、厚さT3と等しくするか又はそれよりも大きくする。この関係を満たすように密着層72を形成すると、シード層73に上記の不連続部が生じるのを更に確実に防止することができる。

[0139] また、この方法では、厚さT2は、好ましくは、厚さT1と厚さT3との合計 $T1 + T3$ と等しいか又はそれよりも大きくする。第2銅層74を形成するための電解めっきの際に、シード層73のうち第1貫通孔12内に位置した部分への給電が不十分であると、第1貫通孔12内での銅の堆積が不十分になり、これに起因して、ガラス基板10上に設けられた配線層と、このガラス基板に設けられたTGVとの間での断線を生じる可能性がある。上記の関係を満たすように密着層72及びシード層73を形成すると、給電不足に起因した上記の断線を生じ難くすることができる。

[0140] <1.5>変形例

上述した配線基板1及びパッケージ化デバイスには、様々な変形が可能である。

[0141] <1. 5. 1>第1貫通孔

図14は、第1変形例に係る配線基板のガラス基板に設けられた貫通孔を示す断面図である。図15は、第2変形例に係る配線基板のガラス基板に設けられた貫通孔を示す断面図である。第1及び第2変形例に係る配線基板は、第1貫通孔12に図14及び図15の構造をそれぞれ採用したこと以外は、上記の配線基板1と同様である。

[0142] 上述した配線基板1において、ガラス基板10に設けられた第1貫通孔12は、第2面S2から第1面S1へ向けて先細りしている。即ち、第1貫通孔12は順テーパ状である。第1貫通孔12は、図14及び図15に示すように、第2面S2から第1面S1へ向けて先細りした順テーパ状部と、第1面S1から第2面S2へ向けて先細りした逆テーパ状部とを含んでいてもよい。

[0143] ここでは、順テーパ状部は、第2面S2から第1面S1へ向けて伸びるとともに、第2面S2から第1面S1へ向けて縮径している。また、逆テーパ状部は、第1面S1から第2面S2へ向けて伸びるとともに、第1面S1から第2面S2へ向けて拡径している。

[0144] 図14の構造では、第1貫通孔12が径の極小値を有する位置は、第1面S1からの距離が、ガラス基板10の厚さTの0.4倍乃至0.6倍の範囲内にある。図15の構造では、第1貫通孔12が径の極小値を有する位置は、第1面S1からの距離が、ガラス基板10の厚さTの0.2倍以下である。

[0145] 図14及び図15に示す構造では、第1貫通孔12が径の極小値を有する位置（又は、第1面S1に対して平行な断面の面積が極小値を有する位置）は、第1面S1から離間している。それ故、第1貫通孔12に図14又は図15の構造を採用した場合、図2の構造を採用した場合と比較して、第1導体層20と第2導体層70との接続部に加わる応力を小さくすることができ、従って、ガラス基板10上に設けられた配線層と、このガラス基板に設けられたTGVとの間の接続信頼性を更に向上させることができる。

[0146] <1. 5. 2>インダクタ

上記のパッケージ化デバイスは、インダクタをチップ部品3として含んでいる。上記の通り、インダクタとコンデンサ30とを組み合わせ、LCフィルタを構成することができる。

[0147] インダクタは、配線基板1に内蔵させてもよい。インダクタを配線基板1に内蔵させた場合、例えば、配線長の短縮、これに伴う電気特性及び伝送特性の向上、又は、パッケージ化デバイスの小型化若しくは低背化が可能である。

[0148] 配線基板1に内蔵させるインダクタは、例えば、スパイラルコイルである。配線基板1は、第1導体層20の一部をスパイラルコイルとして含んでいてもよく、第2導体層70の一部をスパイラルコイルとして含んでいてもよい。或いは、配線基板1は、第1導体層20の一部をスパイラルコイルとして含み、第2導体層70の一部を他のスパイラルコイルとして含んでいてもよい。

[0149] 配線基板1は、インダクタとして、以下に説明するソレノイドコイルを内蔵していてもよい。

[0150] 図16は、第3変形例に係る配線基板の一部を示す斜視図である。図16には、配線基板1が内蔵し得るインダクタの一例として、ソレノイドコイル110を描いている。第3変形例に係る配線基板は、ソレノイドコイル110を含んでいること以外は、上記の配線基板1と同様である。

[0151] ソレノイドコイル110は、第1導体層20の一部と第2導体層70の一部とによって構成されている。具体的には、ソレノイドコイル110は、第1導体路20Aと、第2導体路70Aと、第3導体路70Bとを含んでいる。

[0152] 第1導体路20Aの各々は、第1導体層20の一部である。第1導体路20Aは、第1面S1に対して平行な第1方向へ伸びた形状を有し、第1面S1に対して平行であり且つ第1方向に対して交差する第2方向へ一定のピッチで配列している。各第1導体路20Aは、第1端と第2端とを有している。

。ガラス基板 10 には、第 1 端の位置と第 2 端の位置とに、第 1 貫通孔 12 が設けられている。

[0153] 第 2 導体路 70A の各々は、第 2 導体層 70 のうち、第 2 面 S2 上に位置した部分の一部である。第 2 導体路 70A は、第 2 面 S2 に対して平行であり且つ第 1 及び第 2 方向に対して交差する第 3 方向へ伸びた形状を有し、第 2 方向へ一定のピッチで配列している。各第 2 導体路 70A は、或る第 1 導体路 20A の第 1 端と向き合った第 3 端と、先の第 1 導体路 20A と隣り合った第 1 導体路 20A の第 2 端と向き合った第 3 端とを有している。

[0154] 第 3 導体路 70B の各々は、第 2 導体層 70 のうち、第 1 貫通孔 12 内に位置した部分の一部である。第 3 導体路 70B は、各第 2 導体路 70A の第 3 端及び第 4 端を、それぞれ、或る第 1 導体路 20A の第 1 端と、これと隣り合った第 1 導体路 20A の第 2 端とへ接続している。

[0155] ソレノイドコイル 110 は、第 1 導体路 20A、第 3 導体路 70B、第 2 導体路 70A 及び第 3 導体路 70B をこの順に各々が含んだ複数のセグメントを直列に連ねた構造を有している。また、ソレノイドコイル 110 の螺旋軸は、上記の第 2 方向に対して平行である。ソレノイドコイル 110 は、コンデンサ 30 と組み合わせて、LC フィルタを構成し得る。

[0156] 上記の通り、図 13 を参照しながら説明した構造では、第 1 導体層 20 と第 2 導体層 70 との接続抵抗が大きい。それ故、第 1 導体路 20A と第 3 導体路 70B との接続部が図 13 を参照しながら説明した構造を有している場合、第 1 導体路 20A と第 3 導体路 70B との接続抵抗が大きい。従って、この場合、電気特性及び伝送特性、特に高周波帯域における伝送特性に優れた LC フィルタを実現することは難しい。

[0157] これに対し、上述したソレノイドコイル 110 では、第 1 導体路 20A と第 3 導体路 70B との接続部は、図 2 を参照しながら説明した構造を有している。図 2 の構造では、第 1 導体層 20 と第 2 導体層 70 との接続抵抗が小さい。それ故、ソレノイドコイル 110 では、第 1 導体路 20A と第 3 導体路 70B との接続抵抗が小さい。従って、このソレノイドコイル 110 は、

コンデンサ30と組み合わせた場合に、電気特性及び伝送特性に優れたLCフィルタを実現し得る。

[0158] ソレノイドコイル110は、第1導体層20の一部と第2導体層70の一部とによって構成されている。同様の構造を有するソレノイドコイルは、第1導体層20の一部と導体層50の一部とによって構成することができ、第2導体層70の一部と導体層90の一部とによって構成することもできる。

[0159] <1. 5. 3>厚さT1乃至T3

図17は、第4変形例に係る配線基板の一部を示す断面図である。第4変形例に係る配線基板は、厚さT1乃至T3が後述する関係を満たしていること以外は、上記の配線基板1と同様である。

[0160] 図1乃至図11を参照しながら説明した方法では、第10工程において、第2銅層74を形成し、次いで、これとガラス基板10とを含んだ複合体の第2銅層74側の面全体をエッチングして、シード層73の露出部を除去する。このエッチングを行うと、第2銅層74の表面領域も除去される。その結果、第2銅層74のうち配線を構成する部分の厚さだけでなく、この部分の幅も減少する。それ故、第2銅層74を厚く形成すると、第2導体層70が含む配線の形状及び寸法精度が低下する。

[0161] 図2の構造では、密着層72の厚さT1は、耐弗酸金属層21の厚さT3と比較してより小さい。それ故、シード層73は、密着層72の厚さT1とシード層73の厚さT2との合計T1+T2が厚さT3以上になるように厚く形成する必要がある。

[0162] これに対し、図17の構造では、厚さT1は、耐弗酸金属層21の厚さT3と比較してより大きい。密着層72の厚さT1を、耐弗酸金属層21の厚さT3と等しくするか又はこれよりも大きくすると、シード層73の厚さT2を大きくすることなしに、密着層72の厚さT1とシード層73の厚さT2との合計T1+T2を、耐弗酸金属層21の厚さT3と等しくするか又はそれよりも大きくすることができる。即ち、第2導体層70が含む配線の形状及び寸法精度が低下を抑制でき、それ故、これらに起因した電気特性の低

下を抑制することができる。

[0163] <1. 5. 4>銅層

図18は、第5変形例に係る配線基板の一部を示す断面図である。第5変形例に係る配線基板は、第2銅層74に後述する構造を採用したこと以外は、上記の配線基板1と同様である。

[0164] 図2の構造では、第1貫通孔12の位置で、第2銅層74はシード層73に対してコンフォーマルである。これに対し、図18の構造では、側壁に密着層72及びシード層73が形成された第1貫通孔12の全体を、第2銅層74が埋め込んでいる。即ち、前者の構造はコンフォーマル形態であり、後者の構造はフィールド形態である。

[0165] 各ビアにおいて銅層には、コンフォーマル形態及びフィールド形態の何れを採用しても構わない。但し、フィールド形態を採用した場合、コンフォーマル形態を採用した場合と比較して、ガラス基板10上に設けられた配線層と、このガラス基板に設けられたTGVとの接続部の電気特性や伝送特性を向上させることができる。

[0166] <1. 5. 5>耐弗酸金属層

図19は、第6変形例に係る配線基板の一部を示す断面図である。第6変形例に係る配線基板は、第1導体層20に以下の構造を採用したこと以外は、上記の配線基板1と同様である。

[0167] 図2の構造では、第1貫通孔12の位置で耐弗酸金属層21に第2貫通孔を形成することにより、第1貫通孔12の位置で第1導体層20に凹部を形成している。これに対し、図19の構造では、耐弗酸金属層21は、第1貫通孔12の位置に凹部を有している。この凹部が、第1導体層20の凹部を構成している。

[0168] 図13を参照しながら説明したエッチング残渣10ERを除去できれば、第1貫通孔12の位置における耐弗酸金属層21のエッチングは、耐弗酸金属層21に貫通孔を生じる前に終了してもよい。図19の構造を採用した場合、エッチング残渣10ERを確実に除去するには、耐弗酸金属層21に設

ける凹部の平均深さDは、耐弗酸金属層21のうち凹部を設けない部分の厚さT3の50%以上とすることが好ましい。ここで、耐弗酸金属層21に設ける凹部の平均深さDは、第1貫通孔12の中点を通る位置で切断した際の断面を電子顕微鏡で観察した時の、第1貫通孔12の両側の第1面S1の端部を線で結び、その直上に位置する耐弗酸金属層21の凹部との距離を凹部の深さとし、第1貫通孔12の両側の第1面S1の端部間において、測定間隔を均等にして、最低10点測定した値の平均によって得られる値である。

[0169] また、耐弗酸金属層21のうち第1貫通孔12に対応した部分を完全には除去しない場合、耐弗酸金属層21のうち第1貫通孔12の位置に残留した部分は、上記の電気特性や伝送特性を低下させ得る。電気特性や伝送特性の観点では、平均深さDは厚さT3の70%以上とすることが好ましい。耐弗酸金属層21に貫通孔を生じる前にエッチングを終了した場合、エッチングに要する時間を短縮することができる。この効果を考慮した場合、平均深さDは厚さT3の90%以下とすることが好ましい。

[0170] <1.5.6>他の変形例

上記の配線基板1及びパッケージ化デバイスには、更に他の変形も可能である。

例えば、図1の配線基板1は、第1面S1上に、層間絶縁膜40と導体層50との積層体を1つのみ含んでいる。第1面S1上には、この積層体を2以上積層してもよい。或いは、この積層体は、省略してもよい。

[0171] 同様に、図1の配線基板1は、第2面S2上に、層間絶縁膜80と導体層90との積層体を1つのみ含んでいる。第2面S2上には、この積層体を2以上積層してもよい。或いは、この積層体は、省略してもよい。

[0172] <2>第2実施形態

本発明の第2実施形態は、配線基板を以下の方法により製造すること以外は、第1実施形態と同様である。

[0173] <2.1>配線基板の製造方法

図20は、本発明の第2実施形態に係る配線基板の製造方法における一工

程を示す断面図である。図21は、本発明の第2実施形態に係る配線基板の製造方法における他の工程を示す断面図である。

[0174] 第2実施形態に係る製造方法は、以下に説明するように、第1及び第2工程の代わりに第13及び第14工程を実施し、第6工程と第7工程との間に第15工程を実施すること以外は、図1乃至図11を参照しながら説明した製造方法と同様である。

[0175] <2.1.1>第13工程

この方法では、先ず、第1面S1とその裏面である第2面S2とを有しているガラス基板10を準備する。ガラス基板10は、第1工程で使用するものよりも厚さが小さいものであることが好ましい。例えば、厚さ130 μ mの無アルカリガラス板の表面から、超音波洗浄などで汚染物を除去して、ガラス基板10を得る。なお、この段階のガラス基板10は、パッケージ化デバイスが含むガラス基板10と比較して、厚さ方向に垂直な方向の寸法がより大きな大判のガラス基板である。

[0176] 次に、図20に示すように、第2面S2に、仮貼り用の接着剤152を介して第1支持体151を貼り合わせる。第1支持体151としては、例えば、薄板状のガラスキャリアを使用する。第1支持体151は、ガラス製ではなくてもよく、金属製や樹脂製などでもよい。第1支持体151の厚さは、ガラス基板10の搬送性を鑑み、0.7mm以上10mm以下の範囲内にあることが望ましい。第1支持体151の厚さは、ガラス基板10の厚さに応じて適宜設定して構わない。

[0177] <2.1.2>第14工程

次に、第1面S1から第2面S2へ向けてガラス基板10へレーザー光を照射して、図20に示すように、ガラス基板10に1以上の改質部11を形成する。改質部11は、第1貫通孔に対応した位置に形成する。改質部11は、第1面S1から第2面S2へ向けて、例えば、ガラス基板10の厚さ方向へ伸びている。レーザー光量は、第1面S1から伸びた改質部11が第2面S2まで到達するが、第1支持体151の第2面S2と向き合った面の裏面ま

では到達しないように調整することが望ましい。

[0178] <2. 1. 3>第3乃至第6工程

次いで、第1支持体151に支持させたガラス基板10に対して、第3乃至第6工程を順次実施する。これにより、図21に示す構造を得る。

[0179] <2. 1. 4>第15工程

その後、ガラス基板10、第1導体層20及び第2支持体141等を含んだ複合体から、第1支持体151と接着剤152とを除去する。

[0180] <2. 1. 5>第7乃至第12工程

更に、ガラス基板10及び第1導体層20等を含んだ複合体に対して、第7乃至第12工程を順次実施する。これにより、図1に示す配線基板1を得る。

[0181] <2. 2>効果

第2実施形態は、第1実施形態と同様の効果を奏する。

また、第2実施形態では、改質部11を、第1面S1から伸び、第2面S2まで到達するように形成する。それ故、ガラス基板10における改質部11の長さにばらつきがない。従って、第2実施形態によれば、第1実施形態と比較して、第1貫通孔12の径のばらつきを小さくすることが容易であり、より高い加工精度を達成できる。

[0182] <2. 3>変形例

上記の製造方法、この製造方法によって得られる配線基板、及びこの配線基板を含んだパッケージ化デバイスには、例えば、第1実施形態において説明したのと同様の変形が可能である。

[0183] <3>第3実施形態

本発明の第3実施形態は、配線基板を以下の方法により製造すること以外は、第1実施形態と同様である。

[0184] <3. 1>配線基板の製造方法

図22は、本発明の第3実施形態に係る配線基板の製造方法における一工程を示す断面図である。図23は、本発明の第3実施形態に係る配線基板の

製造方法における他の工程を示す断面図である。

[0185] 第3実施形態に係る製造方法は、以下に説明するように、第2工程を省略し、第6工程と第7工程との間に第16工程を実施すること以外は、図1乃至図11を参照しながら説明した製造方法と同様である。

[0186] <3. 1. 1>第1及び第3乃至第6工程

先ず、第1工程を実施し、次いで、第2工程を実施することなしに、第3工程を実施する。第3工程では、先ず、図22の構造を得る。図22の構造は、改質部11が設けられていないこと以外は、図4の構造と同様である。その後、第3工程における残りの処理を実施し、更に、第4乃至第6工程をこの順に実施する。以上のようにして、図23の構造を得る。

[0187] <3. 1. 2>第16工程

次に、第2面S2から第1面S1へ向けてガラス基板10へレーザ光を照射して、図7に示すように、ガラス基板10に1以上の改質部11を形成する。改質部11は、第1貫通孔に対応した位置に形成する。改質部11は、第1面S1から第2面S2へ向けて、例えば、ガラス基板10の厚さ方向へ伸びている。レーザ光量は、第1面S1から伸びた改質部11が第2面S2まで到達しないように調整することが望ましい。レーザ光の照射条件は、例えば、第2工程と同様とすることができる。

[0188] <3. 1. 3>第7乃至第12工程

更に、ガラス基板10及び第1導体層20等を含んだ複合体に対して、第7乃至第12工程を順次実施する。これにより、図1に示す配線基板1を得る。

[0189] <3. 2>効果

第3実施形態は、第1実施形態と同様の効果を奏する。

[0190] <3. 3>変形例

上記の製造方法、この製造方法によって得られる配線基板、及びこの配線基板を含んだパッケージ化デバイスには、例えば、第1実施形態において説明したのと同様の変形が可能である。

[0191] <4>第4実施形態

本発明の第4実施形態は、配線基板を以下の方法により製造すること以外は、第1実施形態と同様である。

[0192] <4.1>配線基板の製造方法

図24は、本発明の第4実施形態に係る配線基板の製造方法における一工程を示す断面図である。図25は、本発明の第4実施形態に係る配線基板の製造方法における他の工程を示す断面図である。

[0193] 第4実施形態に係る製造方法は、以下に説明するように、第1工程の代わりに第13工程を実施し、第2工程を省略し、第6工程と第7工程との間に第17及び第15工程をこの順に実施すること以外は、図1乃至図11を参照しながら説明した製造方法と同様である。

[0194] <4.1.1>第13及び第3乃至第6工程

先ず、第1工程の代わりに第13工程を実施し、次いで、第2工程を実施することなしに、第3工程を実施する。第3工程では、先ず、図24の構造を得る。図24の構造は、改質部11が設けられておらず、第1面S1に耐弗酸金属層21及びシード層23がこの順に形成されていること以外は、図20の構造と同様である。その後、第3工程における残りの処理を実施し、更に、第4乃至第6工程をこの順に実施する。以上のようにして、図25の構造を得る。

[0195] <4.1.2>第17工程

次に、第2面S2から第1面S1へ向けてガラス基板10へレーザ光を照射して、図21に示すように、ガラス基板10に1以上の改質部11を形成する。改質部11は、第1貫通孔に対応した位置に形成する。改質部11は、第1面S1から第2面S2へ向けて、例えば、ガラス基板10の厚さ方向へ伸びている。レーザ光量は、第1面S1から伸びた改質部11が第2面S2まで到達しないように調整することが望ましい。レーザ光の照射条件は、例えば、第2工程と同様とすることができる。

[0196] <4.1.3>第15及び第7乃至第12工程

次いで、第15工程を実施して、ガラス基板10、第1導体層20及び第2支持体141等を含んだ複合体から、第1支持体151と接着剤152とを除去する。

その後、ガラス基板10及び第1導体層20等を含んだ複合体に対して、第7乃至第12工程を順次実施する。これにより、図1に示す配線基板1を得る。

[0197] <4.2>効果

第4実施形態は、第1及び第2実施形態と同様の効果を奏する。

[0198] <4.3>変形例

上記の製造方法、この製造方法によって得られる配線基板、及びこの配線基板を含んだパッケージ化デバイスには、例えば、第1実施形態において説明したのと同様の変形が可能である。

実施例

[0199] 以下に、本発明に関連して行った試験について記載する。

[0200] <試験1>

図2の構造、図19の構造、及び図13の構造の各々について、第1導体層20が含む配線層と第2導体層70が含む配線層との間の電気抵抗値と、貫通電極の長さとの関係を調べた。各層の厚さは、これら構造間で互いに等しくした。密着層72の厚さ T_1 とシード層73の厚さ T_2 との合計 $T_1 + T_2$ は、耐弗酸金属層21の厚さ T_3 と比較してより大きくした。また、図19の構造については、耐弗酸金属層21に設ける凹部の平均深さ D を、耐弗酸金属層21のうち凹部を設けない部分の厚さ T_3 の40%とした場合の上記関係を調べるとともに、平均深さ D を厚さ T_3 の70%とした場合の上記関係を調べた。以下の表1に結果を示す。

[0201]

[表1]

表1

エッチング率		抵抗低減率(%)			
		0%	40%	70%	100%
貫通電極の長さ(μm)	100	0	-1.2	-2.2	-3.2
	80	0	-1.5	-2.7	-3.9
	60	0	-2.0	-3.6	-5.3
	50	0	-2.4	-4.3	-6.3

[0202] 表1において、「エッチング率」は、厚さT3に対する平均深さDの比を表している。即ち、エッチング率が100%である構造は図2の構造であり、エッチング率が0%である構造は図13の構造であり、エッチング率が40%又は70%である構造は図19の構造である。また、「抵抗低減率」は、エッチング率が0%の場合の電気抵抗値に対する電気抵抗値の低減率である。

[0203] 表1に示すように、貫通電極の長さに関わらず、エッチング率を大きくするのに応じて、抵抗低減効果が高くなった。また、貫通電極の長さが短いほど、エッチング率の増大に伴う抵抗低減効果が高かった。

[0204] <試験2>

図16のソレノイドコイル110を内蔵し、コンデンサ30とソレノイドコイル110とがLCフィルタを構成したこと以外は図1に示す配線基板1と同様の構造を有する配線基板について、コンデンサ30及びソレノイドコイル110のQ値と、LCフィルタの共振周波数のSパラメータS21とを調べた。ここでは、貫通電極の長さ、即ち、第1貫通孔12の長さは100 μm とした。また、上記のエッチング率を75%、50%及び0%としたこと以外は、上記と同様の配線基板についても、コンデンサ30及びソレノイドコイル110のQ値と、LCフィルタの共振周波数のSパラメータS21とを調べた。以下の表2に結果を示す。

[0205]

[表2]

表2

エッチング率		0%	50%	75%	100%
コンデンサ	Q値増加率(%)	0	0.1	0.7	4.5
インダクタ		0	1.1	8.7	16.4
LCフィルタ	共振周波数のS21値低減率(%)	0	-0.1	-0.3	-0.6

[0206] 表2において、「Q値増加率」は、エッチング率が0%の場合のQ値に対するQ値の増加率である。また、「S21値低減率」は、エッチング率が0%の場合のS21値に対するS21値の低減率である。

[0207] 表2に示すように、エッチング率を大きくするのに応じてコンデンサ30及びソレノイドコイル110のQ値は大きくなり、エッチング率の増大に伴うQ値向上効果は、エッチング率が大きいほど高かった。また、LCフィルタのS21値は、エッチング率を大きくするのに応じて低下しており、エッチング率の増大に伴うフィルタ特性向上効果は、エッチング率が大きいほど高かった。

[0208] <試験3>

図1及び図2を参照しながら説明した配線基板1を50個製造した（エッチング率100%）。これら配線基板1について、ガラス基板10上に設けられた配線層と貫通電極との間の接続信頼性を調べた。具体的には、配線基板1の各々を熱冷衝撃試験機に取り付けて、-40℃から+125℃まで配線基板の雰囲気温度を変動させるサイクルを1000回繰り返した。その後、上記配線層と貫通電極との間の導通確認を行った。上記配線層と貫通電極との間の導通は、第1導体層20が含む配線層と第2導体層70が含む配線層との間の電気抵抗をテスターで測定することにより行った。

[0209] また、図2の構造の代わりに図19の構造を採用したこと以外は上記と同様の配線基板を50個製造した。ここでは、上記のエッチング率は70%とした。これらについても、上記と同様の方法により、ガラス基板10上に設けられた配線層と貫通電極との間の接続信頼性を調べた。

[0210] 更に、図2の構造の代わりに図13の構造を採用したこと以外は上記と同様の配線基板を50個製造した（エッチング率0%）。これらについても、上記と同様の方法により、ガラス基板10上に設けられた配線層と貫通電極との間の接続信頼性を調べた。

[0211] その結果、図13の構造を採用した配線基板（エッチング率0%）では、30%の頻度で導通不良を生じた。これに対し、図19の構造を採用した配線基板（エッチング率70%）では、導通不良の頻度は3%以下であった。また、図2の構造を採用した配線基板（エッチング率100%）では、導通不良の頻度は1%以下であった。

[0212] <試験4>

（例1）

図1及び図2を参照しながら説明した配線基板1を50個製造した（エッチング率100%）。ここでは、密着層72の厚さT1は60nmとし、シード層73の厚さT2は300nmとし、耐弗酸金属層21の厚さT3は50nmとした。これら配線基板1について、ガラス基板10上に設けられた配線層と貫通電極との間の導通確認を行った。上記配線層と貫通電極との間の導通は、第1導体層20が含む配線層と第2導体層70が含む配線層との間の電気抵抗をテスターで測定することにより行った。

[0213] （例2）

厚さT3を100nmへ変更したこと以外は、例1において製造したのと同様の配線基板1を50個製造した。これら配線基板1についても、例1と同様の方法により、ガラス基板10上に設けられた配線層と貫通電極との間の導通確認を行った。

[0214] （例3）

厚さT2を100nmへ変更し、厚さT3を50nmへ変更したこと以外は、例1において製造したのと同様の配線基板1を50個製造した。これら配線基板1についても、例1と同様の方法により、ガラス基板10上に設けられた配線層と貫通電極との間の導通確認を行った。

[0215] (例4)

厚さT2を100nmへ変更し、厚さT3を100nmへ変更したこと以外は、例1において製造したのと同様の配線基板1を50個製造した。これら配線基板1についても、例1と同様の方法により、ガラス基板10上に設けられた配線層と貫通電極との間の導通確認を行った。

[0216] (比較例)

厚さT2を100nmへ変更し、厚さT3を200nmへ変更したこと以外は、例1において製造したのと同様の配線基板を50個製造した。これら配線基板についても、例1と同様の方法により、ガラス基板10上に設けられた配線層と貫通電極との間の導通確認を行った。

[0217] (結果)

以下の表3に結果を示す。

[0218] [表3]

表3

	例1	例2	例3	例4	比較例
耐弗酸金属層の厚さT3(nm)	50	100	50	100	200
密着層の厚さT1(nm)	60	60	60	60	60
シード層の厚さT2(nm)	300	300	100	100	100
$T3 \leq T1$	Y	N	Y	N	N
$T3 \leq T1 + T2$	Y	Y	Y	Y	N
$T1 + T3 \leq T2$	Y	Y	N	N	N
合格率(%)	100	100	80	80	20

[0219] 表3において、「Y」は不等式に示す関係を満たしていることを表し、「N」は不等式に示す関係を満たしていないことを表している。また、「合格率」は、配線基板の総数(50個)に占める、導通不良を全く生じなかった配線基板の数の割合を表している。

[0220] 表3に示すように、厚さT1と厚さT2との合計T1+T2が、厚さT3と等しいか又はそれよりも大きい場合、合計T1+T2が厚さT3よりも小

さい場合と比較して、遥かに高い合格率を達成できた。そして、厚さT1と厚さT3との合計T1+T3と比較して厚さT2をより大きくした場合、100%の合格率を達成できた。

符号の説明

[0221] 1…配線基板、2…機能デバイス、3…チップ部品、4…接合用導体、5…接合用導体、10…ガラス基板、10ER…エッチング残渣、11…改質部、12…第1貫通孔、20…第1導体層、20A…第1導体路、21…耐弗酸金属層、22…密着層、23…シード層、24…第1銅層、30…コンデンサ、31…誘電体層、32…上部電極、40…層間絶縁膜、50…導体層、53…シード層、54…銅層、60…絶縁層、70…第2導体層、70A…第2導体路、70B…第3導体路、72…密着層、73…シード層、74…第2銅層、80…層間絶縁膜、90…導体層、93…シード層、94…銅層、100…絶縁層、110…ソレノイドコイル、141…第2支持体、142…接着剤、151…第1支持体、152…接着剤、S1…第1面、S2…第2面、UC…アンダーカット。

請求の範囲

- [請求項1] 第1面とその裏面である第2面とを有し、前記第1面から前記第2面まで各々が伸びた1以上の第1貫通孔が設けられたガラス基板と、
前記第1面と向き合った第1銅層と、前記第1銅層と前記ガラス基板との間に介在した耐弗酸金属層とを含み、前記1以上の第1貫通孔の前記第1面側の開口を覆った第1導体層であって、前記ガラス基板側の面は前記1以上の第1貫通孔の位置に凹部を有し、前記凹部の各々の開口の輪郭は、これに対応した前記第1貫通孔の前記第1面側の前記開口より大きく且つこれを取り囲んだ第1導体層と、
前記1以上の第1貫通孔の側壁、前記凹部の内面、及び前記第2面のうち前記1以上の第1貫通孔の前記第2面側の開口を取り囲んだ領域を被覆した密着層と、前記密着層上に設けられたシード層と、前記シード層上に設けられた第2銅層とを含んだ第2導体層とを備え、
前記密着層の厚さ T_1 と前記シード層の厚さ T_2 との合計 $T_1 + T_2$ は、前記耐弗酸金属層の厚さ T_3 と等しいか又はそれよりも大きい配線基板。
- [請求項2] 前記耐弗酸金属層には前記1以上の第1貫通孔の位置に1以上の第2貫通孔がそれぞれ設けられ、前記1以上の第2貫通孔は、前記第1導体層の前記ガラス基板側の前記面に前記凹部を形成している請求項1に記載の配線基板。
- [請求項3] 前記厚さ T_1 は、前記厚さ T_3 と等しいか又はそれよりも大きい請求項1又は2に記載の配線基板。
- [請求項4] 前記厚さ T_2 は、前記厚さ T_1 と前記厚さ T_3 との合計 $T_1 + T_3$ と等しいか又はそれよりも大きい請求項1乃至3の何れか1項に記載の配線基板。
- [請求項5] 前記厚さ T_2 は $0.5\ \mu\text{m}$ 以下である請求項1乃至4の何れか1項に記載の配線基板。
- [請求項6] 前記厚さ T_1 は $10\ \text{nm}$ 乃至 $0.5\ \mu\text{m}$ の範囲内にあり、前記厚さ

T2は100nm乃至0.5 μ mの範囲内にあり、前記厚さT3は10nm乃至0.5 μ mの範囲内にある請求項1乃至5の何れか1項に記載の配線基板。

[請求項7] 前記第1導体層上に設けられた誘電体層と、前記誘電体層上に設けられた上部電極とを更に備え、前記第1導体層のうち前記上部電極と向き合った部分は下部電極であり、前記上部電極と前記誘電体層と前記下部電極とはコンデンサを構成している請求項1乃至6の何れか1項に記載の配線基板。

[請求項8] 前記下部電極は、前記1以上の第1貫通孔の少なくとも1つの前記第1面側の前記開口を覆っている請求項7に記載の配線基板。

[請求項9] 前記第1導体層上に設けられた誘電体層と、前記誘電体層上に設けられた上部電極とを更に備え、前記第1導体層のうち前記上部電極と向き合った部分は下部電極であり、前記上部電極と前記誘電体層と前記下部電極とはコンデンサを構成し、

前記1以上の第1貫通孔は複数の第1貫通孔であり、前記第1導体層の一部と前記第2導体層の一部とはソレノイドコイルを構成し、

前記コンデンサと前記ソレノイドコイルとはLCフィルタを構成している請求項1乃至6の何れか1項に記載の配線基板。

[請求項10] インターポーザである請求項1乃至9の何れか1項に記載の配線基板。

[請求項11] 第1面とその裏面である第2面とを有しているガラス基板を準備することと、

前記ガラス基板へレーザ光を照射して、前記ガラス基板に1以上の改質部を形成することと、

前記第1面上に、前記第1面と向き合った第1銅層と、前記第1銅層と前記ガラス基板との間に介在した耐弗酸金属層とを含んだ第1導体層を、前記1以上の改質部を覆うように形成することと、

弗化水素を含んだエッチング液で前記第2面をエッチングして、前

記第2面を後退させるとともに、前記1以上の改質部の位置に1以上の第1貫通孔をそれぞれ形成することと、

前記耐弗酸金属層のうち前記1以上の第1貫通孔内で露出した部分をウェットエッチングに供して、前記第1導体層の前記ガラス基板側の面に凹部を形成することと、

前記1以上の第1貫通孔の側壁、前記凹部の内面、及び前記第2面を被覆した密着層を形成することと、

前記密着層上にシード層を形成することと、

前記シード層上に第2銅層を形成することと

を含み、

前記密着層と前記シード層と前記耐弗酸金属層とは、前記密着層の厚さ T_1 と前記シード層の厚さ T_2 との合計 $T_1 + T_2$ が、前記耐弗酸金属層の厚さ T_3 と等しいか又はそれよりも大きくなるように形成する配線基板の製造方法。

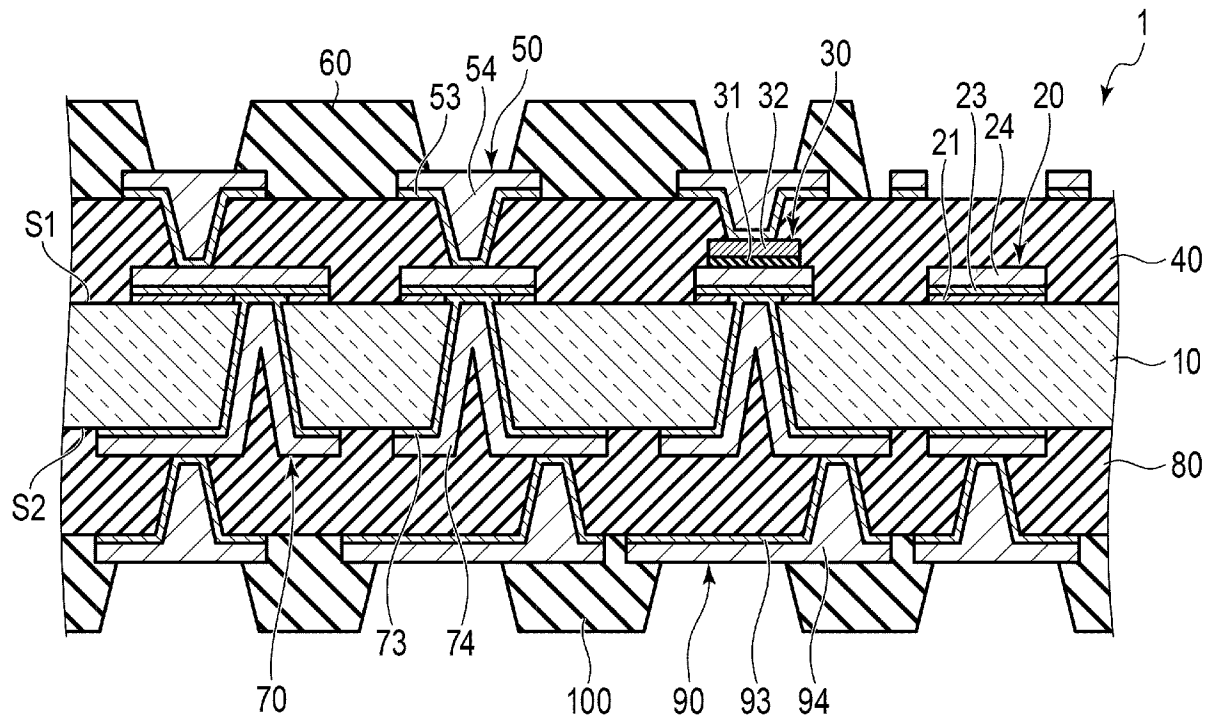
[請求項12] 前記ガラス基板への前記レーザ光の照射に先立ち、前記ガラス基板を第1支持体に、前記第2面が前記第1支持体と向き合うように支持させることと、

前記第1導体層を形成した後であって、前記1以上の第1貫通孔を形成する前に、前記ガラス基板から前記第1支持体を除去することとを更に含んだ請求項11に記載の配線基板の製造方法。

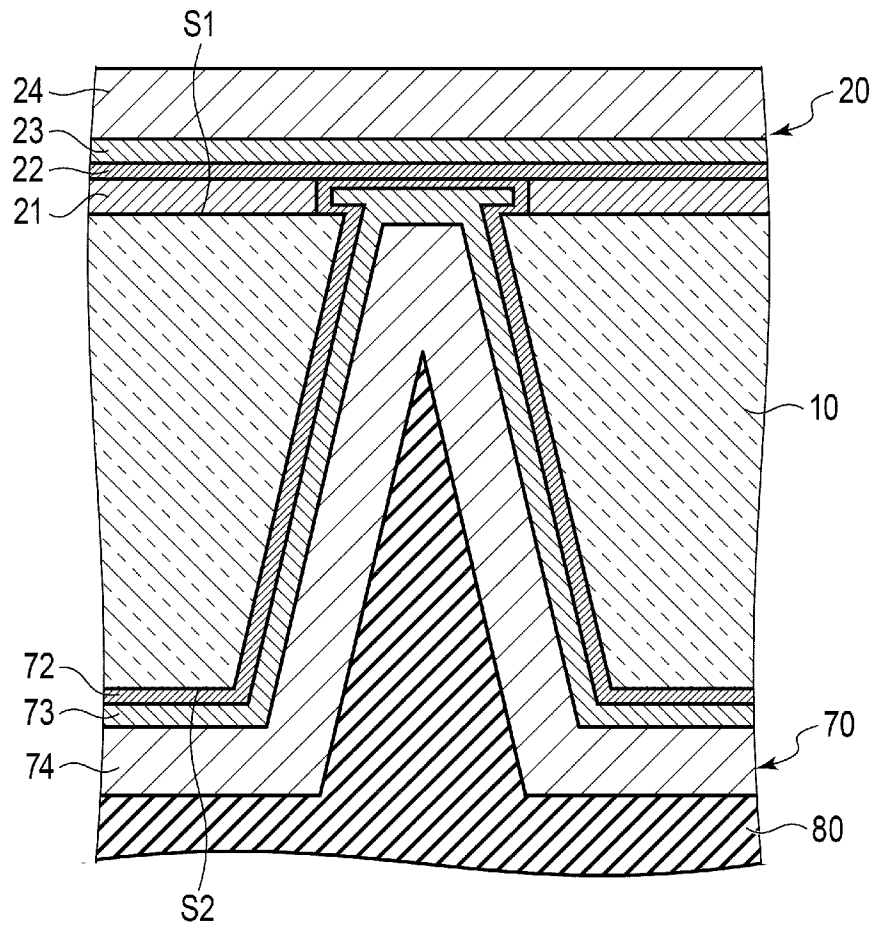
[請求項13] 前記耐弗酸金属層への前記ウェットエッチングは、前記耐弗酸金属層に1以上の第2貫通孔が形成されるように行う請求項11又は12に記載の配線基板の製造方法。

[請求項14] 前記第1導体層を形成した後であって、前記1以上の第1貫通孔を形成する前に、前記ガラス基板と前記第1導体層とを含んだ複合体を、第2支持体に、前記第1導体層が前記第2支持体と向き合うように支持させることを更に含んだ請求項11乃至13の何れか1項に記載の配線基板の製造方法。

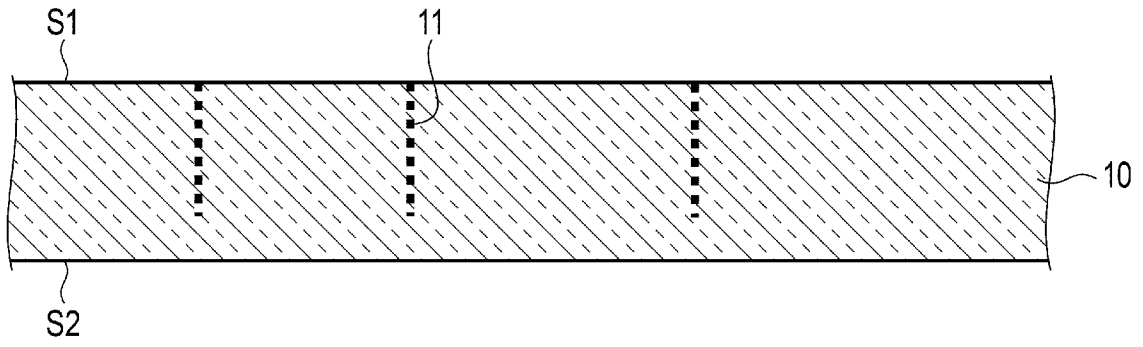
[図1]



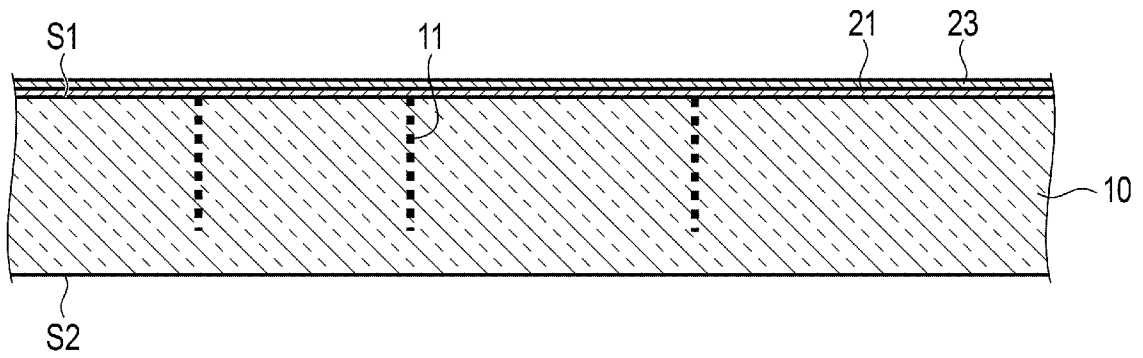
[図2]



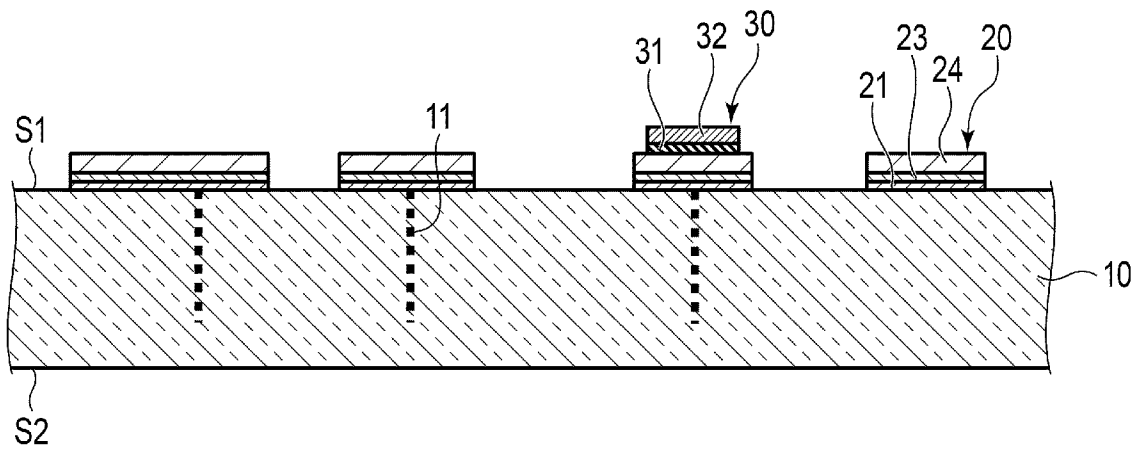
[図3]



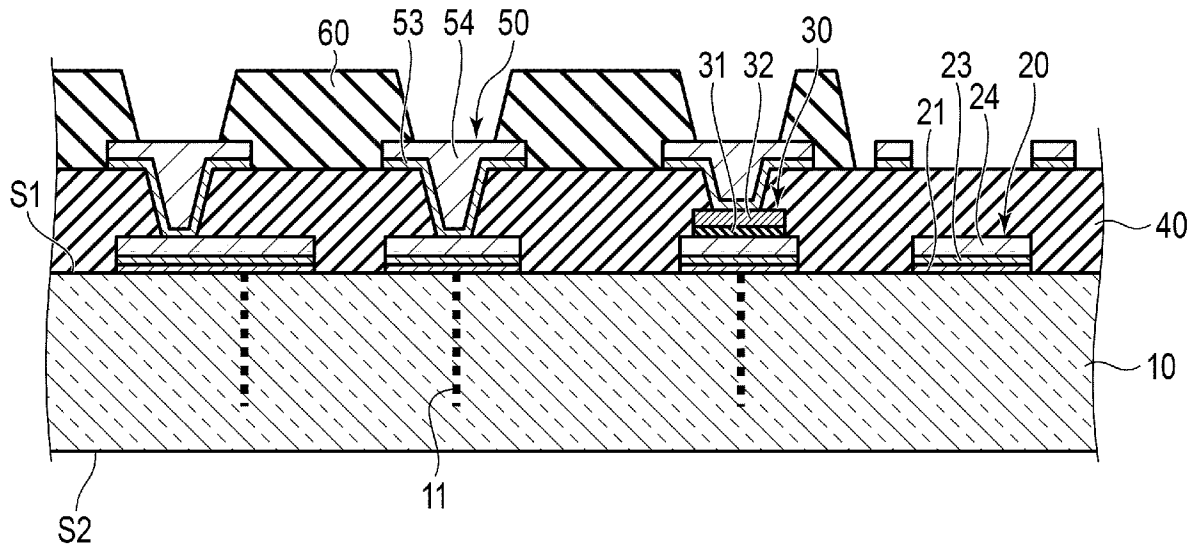
[図4]



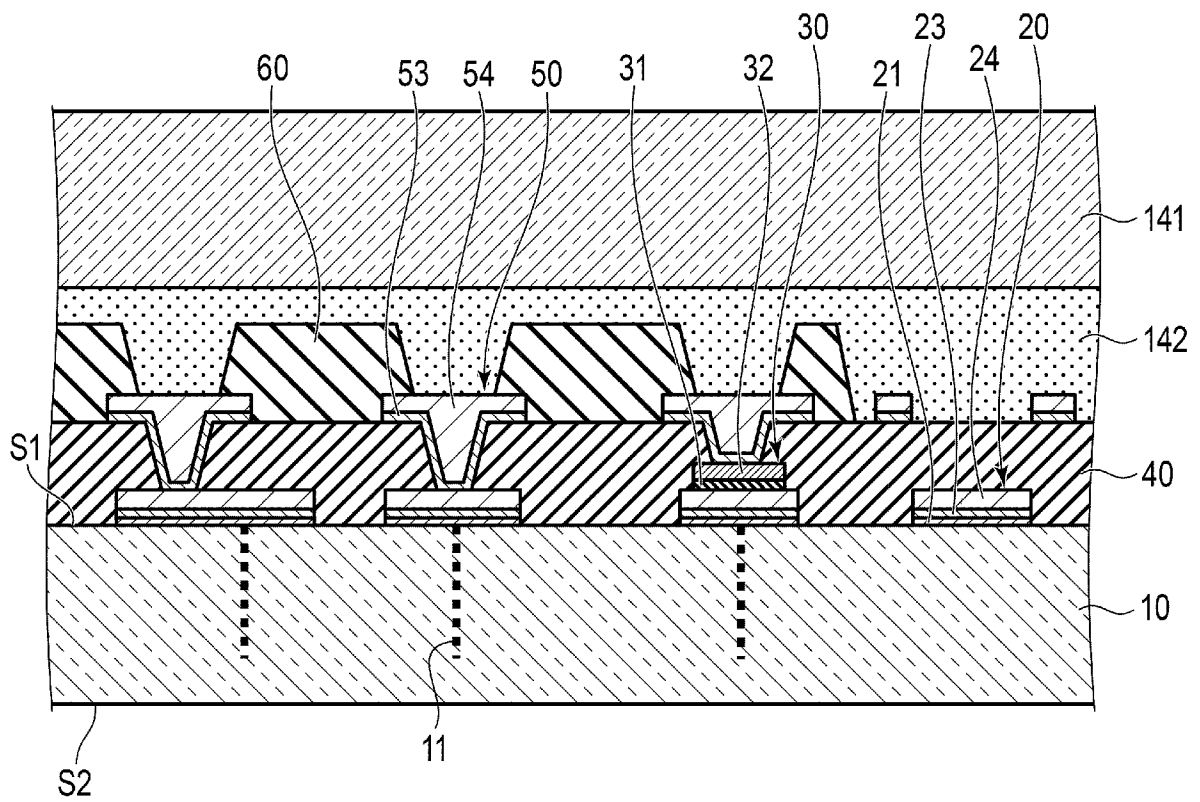
[図5]



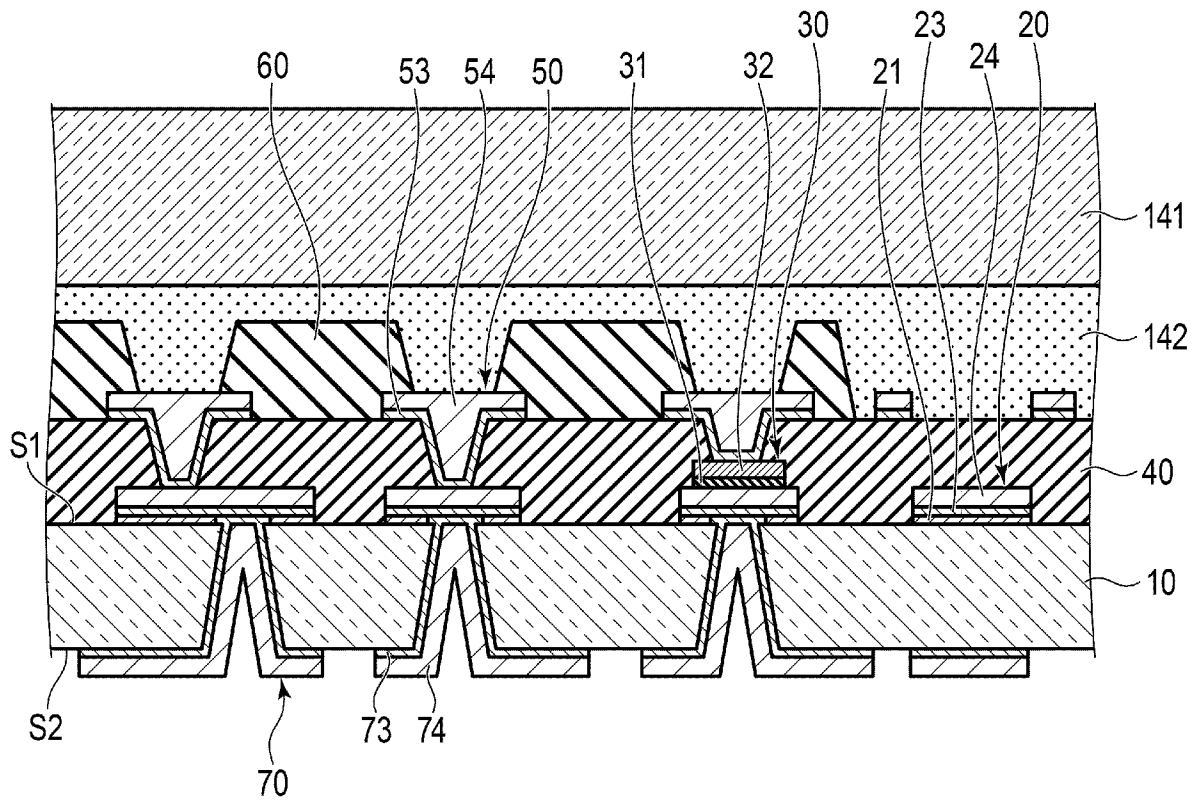
[図6]



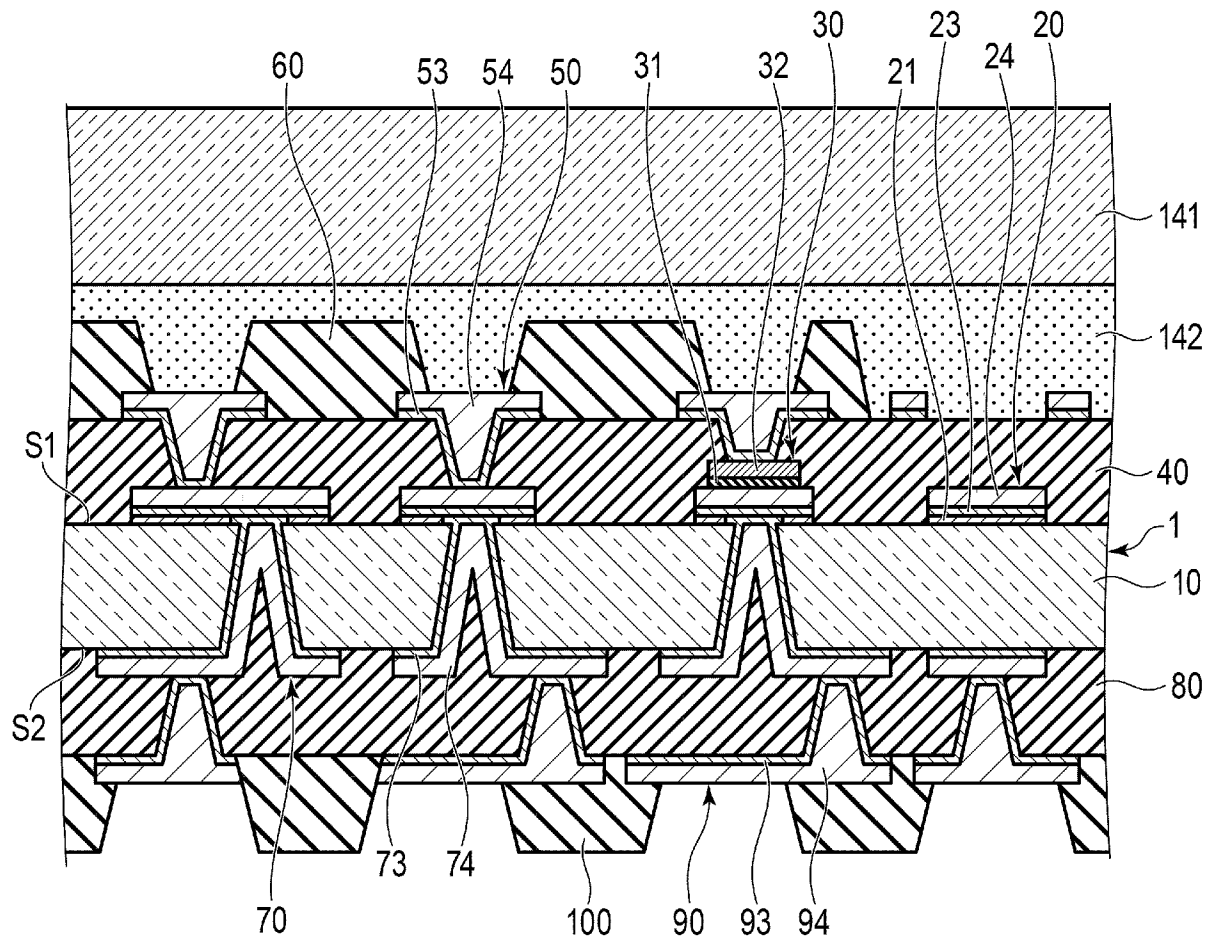
[図7]



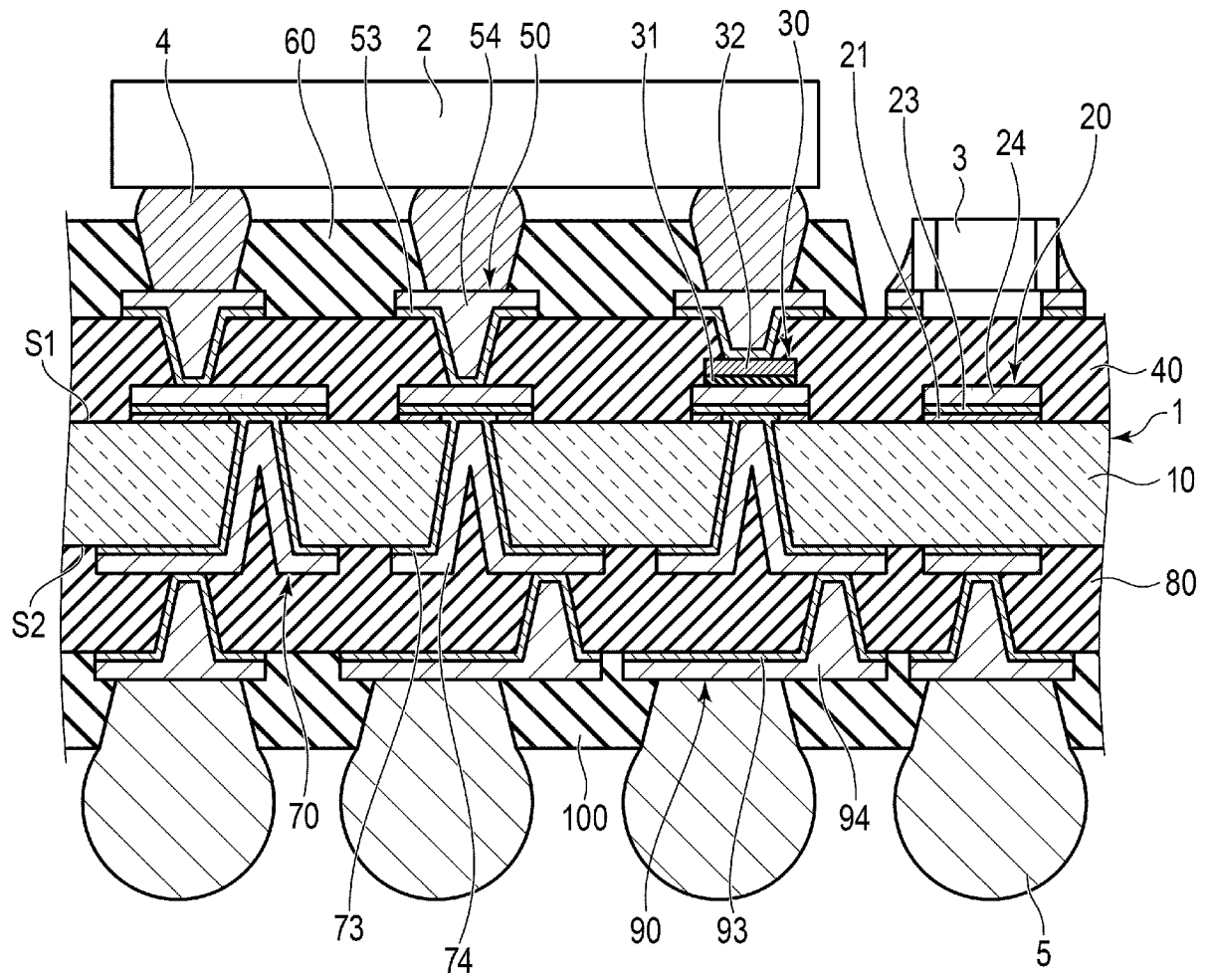
[図10]



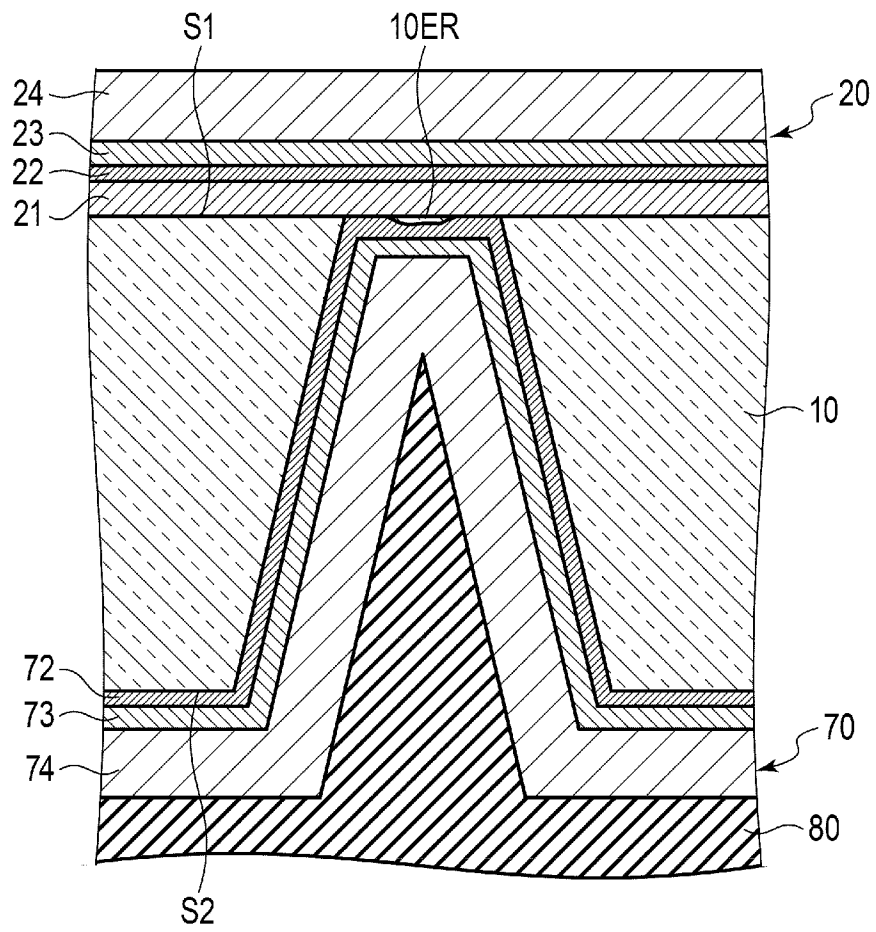
[図11]



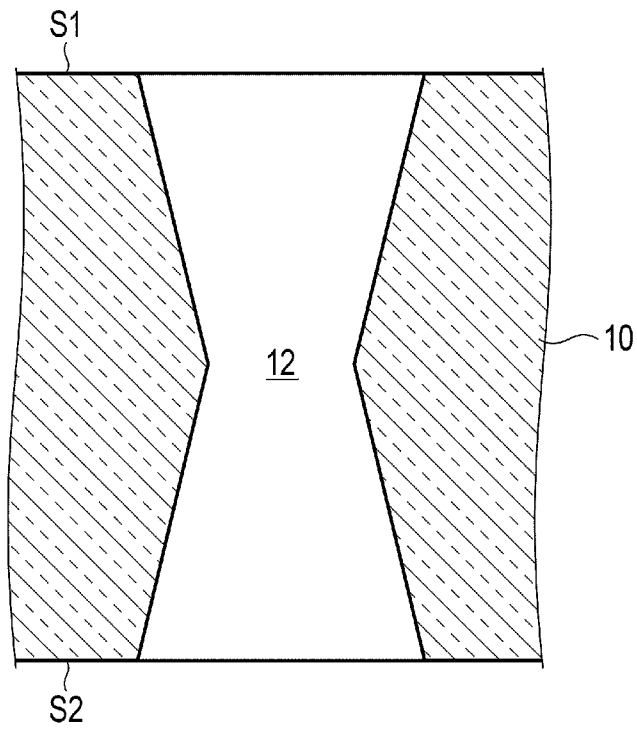
[図12]



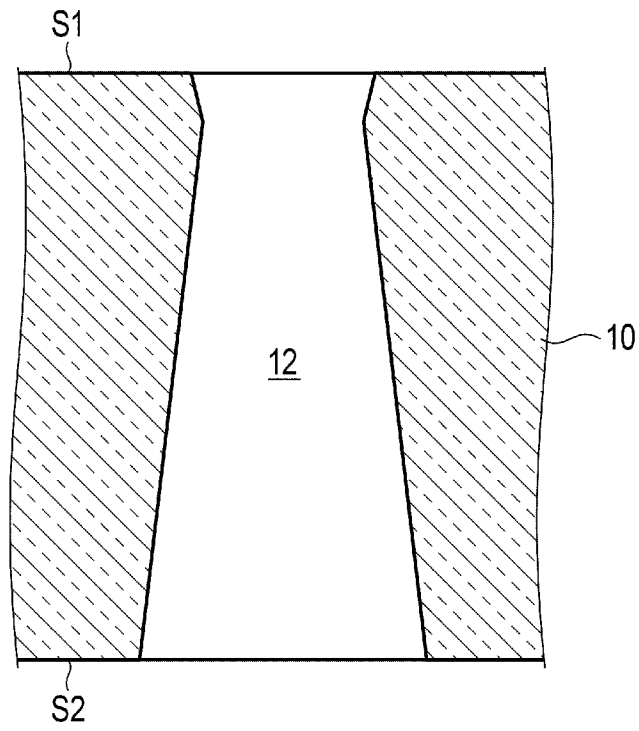
[図13]



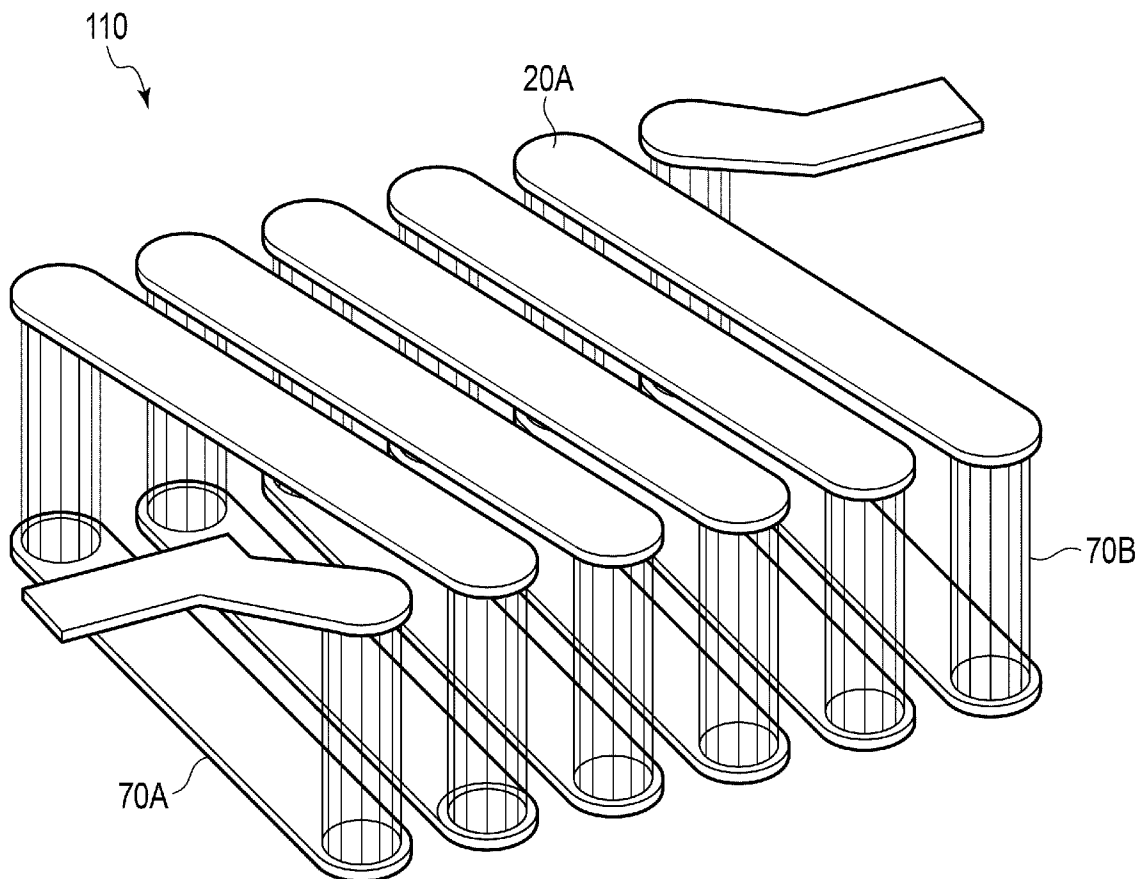
[図14]



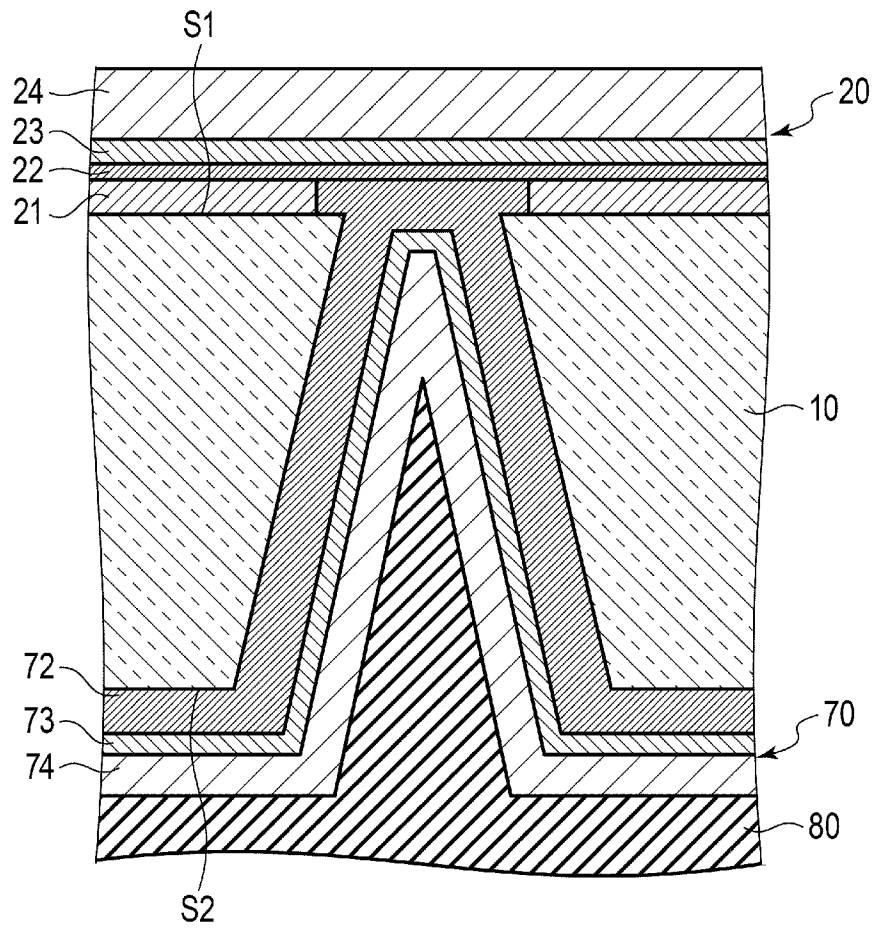
[図15]



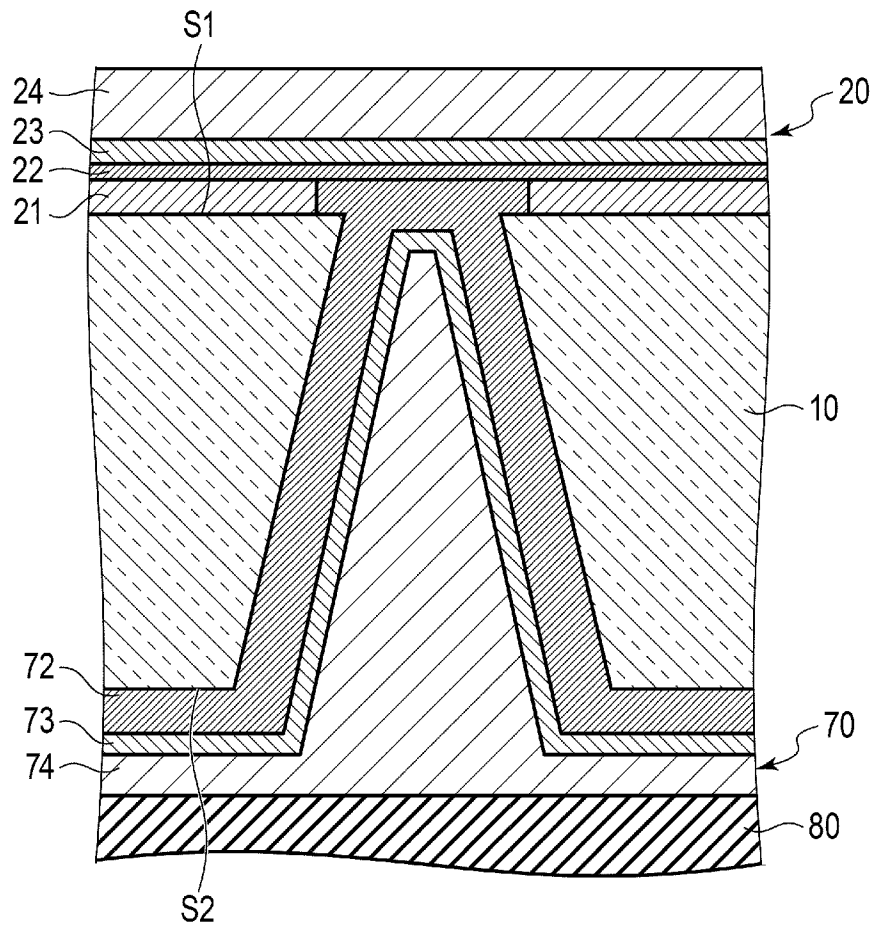
[図16]



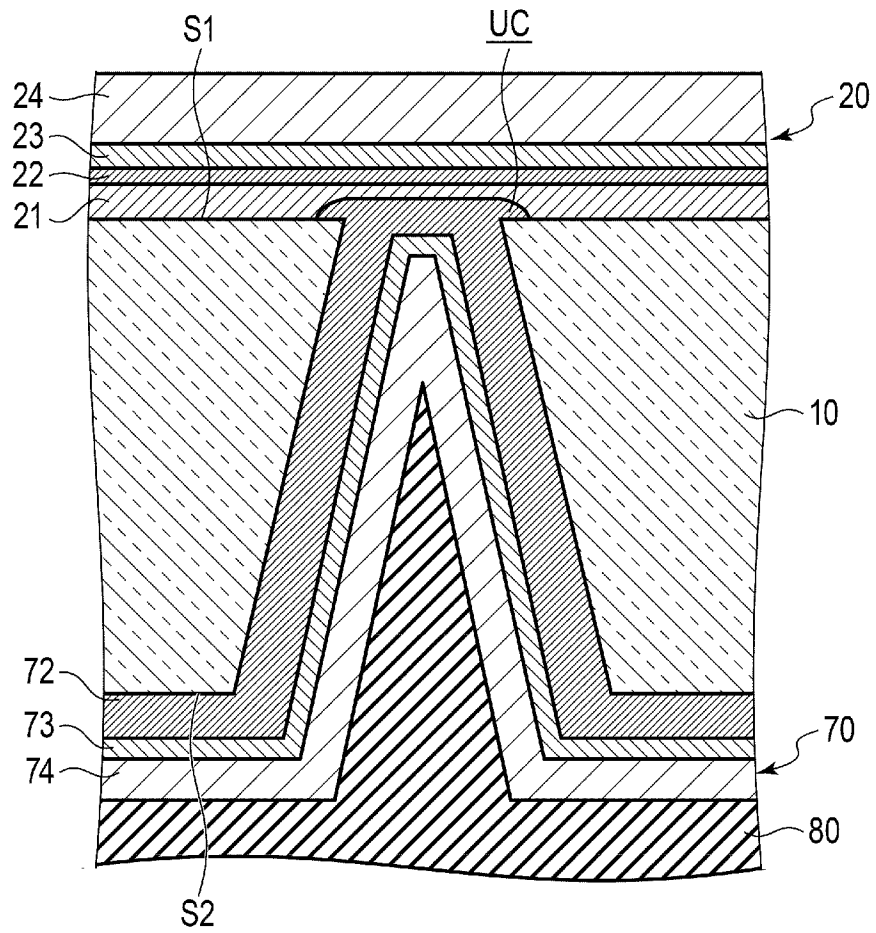
[図17]



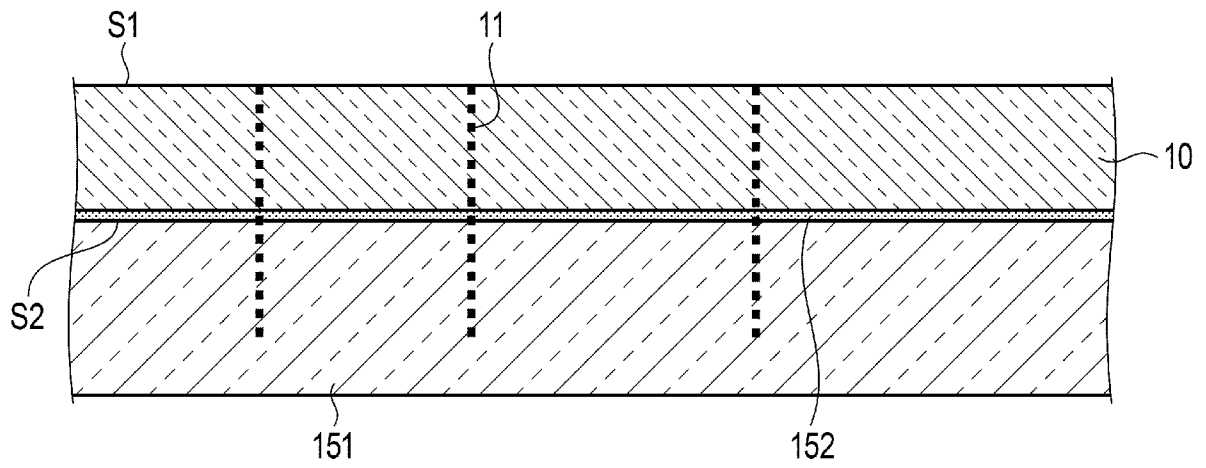
[図18]



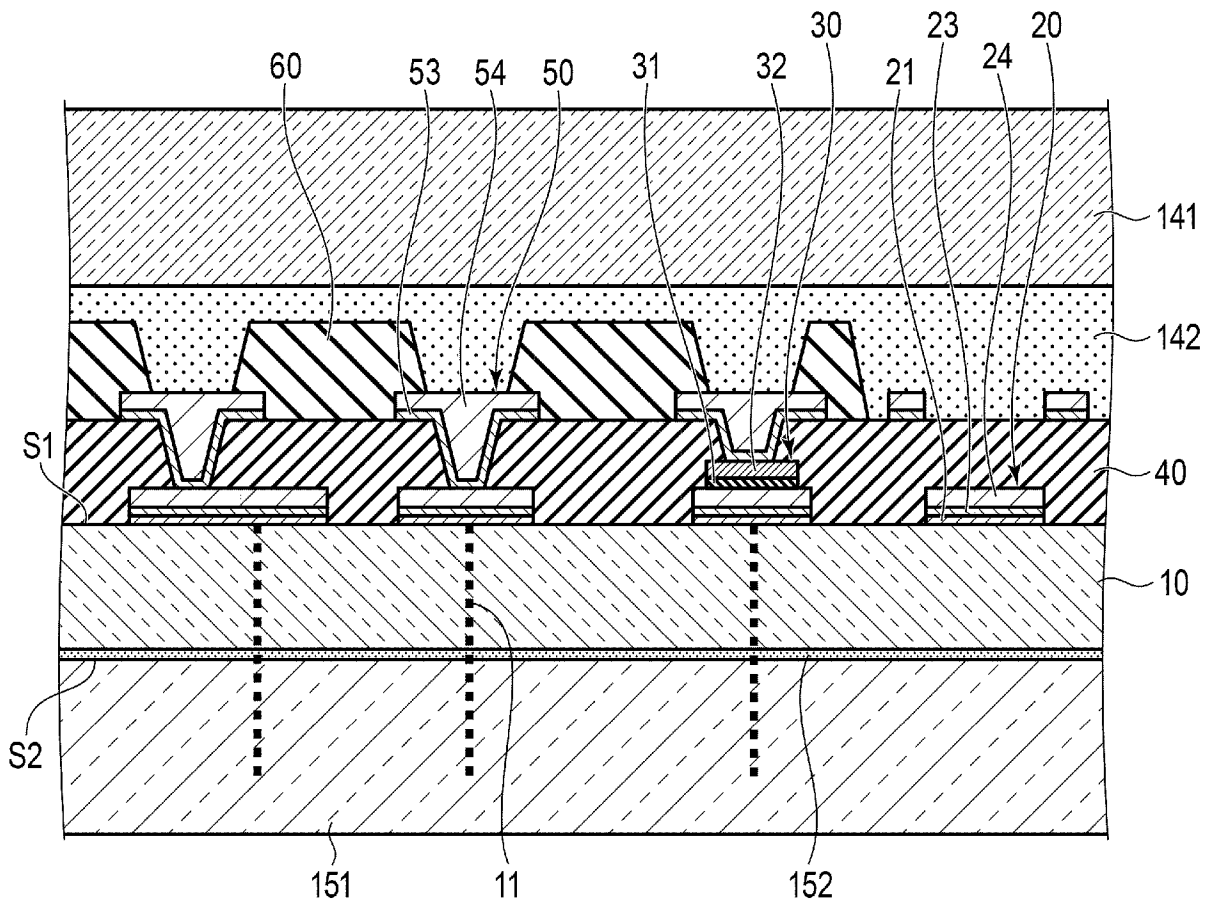
[図19]



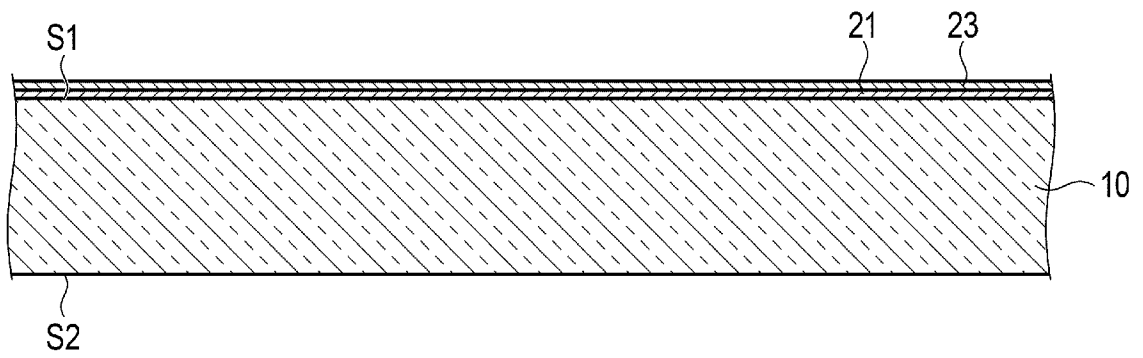
[図20]



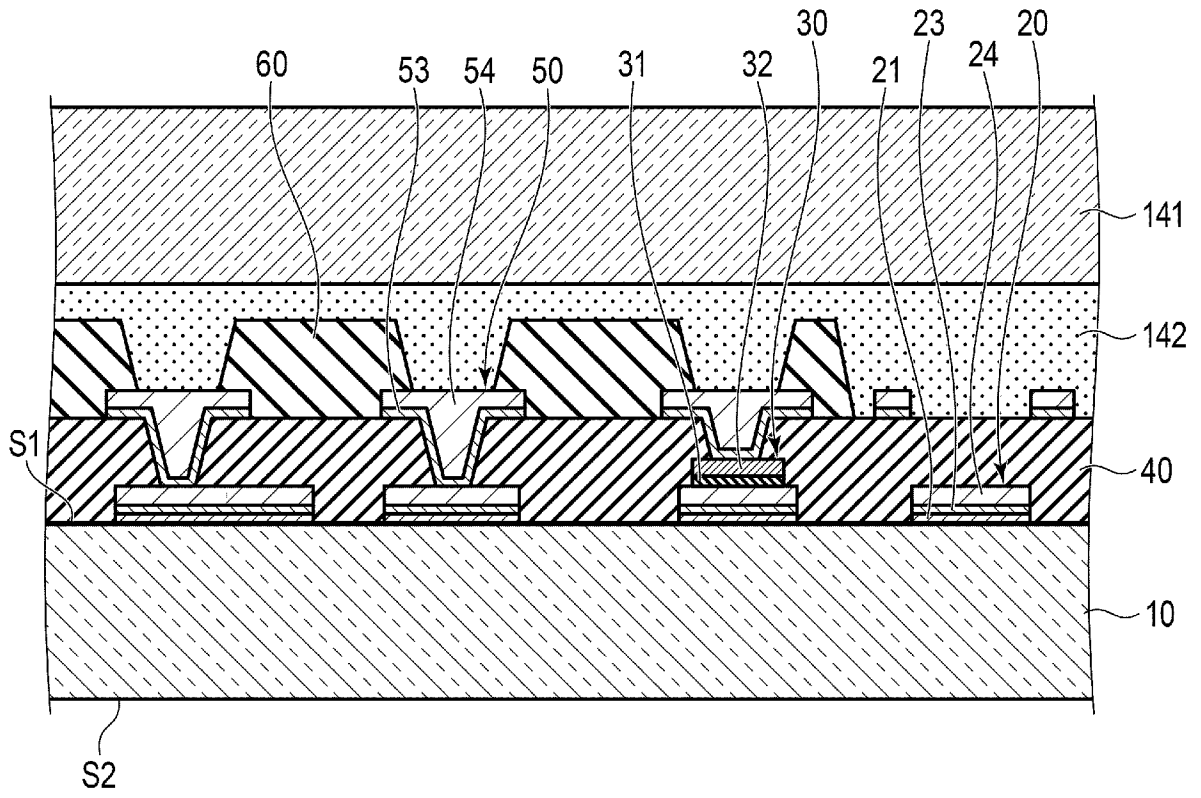
[図21]



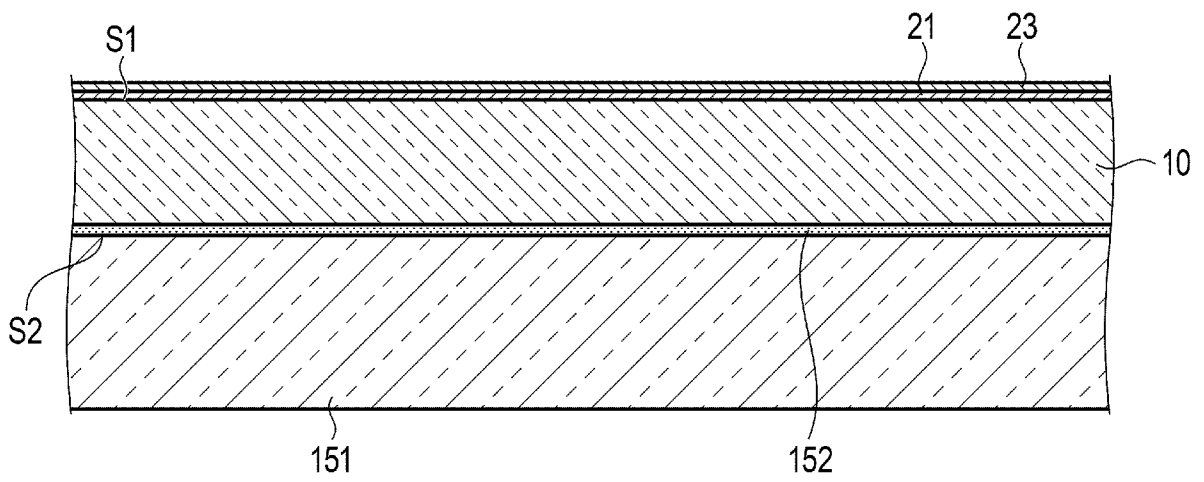
[図22]



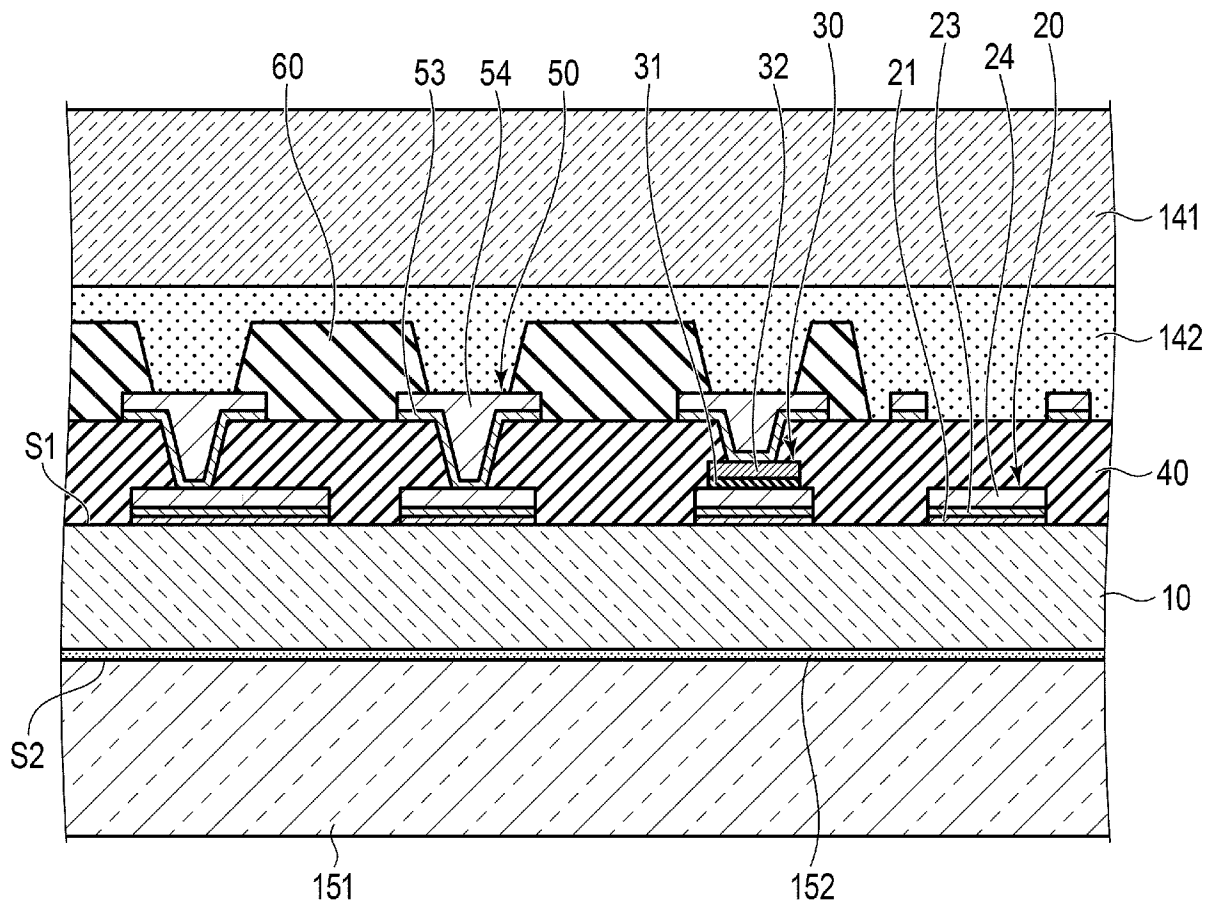
[図23]



[図24]



[図25]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/029603

A. CLASSIFICATION OF SUBJECT MATTER		
<i>H05K 1/11</i> (2006.01)i; <i>H01L 23/12</i> (2006.01)i; <i>H01L 23/15</i> (2006.01)i; <i>H05K 1/16</i> (2006.01)i; <i>H05K 3/00</i> (2006.01)i FI: H05K1/11 H; H05K3/00 M; H05K1/16 A; H01L23/12 N; H01L23/14 C		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H05K1/11; H01L23/12; H01L23/15; H05K1/16; H05K3/00; H05K3/46		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2023 Registered utility model specifications of Japan 1996-2023 Published registered utility model applications of Japan 1994-2023		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2021/100696 A1 (TOPPAN PRINTING CO LTD) 27 May 2021 (2021-05-27) paragraphs [0036]-[0037], [0043]-[0044], [0050]-[0052], fig. 15-21	1-14
Y	JP 2015-038962 A (SONY CORP) 26 February 2015 (2015-02-26) paragraphs [0059]-[0060], [0064]-[0066], [0070]	1-14
Y	JP 7067666 B1 (TOPPAN PRINTING CO LTD) 16 May 2022 (2022-05-16) paragraphs [0014]-[0027], fig. 1-6	12
A	WO 2019/235617 A1 (TOPPAN PRINTING CO LTD) 12 December 2019 (2019-12-12) entire text, all drawings	1-14
A	JP 2022-032990 A (ZHUHAI ACCESS SEMICONDUCTOR CO LTD) 25 February 2022 (2022-02-25) entire text, all drawings	1-14
P, A	WO 2022/203037 A1 (TOPPAN PRINTING CO LTD) 29 September 2022 (2022-09-29) entire text, all drawings	1-14
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 17 October 2023		Date of mailing of the international search report 31 October 2023
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/029603

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO	2021/100696	A1	27 May 2021	US 2022/0279651 A1 paragraphs [0107]-[0109], [0123]-[0127], [0135]-[0142], fig. 15-21	
				EP 4064803 A1	
				CN 114731761 A	
JP	2015-038962	A	26 February 2015	US 2015/0021081 A1 paragraphs [0074]-[0075], [0079]-[0081], [0085]	
				CN 104299916 A	
JP	7067666	B1	16 May 2022	WO 2023/100586 A1	
WO	2019/235617	A1	12 December 2019	US 2021/0118698 A1 entire text, all drawings	
				EP 3806141 A1	
				CN 112335037 A	
JP	2022-032990	A	25 February 2022	US 2022/0053644 A1 entire text, all drawings	
				KR 10-2022-0021864 A	
				TW 202207413 A	
WO	2022/203037	A1	29 September 2022	JP 2022-151790 A	
				JP 2022-151789 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H05K 1/11(2006.01)i; H01L 23/12(2006.01)i; H01L 23/15(2006.01)i; H05K 1/16(2006.01)i; H05K 3/00(2006.01)i FI: H05K1/11 H; H05K3/00 M; H05K1/16 A; H01L23/12 N; H01L23/14 C		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H05K1/11; H01L23/12; H01L23/15; H05K1/16; H05K3/00; H05K3/46 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2023年 日本国実用新案登録公報 1996-2023年 日本国登録実用新案公報 1994-2023年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2021/100696 A1 (凸版印刷株式会社) 27.05.2021 (2021-05-27) 段落[0036]-[0037], [0043]-[0044], [0050]-[0052], 図15-21	1-14
Y	JP 2015-038962 A (ソニー株式会社) 26.02.2015 (2015-02-26) 段落[0059]-[0060], [0064]-[0066], [0070]	1-14
Y	JP 7067666 B1 (凸版印刷株式会社) 16.05.2022 (2022-05-16) 段落[0014]-[0027], 図1-6	12
A	WO 2019/235617 A1 (凸版印刷株式会社) 12.12.2019 (2019-12-12) 全文, 全図	1-14
A	JP 2022-032990 A (ズハイ アクセス セミコンダクター シーオー., エルティイー ディー) 25.02.2022 (2022-02-25) 全文, 全図	1-14
P, A	WO 2022/203037 A1 (凸版印刷株式会社) 29.09.2022 (2022-09-29) 全文, 全図	1-14
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日	17.10.2023	国際調査報告の発送日 31.10.2023
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 小林 大介 5D 9848 電話番号 03-3581-1101 内線 3551	

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/029603

引用文献			公表日	パテントファミリー文献			公表日
WO	2021/100696	A1	27.05.2021	US	2022/0279651	A1	
				段落[0107]-[0109], [0123]-[0127], [0135]- [0142], 図15-21			
				EP	4064803	A1	
				CN	114731761	A	

JP	2015-038962	A	26.02.2015	US	2015/0021081	A1	
				段落[0074]-[0075], [0079]-[0081], [0085]			
				CN	104299916	A	

JP	7067666	B1	16.05.2022	WO	2023/100586	A1	

WO	2019/235617	A1	12.12.2019	US	2021/0118698	A1	
				全文, 全図			
				EP	3806141	A1	
				CN	112335037	A	

JP	2022-032990	A	25.02.2022	US	2022/0053644	A1	
				全文, 全図			
				KR	10-2022-0021864	A	
				TW	202207413	A	

WO	2022/203037	A1	29.09.2022	JP	2022-151790	A	
				JP	2022-151789	A	
