



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA

(11) Número de publicación: **2 270 996**

(51) Int. Cl.:

H01L 25/10 (2006.01)

H01L 23/32 (2006.01)

(12)

TRADUCCIÓN DE PATENTE EUROPEA

T3

(86) Número de solicitud europea: **01922355 .1**

(86) Fecha de presentación : **13.03.2001**

(87) Número de publicación de la solicitud: **1264347**

(87) Fecha de publicación de la solicitud: **11.12.2002**

(54) Título: **Módulo electrónico que tiene una ordenación tridimensional de paquetes de circuitos integrados montados en portadores.**

(30) Prioridad: **13.03.2000 US 524324**

(73) Titular/es: **Legacy Electronics, Inc.**
1001 Calle Amanecer
San Clemente, California 92673, US

(45) Fecha de publicación de la mención BOPI:
16.04.2007

(72) Inventor/es: **Kledzik, Kenneth, J. y**
Engle, Jason, C.

(45) Fecha de la publicación del folleto de la patente:
16.04.2007

(74) Agente: **Elzaburu Márquez, Alberto**

ES 2 270 996 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Módulo electrónico que tiene una ordenación tridimensional de paquetes de circuitos integrados montados en portadores.

Campo de la invención

Esta invención se refiere a la producción de módulos electrónicos multichips y más particularmente a un aparato para fijar múltiples paquetes de circuitos integrados en placas de circuito impreso.

Antecedentes de la invención

La demanda de memoria de semiconductores es muy elástica. Por una parte, cuando esa memoria es relativamente económica en comparación con el coste global de un sistema de ordenador, el resultado es una demanda casi insaciable, con los fabricantes de ordenadores tendiendo a instalar una cantidad de memoria principal en cada sistema que excede grandemente la cantidad requerida por el uso medio de los programas. Por otra parte, cuando es costosa, los fabricantes típicamente instalan una cantidad en cada sistema que solamente satisface marginalmente las necesidades del programa medio. Aunque los precios de venta de los ordenadores pueden, por tanto, ser mantenidos a bajos niveles, el usuario final puede darse cuenta pronto de que debe mejorar su memoria principal de ordenador.

La demanda siempre creciente de grandes memorias de ordenador de acceso aleatorio y la demanda creciente de ordenadores cada vez más compactos, acoplados con un incentivo sobre la parte de los fabricantes de semiconductores para reducir el coste por bit, ha conducido no solamente a cuaduplicar la densidad de los circuitos aproximadamente cada tres años, sino a técnicas cada vez más eficientes para empaquetar y montar los chips de circuito. Hasta los últimos años 1980's los chips de memoria semiconductores fueron usualmente empaquetados como paquetes de conexiones en línea doble (DIPPs - Dual Inline Pin Packages). Las conexiones de estos paquetes DIPP eran generalmente soldadas directamente dentro de orificios pasantes en una placa de circuito principal (por ejemplo, la placa madre), o estos eran insertados en receptáculos que eran, a su vez, soldados dentro de orificios pasantes en la placa de circuito principal. Con el advenimiento de la tecnología de montaje de superficie, los orificios pasantes de placa convencionales en las placas de circuito impreso han sido sustituidos por tomas de montaje conductoras. Los paquetes Pequeños Exteriores de conductores en forma de J (SQJ - Small Outline J-lead packages) han conducido a Paquetes Exteriores Pequeños Delgados (Thin Small Outline Packages - TSOPs). Puesto que el paso o separación entre centros de conexiones de montaje de superficie adyacente es significativamente menor que el espaciamiento convencional de 2,54 mm para componentes de orificio pasante convencionales, los chips de montaje de superficie tienden a ser considerablemente de menor tamaño que los chips convencionales correspondientes, ocupando por tanto menos espacio sobre una placa de circuito impreso. Adicionalmente, como los orificios pasantes ya no se necesitan, la tecnología de montaje de superficie tiende por sí misma al montaje de componentes en ambos lados de una placa de circuito impreso. Los módulos de memoria que utilizan paquetes de montaje de superficie en ambas caras se han convertido en normales. Tanto los módulos de memoria en línea única (SIMMs) más antiguos como los módulos de memoria en línea

doble usados actualmente (DIMMs) se insertan en receptáculos sobre la placa madre.

La densidad de empaquetado puede ser aumentada bastante espectacularmente por los módulos que se fabrican en los que una pluralidad de circuitos integrados (IC), tales como chips de memoria, se apilan en una disposición tridimensional. Como una regla general, el apilamiento tridimensional de chips requiere métodos de empaquetado, anormales, complejos.

Un ejemplo de una pila vertical de chips de IC es proporcionada por la Patente de EE.UU. N° 4.956.694, de Floyd Eide, titulada "Apilamiento de Chips de Circuito Integrado". Una pluralidad de circuitos integrados están empaquetados dentro de portadores de paquetes y apilados, unos encima de otro, sobre la placa de circuito impreso. A excepción del terminal de selección de chip, todos los demás terminales en los chips están conectados en paralelo.

Otro ejemplo de apilamiento de chips se muestra en la Patente de EE.UU. N° 5.128.831, de Fox y otros, titulada "Paquete Electrónico de Alta Densidad que Comprende Submódulos Apilados que Están Interconectados Eléctricamente mediante Vías Llenas de Soldadura". El paquete se ensambla a partir de submódulos individualmente comprobables, cada uno de los cuales tiene un único chip ligado al mismo. Los submódulos están intercalados con espaciadores de tipo bloque. Tanto los submódulos como los espaciadores tienen vías que pueden ser alineadas que proporcionan la interconexión entre los diversos submódulos.

La Patente de EE.UU. N° 5.313.096, expedida también a Floyd Eide y titulada "Paquete de Chips de IC que Tienen el Chip Fijado a y Enlazado por Cable Dentro de un Sustrato de Recubrimiento", es otro ejemplo. Ese tipo de paquete incluye un chip que tiene una superficie activa superior ligada a la superficie inferior de una capa de sustrato inferior que tiene trazas conductoras sobre su superficie superior que terminan en tomas conductoras sobre su periferia. La conexión entre los terminales sobre la superficie activa y las trazas se efectúa con conductores a través de aberturas dentro de la capa de sustrato inferior. Una capa de sustrato superior, que está ligada a la capa de sustrato inferior, tiene aberturas que coinciden con las de la capa de sustrato inferior y proporcionan espacio en el que se puede situar el hilo de enlace. Despues de efectuado el enlace conductor, las aberturas se llenan con resina epoxídica para formar un submódulo individualmente comprobable. Submódulos múltiples pueden ser apilados e interconectados con tiras metálicas fijadas a sus bordes.

Otro ejemplo de un módulo de chips apilados se describe en la Patente de EE.UU. N° 5.869.353, de A.U. Levy y otros, titulada "Procedimiento de Apilamiento de Paneles Modulares". Se fabrica una pluralidad de paneles que tienen aberturas en los mismos, una ordenación de tomas de montaje de chips en la parte inferior de las aberturas, y tomas conductoras de interfaz. Tanto las tomas de montaje de chips como las tomas conductoras de la interfaz son revestidas con una pasta de soldadura. Los chips de IC de montaje de superficie encapsulados en plástico son posicionados sobre las tomas de montaje cubiertas de pasta, se apilan múltiples paneles en la disposición estratificada y la pila se calienta para soldar las conexiones de chip a las tomas de montaje y las tomas de la interfaz de los paneles adyacentes juntas. Las pilas de

paquetes de chips individuales se separan entonces de la pila de paneles mediante una operación de corte o segmentación.

La Patente de EE.UU. N° 5.910.885, publicada el 8 de Junio de 1999, de Gulachenski y otros, titulada "Módulo de Apilamiento Electrónico", describe un módulo apilado electrónico que comprende dos o más sustratos que tienen superficies superior e inferior con uno o más componentes electrónicos dispuestos sobre las superficies y conectados eléctricamente a tomas de conectador dispuestas en un modelo predeterminado en los bordes de sustrato. Una pluralidad de conexiones de sujeción están fijadas eléctricamente a las tomas de conectador, donde cada toma de sujeción comprende una sección de sujeción, una sección de separación de longitud especificada, y una sección de montaje, estando configurada la sección de sujeción para ser aplicada por rozamiento tanto a la superficie de sustrato superior como inferior. El apilamiento de los sustratos se efectúa alineando y enlazando las secciones de sujeción de un sustrato con las correspondientes secciones conjugadas del sustrato adyacente.

Como puede verse en los ejemplos que siguen, la densidad de chips incrementada se consigue por medio de la utilización de disposiciones de empaquetado y apilamiento complicadas, que necesariamente han de reflejarse en un coste más alto por bit de almacenamiento.

Sumario de la invención

La presente invención proporciona una densidad de circuito incrementada sobre placas de circuito impreso. La invención es particularmente útil para incrementar la densidad de los chips de memoria sobre los módulos de memoria usados para los sistemas de ordenador. La invención incluye un portador de paquetes que está diseñado para ser montado sobre una placa de circuito impreso (PCB) encima de un primer paquete de circuito integrado (IC) que está montado también sobre la PCB. El portador tiene una superficie principal superior que tiene una ordenación de tomas sobre las que puede ser montado un segundo paquete de IC. Cuando está montado sobre el primer paquete de ICs, el portador puede ser considerado como una cubierta, sobre la cual se monta el segundo paquete de ICs. El portador tiene una pluralidad de tomas por medio de las cuales el portador se monta en la superficie de la PCB. Cada conexión de portador está conectada también eléctricamente a una toma única de la ordenación de tomas situada sobre la superficie superior. La invención incluye también un módulo multichip ensamblado que usa al menos una PCB, al menos un portador de paquetes y al menos dos paquetes de ICs. Para los módulos multichip en los que el paquete de ICs situado debajo del portador comparte todas o la mayoría de las conexiones en común con el paquete de IC montado sobre el mismo, un único conductor del portador y un único conductor del paquete situado debajo del portador pueden compartir una toma de montaje/conexión sobre la PCB. Cuando deben hacerse conexiones separadas mediante conductores posicionados de modo similar sobre el portador y el paquete situado debajo del portador, la toma correspondiente sobre la PCB puede ser dividida de modo que cada conductor tenga una conexión única.

Una primera realización del portador incluye un cuerpo que tiene una primera ordenación de tomas, dispuesta en dos filas lineales paralelas de tomas, y

adherida a una superficie mayor superior del mismo. Los conductores de un paquete de ICs pueden estar ligados conductivamente a las tomas de la primera ordenación de tomas. El cuerpo tiene también una segunda ordenación de tomas, dispuesta en forma de dos filas lineales paralelas de tomas posicionadas a lo largo de los bordes longitudinales, y adheridas a la superficie mayor inferior del mismo. Las tomas de las primera y segunda ordenaciones están interconectadas con vías metalizadas conductivamente, o a través de orificios. Los hilos de portador están enlazados conductivamente con las tomas de la segunda ordenación. El portador incorpora una característica de pozo de calor. Los conductores extremos sobre un primer lado del portador son ambos conductores de potencia. Estos dos conductores de potencia están interconectados por una primera hoja laminar que es continua con, y se extiende entre, esos dos conductores, y la cual puede extenderse a todo lo largo del portador. Una porción extrema de la primera hoja laminar puede de estar expuesta en cada extremo del portador para facilitar la transferencia de calor al aire ambiente. Los conductores que terminan sobre un segundo lado del portador son ambos conductores de tierra. Estos dos conductores de tierra están interconectados por una segunda hoja laminar que es continua con, y se extiende entre, estos dos conductores, y que puede extenderse a todo lo largo del portador. Una porción extrema de la segunda hoja laminar puede estar expuesta en cada extremo del portador para facilitar la transferencia de calor al aire ambiente. Cada hoja laminar está separada de los conductores que intervienen de la misma fila. Las primera y segunda hojas laminares están espaciadas entre sí a lo largo del centro del portador. Cada paquete de ICs incluye un cuerpo dielectrónico, un chip de ICs empotrado dentro del cuerpo, y una pluralidad de conductores, un extremo de cada uno de los cuales está empotrado dentro del cuerpo y acoplado eléctricamente de modo conductivo a un terminal de conexión sobre el chip de ICs. Para una realización referida del módulo multichip, una superficie superior del cuerpo del paquete de ICs inferior está en contacto íntimo con ambas hojas laminares, acoplada térmicamente a las mismas por medio de un compuesto térmicamente conductor, o en estrecha proximidad con las mismas para facilitar la transferencia de calor desde el cuerpo del paquete a las hojas laminares.

Una segunda realización del portador incluye conductores modificados, cada uno de los cuales funciona como un pozo de calor. Una porción central de cada conductor está enlazada con una toma de la segunda ordenación de tomas sobre la superficie inferior del cuerpo portador. Una porción exterior de cada conductor está configurada para el montaje de superficie en una toma de montaje/conexión sobre una PCB. Una porción interior de cada conductor se extiende hacia el centro del cuerpo. Para una realización preferida del módulo multichip, una superficie superior del cuerpo del paquete de ICs inferior está en contacto íntimo con la porción interior de cada conductor, acoplada térmicamente al mismo por medio de un compuesto térmicamente conductor, o en estrecha proximidad con el mismo para facilitar la transferencia de calor desde el cuerpo del paquete a los conductores.

Descripción de los dibujos

La figura 1 es una vista isométrica de una primera realización del portador de paquetes;
la figura 2 es una vista isométrica del primer cuer-

po portador de paquetes de la realización, que muestra la cara inferior del mismo;

la figura 3 es una vista isométrica de los conductores portadores del portador de paquetes de la figura 1;

la figura 4 es una vista isométrica de las primera y segunda hojas de pozo de calor, que están conectadas a los conductores de tierra y a los conductores de potencia, respectivamente;

la figura 5 es una vista isométrica de una porción en despiece ordenado del primer módulo electrónico de la realización;

la figura 6 es una vista isométrica de una porción ensamblada del primer módulo electrónico de la realización;

la figura 7 es una vista isométrica de un segundo portador de paquetes de la realización;

la figura 8 es una vista isométrica del segundo cuerpo portador de paquetes de la realización, que muestra la cara inferior del mismo;

la figura 9 es una vista isométrica de los conductores de portador del portador de paquetes de la figura 7;

la figura 10 es una vista en planta desde arriba de un cuerpo portador de cualquiera de los portadores de paquetes de las realizaciones primera o segunda;

la figura 11 es una vista isométrica de una porción en despiece ordenado del módulo electrónico de la segunda realización; y

la figura 12 es una vista isométrica de una porción ensamblada del módulo electrónico de la segunda realización.

Descripción detallada de la invención

Como será evidente en las figuras de los dibujos adjuntos, la presente invención permite la fabricación de módulos electrónicos que tienen una densidad de circuitos incrementada. La invención puede ser usada para una diversidad de aplicaciones. Una utilización muy evidente es en la fabricación de módulos de memoria. Como los módulos de memoria incorporan típicamente una placa de circuito impreso que tiene dimensiones rígidamente prescritas, el uso más eficiente del estado real de la placa dará como resultado un módulo que tenga mayor capacidad de memoria total. La invención puede ser utilizada también para acoplar estrechamente paquetes de ICs, relacionados pero disimilares. Por ejemplo, puede ser conveniente montar un paquete de IC que contenga memoria asociada de alta velocidad en la parte superior de un paquete de ICs que contenga un chip de microprocesador. Las diversas realizaciones del módulo electrónico mejorado se describirán ahora detalladamente con referencia a los dibujos que se acompañan.

Haciendo referencia ahora a las figuras 1 y 2, un portador 100 de paquetes de la primera realización tiene un cuerpo dieléctrico 101 que tiene superficies 102U y 102L planas mayores paralelas, superior e inferior, respectivamente. Para una realización preferida de la invención el cuerpo es de material plástico reforzado con fibra de vidrio usado ordinariamente para fabricar placas de circuito impreso. El cuerpo 101 dieléctrico tiene también una primera ordenación 103 de tomas de montaje adheridas a dicha superficie 102U plana mayor superior. Las tomas 104 de montaje de la ordenación 103 están configuradas individualmente y ordenadas colectivamente para recibir los conductores de un primer paquete de circuitos integrados (no mostrados en esta figura de los dibujos). El cuerpo

101 dieléctrico incluye también una segunda ordenación 105 de tomas de montaje adheridas a dicha superficie 102L plana mayor inferior. Cada toma 106 de la segunda ordenación 105 está acoplada a una toma 104 de dicha primera ordenación 103 por medio de una abertura 107 metalizada internamente que se extiende entre la superficie 102U plana mayor superior y la superficie 102L mayor inferior. El portador 100 de paquetes incluye también un conjunto de conductores 108 de portador, cada uno de los cuales está ligado conductivamente con una toma 106 de la segunda ordenación 105 de tomas de montaje. Los conductores individuales 108A del conjunto 108 de conductores portadores están espaciados y configurados para ser montados en la superficie sobre una placa de circuito impreso (no mostrada en esta figura de los dibujos). Se ha de tener en cuenta que el cuerpo 101 tiene un recorte 109 en cada extremo del mismo. También se ha de tener en cuenta que para esta realización de un portador, el espaciamiento entre las dos filas de tomas 104 de la primera ordenación 103 es más estrecho que el espaciamiento entre las dos filas de tomas 106 de la segunda ordenación. La razón para este diferente espaciamiento es que el portador 100 de paquetes puede ser considerado como una cubierta que recubre y puentea un segundo paquete de circuitos integrados sobre la placa de circuito impreso. Por tanto los conductores del portador deben estar más espaciados de modo que se monten fuera de los conductores del paquete que así se cubre. El portador 100 de paquetes incluye también un par de tomas 110 de montaje de condensadores en cada extremo del mismo. Las tomas de cada par están dimensionadas y espaciadas para recibir un condensador 111 de desacoplamiento del montaje de superficie.

40 Haciendo referencia ahora a la figura 3, el conjunto 108 de conductores de portador del primer portador 100 de paquetes de la primera realización incluye una pluralidad de conductores 301 articulados, cada uno de los cuales está fijado individualmente a una toma 106 de la segunda ordenación 105 de tomas de montaje. La porción exterior de cada uno de los conductores 301 es esencialmente en forma de C. El conjunto 108 de conductores del portador incluye también un trío de conductores 302 de potencia, que están interconectados por medio de una primera hoja 303 laminar, que sirve también como una capa de pozo de calor. También está incluido en el conjunto 108 de conductores de portador un trío de conductores 304 de tierra, que están interconectados por medio de una segunda hoja laminar 305, que sirve también como una capa de pozo de calor. Ambas, la primera y la segunda hojas laminares, 303 y 305, respectivamente, incorporan un par de lengüetas 306, que mejoran la disipación de calor de las hojas laminares. Los recortes 109 exponen porciones de las primera y segunda hojas laminares 103 y 305, ayudando de ese modo a disipar calor en el aire ambiente.

55 La figura 4 muestra el conjunto 108 de conductores de portador menos todos los conductores 301 articulados. Los tres conductores 302 de potencia y la capa 303 de pozo de calor interconectada asociada están a la izquierda, mientras que los tres conductores 304 de tierra y la capa 305 de pozo de calor interconectada asociada están a la derecha. Las lengüetas 306 de prolongación son también fácilmente visibles.

60 Haciendo referencia ahora a la vista en despiece ordenado de una porción de un módulo electrónico

500 en la figura 5, un primer paquete 501 de circuitos integrados que tiene una pluralidad de conductores 502 se muestra alineado para el montaje de superficie en la primera ordenación 103 de tomas de montaje sobre la superficie 102U plana mayor superior del primer portador 100 de paquetes de la primera realización. Una placa 503 de circuito impreso incluye una segunda ordenación 504 de tomas de montaje que tiene tomas 505 de montaje individuales dispuestas en dos filas paralelas 506L y 506R. Un segundo paquete 507 de circuitos integrados que tiene una pluralidad de conductores 508 se muestra alineado para el montaje de superficie en la tercera ordenación 504 de tomas de montaje. El portador 100 de paquetes está lineado también para el montaje de la superficie en la tercera ordenación de tomas de montaje. El portador 100 de paquetes está diseñado de modo que sus dos filas de conductores 112 que constituyen su conjunto 108 de conductores de portador están más espaciadas que las filas 508 de conductores en el segundo paquete 507 de circuitos integrados. Ese tipo de disposición permite que un conductor 109 de portador y un segundo conductor 508 de paquete compartan una toma 505 de montaje sobre la placa 503 de circuito impreso. Donde las señales y/o entradas de potencia son comunes, la toma 505 no necesita ser dividida. No obstante, donde las señales son diferentes (por ejemplo, señales de selección de chip), entonces la toma 505 puede ser dividida de modo que puede ser suministrada una señal o requisito de potencia diferentes al propio conductor. La toma 505A es una toma dividida. Si ambos, el primer y el segundo paquetes 501 y 507, respectivamente, son chips de memoria y el primer paquete 501 está montado en la superficie en el portador 100 y el portador 100 y el segundo paquete están montados en superficie en la placa 503 de circuito impreso, entonces cada chip puede ser individualmente seleccionado enviando una señal a la mitad apropiada de la toma 505A. Un método alternativo de encaminamiento de señales de selección de chip a dos chips idénticos implica utilizar una toma para un conductor no usado (de los cuales hay típicamente varios en cada paquete) para una de las señales de selección de chip y luego reencaminar la señal dentro del cuerpo 101 de portador a la toma en la que el conductor de selección de chip será enlazado. Se ha de tener en cuenta que la placa de circuito impreso incluye un par de tomas 509 de montaje de condensador en esquinas opuestas de la tercera ordenación 504 de tomas de montaje. Las tomas de cada par están dimensionadas y espaciadas para recibir un condensador 111 de desacoplamiento de montaje de superficie. El posicionamiento de los condensadores de desacoplamiento generalmente no es crítico, y los condensadores pueden justamente ser montados sobre el mismo lado del portador 101. Adicionalmente, pueden ser empleados más de dos condensadores para cada chip. Será evidente que para un par de chips de memoria idénticos, todas las conexiones, distintas a la entrada de selección de chip, estarán verticalmente superpuestas. En tal caso, las aberturas 107 metalizadas interiormente serán usadas para interconectar una toma 104 de la primera ordenación 103 de tomas de montaje con una toma 106 alineada verticalmente de la segunda ordenación 105 de tomas de montaje. Cuando se emplean paquetes de circuitos integrados primero y segundo disimilares, el nuevo encaminamiento de las conexiones puede ser necesario. Esto puede ser efectuado de

la misma manera si se usa para diseñar una placa de circuito impreso. Por tanto, entre la primera y la segunda ordenaciones de tomas de montaje que están respectivamente situadas sobre las superficies superior 102U e inferior 102L del cuerpo portador 101, una o más capas de trazas que intervienen son empotradas dentro del material dieléctrico del cuerpo 101. Las capas que intervienen pueden también estar interconectadas con aberturas metalizadas interiormente. Esta técnica es tan común que difícilmente requiere ser examinada en este documento.

Haciendo referencia ahora a la figura 6, un segundo paquete 507 de circuitos integrados se monta en la superficie en una tercera ordenación 504 de tomas de montaje sobre una placa 503 de circuito impreso, un primer portador 100 de paquetes se monta también en la superficie en la tercera ordenación 504 de tomas de montaje, y un primer paquete 501 de circuitos integrados se monta en superficie en la primera ordenación 103 de tomas de montaje del portador 100 de paquetes. El montaje incluye también cuatro condensadores 111 de desacoplamiento que se montan en superficie con tomas 110 y 509 de montaje de condensador.

Las figuras 7, 8 y 9 muestran una segunda realización de portador 700 de paquetes tanto en la forma ensamblada (figura 7) como en la forma de componentes (figuras 8 y 9). La diferencia principal entre el primer portador 100 de la realización y el segundo portador 700 de la realización es la forma de los conductores 701. Se ha de tener en cuenta que cada conductor tiene una porción alargada 801 que funciona como un pozo de calor. No hay hojas laminares acopladas a cualquiera de los conductores de potencia y tierra, como ocurre en el portador 100 de la primera realización. La figura 8 muestra la cara inferior del cuerpo 101 portador dieléctrico que, en este caso, es idéntico al portador 100 de la primera realización.

Haciendo referencia ahora a la figura 10, una vista desde arriba del cuerpo de cualquiera de los portadores de chips primero o segundo muestra una configuración para el encaminamiento de las trazas para las tomas 110 y 509 de montaje del condensador de desacoplamiento. La traza 1001 acopla las tomas 110A/509A a una toma 104P de montaje de potencia de la primera ordenación 103 de tomas, mientras que la traza 1002 acopla la toma 110B/509 a una toma 104G de montaje de tierra de la primera ordenación 103 de tomas de montaje. Asimismo, la traza 1003 acopla la toma 110C/509C a una toma 104G de montaje de tierra de la primera ordenación 103 de tomas de montaje, mientras que la traza 104 acopla la toma 110D/509D a una toma 104P de montaje de potencia de la primera ordenación 103 de tomas de montaje.

Haciendo referencia ahora a la vista en despiece ordenado de la figura 11, en ella se muestra un primer paquete 501 de circuitos integrados que tiene una pluralidad de conductores 502 alineados para el montaje de superficie en la primera ordenación 103 de tomas de montaje sobre la superficie plana mayor superior 102U del portador 700 de paquetes de la segunda realización. Una placa 503 de circuito impreso incluye una tercera ordenación 504 de tomas de montaje que tiene tomas 505 de montaje individuales dispuestas en dos filas paralelas 506L y 506R. Un segundo paquete 507 de circuitos integrados que tiene una pluralidad de conductores 508 se muestra alineado para el montaje de superficie en la tercera ordenación 504 de tomas de montaje. El portador 700 de paquetes de

la segunda realización está también alineado para el montaje de superficie en la tercera ordenación de tomas de montaje.

Haciendo referencia ahora a la figura 12, en ella se muestra un segundo paquete 507 de circuitos integrados que se monta en superficie en una tercera ordenación 504 de tomas de montaje sobre una placa 503 de circuito impreso, un portador 700 de paquetes de la segunda realización está montado también en superficie en la tercera ordenación 504 de tomas de montaje, y un primer paquete 501 de circuitos integrados está montado en superficie en la primera ordenación 103 de tomas de montaje del portador 100 de paquetes. El montaje incluye también cuatro conductores 111 de desacoplamiento que están montados en superficie en las tomas 110 y 509 de montaje de conductores.

Aunque han sido descritas solamente varias realizaciones únicas de la invención, será evidente para los expertos ordinarios en la técnica que pueden hacerse cambios y modificaciones en las mismas sin salirse del alcance del alcance de la invención tal como se reivindica. Por ejemplo, son posibles muchas variaciones de dos realizaciones básicas. Por ejemplo, los conductores de los paquetes de IC de montaje de superficie pueden variar. En adición, la forma de las porciones exteriores de los conductores de portador puede variar también de la forma en "C" descrita en esta memoria. En el momento presente, son dos los tipos de conductores más usados ordinariamente para componentes de montura de superficie. Un conductor tiene forma de "J"; el otro tiene forma de "S". Los conductores en forma de ala de gaviota, o "S", se están extendiendo cada vez más. Otros tipos de conduc-

tores para componentes de montaje de superficie pueden ser también desarrollados. La invención no debe ser considerada limitada por el tipo de conductor que utiliza sobre cualquier de los componentes constituyentes o sobre el portador 101 de chips. Los tipos de conductor pueden ser también mezclados entre componentes que comprendan un módulo. Por tanto, son posibles montajes que tengan un número diferente de combinaciones de conductores. En un extremo del espectro, ambos paquetes y el portador pueden utilizar conductores en forma de "C" o en forma de "J". En otro extremo, todos los componentes usarán conductores en forma de "S". Entre esos dos extremos, cada uno de los componentes puede utilizar cualquiera de los tres conductores actualmente disponibles para componentes de montaje de superficie, así como los conductores que puedan ser desarrollados. En adición, el montaje de superficie de los componentes implica típicamente un procedimiento de soldadura por reflujo, en el que los conductores y/o las tomas de montaje son revestidas con una emulsión de soldadura. Los componentes son entonces ensamblados y el montaje es sometido a una operación de reflujo en un horno. Los conductores son por tanto enlazados conductivamente con las tomas de montaje. Hay otras técnicas conocidas para enlazar conductores con tomas de montura. Colocando una bola de metal (usualmente oro) sobre cada una de las tomas de montaje, colocando un conductor encima de cada bola, y usando energía ultrasónica para fundir cada bola con su toma y conductor asociados es otra opción del montaje de superficie.

35

40

45

50

55

60

65

REIVINDICACIONES

1. Un portador (100) de paquetes que comprende: un cuerpo (101) dieléctrico que tiene superficies (102U, 102L) planas mayores paralelas superior e inferior;

una primera ordenación (103) de tomas de montaje adherida a dicha superficie (102U) plana mayor superior, estando dicha primera ordenación (103) de tomas de montaje dimensionada para recibir los conductores (502) de un primer paquete (501) de circuitos integrados;

una segunda ordenación (105) de tomas de montaje adherida a dicha superficie (102L) plana mayor inferior;

un conjunto de conductores (108; 701) en el que cada conductor (301, 302, 304; 701) de portador está enlazado conductivamente con una toma (106) de dicha segunda ordenación (105), estando dicho conjunto de conductores (108; 701) de portador espaciado y configurado para el montaje de superficie sobre una placa (503) de circuito impreso; **caracterizado** porque

cada toma (106) de dicha segunda ordenación (105) está acoplada a una toma (104) de dicha primera ordenación (103) por medio de un abertura (107) metalizada interiormente que se extiende entre dicha superficie (102U) plana mayor superior y dicha superficie (102L) mayor inferior;

y el portador (100) de paquetes comprende además un pozo (303, 305, 801) de calor incorporado dentro del cuerpo dieléctrico (101) y los conductores (301, 302, 304; 701).

2. El portador (100) de paquetes de la reivindicación 1, en el que prolongaciones laminares (303, 305, 801) de dichos conductores (301, 302, 304; 701) de portador sirven como dichos pozos (303, 305; 801) de calor.

3. El portador (100) de paquetes de las reivindicaciones 1 ó 2, en el que dicho cuerpo dieléctrico (101) proporciona un pozo de calor que forma parte (109).

4. El portador (100) de paquetes según una cualquiera de las reivindicaciones 1 a 3, en el que dicho pozo (303, 305; 801) de calor disipa calor para un segundo paquete (507) de circuitos integrados que se monta entre dicha placa (503) de circuito impreso y dicha superficie (102U) plana mayor inferior.

5. El portador (100) de paquetes según una cualquiera de las reivindicaciones 2 a 4, en el que cada conductor (701) de portador incluye una prolongación (801) laminar que es paralela a y contigua a dicha superficie plana mayor inferior (102L).

6. El portador (100) de paquetes según una cualquiera de las reivindicaciones 2 a 4, en el que solamente aquellos conductores (302, 304) de portador que están designados para estar al potencial de tierra o al potencial de la tensión de suministro durante el funcionamiento del primer paquete (501) de circuitos integrados tienen prolongaciones laminares (303, 305) que funcionan como pozos (303, 305) de calor.

7. El portador (100) de paquetes según una cual-

quiera de las reivindicaciones precedentes, en el que dicho cuerpo (101) dieléctrico está configurado de un material polímero semirrígido.

5 8. El portador (100) de paquetes de la reivindicación 7, en el que dicho cuerpo dieléctrico (101) está configurado de material plástico reforzado con fibra de vidrio.

10 9. El portador (100) de paquetes según una cualquiera de las reivindicaciones 1 a 8, que comprende además al menos un par de tomas (110) de montaje de condensador sobre dicha superficie (102U) plana mayor superior, estando cada par dimensionado y espaciado para recibir un condensador (111) de desacoplamiento.

15 10. Un módulo de circuito electrónico que comprende:

una placa (503) de circuito impreso que tiene al menos una ordenación (504) de tomas de interconexión adheridas a la misma;

20 al menos una unidad de paquete de IC, teniendo cada unidad un portador (100) de paquetes según una cualquiera de las reivindicaciones 1 a 9

25 primer y segundo chips de circuitos integrados, estando dicho primer chip acoplado eléctricamente a dicha primera ordenación (103) de tomas de montaje, y estando dicho segundo chip acoplado eléctricamente a dicha ordenación (504) de tomas de interconexión.

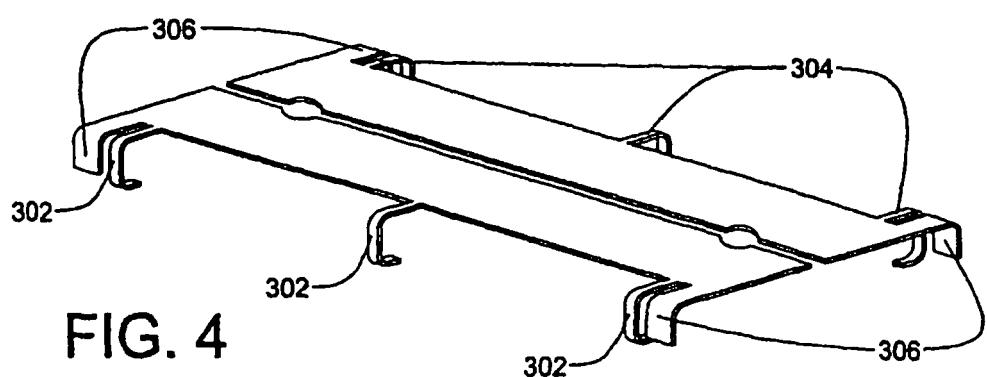
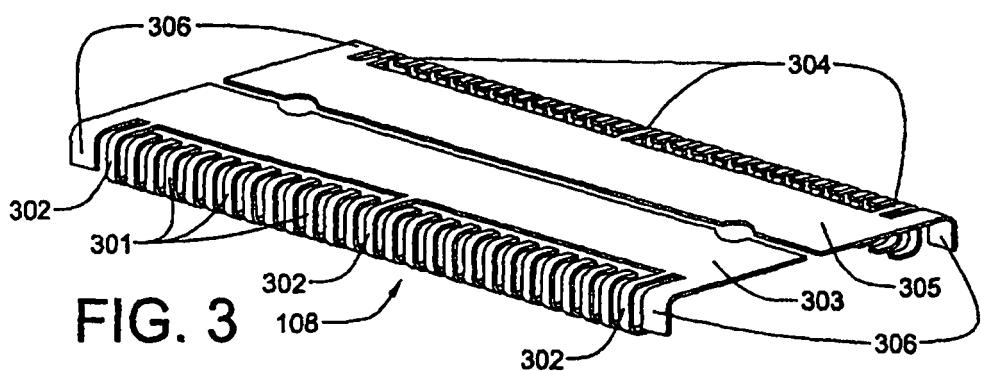
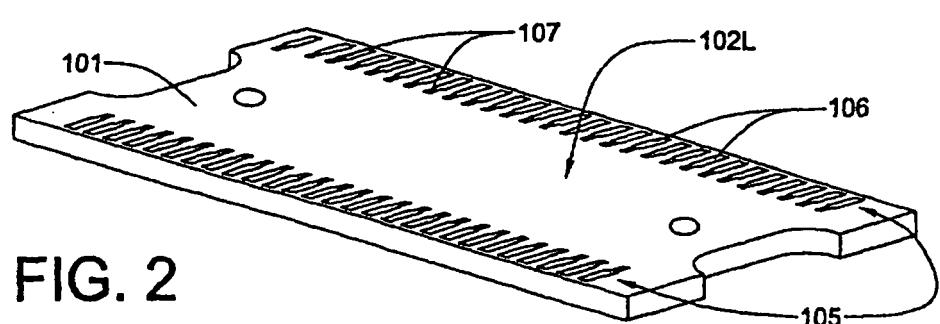
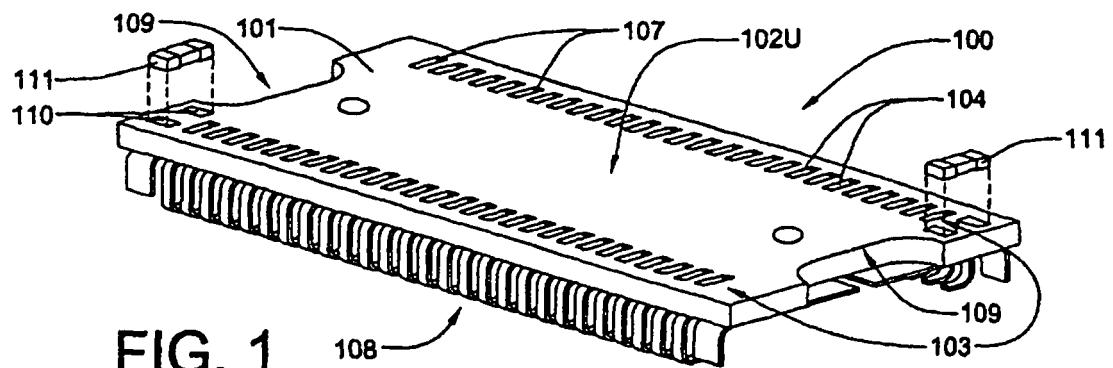
30 11. El módulo de circuito electrónico de la reivindicación 10, en el que cada chip de circuito integrado está encapsulado dentro de un paquete (501, 507) que tiene una pluralidad de conductores exteriores (502, 508), y dicho primer chip está acoplado a dicha primera ordenación (103) de tomas de montaje, por medio de conductores (502) de su paquete (501) de encapsulación, y dicho segundo chip está acoplado a dicha ordenación (504) de tomas de interconexión por medio de los conductores (508) de su paquete (507) de encapsulación.

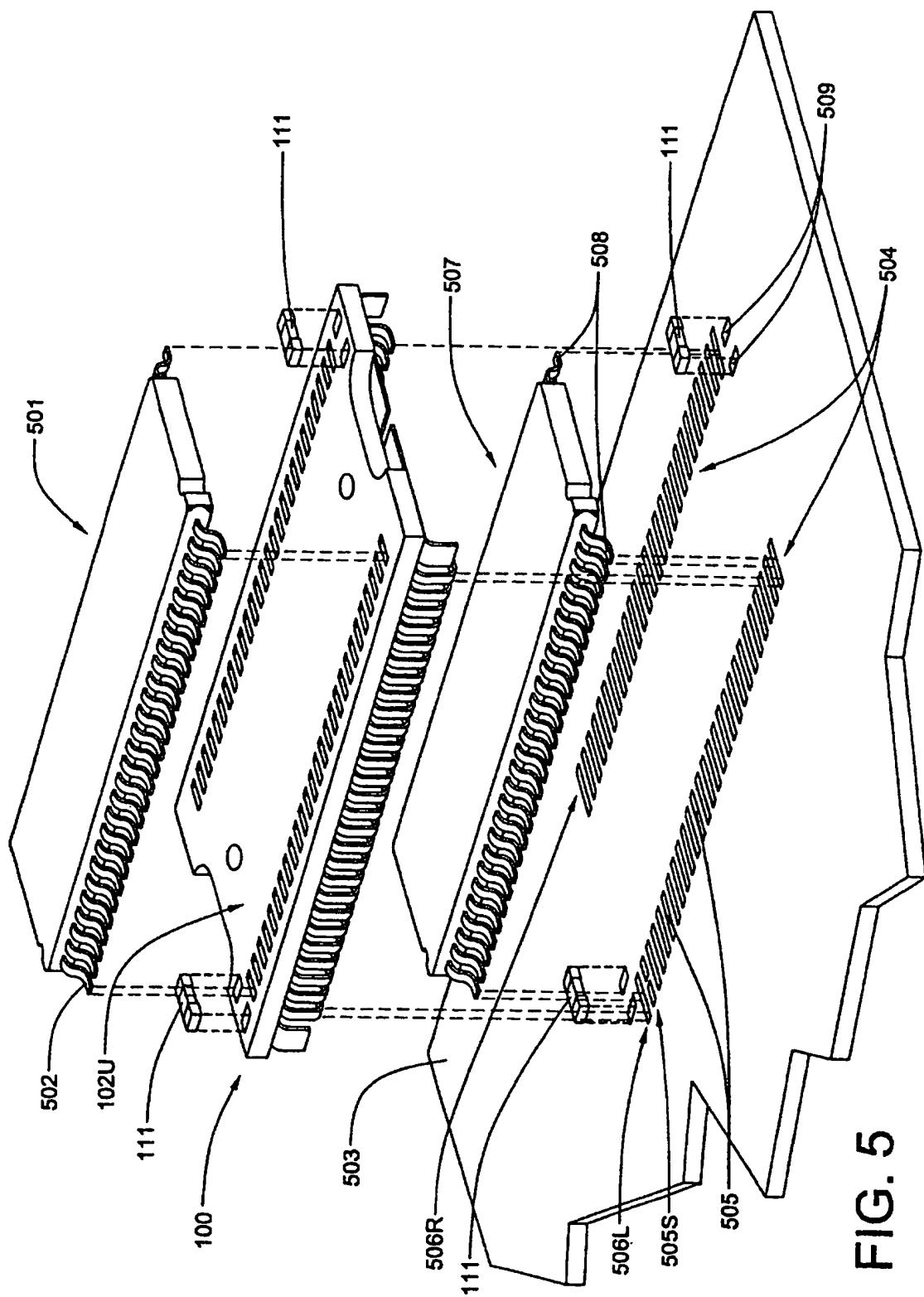
35 40 12. El módulo de circuito electrónico de la reivindicación 11, en el que dichos primer (501) y segundo (507) paquetes son del mismo tamaño y funcionalmente idénticos.

45 13. El módulo de circuito electrónico según una cualquiera de las reivindicaciones 10 a 12, en el que dichos conductores (301, 302, 304; 701) de portador están configurados en forma de C.

50 14. El módulo de circuito electrónico según una cualquiera de las reivindicaciones 10 a 13, en el que al menos una toma (505S) de dicha ordenación (504) de interconexiones está dividida de modo que los conductores correspondientes (502, 508) de dichos primer y segundo paquetes (501, 507) pueden recibir señales únicas.

55 15. El módulo de circuito electrónico según una cualquiera de las reivindicaciones 10 a 13, en el que se alimentan señales únicas a los correspondientes conductores de dichos primer y segundo paquetes para encaminar al menos una de las señales a una posición de conductor no usada sobre el primer paquete, y reencaminar entonces la señal dentro del cuerpo portador al conductor apropiado sobre el segundo paquete.





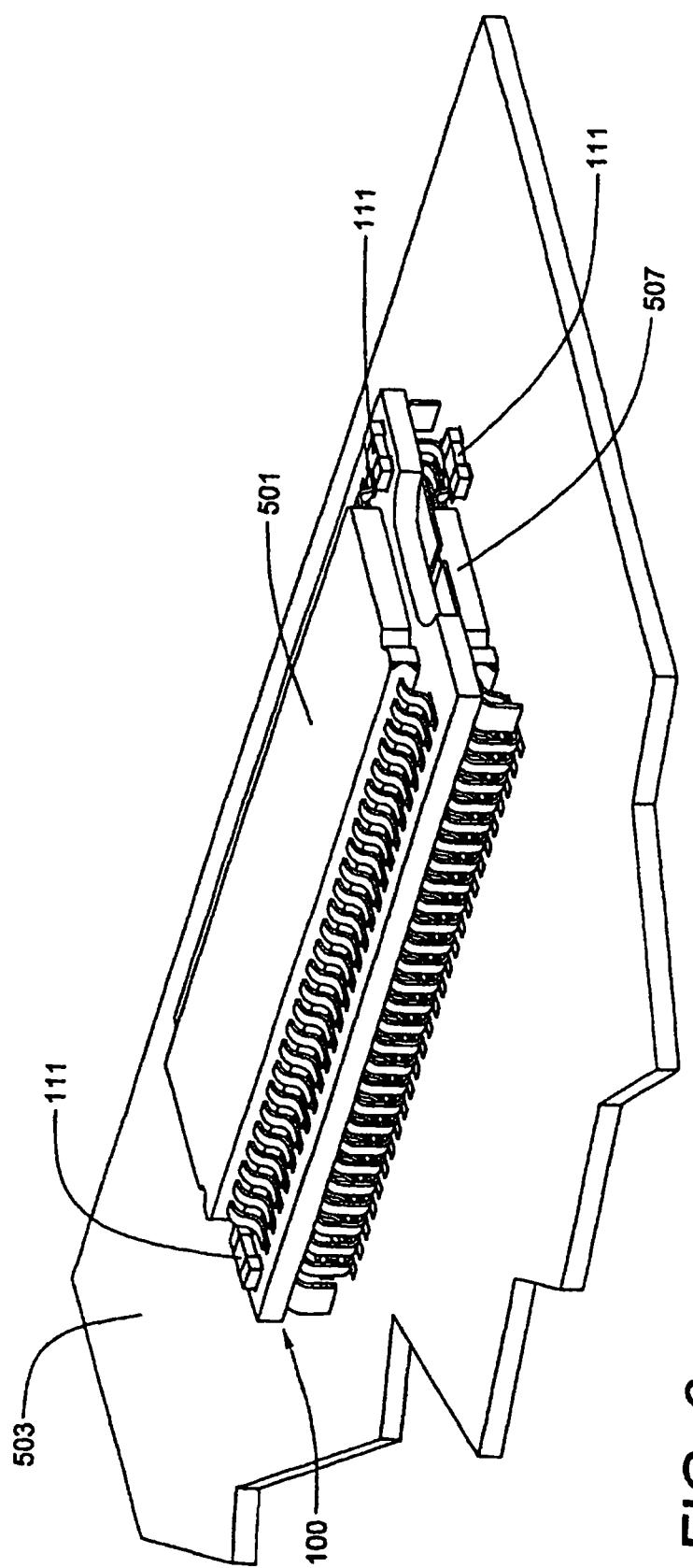


FIG. 6

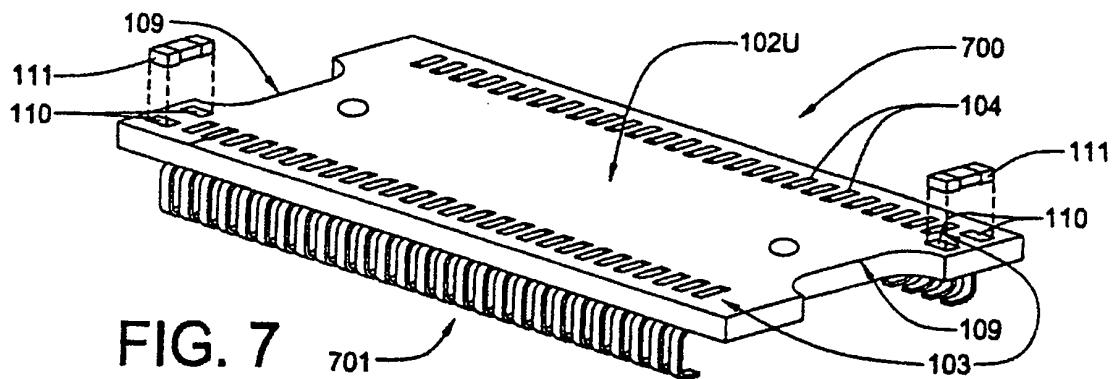


FIG. 7

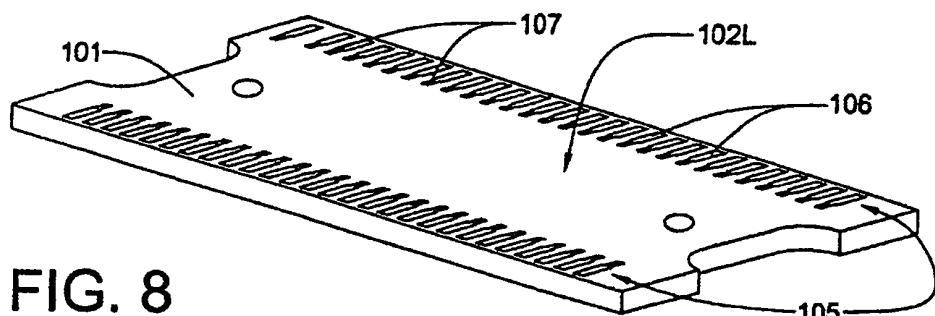


FIG. 8

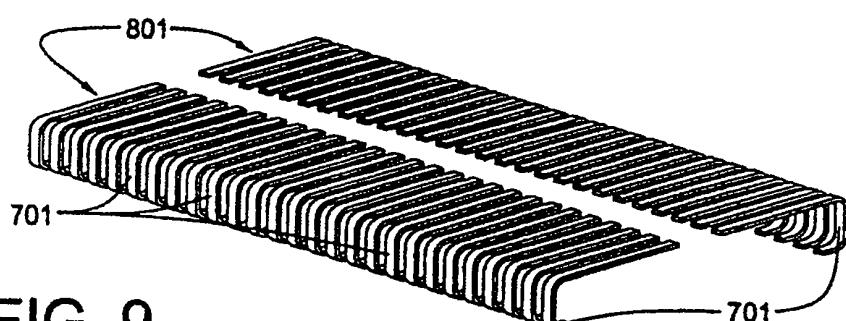


FIG. 9

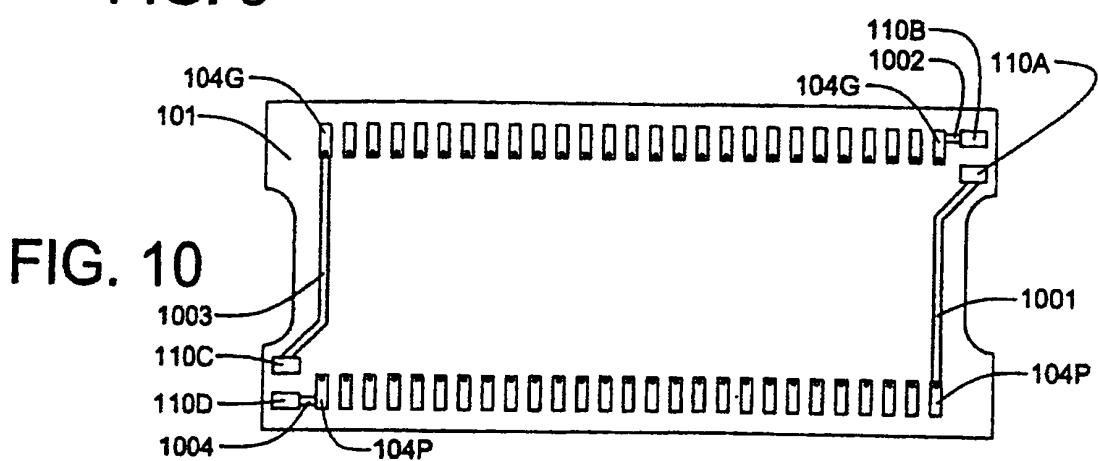


FIG. 10

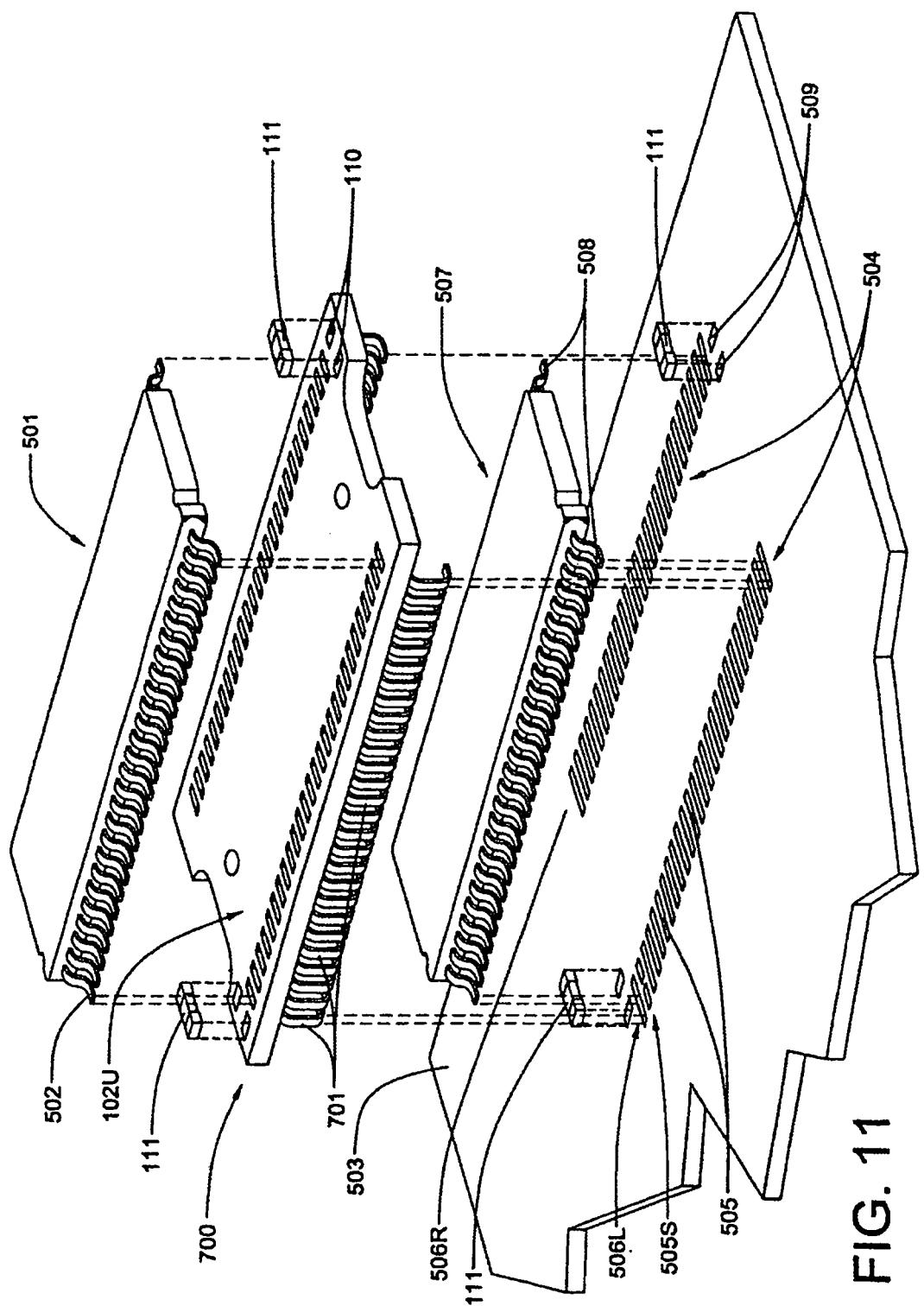


FIG. 11

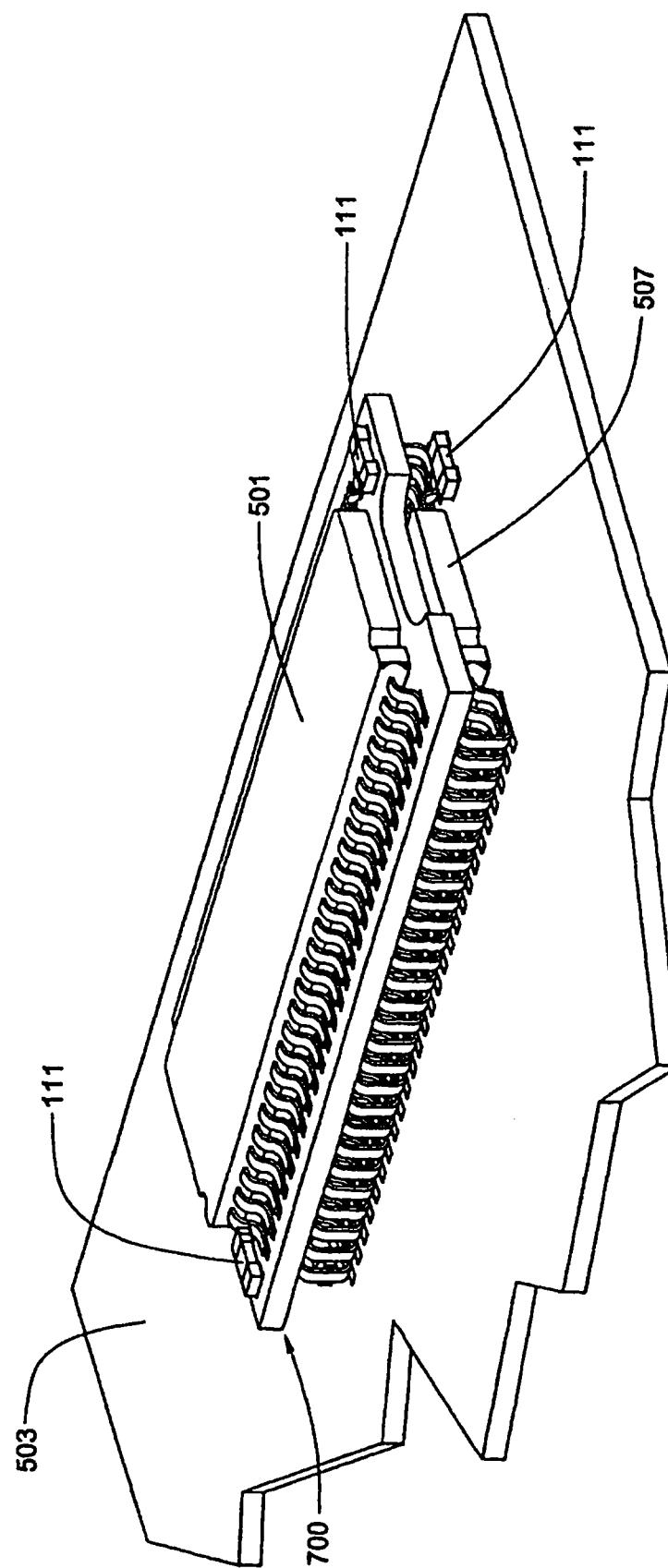


FIG. 12