

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3555859号

(P3555859)

(45) 発行日 平成16年8月18日(2004.8.18)

(24) 登録日 平成16年5月21日(2004.5.21)

(51) Int.Cl.⁷

F I

G 1 1 C 29/00

G 1 1 C 29/00

6 5 5 D

H O 1 L 21/02

H O 1 L 21/02

Z

H O 1 L 21/66

H O 1 L 21/66

A

H O 1 L 21/66

Z

請求項の数 14 (全 43 頁)

(21) 出願番号 特願2000-87480 (P2000-87480)
 (22) 出願日 平成12年3月27日(2000.3.27)
 (65) 公開番号 特開2001-273793 (P2001-273793A)
 (43) 公開日 平成13年10月5日(2001.10.5)
 審査請求日 平成13年2月15日(2001.2.15)

(73) 特許権者 392018285
 広島日本電気株式会社
 広島県東広島市吉川工業団地7番10号
 (74) 代理人 100108578
 弁理士 高橋 詔男
 (74) 代理人 100064908
 弁理士 志賀 正武
 (74) 代理人 100101465
 弁理士 青山 正和
 (74) 代理人 100108453
 弁理士 村山 靖彦
 (72) 発明者 小川 澄男
 広島県東広島市八本松町吉川5690 広
 島日本電気株式会社内

最終頁に続く

(54) 【発明の名称】 半導体生産システム及び半導体装置の生産方法

(57) 【特許請求の範囲】

【請求項1】

複数の半導体チップが格子状に配列されたウエハを所定のウエハ製造装置で製造する製造ラインと、

前記半導体チップの電気的特性を検査するウエハ用テストと、

前記半導体メモリの冗長メモリへの冗長アドレスを決定し、該冗長アドレスに対応するヒューズを切断するトリミング装置と、

前記冗長アドレスと、ウエハ工程におけるロット番号、ウエハ番号、チップ番号からなるチップ位置情報と、を関連づけて記憶するウエハ検査情報記憶手段と、

前記ウエハ用テストより出力される第1検査結果と前記ウエハ上のチップ位置情報とを関連付けて記憶するウエハ検査情報記憶手段と、

前記ウエハを個々の前記半導体チップに分割し、パッケージに封入された半導体装置を製造するパッケージ組立装置と、

前記半導体装置の電気的特性を検査する製品用テストと、

パッケージへ封入された後に前記半導体装置の前記ウエハ上の位置情報を、ウエハ検査情報記憶手段から検出するチップ位置検出手段と、

前記製品用テストより出力される第2検査結果と前記チップ位置検出手段により検出された前記ウエハ上のチップ位置情報とを関連付けて記憶するウエハ検査情報記憶手段と、

前記第1と第2検査結果および前記チップ位置情報に基づき前記ウエハ用テストで不良と判定された位置情報と前記製品用テストで不良と判定された位置情報とをまとめてウエハ

10

20

に対応した位置の不良分布を生成する不良分布生成装置とを具備し、
前記不良分布に基づき不良原因を推定することを特徴とする半導体生産システム。

【請求項 2】

複数の半導体メモリが格子状に配列されたウエハを所定のウエハ製造装置で製造する製造ラインと、

前記半導体メモリの電気的特性を検査するウエハ用テストと、

前記半導体メモリの冗長メモリへの冗長アドレスを決定し、該冗長アドレスに対応するヒューズを切断するトリミング装置と、

前記冗長アドレスと前記ウエハ上の位置情報とを関連付けて記憶するウエハ検査情報記憶手段と、

前記ウエハを個々の前記半導体チップに分割し、パッケージに封入された半導体装置を製造するパッケージ組立装置と、

チップ分割後の前記半導体メモリの電気的特性を検査するとともに置換アドレスを読み出す製品用テストと、

読み出した該置換アドレスと前記冗長アドレスとを比較することにより位置情報を推定する位置推定手段と、

前記製品用テストより出力される第 2 検査結果と前記位置検出手段により検出された前記位置情報とを関連付けて記憶する製品検査情報記憶手段と、

前記第 2 検査結果を前記位置情報に対応させて不良分布を作成する不良分布作成装置とを具備し、

前記不良分布に基づき不良原因を推定することを特徴とする半導体生産システム。

【請求項 3】

複数の半導体メモリが格子状に配列されたウエハを所定のウエハ製造装置で製造する製造ラインと、

前記半導体メモリの電気的特性を検査するウエハ用テストと、前記半導体メモリの冗長メモリへの置換アドレスを決定し、該置換アドレスに対応するヒューズを切断するトリミング装置と、

前記置換アドレスと前記ウエハ上の位置情報とを関連付けて記憶する位置情報記憶手段と、

前記ウエハを個々の前記半導体メモリに分割し、パッケージに封入された半導体メモリを製造するパッケージ組立装置と、

前記半導体メモリの電気的特性を検査するとともに置換アドレスを読み出す製品用テストと、

読み出した該置換アドレスと前記位置情報記憶手段に記憶された前記置換アドレスとを比較することにより位置情報を推定する位置推定手段と、

前記ウエハ用テストより出力される第 1 の検査結果と前記製品用テストより出力される第 2 検査結果と前記位置検出手段により検出された前記ウエハ上のチップ位置情報とを関連付けて記憶する製品検査情報記憶手段と、

前記第 1 と第 2 検査結果および前記チップ位置情報に基づき、前記ウエハ用テストで不良と判定された位置情報と前記製品用テストで不良と判定された位置情報とをまとめて不良分布を作成する不良分布作成装置とを具備し、

前記不良分布に基づき不良原因を推定することを特徴とする半導体生産システム。

【請求項 4】

製造された半導体装置の検査結果にもとづき不良発生箇所を推定するようにした半導体生産システムにおいて、

前記半導体装置のパッケージへ封止された後に、この半導体装置における所定の回路に予め書かれている位置情報を電気的に読み出す位置情報読出手段と、

このチップデータに基づき、この半導体装置のウエハ工程におけるロット番号、ロット内のウエハ番号及びこのウエハにおける位置情報を抽出する位置情報抽出手段と、チップ分割前後の検査結果を 1 つの不良分布にまとめて作成し、チップ分割後に不良となった原因

10

20

30

40

50

を推定する不良原因推定手段と
を具備し、

前記位置情報が、不良メモリセルと置き換えた置換アドレスであり、ウエハ状態における半導体装置の良否の検査において、前記位置情報と前記置換アドレスとの関係を示す対照表を作成する対照表作成手段を具備し、前記位置情報抽出手段がパッケージに封止された組立後の前記半導体装置から読み出したアドレスデータに基づき、この半導体装置の位置情報を、前記対照表から抽出することを特徴とする半導体生産システム。

【請求項 5】

パッケージに封止された後の半導体装置の検査において、不良と判定された半導体装置の前記位置情報に基づき、ウエハ工程における不良の原因を推定する堆定手段を具備すること
を特徴とする請求項 4 記載の半導体生産システム。

10

【請求項 6】

製造された半導体装置の検査結果にもとづき不良発生箇所を推定するようにした半導体生産システムにおいて、

前記半導体装置のパッケージへ封止された後に、この半導体装置における所定の回路に予め書かれている位置情報を電氣的に読み出す位置情報読出手段と、

このチップデータに基づき、この半導体装置のウエハ工程におけるロット番号、ロット内のウエハ番号及びこのウエハにおける位置情報を抽出する位置情報抽出手段と、チップ分割前後の検査結果を 1 つの不良分布にまとめて作成し、チップ分割後に不良となった原因を推定する不良原因推定手段と、

20

記憶回路と、

ウエハ状態における半導体装置の良否の試験時点において、トリミングデータを前記記憶回路へ書き込むデータ書込手段と、

前記記憶回路から前記トリミングデータを読み出すデータ読出手段と、前記位置情報と前記トリミングデータとの関係を示す対照表を作成する対照表作成手段とを具備し、

前記位置情報抽出手段が前記半導体装置から読み出したトリミングデータに基づき、このトリミングデータに対応する半導体装置の前記位置情報を、前記対照表から抽出することを特徴とする半導体生産システム。

【請求項 7】

パッケージに封止された後の半導体装置の検査において、不良と判定された半導体装置の前記位置情報に基づき、ウエハ工程における不良の原因を推定する堆定手段を具備すること
を特徴とする請求項 6 記載の半導体生産システム。

30

【請求項 8】

ウエハ上のチップの位置を推定するチップ位置解析手段と、不良となった半導体チップの分布を生成する不良分布作成手段と、前記分布から不良原因を推定する不良原因推定手段と
とからなり、

前記チップ位置解析手段が半導体メモリの置換アドレスに基づいてウエハ上の位置を推定するようにしたことを特徴とする不良解析装置。

【請求項 9】

ウエハを複数の半導体メモリチップに分割する前と後の不良分布をウエハ上の位置に対応
させて表示するようにしたことを特徴とする請求項 8 記載の不良解析装置。

40

【請求項 10】

ウエハを複数の半導体メモリチップに分割した後に、この半導体メモリチップが各々記憶している、冗長回路により置換された置換アドレスと、チップの位置情報との関係を示す対照表とに基づいて、この半導体メモリチップのウエハ上の位置情報を推定することを特徴とする半導体装置の生産方法。

【請求項 11】

前記位置情報に基づき、半導体テストにより不良となった前記半導体メモリチップのウエハ上での分布を推定することを特徴とする請求項 10 に記載の半導体装置の生産方法。

【請求項 12】

50

前記分布から、半導体メモリチップの製造ラインにおける不良の原因となった製造装置を推定することを特徴とする請求項11に記載の半導体装置の生産方法。

【請求項13】

複数のプロセス工程を経てウエハ上に半導体装置を形成するウエハ工程と、
前記半導体メモリの冗長メモリへの冗長アドレスを決定し、該冗長アドレスに対応するヒューズを切断するトリミング工程と、

前記冗長アドレスと、半導体装置のサンプル番号、ウエハ工程におけるロット番号、ウエハ番号、チップ番号からなるチップ位置情報と、をウエハ検査情報記憶手段に関連づけて記憶する検査情報記憶工程と、

ウエハ状態において前記ウエハの検査を行うウエハテスト工程と、
前記ウエハから半導体装置をチップとして切り出し、検査でパスしたチップのみをパッケージに封止する組立工程と、

パッケージ状態において検査を行い良品の選別を行う組立品テスト工程と、
この組立品テスト工程において不良品と判定された半導体装置における所定の回路に予め書かれている冗長アドレスを電氣的に読み出すチップデータ読み出し工程と、

この冗長アドレスに基づき、ウエハ検査情報記憶手段からこの半導体装置の前記ウエハ工程におけるロット番号、ロット内におけるウエハ番号及びこのウエハにおけるチップ座標とからなる位置情報を抽出する位置情報抽出工程と

を有することを特徴とする半導体装置の生産方法。

【請求項14】

前記ウエハ番号及び前記位置情報から不良原因となるプロセス工程を推定する推定工程を有し、前記ロット番号からロットの各プロセス工程の処理日時を検出し、ウエハ工程における各プロセス工程における処理品質の工程管理が行われることを特徴とする請求項13に記載の半導体装置の生産方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本願発明は、ウエハを複数のチップに分割した後に不良となった半導体装置の不良原因を推定する半導体生産システムとその生産方法および不良解析装置に関するものである。

【0002】

【従来の技術】

近年、電子機器のライフサイクルは年々短くなり、開発者は短期間に電子機器の設計を完了させて、タイムリーに市場に供給することが求められている。また、電子機器に搭載される半導体装置の機能は向上し、チップ上に形成される回路の高集積化が精力的に行われる一方、半導体装置の低価格化が一層求められている。

【0003】

通常、半導体装置は、数十種類の製造装置（以下、製造ラインという）を用い、半導体ウエハに対して所定のプロセス工程（ウエハ工程）が施されて製造されている。半導体装置が低価格で安定的に供給されるためには、1枚のウエハから得られる良品の数（以下、収量という）、また、その比率（以下、歩留まりという）を上げなければならない。

製造装置は一般に複雑な機構を有しており、数多くの歩留まり悪化要因を含んでいる。また、製造装置の使い方やプロセス工程の条件設定により、歩留まりは大きく左右される。

【0004】

新たに開発された半導体装置を量産開始する場合、あるいは、新たな製造装置を製造ラインに追加した場合など、製造ラインの管理者は不良原因を解析して、製造ラインやプロセス工程を改善し、所望の歩留まりに収束するよう努力している。

また、所望の歩留まりに収束した後も、製造ラインの管理者は製造ラインを常にモニタし、歩留まり悪化の兆しを事前にキャッチし、安定した歩留まりを維持するよう努めている。

【0005】

このように、高集積化に必要な複数のプロセス工程の開発、及びこのプロセス工程の安定化を迅速に行わなければ、必要とされる半導体装置を効果的なタイミングにおいて安定して出荷することが困難である。

このため、半導体装置の製造に必要な製造ラインやプロセス工程の開発、及び安定化には、半導体装置の不良解析を行い、この不良解析の結果得られる不良原因と、その要因である製造ラインやプロセス工程の不具合を直していくことが不可欠である。

【0006】

しかしながら、1つの半導体装置ができるまでには、数10もの製造装置と数100ものプロセス工程があり、どの製造装置またはプロセス工程で不良が発生したかをいかに速く特定するかが大きな問題となる。不良原因の特定方法として、不良となった半導体装置のウエハ上における不良分布、及びこのロットにおけるウエハ位置の不良依存性などにより行うことが知られている。

10

すなわち、不良となった半導体装置のチップのウエハ上における分布、及びこのウエハのロットにおける位置により、半導体装置が不良となる原因となった製造装置やプロセス工程を推定することが可能である。

【0007】

特開平11-45919号公報（以下、第1従来技術という）には、複数の製造装置から構成される製造ラインおよび所望の製造工程（プロセス工程）で半導体基板（ウエハ）を製造するとき、製造された複数の半導体基板について各半導体基板上に発生した不良の位置を検査装置で検査する検査工程と、該検査工程で検査された各半導体基板上の不良の位置データを半導体基板上に対して設定された格子状の画素からなる画像データ上に座標指定し、該画像データ上において格子状の画素毎に不良の個数を複数の半導体基板について加算して不良分布画像データを作成する不良分布画像データ作成工程と、該不良分布画像データ作成工程で作成された不良分布画像データを、複数用意された不良の発生原因が推定可能な事例データベースと照合解析して不良の発生原因を究明する不良解析工程とに基づいて行うことが開示されている。

20

【0008】

例えば、図23に示すように、ウエハ100上の不良分布がパターン111であれば、過去に作成した事例データベースと照合解析することにより、工程Aに原因があり、パターン113であれば工程Cに原因があると推定できる。

30

また、1つのロットを複数の同一種類の製造装置（製造号機A及び製造号機B）で枚葉式に処理する工程があった場合、図24に示されるように、製造号機Bによる不良分布のパターン115が、製造号機Aのパターン114より多いと、製造号機B原因があると推定できる。

【0009】

また、第1従来技術には明示されていないが、図25に示すように、同じ時に処理された全てのロットにおいて、ウエハ100の下部領域102に不良となる半導体装置が集中して存在することがある。この場合、レジスト除去や酸化膜除去における浸漬型のウェットエッチング工程が不良原因であると推定される。その理由は、この工程においてウエハをエッチング液に浸漬して引き上げるとき、ウエハは上部より下部の半導体装置の方が長い時間浸漬され、かつ、引き上げたときエッチング液が下部方向に流れ、ウエハ下部領域102のパターンや薄膜が余計にエッチングされることになるためである。

40

また、ウエハ100の周辺領域に不良となる半導体装置が集中して存在することがある。これはプラズマエッチング装置が不良原因であると推定され、その理由は、周辺領域で電界が不均一になるためである。

【0010】

さらに、ウエハ番号W1において不良と判定された半導体装置の数が、同一ロットの他のウエハ番号W2～W25に比較して大幅に多くなった場合、パッチ式のプロセス工程が原因であると推定される。例えば、図26に示すように、ウエハ番号W1～W25がキャリア502に面方向に一列に並べられ、処理槽500内において処理液501によりウェッ

50

トエッチングが行われる。このとき、ウエハ番号W1～W25は矢印Aの方向が半導体装置の回路が形成された表面となっている。ウエハ番号W2～W25のウエハは表面側の空間が狭いので反応済みのエッチング液が滞留するのに対して、ウエハ番号W1のウエハは他のウエハと比較して多くの新鮮な処理液が存在するので、エッチングの進行が早くなる。

【0011】

特開平10-339943号公報（以下、第2従来技術という）には、マスクまたはレチクルを用いて投影露光を行う工程を有する半導体装置の製造方法において、被露光半導体ウエハ上のチップ位置特定のためにチップ座標を用い、被露光半導体ウエハ上に分布している不良チップのチップ座標データから、当該不良がマスクまたはレチクルに起因するものか否かを判断し、マスクまたはレチクルの欠陥の位置検出を短時間で容易に行えるようにしたことが開示されている。

10

【0012】

例えば、図27に示すように、ウエハ100上の半導体装置が周期的に不良と判定される場合、マスクまたはレチクル101に起因することが推定される。いま、4つの半導体装置用パターン（露光単位）が1つのレチクル101に形成され、特定の領域101aに欠陥があるとする。このレチクル101を用いてステッパによりウエハ上のレジストに焼き付けると、図27に示すように、ウエハ上で露光単位内の特定の位置が周期的に不良となる。なお、図27で「×」印の付いているチップが不良チップを示している。

【0013】

上述したように、ウエハにおける不良と判定された半導体装置のチップ位置依存、及びロットにおけるウエハの位置依存に基づき、不良原因となったプロセス工程を推定することができる。

20

現在、プロセス工程に対する不良解析は、半導体装置が不良となった原因のプロセス工程の推定を、ウエハ状態における検査の結果に基づき行っている。

【0014】

その後、ウエハ用テストで所定の検査項目をPASSした半導体装置だけをパッケージに封入・組立する。この状態の半導体装置を組立品と呼ぶ。その後、この組立品を組立品用テストで更に検査する。このとき、検査項目がウエハ状態の検査より多くなるので、ウエハ用テストで除去できなかった不良が選別され、同時に、組立段階に生じた不良も選別除去される。これらの検査に合格した半導体装置だけが製品として出荷される。

30

【0015】

【発明が解決しようとする課題】

しかしながら、ウエハ状態における半導体装置の検査は、高価な検査装置（ウエハ用テスト）を用いて行われる。プローブに浮遊容量があることや、半導体装置の高速化にウエハ用テストの高速化が間に合わないなどの理由により、高邁な動作検査をウエハ状態で行うことができない。また、高い電圧をかけて行う耐圧検査、常温／低温／高温の環境で行う環境テストなどの特殊な検査項目もウエハ状態で行うには効率が悪い。さらに、ウエハ状態では複数の半導体装置が同一の半導体基板上に形成されているので、他のチップからの干渉が生じる様な検査項目などを行うことができないという問題がある。

40

【0016】

また、限られた数のプローブを介して制御信号やデータなどを半導体装置の入出力用のパッドに与えるため、多数の半導体装置を同時に検査することができない。言い換えれば、ウエハ状態における半導体装置の検査には、一度に検査できる半導体装置の数が限られるため、多くの動作及び電気特性の検査を行うと生産効率が低下する欠点もある。これにより、ウエハ状態における半導体装置の検査を増加させられない背景がある。

【0017】

たとえば、ウエハ状態で1チップずつ検査が行われる場合、生産性を確保するためには、限られた検査項目だけを選び、検査項目として20項目を検査時間5分で行わなければならない。これに対して、組立品は64～128個を検査用基板に実装して多数の検査用基

50

板を並列に検査することができるので、検査項目が400項目あって検査時間が2時間要しても、半導体装置1個あたりに要する時間は短くすることができる。

【0018】

組立後の検査において不良と判定される半導体装置は、ウエハ検査での不良率に比べれば多くはないが、ある程度の割合で存在する。ウエハ段階における不良率低減だけでなく、組立品の不良率を速やかに低減することが必要である。しかし、一旦、パッケージに組み立てると、組立品はウエハ状態における位置情報を有していないので、第1、第2従来技術のようなプロセス工程の推定が行えないという欠点がある。

【0019】

このため、ウエハ状態において良品と判断された半導体装置の中には、パッケージに封止した組立後に、上述した試験において不良と判定される半導体装置が多く存在するため、従来の不良原因となるプロセス工程の推定には、正確なプロセス工程の推定が行えないという欠点がある。 10

すなわち、ウエハ状態の試験の結果だけでは、不良の原因となるプロセス工程の推定に用いられる半導体装置のデータとして、実際の解析に必要なデータ数としては不十分であることが考えられる。

【0020】

以上の欠点を解決するため、特開平4-288811号公報（以下、第3従来技術という）には、ウエハ情報、及びこのウエハにおける半導体装置のチップ位置情報をウエハ工程の段階で、各チップに特有なパターンデータとして半導体装置のチップ表面に形成しておき、市場不良となった半導体装置のウエハ情報などを得る方法が開示されている。 20

しかしながら、第3従来技術を利用して、パッケージ組立後に、半導体装置が不良と判定されたとき、パッケージの樹脂を除去し、上記パターンデータを顕微鏡により、逐一確認しながらウエハ情報などを読み取り、ウエハ上の不良と判定された半導体装置の不良分布を生成する必要がある。

【0021】

このため、上記ウエハ上におけるチップの位置確認方法には、解析する必要のある全ての半導体装置のパッケージの封止の樹脂を除去する必要があるため、非常な時間が必要となるという欠点がある。

さらに、上記ウエハ上におけるチップの位置確認方法には、解析者が顕微鏡で一つずつチップのパターンデータを読み取っていくため、同様にパターンデータの読み取りに時間がかかり、かつパターンデータの読み取り違いが起こる可能性が高いという欠点がある。 30

また、一旦パッケージの樹脂を除去すると、半導体装置の表面が樹脂を除去する液で侵される、半導体チップと外部端子とを接続するためのボンディングワイヤが外れたりするため、組立品の電氣的検査を行うことは事実上不可能となり、どの特性が不良となったのか検査できなくなる。

【0022】

特開平11-45839号公報（以下、第4従来技術という）には、所在のウエハに所定の回路機能を有する多数の半導体チップ領域を形成した後、各チップ領域を分割する前に、チップ領域毎に設けた記憶素子などにウエハ上のチップ位置情報を付与することで、各半導体チップの製造プロセス履歴すなわち製造データと半導体チップの特性データとの関連付けを容易化し、チップ実装後の半導体製品の歩留まり改善を従来より格段に容易化可能にすることが開示されている。 40

【0023】

第4従来技術は、組立後に不良となった半導体装置が、ウエハ段階でどのような製造プロセス履歴と特性データであったかを知ることによって不良解析を短期間で行うようにするものである。しかし、第4従来技術には、不良解析の手順について示唆する記載はなく、また第1、第2従来技術を適用することも考えられていない。

【0024】

仮に、組立後の検査の結果とウエハの位置情報を関連付けたとしても、不良の原因となる 50

プロセス工程の推定に用いられる不良品のデータ数としては不十分である。すなわち、組立品の不良数は前述のようにウエハ段階の不良数に比べて少ないので、ウエハ位置に対応させて不良分布を描いても、どの不良分布パターンに対応するか判断するだけの解析に必要なデータが得られないことがあり、不良分布パターンを誤認することがあった。

また、第4従来技術は、ウエハの位置情報を半導体装置本来の機能とは別に設けられなければならない、半導体装置のチップサイズが大きくなり、低価格化を阻害するという問題もある。

【0025】

本発明はこのような背景の下になされたもので、パッケージ組立後の半導体装置であっても、ウエハにおける半導体装置のチップ位置情報、ウエハ位置情報、ロット情報を取得することができ、また、少量の不良数であっても不良分布パターンを誤認することなく解析することができ、不良原因のプロセス工程の改善を迅速に行え、チップの歩留まりを速く向上させられ、かつ、パッケージの樹脂を除去せずに、半導体装置のチップのロット情報、ウエハ情報及びこのウエハにおけるチップの位置情報を抽出することが可能な半導体生産システムを提供することにある。

また、他の目的は、半導体装置が本来有する機能を利用して、ウエハにおける半導体装置のチップ位置情報、ウエハ位置情報、ロット情報を取得することができるようにしたウエハ情報取得方法を提供することにある。

【0026】

【課題を解決するための手段】

請求項1記載の発明は、複数の半導体チップが格子状に配列されたウエハを所定のウエハ製造装置で製造する製造ラインと、前記半導体チップの電気的特性を検査するウエハ用テストと、前記半導体メモリの冗長メモリへの冗長アドレスを決定し、該冗長アドレスに対応するヒューズを切断するトリミング装置と、前記冗長アドレスと、ウエハ工程におけるロット番号、ウエハ番号、チップ番号からなるチップ位置情報と、を関連づけて記憶するウエハ検査情報記憶手段と、前記ウエハ用テストより出力される第1検査結果と前記ウエハ上のチップ位置情報とを関連付けて記憶するウエハ検査情報記憶手段と、前記ウエハを個々の前記半導体チップに分割し、パッケージに封入された半導体装置を製造するパッケージ組立装置と、前記半導体装置の電気的特性を検査する製品用テストと、パッケージへ封入された後に前記半導体装置の前記ウエハ上の位置情報を、ウエハ検査情報記憶手段から検出するチップ位置検出手段と、前記製品用テストより出力される第2検査結果と前記チップ位置検出手段により検出された前記ウエハ上のチップ位置情報とを関連付けて記憶するウエハ検査情報記憶手段と、前記第1と第2検査結果および前記チップ位置情報に基づき前記ウエハ用テストで不良と判定された位置情報と前記製品用テストで不良と判定された位置情報とをまとめてウエハに対応した位置の不良分布を生成する不良分布生成装置とを具備し、前記不良分布に基づき不良原因を推定することを特徴とする。

【0028】

請求項2記載の発明は、半導体生産システムにおいて、複数の半導体メモリが格子状に配列されたウエハを所定のウエハ製造装置で製造する製造ラインと、前記半導体メモリの電気的特性を検査するウエハ用テストと、前記半導体メモリの冗長メモリへの冗長アドレスを決定し、該冗長アドレスに対応するヒューズを切断するトリミング装置と、前記冗長アドレスと前記ウエハ上の位置情報とを関連付けて記憶するウエハ検査情報記憶手段と、前記ウエハをダイシングして個々の前記半導体チップに分割し、パッケージに封入された半導体装置を製造するパッケージ組立装置と、前記半導体メモリの電気的特性を検査するとともに置換アドレスを読み出す製品用テストと、読み出した該置換アドレスと前記冗長アドレスとを比較することにより位置情報を推定する位置推定手段と、前記製品用テストより出力される第2検査結果と前記位置検出手段により検出された前記位置情報とを関連付けて記憶する製品検査情報記憶手段と、前記第2検査結果を前記位置情報に対応させて不良分布を作成する不良分布作成装置とを具備し、前記不良分布に基づき不良原因を推定することを特徴とする。

【0029】

請求項3記載の発明は、半導体生産システムにおいて、複数の半導体メモリが格子状に配列されたウエハを所定のウエハ製造装置で製造する製造ラインと、前記半導体メモリの電気的特性を検査するウエハ用テストと、前記半導体メモリの冗長メモリへの置換アドレスを決定し、該置換アドレスに対応するヒューズを切断するトリミング装置と、前記置換アドレスと前記ウエハ上の位置情報とを関連付けて記憶する位置情報記憶手段と、前記ウエハを個々の前記半導体メモリに分割し、パッケージに封入された半導体メモリを製造するパッケージ組立装置と、チップ分割後の前記半導体メモリの電気的特性を検査するとともに置換アドレスを読み出す製品用テストと、読み出した該置換アドレスと前記位置情報記憶手段に記憶された前記置換アドレスとを比較することにより位置情報を推定する位置推定手段と、前記ウエハ用テストより出力される第1の検査結果と前記製品用テストより出力される第2検査結果と前記位置検出手段により検出された前記ウエハ上のチップ位置情報とを関連付けて記憶する製品検査情報記憶手段と、前記第1と第2検査結果および前記チップ位置情報に基づき、前記ウエハ用テストで不良と判定された位置情報と前記製品用テストで不良と判定された位置情報とをまとめて不良分布を作成する不良分布作成装置とを具備し、前記不良分布に基づき不良原因を推定することを特徴とする。

10

【0030】

請求項4記載の発明は、製造された半導体装置の検査結果にもとづき不良発生箇所を推定するようにした半導体生産システムにおいて、前記半導体装置のパッケージへ封止された後に、この半導体装置における所定の回路に予め書かれている位置情報を電氣的に読み出す位置情報読出手段と、このチップデータに基づき、この半導体装置のウエハ工程におけるロット番号、ロット内のウエハ番号及びこのウエハにおける位置情報を抽出する位置情報抽出手段と、チップ分割前後の検査結果を1つの不良分布にまとめて作成し、チップ分割後に不良となった原因を推定する不良原因推定手段とを具備し、前記位置情報が、不良メモリセルと置き換えた置換アドレスであり、ウエハ状態における半導体装置の良否の検査において、前記位置情報と前記置換アドレスとの関係を示す対照表を作成する対照表作成手段を具備し、前記位置情報抽出手段がパッケージに封止された組立後の前記半導体装置から読み出したアドレスデータに基づき、この半導体装置の位置情報を、前記対照表から抽出することを特徴とする。

20

【0031】

請求項5記載の発明は、請求項4記載の半導体生産システムにおいて、パッケージに封止された後の半導体装置の検査において、不良と判定された半導体装置の前記位置情報に基づき、ウエハ工程における不良の原因を推定する推定手段を具備することを特徴とする。

30

【0033】

請求項6記載の発明は、製造された半導体装置の検査結果にもとづき不良発生箇所を推定するようにした半導体生産システムにおいて、前記半導体装置のパッケージへ封止された後に、この半導体装置における所定の回路に予め書かれている位置情報を電氣的に読み出す位置情報読出手段と、このチップデータに基づき、この半導体装置のウエハ工程におけるロット番号、ロット内のウエハ番号及びこのウエハにおける位置情報を抽出する位置情報抽出手段と、チップ分割前後の検査結果を1つの不良分布にまとめて作成し、チップ分割後に不良となった原因を推定する不良原因推定手段と、記憶回路と、ウエハ状態における半導体装置の良否の試験時点において、トリミングデータを前記記憶回路へ書き込むデータ書込手段と、前記記憶回路から前記トリミングデータを読み出すデータ読出手段と、前記位置情報と前記トリミングデータとの関係を示す対照表を作成する対照表作成手段とを具備し、前記位置情報抽出手段が前記半導体装置から読み出したトリミングデータに基づき、このトリミングデータに対応する半導体装置の前記位置情報を、前記対照表から抽出することを特徴とする。

40

【0034】

請求項7記載の発明は、請求項6記載の半導体生産システムにおいて、パッケージに封止された後の半導体装置の検査において、不良と判定された半導体装置の前記位置情報に基

50

づき、ウエハ工程における不良の原因を推定する推定手段を具備することを特徴とする。

【0035】

請求項8記載の発明は、ウエハ上のチップの位置を推定するチップ位置解析手段と、不良となった半導体チップの分布を生成する不良分布作成手段と、前記分布から不良原因を推定する不良原因推定手段とからなり、前記チップ位置解析手段が半導体メモリの置換アドレスに基づいてウエハ上の位置を推定するようにしたことを特徴とする。

【0036】

請求項9記載の発明は、不良解析装置において、ウエハを複数の半導体メモリチップに分割する前と後の不良分布をウエハ上の位置に対応させて表示するようにしたことを特徴とする請求項8記載の不良解析装置。

10

【0037】

請求項10記載の発明は、半導体装置の生産方法において、ウエハを複数の半導体メモリチップに分割した後に、この半導体メモリチップが各々記憶している、冗長回路により置換された置換アドレスと、チップの位置情報との関係を示す対照表とに基づいて、この半導体メモリチップのウエハ上の位置情報を推定することを特徴とする。

【0038】

請求項11記載の発明は、請求項10に記載の半導体装置の生産方法において、前記位置情報に基づき、半導体テストにより不良となった前記半導体メモリチップのウエハ上での分布を推定することを特徴とする。

【0039】

請求項12記載の発明は、請求項11に記載の半導体装置の生産方法において、前記分布から、半導体メモリチップの製造ラインにおける不良の原因となった製造装置を推定することを特徴とする。

20

【0040】

請求項13記載の発明は、半導体装置の生産方法において、複数のプロセス工程を経てウエハ上に半導体装置を形成するウエハ工程と、前記半導体メモリの冗長メモリへの冗長アドレスを決定し、該冗長アドレスに対応するヒューズを切断するトリミング工程と、前記冗長アドレスと、ウエハ工程におけるロット番号、ウエハ番号、チップ番号からなるチップ位置情報と、をウエハ検査情報記憶手段に関連づけて記憶する検査情報記憶工程と、ウエハ状態において前記ウエハの検査を行うウエハテスト工程と、前記ウエハから半導体装置をチップとして切り出し、検査でパスしたチップのみをパッケージに封止する組立工程と、パッケージ状態において検査を行い良品の選別を行う組立品テスト工程と、この組立品テスト工程において不良品と判定された半導体装置における所定の回路に予め書かれている冗長アドレスを電氣的に読み出すチップデータ読み出し工程と、この冗長アドレスに基づき、ウエハ検査情報記憶手段からこの半導体装置の前記ウエハ工程におけるロット番号、ロット内におけるウエハ番号及びこのウエハにおけるチップ座標とからなる位置情報を抽出する位置情報抽出工程とを有することを特徴とする。

30

【0041】

請求項14記載の発明は、請求項13記載の半導体装置の生産方法において、前記ウエハ番号及び前記位置情報から不良原因となるプロセス工程を推定する推定工程を有し、前記ロット番号からロットの各プロセス工程の処理日時を検出し、ウエハ工程における各プロセス工程における処理品質の工程管理が行われることを特徴とする。

40

【0042】

【発明の実施の形態】

以下、図面を参照して本発明の実施形態について説明する。図1は本発明の第1実施形態による半導体生産システムの構成図、図2は半導体生産システムの流れ図を示す。

図1において、ウエハ製造ライン20は、様々な半導体プロセスを処理する製造装置から構成される。図2のプロセス工程SA1において、このウエハ100の表面にトランジスタ素子や配線が形成され、半導体装置が製造される。通常、20～50枚のウエハ100が1つのキャリアに収納され、これを1つの処理単位（以下、ロットという）としてウエハ

50

製造ライン 20 に投入され、所定の製造装置で所定のウエハ工程が施される。各ロットには、所定のウエハ工程ロット番号（以下、特に指定しないかぎりロット番号と記す）が付与される。

【0043】

付与されたロット番号は、キャリアに表示されるとともに、製造履歴情報ファイル 21 に記録される。製造履歴情報ファイル 21 には、図 4 に示すように、製造対象の半導体装置の製品名、ロット番号、処理対象のウエハ番号、このウエハに対して処理したプロセス工程の工程名、処理した日時（製造日時）、プロセス工程に使用した装置の番号（製造号機）、プロセス工程の製造条件やその仕様書番号などが保存される。ここで、製造履歴情報ファイル 21、後述のウエハ検査情報ファイル 23、及び組立品検査情報ファイル 28 において、1 行分の情報をレコードと呼ぶ。

10

【0044】

図 3 は、ウエハ製造ライン 20 の具体的な構成例を示す。ウエハ製造ライン 20 は、レジスト塗布装置 20 a、露光装置 20 b、現像装置 20 c、エッチング装置 20 d、イオン注入装置 20 e、成膜装置 20 f、CMP 装置 20 g、洗浄装置 20 h などから構成される。各製造装置 20 a～20 h は、半導体装置の生産性を向上させるため、複数台の同一機種が設置されることが多く、各製造装置には号機番号（1 号機、2 号機、…）が付与される。

【0045】

投入されたウエハ 100 は、搬送装置 20 j によって各製造装置 20 a～20 h 間を移動して、所定の順序で所定のプロセス工程 SA1 が施される。その製造履歴は、通信ライン 20 k を介して製造履歴情報ファイル 21 に保存される。

20

図 1 に戻り、ウエハ製造ライン 20 で製造されたウエハ 100 の表面には、複数の半導体装置が格子状に配置されている。以下、パッケージに組み立てる前の半導体装置を半導体チップまたは単にチップと呼ぶ。半導体チップの形成が完了したウエハは、ウエハ用テスタ 22 で電気的特性が検査される。検査方法は半導体チップに形成された入出力パッドにプローブを接触させて、所定の検査信号を供給し、その出力が所定の規格内（PASS）か規格外（FAIL）かを判定する。

【0046】

各半導体チップにはウエハ上の座標またはシリアル番号が付与されており、これをチップ番号と呼ぶ。ウエハ検査工程 SA2（図 2）において、ウエハ用テスタ 22 で検査された結果は、チップ番号とともにウエハ検査情報ファイル 23 に保存される。ウエハ検査情報ファイル 23 には、図 5 に示すように、チップ情報と検査情報とからなり、チップ情報は、製品名、ロット番号、ウエハ番号、チップ番号、検査項目、検査日時、検査に使用したウエハ用テスタ 22 の番号（検査号機）、検査条件やその仕様書番号、検査結果、総合的な PASS/FAIL 判定結果などが保存される。

30

【0047】

工程 SA3 において、ウエハ用テスタ 22 で FAIL と判定されたチップには、選別機 24 でマークなどが印されて、後の工程で廃棄される。また、全てのウエハ 100 の検査が終了した時点で、不良分布生成工程 SA11、不良原因推定工程 SA12、不良原因除去工程 SA13 に移る。この工程は第 1 従来技術と同じである。

40

【0048】

工程 SA3 において、ウエハ用テスタ 22 で PASS と判定されたチップには、チップ情報書込装置 25 でチップ番号などが書き込まれる（図 2 工程 SA4）。各チップには、図 6 に示すチップ情報記憶回路が形成されており、同図（A）は不揮発性メモリ素子 EP1～EPn を用いた例、同図（B）はヒューズ素子 FP1～FPn を用いた例を示す。

【0049】

図 6（A）に示すチップ情報記憶回路は、不揮発性メモリ素子 EP1～EPn と読み書き回路 ED1～EDn とで構成される。選択信号 SEL が活性化されることにより、読み書き回路 ED1～EDn が動作する。書込時には、プローブなどによりデータバス DO1～

50

D O nに所定の信号を与えることで、不揮発性メモリ素子E P 1～E P nにチップ情報を書き込むことができる。また、読出時には、不揮発性メモリ素子E P 1～E P nに記憶されたチップ情報が読み書き回路E D 1～E D nを介してデータバスD O 1～D O nに読み出される。

【0050】

図6（B）に示すチップ情報記憶回路は、ヒューズ素子F P 1～F P nと読み書き回路F D 1～F D nとで構成される。書込時には、ヒューズ素子をレーザトリミング装置3により切断／非切断することによりチップ情報を書き込むことができる。また、読出時には、選択信号S E Lを活性化することにより、読出回路F D 1～F D nが動作し、ヒューズ素子F P 1～F P nに記憶されたチップ情報が読出回路F D 1～F D nを介してデータバスD O 1～D O nに読み出される。

10

【0051】

図1、図2に戻り、以上の処理が終了したウエハ100は、パッケージ組立装置26内のダイシング装置で複数のチップに分割される。ウエハ用テスト22でP A S Sと判定されたチップは、パッケージ組立装置26でリードフレームにマウントされ、樹脂などで封入される（図2 工程S A 5）。以下、樹脂封入された半導体装置を組立品という。組立品には、組立工程の処理単位毎に組立ロット番号が付与される。また、パッケージ表面にはウエハ工程ロット番号と組立ロット番号との組み合わせで決定される製造ロット番号がマークされる。

【0052】

20

組立品は、組立品用テスト27で直流特性試験（D Cテスト）、動作試験（A Cテスト）及び加速試験（寿命試験）などが行われる（図2 工程S A 6）。D Cテストは、組立品の各端子が所定の直流規格を満たしているか否かを試験するもので、例えば回路電流、ハイレベル／ローレベル出力電圧、ハイレベル／ローレベル出力電流などがある。D Cテストは、A Cテストや寿命試験に比べて高速に短時間で検査できるので、これらの試験に先立ち実施され、不良と判定された組立品はA Cテストや寿命試験が省略されることもある。

【0053】

A Cテストは、所定の信号パターンを組立品に入力して、出力に期待される信号パターンが出力されるか否かを試験することで、組立品が所望の機能を実現することを確認する。加速試験は、組立品の初期不良を除去するためのもので、例えば、高電源電圧を所定時間印加するバイアス試験、高温／低温保管試験、プレッシャークッカ試験などがある。

30

【0054】

組立品用テスト27で検査された結果は、組立品検査情報ファイル28に保存される。組立品検査情報ファイル28は、図7に示すように、組立品チップ情報と組立品検査情報とからなり、組立品チップ情報は、製品名、ロット番号、組立品ロット番号、ウエハ番号、チップ番号、サンプル番号からなり、組立品検査情報は、検査項目、検査日時、検査に使用した組立品用テスト27の番号（検査号機）、検査条件やその仕様書番号、検査結果、総合的な良品（P A S S）／不良品（F A I L）の判定結果などが保存される。なお、この段階では、チップ番号とサンプル番号は保存されない。

40

【0055】

工程S A 7において、組立品用テスト27で良品と判定された組立品は、選別機29を通過し、製品30として出荷される（図2 工程S A 8）。不良品と判定された組立品は選別機29でサンプル番号が付与され、組立品検査情報ファイル28の所定のレコードにサンプル番号が保存される。また、不良品はチップ情報書込装置25で書き込まれたチップ番号がチップ情報読取装置32によって読み出される（図2 工程S A 21）。このチップ番号は、組立品検査情報ファイル28内のサンプル番号に対応したレコードに保存される（図7）。

工程S A 22において、データ数が不足と判定された場合、即ち、不良分布として表示される点の数が少ない場合には、次工程S A 25で不良分布データベース35とのパターン

50

マッチングが正確に行うことができなくなり、誤った不良原因が推定されることになる。これを防止するため、ウエハ検査情報ファイルと結合（マージ）して不良分布を表示することが望ましい（図2 工程SA23）。

【0056】

不良分布生成装置32は、ウエハ検査情報ファイル23と組立品検査情報ファイル28より判定結果がF A I Lと判定されたレコードを抽出し、所望の処理を施して、1つのウエハ上のチップ番号位置に対応させて不良の分布を表示装置33に表示させたり、この分布を1ロット分累積して表示させたり、ウエハ番号別に不良の分布を表示させたり、ロット番号別の不良発生率の推移を表示させたりする（図2 工程SA24）。

不良分布データベース35には、不良分布のパターンと、これに対応した不良原因、不良を発生させる製造装置やプロセス工程が予め保存されている。 10

不良原因推定装置34は、不良分布生成装置32によって得られた不良分布と不良分布データベース35に保存されている不良分布とを比較して、最も近い不良原因を抽出する（図2 工程SA25）。

【0057】

ウエハ製造ライン20のライン管理者は、この抽出結果をもとに不良原因と推定された製造装置やプロセス工程を調べる。この不良原因が、ウエハ段階の不良原因除去工程SA13で既に対策済みであれば、工程SA26において、工程SA28に移る。工程SA26において、未対策であれば、ウエハ製造ライン20やプロセス工程SA1の不良個所を突き止めて、不良原因を解消する（図2 工程SA27）。 20

【0058】

工程SA28において、他の検査項目において分析すべき不良（F A I L）が残っている場合には、工程SA22に戻り、他の検査項目について不良分布を生成し、工程SA22～SA27を繰り返す。他の検査項目において分析すべき不良（F A I L）が残っていない場合には、不良解析の処理を終了する。

【0059】

次に、図8をもとに不良分布生成工程SA24と不良原因推定工程SA25の詳細な流れ図を説明する。

工程SA24aにおいて、不良分布生成装置32は、組立品検査情報ファイル28及び／又はウエハ検査情報ファイル23より検査情報とチップ情報を取得する。 30

工程SA24bにおいて、不良分布生成装置32は、不良（F A I L）となった検査項目を検査項目毎にロット番号別、ウエハ番号別に分類する。所定の検査項目について、ウエハ番号と不良発生数との関係を求めると、図10のパターンK、Lに示すようなグラフを表示させることができる。このグラフは特定のロット番号だけを表示させることもできるし、各ロットの不良発生数を累積した結果を表示させることもできる。この結果によって、所定のロットにおける不良発生がウエハの位置、又は処理順番に依存性を有するか否かを分析することができる。

工程SA24cにおいて、不良分布生成装置32は、所定ロットの1つのウエハ番号内で不良（F A I L）となった検査項目を検査項目毎にウエハ番号毎にチップ番号順に配列しなおす。 40

【0060】

所定の検査項目について、チップ番号に対応したウエハ上の位置と不良項目との関係、または該位置と不良発生数との関係を求めると、図9のパターンA～D等に示すようなウエハに対応させた不良位置を表示させることができる。この不良位置は特定のウエハ番号だけを表示させることもできるし、各ウエハや各ロットの不良発生数を累積した結果を表示させることもできる。この結果によって、所定のウエハ又は所定のロットにおける不良発生がチップ位置に依存するか否かを分析することができる。

工程SA24dにおいて、不良分布生成装置32は、所定の検査項目について、不良（F A I L）となった数量をロット毎に、ウエハ番号毎に、又はチップ番号毎に分類する。

【0061】

所定の検査項目について、不良発生数の時系列的变化を求めると、図10のパターンPに示すような製造日時などに対応させた不良発生数の推移を表示させることができる。この不良発生数は特定のロット番号、ウエハ番号、チップ番号だけを表示させることもできるし、各チップ、各ウエハや各ロットの不良発生数を累積した結果を表示させることもできる。この分析によって、不良発生数の時系列的变化を把握することで、装置の消耗品が故障したり、処理液の処理能力が無くなる前にウエハ製造ライン20やウエハプロセス工程SA1を保守することができる。このため、大量の不良発生を未然に防止でき、半導体装置の安定供給が可能になる。

【0062】

工程SA25aにおいて、不良原因推定装置34は、不良分布生成装置32によって得られた不良分布と不良分布データベース35に保存されている不良分布パターンA、B、…、P、…とを比較して、最も近い不良分布パターンを抽出する。不良分布データベース35には、図9と図10に示すように、不良分布のパターンA、B、…、P、…と、これに対応した不良原因、改善すべき製造装置やプロセス工程などが予め保存されている。

【0063】

例えば、抽出された不良分布パターンがパターンAに近似していたとすると、レジストやSOGなどのように液体を回転塗布する装置SA25aに不良原因があると推定される。その他の不良分布パターン8、…、P、…についても、同様に、不良原因SA25b～SA25h…を推定することができる。

一方、第4従来技術のように、加速度センサ程度の簡単な構造であれば、製造装置の数やプロセス工程数は少ないので、不良となった組立品のウエハ段階での製造プロセス履歴と特性データを知ることによって、比較的容易に不良原因を推定することができる。しかし、半導体装置のように製造装置が数100、プロセス工程が数1000もあると、ウエハ段階での製造プロセス履歴と特性データを知ることができたとしても、不良原因を突き止めるまでにはかなりの時間を要することになる。

【0064】

これに対して、本実施形態によれば、不良分布をもとに不良原因を推定できるので、短時間に不良原因を突き止めることが可能になる。また、不良数が少なくて、どの不良分布に対応するか判断できない場合には、ウエハ検査情報ファイルとマージすることで、不良分布とのパターンマッチングを間違えることなく判定することができる。

【0065】

また、DRAMチップに生成された容量素子の電荷保持特性は、測定に時間がかかるので、ウエハ段階で検査するには非効率的である。このため、複数の組立品を試験用基板に挿入して、同時に検査することで、組立品1個当たりの検査時間を短縮している。このようなウエハ段階でFAILとならない検査項目は、第1従来技術では分析することができず、この検査項目がどの製造装置やプロセス工程で不良となったかを容易に、しかも短期間に推定することができなかった。

本実施形態によれば、組立品の検査結果であってもチップ情報をもとに、ウエハ上のチップ位置やウエハ位置に対応させて不良分布を表示させることができるので、不良を引き起こした製造装置やプロセス工程を容易に、しかも短期間に推定することができる。

【0066】

次に、図11は、本発明の第2の実施形態による半導体装置生産システム（図11）の構成例を説明する。ここで、上記第1の実施形態と同様な構成については同一の符号を付し、詳細な説明を省略する。

以下、生産される半導体装置を、複数のメモリセルと、欠陥を有するメモリセル（以下、欠陥セルとする）を置き換え可能なメモリセルからなる冗長回路とを有するメモリ、例えばDRAM（ダイナミック・ランダム・アクセス・メモリ）として説明していく。

【0067】

ウエハ100は、ウエハ製造ライン20に投入され、所定のプロセス工程が施され、ウエハ表面に複数の半導体メモリが形成される。

10

20

30

40

50

ここで、ウエハ製造ライン20とは、ウエハをチップに分割するプロセス工程までの段階を指し、イオンインプランテーション工程（不純物注入工程）、拡散工程、薄膜堆積工程、レジスト塗布工程、露光工程、エッチング工程、及びバックグラインド工程等の、ウエハ表面にトランジスタを形成するプロセス工程の全てを含む。

【0068】

そして、ステップ20のウエハ製造ラインの工程が終わると、LSIテスト1は、CPU、記憶部及びメモリ等から構成され、この記憶部に記憶された試験プログラムに従い、ウエハ状態（ウエハ工程後）のチップとしての半導体装置に対して動作試験（ACテスト）及び直流的特性試験（DCテスト）を行う。

また、LSIテスト1は、従来例と同様に、ウエハ状態における半導体メモリの試験を行い、メモリセルアレイ（チップ）におけるフェイルした欠陥セルの欠陥セル検査情報（ビットマップのデータ）を、チップ単位で、欠陥セル検査情報ファイル4に保存する。

10

【0069】

そして、置換アドレス決定装置2は、ウエハ毎に入力されるビットマップのデータに基づき、ウエハの各チップ毎にフェイルとなったビットを、効率的に救済するため、ワード線及びビット線の組み合わせを解析する。

次に、置換アドレス決定装置2は、ワード線及びビット線を各々冗長ワード線と冗長ビット線とに置き換えるため、上記解析結果から得られたワード線のアドレス及びビット線のアドレスから、各々のワード線のアドレス及びビット線に対応するヒューズアドレスを図12に示すフォーマットのヒューズアドレスファイルで、ウエハ工程のロット毎に決定する。

20

ここで、ウエハ段階のトリミング装置3に供給するビットマップのデータをもとに算出した置換のためのアドレスを「冗長アドレス」と定義し、後に述べる組立品から抽出した「冗長アドレス」のことを「置換アドレス」と定義する。

【0070】

置換アドレス決定装置2は、欠陥セル検査情報ファイル4から入力される欠陥セルの欠陥セル検査情報に基づき、欠陥セルを冗長回路の冗長ワード線で置き換えるか。または冗長ビットでの置き換えるかを決定する。すなわち置換アドレス決定装置2は、いずれが不良ビットの救済を効率的に（冗長ビット線及び冗長ワード線への置き換え本数を少なく）行えるかの解析を、順次入力されるチップ毎に行う。冗長アドレスの決定は、ウエハ内の全チップ、ロット内の全ウエハに対して行われる。

30

【0071】

ここで、置き換え可能なメモリセルは、冗長ワード線に接続され、ワード線方向に配設された冗長メモリセル領域と、冗長ビット線に接続されて、ビット線方向に配設された冗長メモリセル領域とで構成されている。これらの、冗長メモリセル領域は、各々複数からなる。

【0072】

例えば、複数有る欠陥セルの内、3個が1本のワード線上に存在している場合、ワード線を冗長ワード線へ置換すれば、1本の置き換えで済むが、ビット線を冗長ビット線へ置換した場合、3本必要になるため、ワード線を冗長ワード線と置換した方が使用本数の効率が良くなる。置換アドレス決定装置2は、上述したように、ビットマップの複数の欠陥セルを、冗長メモリセルのメモリセルと置換する場合、欠陥セルを効率的に置換する冗長ワード線と冗長ビット線との組み合わせの決定を行う。

40

【0073】

さらに、置換アドレス決定装置2は、上記解析結果として選択されたビット線及びワード線の各々と置き換えられる各々の冗長ビット線及び冗長ワード線を、対応するワード線及びビット線のアドレスと同一のアドレスとするヒューズアドレスを生成する。

【0074】

すなわち、冗長ワード線及び冗長ビット線は、後に詳細に説明するが、各々冗長アドレスを設定するための複数のヒューズからなるアドレス設定回路を有している。このヒューズ

50

のなかから所望のアドレスに対応した所定のヒューズを切断することで、冗長アドレスを任意に設定することが出来る。

置換アドレス決定装置 2 は、上記置き換えるワード線及びビット線のアドレスのデータに基づき、どのヒューズを切断するかを指定するヒューズアドレスを生成し、生成したヒューズアドレスをトリミング装置 3 へ出力する。また、置換アドレス決定装置 2 は、このヒューズアドレスをヒューズ情報ファイル 5 へに保存する。

【0075】

そして、置換アドレス決定装置 2 は、このヒューズアドレスファイルをトリミング装置 3 へ出力するとともに、ヒューズ情報ファイル 5 へ記憶させる。

また、チップ位置解析装置 4 2 は、冗長回路におけるヒューズのグループ分け、すなわち 10
冗長ワード線及び冗長ビット線のアドレスを設定するヒューズのグループが各々どのヒューズ番号のヒューズから構成されているかを示す図 1 4 のテーブルフォーマットデータを生成し、上記ヒューズアドレスファイルと関連づけて冗長アドレステーブルファイル 4 4 へ記憶させる。

【0076】

次に、トリミング装置 3 は、入力されるヒューズアドレスファイルに基づき、ウエハ工程のロットのウエハ毎に、ウエハの各チップの冗長回路におけるヒューズの切断を、レーザにより順次行う。

そして、置換アドレス決定装置 2 は、上述のように、LSI テスタ 1 で検査されたビットマップに基づき作成された、所定のロットのヒューズファイルを、図 1 1 に示すトリミング 20
装置 3 へ出力し、かつ、このヒューズファイルをヒューズ情報ファイル 5 へ記憶させる。

トリミング装置 3 は、入力されたヒューズファイルに基づき、ウエハ毎に各チップの対応するヒューズをレーザにより切断する。

【0077】

トリミング装置 3 は、ヒューズファイルに基づき、各ウエハ毎に、ウエハにおける半導体装置のチップのヒューズをレーザにより切断し、ワード線及びビット線を冗長ワード線、冗長ビット線への置換設定を行う。

各ウエハは、上記ワード線及びビット線を冗長ワード線、冗長ビット線への置換が終了したのち、冗長ワード線と冗長ビット線とへの置き換えが決められたとおりに行われている 30
ことを確認するため、再度、ウエハ用テスタ 2 2 を用いて、半導体装置の試験を行う。ウエハ用テスタ 2 2 は、LSI テスタ 1 と同じであってもよい。この試験でフェイル (FAIL) と判定されたチップにはマークを印して、後の工程で廃棄される。

この試験でパス (PASS) と判定されたチップは、パッケージ組立装置 2 6 により、チップ単位にカッターにより切断／分離され、チップ単位でプラスチック樹脂などによりパッケージングされ、組み立てられる。

【0078】

組立品用テスタ 2 7 は、この組み立てられた半導体装置に対して、ウエハ状態では行えなかった試験、すなわち、高速な動作試験、高い電圧をかけて行う耐圧試験、長時間を要する常温／低温／高温の環境で行う加速 (寿命) 試験及びウエハの基板を介して、ウエハ状 40
態においては他の半導体装置のチップからの干渉が生じる様な試験などを実行する。

この組立後の試験において、ウエハ状態の試験項目では PASS と判定された半導体装置の中から、選別機 2 9 で再度試験を行い、追加された試験項目や組立不良に対しては不良品と判定される半導体装置が検出される。

ここで、不良品と判定された組立品には、そのロット内でユニークなサンプル番号をパッケージに付して (捺印して) おく。また、このサンプル番号を組立品検査情報ファイル 2 8 に記憶させておく。

【0079】

次に、ウエハ用テスタ 2 2 は、トリミング装置 3 で冗長のためのヒューズを切断するレーザ処理を行った後に、ウエハ上の各チップのテストを行う。

10

20

30

40

50

この結果、再度ビット不良が検出されたチップは、次の工程において完全な不良チップとして廃棄される。

これにより、冗長回路により救済された半導体装置のチップがパッケージに封止され、組み立てられる。このとき、パッケージ表面に組立ロットの番号と、製品名等が捺印される。

【0080】

そして、組立品用テスト２７により、この組立品に対して、ウエハ状態では行えなかった試験、すなわち、高速な動作試験、高い電圧を書けて行う耐圧試験、常温／低温／高温の環境で行う環境テスト及びウエハの基板を介して、他のチップからの干渉が生じる様な試験などが実行される。

10

この組立後の試験において、ウエハ状態の試験ではPASSと判定された半導体装置の中から、追加された試験項目に対しては不良となる半導体装置が検出される。

【0081】

次に、置換アドレス読取装置４１を用いて、この不良となった組立品から、置換アドレスを抽出し、図１９に示す置換アドレス情報ファイル４３を各チップ毎に生成する。

そして、製造における歩留まりの向上を目的とし不良解析を行う。そして、不良となった組立品を用いて、ウエハ工程のいずれのプロセス工程が原因で不良となるかの解析を不良原因推定装置３４により行う。

【0082】

ここで、不良原因推定装置３４ロットは、不良分析データベース３５の不良パターンのデータに基づき、ロットにおけるウエハの位置情報やウエハにおける不良チップの発生パターン（位置情報）により、異常なプロセス工程が推定可能であることを利用し、チップの不良原因がウエハ工程のいずれのプロセス工程の異常に起因するのかの推定を行う。

20

したがって、上記異常プロセスの推定作業のため、半導体素子のロットにおけるウエハの位置情報及びこのウエハにおけるチップの位置情報を求めることが必要となる。

そして、選別機２９で良品と判定された組立品は、半導体メモリの製品３０として出荷される。

【0083】

次に、図１１をもとに、半導体メモリの生産における不良解析工程の概要を説明する。半導体メモリの生産においては、非同期に以下に述べる不良解析が行われる。

30

置換アドレス読取装置４１は、組立品のテスト時に追加された検査項目の検査において、不良と判定された組立品に対して後述のロールコールを行い、置換アドレスを抽出する。なお、置換アドレス読取装置４１として、組立品用テスト２７の検査プログラムを変更することにより、組立品用テスト２７が組立品から置換アドレスを読み取ることもできる。

【0084】

また、チップ位置解析装置４２は、組立後の試験により不良品と判定された組立品について、上記置換アドレスデータを置換アドレス情報ファイル４３から読み出し、この置換アドレスデータに記述された置換アドレスの組み合わせに一致するチップ番号を、図１１に示す冗長アドレステーブルファイル４４に記憶されている冗長アドレステーブルから検索する。

40

【0085】

さらに、チップ位置解析装置４２は、検索されたチップ情報を、組立品検査情報ファイル２８内のサンプル番号が一致するレコード（記憶領域）に記憶する。図２０の組立品検査情報ファイル２８には、組立後のパッケージに封止された半導体装置のサンプル番号と、ウエハ工程における半導体装置のチップのロット番号、ウエハ番号及びチップ番号との関係が示されている。

【0086】

ここで、置換アドレス情報ファイル４３におけるレコードには、サンプル番号の情報が含まれている。

これにより、チップ位置解析装置４２は、置換アドレス情報ファイル４３のフレコードか

50

ら、上記サンプル番号を抽出する。

そして、チップ位置解析装置 42 は、このサンプル番号と、冗長アドレステーブルにおいて検索された、このサンプル番号の半導体装置の冗長アドレスの組み合わせに一致するチップ番号とを対応させ、組立品検査情報ファイル 28 へ書き込む。

【0087】

例えば、チップ位置解析装置 42 は、冗長アドレステーブルファイル 44 の冗長アドレステーブルに記述されている、ウエハ工程のロット番号 "CB95-3030"、ウエハ番号 "01" 及びチップ番号 "06, 31" の冗長アドレスの組み合わせ {X/3, 4, A, C, D, ... Y/1, 5, 7, 9, A, ...} が、置換アドレス情報ファイル 43 のサンプル番号 "1" に対応するレコードに記述されている置換アドレスの組み合わせ {X/3, 4, A, C, D, ... Y/1, 5, 7, 9, A, ...} と一致したことを検出したとする。

10

ここで、「X/3, 4, A, C, D, ...」は、ワード線における冗長アドレスの組み合わせを示し、「Y/1, 5, 7, 9, A, ...」はビット線における冗長アドレスの組み合わせを示している。

【0088】

このとき、チップ位置解析装置 42 は、組立後のパッケージに封止されたサンプル番号 "1" の半導体装置を、ウエハ工程のロット番号 "CB95-3030"、ウエハ番号 "01" 及びチップ番号 "06, 31" のチップとして検出し、このサンプル番号 "1" の "1" の文字列と、ロット番号の "CB95-3030"、ウエハ番号の "01" 及びチップ番号の "06, 31" の文字列とを対応付けて、組立品検査情報ファイル 28 へ書き込む。

20

【0089】

すなわち、図 20 において、組立品検査情報ファイル 28 には、「ウエハ工程ロット番号」の項目として、領域 R401 にウエハ工程のロット番号を示す「CB95-3030」の文字列、「組立ロット番号」の項目として、領域 R402 に組立工程のロット番号を示す "35er008" の文字列、「ウエハ番号」の項目として、領域 R403 に、識別子 "W" とウエハ番号 "01" の文字列、「チップ番号」の項目として、領域 R404 にチップ番号 "C06, 31" の文列、「サンプル番号」の項目として、領域 R505 に組立後の半導体装置のサンプル番号を示す "1" の文字列が、チップ位置解析装置 42 により記述される。

30

【0090】

また、不良分布生成装置 32 は、図 20 の組立品検査情報ファイル 28 に基づき、フェイルとなった半導体装置の不良原因が、ウエハ工程における何れのプロセス工程の不具合に起因しているかを解析するための統計処理を行う。

すなわち、不良分布生成装置 32 は、図 20 の組立品検査情報ファイル 28 からウエハ毎にチップ番号を読み出し、このチップ番号に含まれる位置座標に基づき、図 21 に示すフェイルチップ分布表を生成する。

【0091】

このフェイルチップ分布表は、領域 R601 に識別子 "W" とウエハ番号 "01" との文字列が表示され、領域 R602 にウエハにおける縦方向のチップ座標を示す "5" ~ "15" の文字列が記述され、領域 R603 にウエハにおける横方向のチップ座標を示す "10" ~ "35" の文字列が記述されている。

40

例えば、サンプル番号 1 の半導体装置がロット番号 "CB95-3030"、ウエハ番号 "01"、チップ番号 "06, 31" であるため、図 21 のチップ分布表に表示すると、チップ番号 "06, 31" の文字列において、「06」が縦方向のチップ座標を示し、「31」が横方向のチップ座標を示すため、マーク R605 の位置に、不良分布生成装置 32 により記述される。

【0092】

同様に、サンプル番号 2 の半導体装置がロット番号 "CB95-3030"、ウエハ番号

50

” 0 1 ”，チップ番号” 0 6，3 2 ”であるため、図 2 1 のチップ分布表に表示すると、マーク R 6 0 6 の位置に、冗長アドレス決定装置 2 により記述される。これらのマーク R 6 0 5 及びマーク R 6 0 6 などのマークが、フェイルチップを示している。この分布表は、冗長アドレス決定装置 2 により、表示装置 3 3 に表示される。

【0093】

さらに、不良分布生成装置 3 2 は、ウエハ毎に生成された上記チップ分布表を、ロット毎に重ね合わせることで、ウエハのどの領域にフェイルチップの分布が集中しているかを検出する。不良分布を作成したとき、不良数が少なくで分布パターンが特定できないことがある。この場合、ウエハ段階の検査項目であるウエハ検査情報ファイル 2 3 と組立品検査情報ファイル 2 8 とをマージして不良分布を作成してもよい。このようにすることで、不良分布パターンの情報量が増えるので、不良分布パターンの特定が容易になり、不良原因の推定ミスを低減できる。

10

【0094】

そして、不良原因推定装置 3 4 は、ロット単位で重ね合わされたチップ分布表のマークのパターンと、予め不良分布データベース 3 5 に記憶されている、不良原因となるプロセス工程に特有のウエハのフェイルパターンとを比較することにより、最も近いフェイルパターンを有するプロセス工程に不良原因があると推定し、出力装置にロット単位で重ね合わされたチップ分布表のマークのパターンと推定結果のプロセス工程の名称とを表示装置 3 3 へ表示する。

【0095】

なお、このとき、ウエハ工程終了後のウエハ状態におけるフェイルとなった半導体装置のチップのウエハにおけるフェイルとなったチップの分布を、上記チップ分布表に含め、プロセス工程の不良原因を推定するフェイルパターンと比較することで、より確度の高いプロセス工程の不良解析が可能となる。

20

【0096】

以下に、使用される各ファイルのフォーマットについて順次説明する。

置換アドレス決定装置 2 がトリミング装置 3 へ出力するヒューズアドレスのフォーマットは、例えば、図 1 2 に示す形式をしている。

領域 R 1 には「製品名」の文字列が記述され、領域 R 2 には、” L O T N O ”，” L O T N A M E ” の文字列として、識別子” L O T N O ”の文字列及びロット番号” L O T N A M E ”の文字列とが記述されている。

30

【0097】

そして、領域 R 3 には、識別子” W X X 0 1 ”の文字列として、識別子” W ”とウエハ番号” X X 0 1 ”とが記述されている。

続いて、領域 R 4，領域 R 5，・・・の行には、上記ウエハ番号のウエハにおけるチップの順番に、それぞれ” F Y 1 0 1 ”，” F Y 1 0 2 ”，・・・の文字列として、識別子” F ”と V r e f F U S E 番号” Y 1 0 1 ”，” Y 1 0 2 ”，…とが記述されている。

【0098】

また、領域 R 6 には「チップ番号」が記述され、この文字データは識別子” C ”とチップ番号” A 0 0 1 ”とで構成される。

40

続いて、領域 R 7。領域 R 8、・・・の行には、切断されるヒューズの番号を示す R o w F U S E 番号が各チップ毎に番号順に記述されている（R o w F U S E 番号のヒューズアドレス列）。この文字データは、識別子” F ”と F U S E 番号” B 1 0 1 ”，” F B 1 0 2 ”，・・・とで構成される。R o w F U S E 番号は、リタンダンシ回路における冗長ワード線のアドレス設定用のヒューズと対応している。ここで、各文字データは「：」により区切られている。

【0099】

同様に、領域 R 9、領域 R 1 0、・・・の行には、切断されるヒューズの番号を示す C o l F U S E 番号が各チップ毎に番号順に記述されている（C o l F U S E 番号のヒューズ

50

ーズアドレス列)。この文字データは、識別子“F”とFUSE番号“C101”、“C102”、……とで構成される。Col FUSE番号は、リタナダンシ回路における冗長ビット線のアドレス設定用のヒューズと対応している。

そして、領域R11には、次のチップの番号を示す文字列として、識別子“C”とチップ番号“A001”の文字列が記述されている。

【0100】

以下、上述した順に、領域R12～領域R15には、各々チップ番号、Row FUSE番号及びCol FUSE番号が記述されている。

次に、領域R16には、1枚目のウエハのチップ番号、Row FUSE番号及びCol FUSE番号の終了識別子を示す“/E”の文字列が、ウエハ情報の終了識別子として 10

【0101】

そして、領域R17には、次のウエハ番号を示す識別子“W”とウエハ番号“XX02”の文字列が記述されている。

以下、1枚目のウエハ番号“XX01”の場合と同様に、領域R25に示されるウエハ情報の終了識別子“/E”の文字列の部分まで、すなわち、領域R18～R24までに、2枚目のウエハ番号“XX02”のVref FUSE番号、各チップに対応したRow FUSE番号及びCol FUSE番号が各々記述されている。

さらに、以下同様に、領域R2に記述されているロット番号“(LOT NAME)”のロットのウエハにおける各FUSE番号が順次記述されている。 20

【0102】

また、上記説明で用いた各FUSE番号は、図13に示すヒューズの番号を示している。図13は、1本の冗長ワード線のアドレスを設定するヒューズ回路の構成例を示す概念図である。通常、冗長ワード線は複数準備されている。簡単化のため、ワード線に対するアドレス信号を、アドレス信号A0～アドレス信号A3の4本として構成している。このアドレス信号の実際の本数は、メモリ容量及びメモリの配列の構成により異なる。冗長ビット線におけるヒューズ回路も図13と同様な構成をしている。

【0103】

この図13において、図12におけるRow FUSE番号は、ヒューズF101～ヒューズF108に相当している。 30

すなわち、外部から入力されるアドレス信号A0は図示しないデコーダにより、同一信号のアドレス信号A0と反転信号のアドレス信号A0Bとする相補的な信号として、nチャネル型MOS（金属－酸化膜－半導体）トランジスタのトランジスタTR1～トランジスタTR8の対応するトランジスタのゲートに各々入力される。例えば、アドレス信号A0はトランジスタTR1のゲートに入力され、アドレス信号A0BはトランジスタTR2のゲートに入力されている。

【0104】

また、ヒューズF101の一端はトランジスタTR1のドレインへ接続され、ヒューズF101の他端は抵抗RRを介して所定の電圧の電源へ接続されている。同様に、ヒューズF102～ヒューズF108の一端は各々トランジスタTR2、…、トランジスタTR8のドレインへ接続され、ヒューズF102～ヒューズF108の他端は抵抗RRを介して所定の電圧の電源へ接続されている。 40

そして、トランジスタTR1～トランジスタTR8のソースは、接地されている。また、各ヒューズF101～ヒューズF108の他端と抵抗RRとの接続点は、インバータM1の入力端子へ接続されている。インバータM1及びインバータM2は、ワード信号WDのレベル調整及び波形整形を行う。

【0105】

例えば、置換アドレス決定装置2は、LSIテスト1で検査されたウエハ番号“0001”のビットマップにおいて、アドレス信号{A3, A2, A1, A0} = {0, 0, 1, 1}のワード線を、冗長ワード線へ置換することを決定した場合、このアドレス信号{0 50

， 0， 1， 1} からヒューズアドレスを生成する。

すなわち、アドレス信号 {0， 0， 1， 1} が入力された場合、置換アドレス決定装置 2 は、ワード信号WDが「H」レベルとなるように、ヒューズF101～ヒューズF108の中から切断するヒューズを決定する。

【0106】

アドレス信号 {0， 0， 1， 1} が入力された場合、「H」レベルとなるアドレス信号のアドレス列は、アドレス列 {A3B， A2B， A1， A0} である。このとき、アドレス列「{A3B， A2B， A1， A0}」と相補の関係にあるアドレス列 {A3， A2， A1B， A0B} が「L」レベルであるため、トランジスタTR2， トランジスタTR4， トランジスタTR5及びトランジスタTR7は、オフ状態で電流は流れない。

10

【0107】

このため、このアドレス列 {A3B， A2B， A1， A0} がゲートに入力されるトランジスタに接続されているヒューズを切断することで電流経路が無くなり、トランジスタTR1， トランジスタTR4， トランジスタTR5及びトランジスタTR8がオン状態となっても、電流が流れないため、ワード信号WDは「H」レベルとなる。

【0108】

したがって、冗長アドレス決定装置 2 は、アドレス信号 {0， 0， 1， 1} に対応するワード線を、冗長ワード線に置換するためのヒューズアドレスを、ヒューズ番号の番号列 {F108， F106， F103， F101} とする。

また、他の置換対象となったワード線のアドレス信号がアドレス信号「{1， 1， 0， 0」である場合、冗長アドレス決定装置 2 は、冗長ワード線に置換するためのヒューズアドレスを、ヒューズ番号の番号列 {F115， F113， F112， F110} とする。

20

同様に、冗長アドレス決定装置 2 は、上記ビットマップに基づき、ビット線を冗長ビット線と置換するための、冗長ビット線を置換するビット線のアドレスに対応させるための、ヒューズ番号の番号列 {FC101， FC102， FC103， FC104} を生成する。

【0109】

また、半導体記憶装置内部で使用する電源電圧（内部電源電圧）を所定の電圧とするため、半導体記憶装置はリファレンス電圧Vrefを生成し、この電圧を基に内部電源電圧を生成している。リファレンス電圧Vrefは、トランジスタのしきい値電圧Vtを基準に生成するが、しきい値電圧Vtは一般に製造ラインのプロセス工程に依存してばらついてしまう。このため、LSIテスト1でしきい値電圧Vtを測定して、リファレンス電圧Vrefの電圧レベルが所定の電圧になるよう調整する必要がある。この調整もヒューズを切断することで所定の電圧に調整する。

30

すなわち、冗長アドレス決定装置 2 は、半導体装置のチップ毎にLSIテスト1で検査されたしきい値電圧Vtに基づき、所定のリファレンス電圧Vrefとなるよう切断するVref FUSE番号の番号列を決定する。例えばチップ番号“CA001”の番号列 {FY101， FY102， FY103， FY104， …} のように、Vref FUSE番号の番号列を対応するチップ毎に生成する。

【0110】

40

また、置換アドレス決定装置 2 は、ヒューズ番号の番号列を連続的に出力するため、例えば、Row FUSE番号の番号列とすると図12においては「...；Row FUSE番号（F101）；Row FUSE番号（F103）；Row FUSE番号（F106）；Row FUSE番号（F108）；Row FUSE番号（F110）；Row FUSE番号（F112）；Row FUSE番号（F113）；Row FUSE番号（F115）；...」のヒューズアドレス列として記述される。

【0111】

このため、チップ位置解析装置 42 は、上記ヒューズアドレス列において、例えば、冗長ワード線を置換するワード線に対応させるRow FUSE番号及びCol FUSE番号の番号列の区切りを示す、番号列の開始されるヒューズ番号を、使用された冗長ワード

50

線順にヒューズ開始番号が記述された図14に示すテーブルフォーマットデータを生成し、このテーブルフォーマットデータを冗長アドレステーブルファイル44へ格納する。

【0112】

このとき、Col Fuse番号の構成がF511から始まり、Row Fuse番号と同様に4ビット構成のアドレス信号とする。

そして、ヒューズ番号F101～ヒューズ番号F108をグループGR1とし、ヒューズ番号F109～ヒューズ番号F110をグループGR2とし、…、ヒューズ番号F501～ヒューズ番号F508をグループGL1とし、ヒューズ番号F509～ヒューズ番号F510をグループGL2とし、…とする。

ここで、F501, F502, F503, F504, …は、FY101, FY102, FY103, FY104, …に対応する。 10

【0113】

したがって、図14において、領域51にはグループGR1の先頭のヒューズ番号がヒューズF101であることを示すRow Fuse先頭番号”F101, GR1”の文字列が記述され、領域52にはグループGR2の先頭のヒューズ番号がヒューズF109であることを示す「Row Fuse先頭番号”F109, GR2”の文字列が記述されている。

以下、同様に、冗長ワード線の置換のためのヒューズに対応する、各グループを構成するヒューズの先頭番号が記述されている。

【0114】

また、図14において、領域61にはグループGL1の先頭のヒューズ番号がヒューズF501であることを示すCol Fuse先頭番号”F501, GL1”の文字が記述され、領域62にはグループGL2の先頭のヒューズ番号がヒューズF509であることを示すCol Fuse先頭番号”F509, GL2”の文字列が記述されている。

以下、同様に、冗長ビットの置換のためのヒューズに対応する、各グループを構成するヒューズの先頭番号が記述されている。 20

【0115】

そして、チップ位置解析装置42は、図14のテーブルフォーマットに記述された先頭のヒューズ番号により、図12におけるRow Fuse番号のヒューズアドレス列及びCol Fuse番号のヒューズアドレス列を、各々切断されるRow Fuse番号、または切断されるCol Fuse番号で構成されるヒューズアドレスのグループに分割するのに用いる。 30

【0116】

また、チップ位置解析装置42は、図12に示すヒューズファイルを加工し、図15に示す中間ファイルを生成する。この図15に示すように、この中間ファイルは、図12のヒューズファイルの「;」で区切られた文字列を、1行に記述されるように変換されたファイルである。ここで、Row Fuse番号またはCol Fuse番号は、各々上述したヒューズF101～ヒューズF108及びヒューズF501～ヒューズF508を用いている。

【0117】

さらに、冗長アドレス決定装置2は、上記中間ファイルから冗長アドレスを生成する。

ここで、冗長アドレスは、冗長ワード線及び冗長ビット線へ置換されたワード線、ビット線のアドレスを示す。

チップ位置解析装置42は、冗長アドレステーブルファイル44に記憶されているテーブルフォーマットデータに基づき、図15に示す中間ファイルにおけるヒューズアドレス列を、各々切断されるRow Fuse番号、または切断されるCol Fuse番号で構成されるヒューズアドレスのグループに分割する。

例えば、チップ位置解析装置42は、切断されるRow Fuse番号で構成されるヒューズアドレスを、グループGR1 {F108, F105, F104, F101}, グループGR2 {F115, F113, F112, F110}, …に分割する。 40 30 40 50

【0118】

そして、チップ位置解析装置42は、分割されたヒューズアドレスのグループを冗長アドレスへの変換処理を行う。

例えば、チップ位置解析装置42は、グループGR1のRow Fuse 番号のグループGR1 {F108, F105, F104, F101} において、ヒューズ番号が奇数の場合「1」に変換し、ヒューズ番号が偶数の場合「0」に変換する。

同様に、冗長アドレス決定装置2は、他のグループの分割されたヒューズアドレスを「0」または「1」のデータに変換する。

【0119】

そして、チップ位置解析装置42は、変換されたグループGR1 {0, 1, 0, 1}, グループGR2 {1, 1, 0, 0}, …を、16進数の表示に変換し、各々グループGR1 {3}, グループGR2 {A} として冗長アドレスとする。

同様に、チップ位置解析装置42は、変換されたグループGL1 {1, 1, 0, 0}, グループGL2 {0, 0, 0, 1}, …を、16進数の表示に変換し、各々グループGL1 {A}, グループGL2 {1} として冗長アドレスとする。

【0120】

次に、図22を用いて、ヒューズファイルから置換アドレスに変換する方法について説明する。

チップ位置解析装置42は、例えば、ロットにおけるウエハの毎に、図16に示すフォーマットの冗長アドレステーブルを生成する。この冗長アドレステーブルは、冗長アドレスと、ロット番号、ウエハ番号及びチップ番号との関係を示すテーブルとなっている。

そして、チップ位置解析装置42は、生成した冗長アドレステーブルを冗長アドレステーブルファイル44へ格納する。

図16において、領域R60には、この冗長アドレステーブルの生成された日付が、「DATA」の項目により「XXXX」の文字列で年月日において記述される。領域R61には、ウエハ工程におけるウエハの属するロット番号が、「Lot NAME」の項目として、「CB95-3030」の文字列により記述される。この「Lot NAME」の項目は、図12における「LOT NO」, 「LOT NAME」に対応している。

【0121】

また、領域R62には、上記ロット番号のロットにおけるウエハの番号が、「Wafer Number」の項目で、「W01」の文字列により記述されている。この「Wafer Number」の項目は、図12の識別子「W」とロット番号「XX01」との項目に対応している。

領域R63には、上記ウエハにおけるチップの座標を示すチップ番号が、「Chip Name」の項目で、「C06, 31」の文字列により記述されている。この「Chip Name」の項目は、図12の識別子「C」とチップ番号「A001」とに対応している。

【0122】

領域R64には、チップ番号「60, 31」のチップの電圧Vrefの電圧値の調整におけるヒューズアドレスに基づく数値が、「Vref number」の項目で「4」の文字列により記述されている。

領域R65には、冗長アドレス（置き換えるワード線のアドレス）が書き込まれるヒューズグループの番号であるグループGR1を示す「GR1」の文字列と、上記冗長アドレスを示す「3」の文字列とが記述されている。すなわち、上述のヒューズアドレスの説明にあるように、グループGR1におけるヒューズが、置き換えられるワード線のアドレス「3」を示すように切断され、このグループGR1に対応する冗長ワード線のアドレスが「3」となり、ワード線が冗長ワード線に置換される。

【0123】

同様に、領域R66には、冗長アドレスが書き込まれるヒューズグループの番号であるグループGR2を示す「GR2」の文字列と、上記冗長アドレスを示す「A」の文字列とが記述されている。

10

20

30

40

50

また、領域 R 6 7 には、冗長アドレスが書き込まれるヒューズグループの番号であるグループ G R 3 を示す " G R 3 " の文字列と、このヒューズグループの冗長ワード線が使用されていないことを示す " - " の文字列とが記述されている。

以下、グループ G R 4 以降も、上述したグループ G R 1 ~ グループ G R 3 と同様に、使用されたグループ番号の下には冗長アドレスの文字列が示され、使用されないグループの下には、" - " の文字列が記述されている。

【 0 1 2 4 】

また、領域 R 6 8 には、冗長アドレス（置き換えるチップ線のアドレス）が書き込まれるヒューズグループの番号であるグループ G L 1 を示す " G L 1 " の文字列と、上記冗長アドレスを示す " A " の文字列とが記述されている。すなわち、上述のヒューズアドレスの説明にあるように、グループ G L 1 におけるヒューズが、置き換えられるビット線のアドレス " A " を示すように切断され、このグループ G L 1 に対応する冗長ビット線のアドレスが " A " となり、ビット線が冗長ビット線に置換される。

10

【 0 1 2 5 】

同様に、領域 R 6 9 には、冗長アドレスが書き込まれるヒューズグループの番号であるグループ G L 2 を示す " G L 2 " の文字列と、上記冗長アドレスを示す " 1 " の文字列が記述されている。

以下、グループ G L 3 以降も、上述したグループ G R 1 ~ グループ G R 3 , グループ G L 1 , グループ G L 2 と同様に、使用されたグループ番号の下には冗長アドレスの文字列が示され、使用されないグループの下には、" - " の文字列が記述されている。

20

【 0 1 2 6 】

領域 7 1 には、「 C h i p N a m e 」の項目として、次のチップ番号を示す " C 0 6 , 3 2 " の文字列が記述されている。

また、領域 7 2 には、チップ番号 " 6 0 , 3 2 " のチップの電圧 V r e f の電圧値の調整におけるヒューズアドレスに基づく数値が、「 V r e f n u m b e r 」の項目で " 4 " の文字列により記述されている。

以下、同様に、チップ番号 " C 0 6 , 3 2 " のチップにおける冗長アドレスと、この冗長アドレスが書き込まれたヒューズグループの番号とが、冗長ワード線、冗長ビット線の順に記述されている。

【 0 1 2 7 】

このように、上記冗長アドレステーブルには、ファイルに対応するウエハにおける全ての半導体装置のチップについて、このチップの位置（座標）を示すチップ番号に対応する冗長アドレスが記述されている。

30

したがって、各チップ番号に対応する冗長アドレスの組み合わせが、ウエハ工程におけるロット番号、ウエハ番号及びチップ番号に対応するデータを示している。

【 0 1 2 8 】

すなわち、冗長アドレスの組み合わせは、各チップにおける欠陥セルのアドレスを示すビットマップから抽出される組み合わせ、すなわち置換されるワード線及びビット線のアドレス組み合わせであり、半導体装置のチップ毎に異なる確率が非常に高い。言い換えれば、ロットにおける全てのチップにおいて、同一の冗長アドレスを有する半導体装置のチップが存在する確率はほとんどないと言える。

40

【 0 1 2 9 】

この理由は、上述で説明したウエハ番号 " O 1 " のチップ番号 " C 0 6 , 3 1 " と、ウエハ番号 " O 1 " のチップ番号 " C 0 6 , 3 2 " とが等しいチップに判定されるためには、ワード線における冗長アドレスと、ビット線における冗長アドレスとが等しいことが必要となる。

例えば、上記チップ番号 " C 0 6 , 3 1 " の領域 7 0 に記述されているグループ G R 7 の項目が、上記チップ番号 " C 0 6 , 3 2 " において、" 4 " 以外の文字列または " - " の文字列であれば、チップ番号 " C 0 6 , 3 1 " とチップ番号 " C 0 6 , 3 2 " とは異なるチップと判定される。

50

【0130】

また、上述の説明では、説明上ビット線およびワード線のアドレスを4ビットずつとして説明してきたが、実際のデバイスではもっと多い。たとえば、半導体装置が128Mビットでデータバスの幅が8ビットであるとする。このときワード線のアドレスを示すアドレス信号線は0～11の12本であり、ビット線のアドレスを示すアドレス信号線は0～9の10本である。この信号線をリダンダンシの使用領域で区切って使用する。

【0131】

たとえば、ワード線のアドレスを示すアドレス信号線は0～8の中から8本を選んで2の8乗＝256アドレス分、ビット線のアドレスを示すアドレス信号線は0～9の中から8本を選んで2の8乗＝256アドレス分である。このような区切り（set）がおのの128あり、合計で256（set）ある。なお、データバス幅8ビットや、アドレス信号線の数はこれに限定されることはない。

【0132】

本特許に限らず一般的に、0～8の9本の中から8本選ぶのは、たいてい最下位0を除くという意味である。最下位ビットを除けば、アドレスの隣は同時に置換される。置換の原因となるゴミなどが不良を引き起こすとき互いに隣ワードやビットをも不良にする確率は高いから、隣は同時に置換されることは都合が良い。

【0133】

さて、256アドレスを選ぶことのできるリダンダンシのsetは先に述べたように256set存在する。デバイスの出来上がりにもよるが、大抵は100set程使用してPASSとなる。逆に言うと、256setのリダンダンシ回路を用意する回路設計をしたということは、個数にしてその半分程度を使う様な設計にしたはずである。

【0134】

なぜならば、PASSの為に10setで良いならば、256setはリダンダンシ回路の準備過剰で無駄な設計をしたことになる。また、Passの為に300set必要ならば、256setは設計段階での準備不足になってしまう。256アドレスの値をとる100setのリダンダンシ回路の組み合わせが何通りあるか計算する。100setを256setから選び出すコンビネーションは

$$A \leq {}_{256}C_{100} = 256! / 100! \quad \cdots \text{式 1}$$

通りである。（Cはcombination）

さらに、256アドレスをとるsetが100setあるので、その組み合わせは

$$B = 256^{100} = 10^{(100 \times \log(256))} = 10^{800 \times \log 2} = 10^{240} \quad \cdots \text{式 2}$$

通りである。

【0135】

すなわち、A、Bのとりうる事象はA×B通りあり、天文学的数字である。しかし、式1は冗長アドレス決定プログラムの救済計算ルーチンの作り方によって変わる。リダンダンシ回路では、式1は自由であるが、それを実際に使うときには救済計算によって制約されて256! / 100!より小さい。例えば、ROWアドレスから救済計算をするとROW側の冗長メモリが優先的に使用されるが、COLUMNから計算するとROW側はあまり使われない。完全にランダムに選ばれるのではないから、救済計算の方法によってAは減ってしまうのである。しかし、式1は少なくとも何百通りもあるし、確実にA＝1より小さくなることは絶対にありえない。

仮に、A＝1としたとしても、冗長アドレスの組み合わせは最低でも

$$A \times B \geq 1 \times B = 10^{240} \quad \cdots \text{式 3}$$

通りある。

【0136】

従って、ロットにおけるウエハの枚数が25枚で、ウエハ1枚当たりのチップ数が200としても、1ロットにおける総チップ数は、5000個となり、冗長アドレスの組み合わせ

せ数に比較すると非常に少ない数となる。

このため、上記冗長アドレスの組み合わせは、多数の人間のなかから一人の人間を特定する指紋と同様に、複数のロットに含まれるチップ全てを母集団とした場合、特定のロット番号のロットにおける特定のウエハの何れかのチップ、すなわち、この母集団における1つのチップの特定（識別）を可能とする。

【0137】

以上のことから、ロット数を考慮したとしても、複数のチップが同一の冗長アドレスの組み合わせを有することは、ほぼ無いと言える。

また、複数のチップが同一の冗長アドレスの組み合わせを有したとしても、この組み合わせを有するチップの数が上記理由より非常に少ないことが予想されるため、総チップ数を母集団とし、ウエハ工程における各プロセス工程の異常を検知する統計処理を行う場合、上記組み合わせを有するチップの数は、この統計処理における計算上のノイズとして処理することができる。

10

【0138】

また、チップ位置解析装置42は、図22のフローチャートに従い、上記ヒューズ情報ファイル5から、各チップの冗長アドレスを抽出する。

以下、図22のフローチャートを用い、このヒューズアドレスファイルから各チップの冗長アドレスを抽出する処理の説明を行う。

ここで、チップ位置解析装置42は、CPUとメモリとから構成され、CPUがメモリに記憶されているプログラムに従った処理を行う。

20

【0139】

ステップS101において、チップ位置解析装置42は、ヒューズ情報ファイル5からヒューズアドレスデータを、冗長アドレステーブルファイル44からテーブルファイルデータを、内部に設けられた記憶部に読み込む。

次に、ステップS102において、冗長アドレス決定装置2は、読み込んだヒューズアドレスファイルから図15の中間ファイルを生成する。

【0140】

次に、ステップS103において、チップ位置解析装置42は、上記中間ファイルから製品名、ロット番号等のヘッダー情報、例えば製品名「128M／SDRAM（128Mビット・シンクロナスDRAM）」、ロット番号「CB95-3030」の文字列を読み取り、内部の記憶部の所定の領域に格納する。

30

【0141】

次に、ステップS104において、チップ位置解析装置42は、中間ファイルから1行分のデータ、すなわち、ウエハ番号「0001」の文字列を読み込む。

【0142】

次に、ステップS105において、チップ位置解析装置42は、ステップS104で読み込んだ文字列が、新たなウエハ番号を示しているか否かの判定を行う。

このとき、文字列の先頭にある識別子が「W」であるため、チップ位置解析装置42は新たなウエハ番号であると判定し、処理をステップS106へ進める。

一方、チップ位置解析装置42は、識別子が「W」以外であった場合、処理をステップS108へ進める。

40

【0143】

次に、ステップS106において、チップ位置解析装置42は、ステップS104で読み込まれた識別子「W」とウエハ番号「0001」との文字列から、ウエハ番号「0001」を抽出し、このウエハ番号「0001」を上記記憶部の所定の領域へ記憶させる。

【0144】

次に、ステップS107において、チップ位置解析装置42は、中間ファイルから1行分のデータ、すなわち、識別子「F」とVref FUSE番号「Y101」との文字列を読み込む。

そして、チップ位置解析装置42は、読み込まれた文字列、すなわち、識別子「F」が、

50

ウェア情報の終了を示す識別子 " / E " の文字列と等しいか否かの判定を行う。

このとき、識別子 " F " と V r e f F U S E 番号 " Y 1 0 1 " との文字列と、終了の識別子 " / E " の文字列とが異なるため、チップ位置解析装置 4 2 は、読み込んだ文字列が識別子 " / E " と異なると判定し、処理をステップ S 1 0 9 へ進める。

【0145】

次に、ステップ S 1 0 9 において、チップ位置解析装置 4 2 は、チップ番号を示す文字列となるまで、電圧 V r e f の電圧レベル設定用のヒューズ番号を示す、識別子 " F " と V r e f F U S E 番号 " Y 1 0 2 " , … とを読み込み、文字列「チップ番号」が検出されたとき、読み込んだ全ての V r e f F U S E 番号 " Y 1 0 1 " , V r e f F U S E 番号 " Y 1 0 2 " , … を記憶部の所定の領域に記憶させ、チップ番号の行の文字列、すなわち、識別子 " C " とチップ番号 " A 0 0 1 " との文字列を読み込む。

10

【0146】

そして、チップ位置解析装置 4 2 は、読み込まれた識別子 " F " とチップ番号 " A 0 0 1 " との文字列から、チップ番号 " A 0 0 1 " を抽出し、このチップ番号 " A 0 0 1 " を記憶部の所定の領域へ記憶させる。

【0147】

次に、ステップ S 1 1 0 において、上記記憶部に記憶されているヒューズ番号の V r e f F U S E 番号 " Y 1 0 1 " , V r e f F U S E 番号 " Y 1 0 2 " , … の番号列の組み合わせに基づき、V r e f 番号を生成する。このヒューズ番号の番号列の組み合わせと、V r e f 番号との関係は、予め記憶部に読み込まれて保持されている。

20

【0148】

次に、ステップ S 1 1 1 において、チップ位置解析装置 4 2 は、中間ファイルから 1 行分のデータ、すなわち、R o w F U S E 番号 " F 1 0 1 " の文字列を読み込む。そして、冗長アドレス決定装置 2 は、このチップ番号の次に読み込まれた文字列が終了の識別子 " / E " であるか否かを判定する。

このとき、読み込まれた文字列の R o w F U S E 番号 " F 1 0 1 " が " / E " と一致しないため、チップ位置解析装置 4 2 は、読み込まれた文字列が " / E " でないと判定し、処理をステップ S 1 1 2 へ進める。

【0149】

次に、ステップ S 1 1 2 において、チップ位置解析装置 4 2 は、次のチップ番号を示す文字列が検出するまで、ヒューズ番号の R o w F U S E 番号 " F 1 0 1 " , R o w F U S E 番号 " F 1 0 2 " , … , C o l w F U S E 番号 " F 5 0 1 " , C o l w F U S E 番号 " F 5 0 2 " , … を読み込み、テーブルファイルに従い、ヒューズ番号を冗長ワード線及び冗長ビット線に対応したヒューズのグループに分割し、各々のヒューズのグループから冗長アドレスを生成する。

30

【0150】

例えば、チップ位置解析装置 4 2 は、ヒューズ番号の番号列 { F 1 0 1 , F 1 0 3 , F 1 0 6 , F 1 0 8 , F 1 1 0 , F 1 1 2 , F 1 1 3 , F 1 1 5 , … , F 5 0 0 , F 5 0 2 , F 5 0 5 , F 5 0 7 , F 5 0 9 , F 5 1 2 , F 5 1 4 , F 5 1 6 , … } から、テーブルフォーマットデータに基づき番号列を分割し、ヒューズ番号の並べ替えを行い、ヒューズのグループ G R 1 { F 1 0 8 , F 1 0 6 , F 1 0 3 , F 1 0 1 } , グループ G R 2 { F 1 1 5 , F 1 1 3 , F 1 1 2 , F 1 1 0 } , … , グループ G L 1 { F 5 0 7 , F 5 0 5 , F 5 0 2 , F 5 0 0 } , グループ G L 2 { F 5 1 6 , F 5 1 4 , F 5 1 2 , F 5 0 9 } , … を生成する。

40

【0151】

そして、チップ位置解析装置 4 2 は、上記各グループ G R 1 ~ グループ G L 2 において、ヒューズ番号が奇数の場合にデータ「1」に変換し、ヒューズ番号が偶数の場合にデータ「0」に変換し、グループ G R 1 { 0 , 0 , 1 , 1 } , グループ G R 2 { 1 , 1 , 0 , 0 } , … , グループ G L 1 { 1 , 1 , 0 , 0 } , グループ G L 2 { 0 , 0 , 0 , 1 } , … を生成する。

50

【0152】

次に、チップ位置解析装置42は、各グループGR1、…グループGL2、…のビットの配列を16進数に変換して、グループGR1 {3}、グループGR2 {A}、…、グループGL1 {A}、グループGL2 {1}、…として、冗長アドレスを生成する。

そして、チップ位置解析装置42は、処理をステップS113へ進める。

【0153】

次に、ステップS113において、チップ位置解析装置42は、求めた冗長アドレスの組み合わせを、チップ番号”A001”、すなわちチップ番号”C06, 31”に対応させて、冗長アドレステーブルファイル44に記憶されている図16の冗長アドレステーブルへ書き込む。

10

このとき、チップ位置解析装置42は、記憶部に記憶されているロット番号”C95-3030”及びウエハ番号”0001”のデータも、チップ番号”C06, 31”と合わせて、冗長アドレスの組み合わせに対応させて、冗長アドレステーブルへ書き込む。

【0154】

次に、ステップS114において、チップ位置解析装置42は、次の行の文字列、すなわち、識別子”C”とチップ番号”A002”との文字列を読み込む。

そして、チップ位置解析装置42は、読み込まれた文字列がチップ番号を示すか否かの判定を行う。

このとき、読み込まれた文字列がチップ番号”A002”であるため、チップ位置解析装置42は、読み込まれた文字列がチップ番号を示し、まだチップ情報（チップ番号、ヒューズ番号）が残っていると判定して、処理をステップS109へ進める。

20

【0155】

そして、チップ位置解析装置42は、以降、ステップS114において、チップ番号でなくウエハ番号の終了を示す文字列”/E”が検出されるまで、ステップS109～ステップS114の処理を繰り返して行い、得られた冗長アドレスの組み合わせを対応するチップ番号とともに、冗長アドレステーブルファイル44に記憶されている冗長アドレステーブルへ、順次書き込む。

【0156】

そして、ステップS114において、チップ位置解析装置42は、終了を示す文字列”/E”が検出されると、1枚のウエハの処理が終了したことを検知し、処理をステップS115へ進める。

30

【0157】

次に、ステップS115において、チップ位置解析装置42は、次の行の文字列を読み込み、ヒューズアドレスファイルの最後であるか否か、例えば「EOF（エンド・オブ・ファイル）」が検出されたか否かの判定を行う。

このとき、チップ位置解析装置42は、ウエハ番号を示す識別子”W”とウエハ番号”0002”との文字列を読み込んだとすると、ヒューズアドレスファイルの最後でないことを確認し、処理をステップS104へ進める。

【0158】

次に、チップ位置解析装置42は、ステップS115において、ヒューズアドレスファイルの最後であることが検出されるまで、すなわち、ロット番号”CB95-3030”のロットの全てのウエハの冗長アドレスの生成が終了するまで、ウエハ番号”0002”以降の冗長アドレスの生成を、上述したように、ステップS104～ステップS115の処理を繰り返して行う。

40

そして、チップ位置解析装置42は、次の行の文字列を読み込み、ヒューズアドレスファイルの最後であることを検出した場合、例えば「EOF」が検出された場合、冗長アドレスの生成の処理（図22のフローチャート）を終了する。

【0159】

以下、置換アドレス読取装置41における、組み立てられた半導体装置（組立品）からの置換アドレスの抽出方法（ロールコール法）について、図17及び図18を用いて説明す

50

る。

図17は、メモリセルアレイと、冗長用のメモリセルとの構成を示す概念図である。図18は、置換アドレス読取装置41における冗長アドレスの抽出の流れを示すフローチャートである。

【0160】

図17において、領域100に記述されている文字列"0"～文字列"F"は列方向に配置されたワード線のアドレスを示しており、領域200に記述されている文字列「0」～文字列「F」は行方向に配置されたビット線のアドレスを示している。そして、ワード線とビット線との交差点にメモリセルが配置されている。例えば、メモリセルM C F Fは、ワード線Fとビット線Fとの交点に配置されている。

10

【0161】

R Xは冗長ワード線に対応する冗長メモリセル領域を示しており、R Yは冗長ビット線に対応する冗長メモリセル領域を示している。

冗長メモリセル領域R Xは、グループG R 1, グループG R 2, …に各々対応した冗長ワード線に接続されたメモリのブロックに分離されている。

同様に、冗長メモリセル領域R Yは、グループG L 1, グループG L 2, …に各々対応した冗長ビット線に接続されたメモリのブロックに分離されている。

【0162】

以下、図18のフローチャートに従って、置換アドレス読取装置41における冗長アドレスの抽出処理を説明する。以下に説明されるステップ毎の動作は、内部に設けられた記憶部に記憶されている測定プログラムに従い、置換アドレス読取装置41のCPUが動作し、必要なデータの演算処理、及びCPUが測定に必要な測定回路を制御する順序を示している。

20

ステップS1において、置換アドレス読取装置41の記憶部には、試験対象となる半導体装置のカタログに載せられているスペックに基づき、試験で半導体装置へ入力させる入力電圧／入力電流値の値、動作時における速度を測定するためのタイミングのデータ、半導体装置を動作させるパターンなどの測定条件が設定される。

【0163】

次に、ステップS2において、置換アドレス読取装置41は、上記CPUにより、半導体装置の動作をノーマルモードに設定する。

30

ここで、ノーマルモードとは、欠陥フェイルビットが冗長回路に置換されて、書き込み及び読み出しの動作が行われる状態を示している。

すなわち、置換アドレス読取装置41により、半導体装置のメモリセルにデータを書き込む場合、冗長ワード線に置き換えられていないワード線がアクセスされたときは、このワード線に接続されたメモリセルにデータを書き込み、置き換えられたワード線がアクセスされたときは、ワード線に対応したメモリセルにデータを書き込まずに、このワード線のアドレスが書き込まれたグループ、すなわち冗長ワード線に対応するメモリセルにデータが書き込まれる。

【0164】

例えば、ワード線3に対応する列のメモリセル領域にデータを書き込むと、置換されたグループG R 1に対応する行のメモリセル領域にデータが書き込まれる。しかしながら、書き込む側（置換アドレス読取装置41）は、この指定されたワード線が置換されているか否か、及びどのヒューズのグループに置き換えられているかの意識を持たずに行う。当然のことながら、メモリセルに記憶されているデータを読み出す場合も同様に、読み出す側（置換アドレス読取装置41）は、この指定されたワード線が置換されているか否か、及びどのヒューズのグループに置き換えられているかの意識を持たない。

40

【0165】

次に、ステップS3において、置換アドレス読取装置41は、1ビット線分のメモリセル、例えば、列（ビット線方向、図17では横方向）のメモリセル領域R 2 0 1のメモリ全てに、「H」レベルのデータを書き込む。

50

また、メモリセル領域において、ワード線 3 がグループ G R 1 に対応する冗長ワード線に置換され、ワード線 A がグループ G R 2 に対応する冗長ワード線に置換され、また、ワード線 4、ワード線 C 及びワード線 D も他の冗長ワード線と置換されている。

【0166】

このため、メモリセル M C 3 0 及びメモリセル M C A 0 に書き込まれた「H」レベルのデータは、実際には、それぞれ冗長メモリセル領域 R X のメモリセル M G R 1、メモリセル M G R 2 に書き込まれている。

また、他のメモリセル M C 4 0、メモリセル M C C 0 及びメモリセル M C D 0 に書き込まれた「H」レベルのデータも同様に、冗長メモリセル領域 R X における、置換された冗長ワード線に対応するメモリセルに各々書き込まれる。

10

【0167】

次に、ステップ S 4 において、置換アドレス読取装置 4 1 は、C P U により、半導体装置の動作をテストモードに設定する。

ここで、テストモードは、ワード線 0 ～ワード線 F、及びビット線 0 ～ビット線 F により決まるアドレスを使用せずに、冗長メモリセル領域 R X 及び冗長メモリセル領域 R Y の特定のアドレスのメモリセルにデータを書き込むモードを示している。

【0168】

すなわち、半導体装置の所定の複数のピンに特定のパターンのデータを与えることにより、冗長メモリセル領域 R X 及び冗長メモリセル領域 R Y が通常のアドレスデコーダから分離され、冗長メモリセル領域 R X 及び冗長メモリセル領域 R Y に対するテスト用のデコーダに切り替わる。これにより半導体装置は、書き込む側（置換アドレス読取装置 4 1）が意識して、特定の冗長メモリセル領域 R X 及び冗長メモリセル領域 R Y の特定のアドレスのメモリセルにデータが書き込める状態となる。

20

【0169】

次に、ステップ S 5 において、置換アドレス読取装置 4 1 は、一番目のヒューズのグループであるグループ G R 1 に対応するメモリ領域の 1 ビット線分のメモリセル、すなわちメモリセル M G R 1 に、「L」レベルのデータを書き込む。

これにより、メモリセル M G R 1 に記憶されているデータは、「H」レベルから「L」レベルへ書き換えられる。

【0170】

30

次に、ステップ S 6 において、置換アドレス読取装置 4 1 は、半導体装置の動作モードを、テストモードからノーマルモードへ設定し直す。

【0171】

次に、ステップ S 7 において、置換アドレス読取装置 4 1 は、1 ビット線分のメモリセル全て、すなわちメモリセル領域 2 0 1 のメモリセル全てのデータを読み出し、順次、読み出されたデータが初めに書き込まれた「H」レベルのデータか否かの判定を行い、欠陥セルに対応する冗長ワード線のアドレスを、図示しないフェイルメモリへ書き込む。

このとき、メモリセル M G R 1 に記憶されているデータが「L」レベルに書き換えられている。

このため、置換アドレス読取装置 4 1 は、半導体装置がノーマルモードであるので、グループ G L 1 に対応する冗長ワード線のアドレスとして、置換されたワード線 3 のアドレス「3」をフェイルメモリに書き込む。

40

【0172】

次に、ステップ S 8 において、置換アドレス読取装置 4 1 は、フェイルメモリを検索して、フェイルとなったメモリセルがあるか否か、すなわち、半導体装置が試験にパスしたか否かの判定を行う。

このとき、置換アドレス読取装置 4 1 は、フェイルメモリにアドレスのデータが存在するため、処理をステップ S 9 へ進める。

【0173】

次に、ステップ S 9 において、置換アドレス読取装置 4 1 は、フェイルメモリに記憶され

50

ているワード線3のアドレス「3」を読み出す。このアドレス「3」が冗長アドレスとなる。

すなわち、ノーマルモードにおいて、1ビット線分のメモリセル全てに「H」レベルのデータを書き込むことにより、置換されていないワード線に対応するメモリセルには、そのまま「H」レベルのデータが書き込まれる。

【0174】

一方、置換されているワード線に対応するメモリセル、例えば、上記で説明に使用したメモリセルMC30に書き込まれた「H」レベルのデータは、ステップS3に記載したように、冗長メモリセル領域RXにおいて、置換アドレス読取装置41により、ワード線3と置換されたグループGR1の冗長ワード線に対応するメモリセルMGR1に書き込まれる。

10

【0175】

そして、置換アドレス読取装置41は、半導体装置の動作状態をテストモードに変更し、冗長メモリセル領域RXのメモリセルMGR1に「L」レベルのデータを書き込む。

そして、置換アドレス読取装置41は、半導体装置の動作状態をノーマルモードに戻し、ビット線0に対応するメモリセル領域R201のメモリセル全てのデータを読みだし、「H」レベルのデータから「L」レベルのデータへ変化しているメモリセルを検出することで、メモリセルMGR1に対応するグループGR1の冗長ワード線と置換された、ワード線3を検出することが出来る。

【0176】

20

次に、ステップS10において、置換アドレス読取装置41は、検出されたワード線3のアドレス「3」を、ワード線の置換アドレスとして、図11の置換アドレス情報ファイル43へ出力する。図19は、抽出された置換アドレスの値と、ヒューズのグループを構成するヒューズ番号との対応を示すテーブルであり、サンプル番号毎に生成される。図19に示す置換アドレス情報ファイル43は、サンプル番号”SP001”に対応している。

【0177】

例えば、領域R301には、置換アドレス読取装置41により、グループGR1を構成する「ヒューズF101～ヒューズF108」の文字列がFUSEの項目で記述され、グループGR1に対応する冗長アドレスの項目として、「3」の文字列が記述される。

そして、置換アドレス読取装置41は、処理をステップS12へ進める。

30

【0178】

次に、ステップS12において、置換アドレス読取装置41は、冗長メモリセル領域RXに、他の冗長ワード線が有るか否かの判定を行う。

置換アドレス読取装置41は、上記判定の結果、次の冗長ワード線、すなわちグループRG2に対応する冗長ワード線があるため、ステップS1に処理を戻す。

ここで、ステップS1～ステップS4までは、各ステップともに、上述した内容と同様の処理が行われる。

【0179】

そして、ステップS5において、置換アドレス読取装置41は、二番目のヒューズのグループであるグループGR2に対応するメモリ領域の1ビット線分のメモリセル、すなわちメモリセルMGR2に、「L」レベルのデータを書き込む。これにより、メモリセルMGR2に記憶されているデータは、「H」レベルから「L」レベルへ書き換えられる。

40

【0180】

そして、ステップS6～ステップS9までは、各ステップともに、上述した内容と同様の処理が行われる。

次に、ステップS10において、置換アドレス読取装置41は、検出されたワード線Aのアドレス「A」を、ワード線の置換アドレスとして、置換アドレス情報ファイル43へ格納する。

【0181】

例えば、領域R302には、置換アドレス読取装置41により、グループGR2を構成す

50

る「ヒューズ F 1 0 9 ～ヒューズ F 1 1 6」の文字列が「F U S E」の項目で記述され、グループ G R 2 に対応する「冗長（リダンダンシ）アドレス」の項目として、「A」の文字列が記述される。

そして、置換アドレス読取装置 4 1 は、処理をステップ S 1 2 へ進める。

【0182】

次に、ステップ S 1 2 において、置換アドレス読取装置 4 1 は、冗長メモリセル領域 R X に、他の冗長ワード線が有るか否かの判定を行う。

置換アドレス読取装置 4 1 は、上記判定の結果、次の冗長ワード線、すなわちグループ R G 3 に対応する冗長ワード線があるため、ステップ S 1 に処理を戻す。

ここで、ステップ S 1 ～ステップ S 4 までは、各ステップともに、上述した内容と同様の処理が行われる。 10

【0183】

そして、ステップ S 5 において、置換アドレス読取装置 4 1 は、三番目のヒューズのグループであるグループ G R 3 に対応するメモリ領域の 1 ビット線分のメモリセル、すなわちメモリセル M G R 3 に、「L」レベルのデータを書き込む。これにより、メモリセル M G R 3 に記憶されているデータは、「H」レベルから「L」レベルへ書き換えられる。

しかしながら、グループ G R 3 に対応する冗長ワード線が、どのワード線との置換にも使用されていないため、メモリセル領域 R 2 0 1 の何れのメモリセルが記憶しているデータも変化しない。

【0184】

そして、ステップ S 6 及びステップ S 7 までは、各ステップともに、上述した内容と同様の処理が行われる。 20

次に、ステップ S 8 において、メモリセル領域 R 2 0 1 の何れのメモリセルのデータも「H」レベルであるため、置換アドレス読取装置 4 1 は、フェイルメモリにアドレスのデータが存在しないことを検出し、処理をステップ S 1 1 へ進める。

【0185】

次に、ステップ S 1 1 において、置換アドレス読取装置 4 1 は、フェイルメモリにアドレスのデータが存在しないため、グループ G R 3 に対応する冗長ワード線が、何れのワード線とも置換されていないことを検出し、このグループ G R 3 に対応する冗長ワード線が使用されていないことを示す文字列「U N U S E」を、置換アドレス情報ファイル 4 3 へ格納する。 30

【0186】

例えば、領域 R 3 0 3 には、置換アドレス読取装置 4 1 により、グループ G R 3 を構成する「ヒューズ F 1 1 7 ～ヒューズ F 1 2 4」の文字列が「F U S E」の項目で記述され、グループ G R 3 に対応する「冗長アドレス」の項目として、「U N U S E」の文字列が記述される。

そして、置換アドレス読取装置 4 1 は、処理をステップ S 1 2 へ進める。

【0187】

そして、置換アドレス読取装置 4 1 は、上述したステップ S 1 ～ステップ S 1 2 までの処理を繰り返し、全ての冗長メモリセル領域 R X、すなわち全ての冗長ワード線に対して、置換アドレスを抽出した後、冗長メモリセル R Y、すなわち冗長ビット線の置換アドレスの抽出処理を開始する。 40

ここで、冗長ワード線の置換アドレスの抽出処理と、冗長ビット線の置換アドレスの抽出処理との処理内容は同様である。

【0188】

冗長ビット線の置換アドレスの抽出処理が、冗長ワード線の置換アドレスの抽出処理と異なる点のみを下記に示し、フローチャート全体の説明は省略する。

まず、ステップ S 3 において、置換アドレス読取装置 4 1 は、1 ワード線分のメモリセル、例えば、行（ワード線方向、図 1 7 では縦方向）のメモリセル領域 R 1 0 1 のメモリ全てに、「H」レベルのデータを書き込む。 50

また、メモリセル領域において、ビット線1がグループGL2に対応する冗長ワード線に置換され、ビット線AがグループGL1に対応する冗長ビット線に置換され、また、ビット線5、ビット線7及びビット線9も他の冗長ビット線と置換されている。

【0189】

このため、メモリセルMC0A及びメモリセルMC01に書き込まれた「H」レベルのデータは、実際には、それぞれ冗長メモリセル領域RYのメモリセルMLR2、メモリセルMGL1に書き込まれている。

また、他のメモリセルMC05、メモリセルMC07及びメモリセルMC09に書き込まれた「H」レベルのデータも同様に、冗長メモリセル領域RYにおける、置換された冗長ビット線に対応するメモリセルに各々書き込まれる。

10

【0190】

ステップS5において、置換アドレス読取装置41は、一番目のヒューズのグループであるグループGL1に対応するメモリ領域の1ワード線分のメモリセル、すなわちメモリセルMGL1に、「L」レベルのデータを書き込む。

これにより、メモリセルMGL1に記憶されているデータは、「H」レベルから「L」レベルへ書き換えられる。

【0191】

ステップS7において、置換アドレス読取装置41は、1ワード線分のメモリセル全て、すなわちメモリセル領域201のメモリセル全てのデータを読み出し、順次、読み出されたデータが初めて書き込まれた「H」レベルのデータか否かの判定を行い、不良となったメモリセルのビットに対応する冗長ビット線のアドレスを、図示しないフェイルメモリへ書き込む。

20

【0192】

このとき、メモリセルMGL1に記憶されているデータが「L」レベルに書き換えられている。

このため、置換アドレス読取装置41は、半導体装置がノーマルモードであるので、グループGL1に対応する冗長ビット線のアドレスとして、置換されたビット線Aのアドレス「A」をフェイルメモリに書き込む。

【0193】

ステップS10において、置換アドレス読取装置41は、検出されたビット線Aのアドレス「A」を、ビット線の冗長アドレスとして、図11に示す置換アドレス情報ファイル43へ格納する。図19は、抽出された置換アドレスの値と、ヒューズのグループを構成するヒューズ番号との対応を示すテーブルであり、サンプル番号毎に生成される。図19に示す置換アドレス情報ファイル43は、サンプル番号”SP001”に対応している。

30

【0194】

例えば、領域R351には、置換アドレス読取装置41により、グループGL1を構成する「ヒューズF501～ヒューズF508」の文字列が「FUSE」の項目で記述され、グループGL1に対応する「冗長アドレス」の項目として、「A」の文字列が記述される。

以下同様に、置換アドレス読取装置41は、ステップS1～ステップS12を繰り返し実行し、全ての冗長メモリセル領域RY、すなわち全ての冗長ビット線に対して、置換アドレスを抽出した後、1つの組立品に対する置換アドレスの処理を終了する。

40

そして、順次、上述したように各チップの置換アドレスの抽出を、ロット全てのウエハに対して行う。

【0195】

上述してきたように、本発明によれば、置換アドレス情報ファイル43における置換アドレスの組み合わせと、同一の組み合わせの冗長アドレスを有するチップを、冗長アドレステーブルから検索することで、組立後の半導体素子のパッケージを破壊せずに、チップのロット番号、ウエハ番号及びチップ番号を検出することが出来る。

【0196】

50

これにより、本発明によれば、電気的な置換アドレス読取装置41におけるロールコール法を利用して、置換アドレスを読み取り、ロット番号、ウエハ番号及びチップ番号を検出する冗長アドレスの生成が行えるので、多数の半導体装置の組立品の評価をパッケージに封入したままの状態、異常な製造装置やプロセス工程の推定が非常に短時間に行うことが可能となる。

また、本発明によれば、正確な、ウエハ工程におけるロット内でのウエハの位置情報及びウエハ内でのチップの位置情報が得られるため、異常な製造装置やプロセス工程を高い確度で推定することが可能となる。

【0197】

そして、上記不良解析から得られた異常のある製造装置やプロセス工程の情報をウエハ工程にフィードバックすることにより、ウエハ工程における異常な製造装置やプロセス工程の修正への対応が高速化する事が出来る。

従って、本発明は、新たなプロセスの立ち上げ（開発）、新たな製造装置の導入や新製品の投入等や現在用いられているプロセスのプロセス管理に用いることで、不良原因の早期発見が行え、半導体装置を安定して製造できる効果がある。

【0198】

また、ウエハ工程における各プロセス工程の品質管理において、ロット番号からロットの各プロセス工程の処理の日時が特定でき、不良原因となったプロセス工程の異常の究明に、周囲の環境などのプロセス自体の要因を解析することも可能となる。

【0199】

また、上述の説明において、冗長アドレス決定装置2が、ヒューズアドレスから冗長アドレスを生成する構成を示したが、冗長アドレス決定装置2が決定した置換するアドレスを、直接置換アドレス情報ファイル43に出力することも可能である。

すなわち、段落番号「0037」における置換されるアドレス信号{A3, A2, A1, A0} = {0, 0, 1, 1}を16進数とし、冗長アドレス「3」とする構成も可能である。

【0200】

上述してきたように、第2の実施形態では、チップに分割した後のチップ位置情報を冗長回路の置換アドレスをもとに検出するようにしたので、第3の従来技術や第4の従来技術のようにチップに専用のチップ位置情報記憶領域を設ける必要がなく、また、ウエハ製造ラインに製造装置やプロセス工程を追加する必要がない。

このため、工程数やチップサイズを増大させることなく、半導体装置の製造コストは上昇しない。

【0201】

また、トリミング装置に出力するヒューズ情報をもとに置換アドレスを算出するようにしたので、フェイルビットマップ情報を記憶しておくような従来技術に比較して、保存しておく情報量を大幅に低減できる。例えば、128Mビットの半導体メモリのフェイルマップ情報は、8ビットを1語（1バイト）として保存しても、1チップ当たり16Mバイト、200チップ／1ウエハでは3.2Gバイト、50ウエハ／1ロットでは16Gバイトにもなる。これに対して本実施形態では、1チップ当たり0.1kバイト（＝平均100置換アドレス×8ビット）、200チップ／1ウエハ当たりでは20kバイト、1ロット／50ウエハでは1Mバイトですむ。

【0202】

さらに、置換アドレス情報を利用して、不良分布を作成し、この分布をもとに不良原因を推定することもできる。

このため、置換アドレス情報を保存しておくことで、ウエハ状態におけるチップ位置情報と不良解析用の情報とを兼用することが可能になり、少ない記憶情報でウエハ製造ラインの生産管理が可能になる。

【0203】

【発明の効果】

10

20

30

40

50

本発明によれば、不良と判定された組立品のチップの位置情報を、チップに保持されているチップデータから解析するようにしたので、ウエハ工程において半導体装置の不良原因となる製造装置やプロセス工程の異常を短期間に推定することができる。また、ロットにおけるウエハの位置及びウエハにおけるチップの位置の情報からをもとに不良原因を高い確度で推定できるため、異常のある製造装置やプロセス工程の改善を迅速に行え、チップの歩留まりを早く向上させられる。さらに、パッケージの樹脂を除去せずに、LSI テスタ等により電氣的に半導体装置のチップデータを読み出し、この読み出されたチップデータと、すでに登録されているロット情報、ウエハ情報及びこのウエハにおけるチップの位置情報とを関連づけることで、不良の分布パターンを得ることができ、ウエハ工程における異常な製造装置やプロセス工程の推定が、短時間に大量の半導体装置のチップを解析に用いて行うことができる。その結果、半導体装置を安定して生産することが可能となる。

10

【図面の簡単な説明】

【図 1】本発明の第 1 の実施形態による半導体装置生産システムの構成例を示すブロック図である。

【図 2】本発明の第 2 の実施形態による半導体装置生産システムの動作の流れを示すフローチャートである。

【図 3】図 1 におけるウエハ製造ライン 20 の具体的な構成例を示す概念図である。

【図 4】図 1 における製造履歴情報ファイル 21 の構成例を示す図である。

【図 5】図 1 におけるウエハ検査情報ファイル 23 の構成例を示す図である。

【図 6】第 1 の実施形態による半導体装置生産システムにおいてウエハ上に形成されるチップ情報記憶回路の構成例を示す概念図である。

20

【図 7】図 1 における組立品検査情報ファイル 28 の構成例を示す図である。

【図 8】図 2 における不良分布生成工程 SA 24 と不良原因推定工程 SA 25 とを説明する詳細なフローチャートである。

【図 9】図 1 の不良分析データベース 35 に記憶されている不良チップの分布のパターンである。

【図 10】図 1 の不良分析データベース 35 に記憶されている不良チップの分布のパターンである。

【図 11】本発明の第 2 の実施形態による半導体装置生産システムの構成例を示すブロック図である。

30

【図 12】本発明における冗長アドレス決定装置 2 がヒューズの切断箇所を示すヒューズアドレスのフォーマット構成を示す図である。

【図 13】1 本の冗長ワード線のアドレスを設定するヒューズ回路の構成例を示す概念図である。

【図 14】冗長ワード線順にヒューズ開始番号が記述されたテーブルフォーマットファイルの構成を示す図である。

【図 15】置換アドレス決定装置 2 の出力する中間ファイルの構成を示す図である。

【図 16】置換アドレス決定装置 2 の出力する冗長アドレステーブルのフォーマットを示す図である。

【図 17】メモリセルアレイと冗長用のメモリセルとの構成を示す概念図である。

40

【図 18】図 1 の LSI テスタ 1 における冗長アドレスの抽出の流れを示すフローチャートである。

【図 19】置換アドレス読み取り装置 41 の出力する置換アドレス情報ファイル 43 の構成を示す図である。

【図 20】組立品用テスタ 27 の出力する組立品検査情報ファイル 28 の構成を示す図である。

【図 21】不良分布生成装置 32 の出力するフェイルチップ分布表の構成を示す図である。

【図 22】各チップのロット番号、ウエハ番号及びチップ番号に対応する冗長アドレスを、ウエハ工程後の半導体装置のチップのヒューズアドレスから生成する処理の流れを示す

50

フロチャートである。

【図 2 3】従来例における不良解析の工程を示す概念図である。

【図 2 4】従来例における不良解析の工程を示す概念図である。

【図 2 5】不良と判定された半導体装置のチップの配置個所を示すウエハの表面の概念図である。

【図 2 6】側面から見た、ポート（ウエハを複数固定する器具）におけるウエハ位置を示す概念図である。

【図 2 7】不良と判定された半導体装置のチップの配置個所を示すウエハの表面の概念図である。

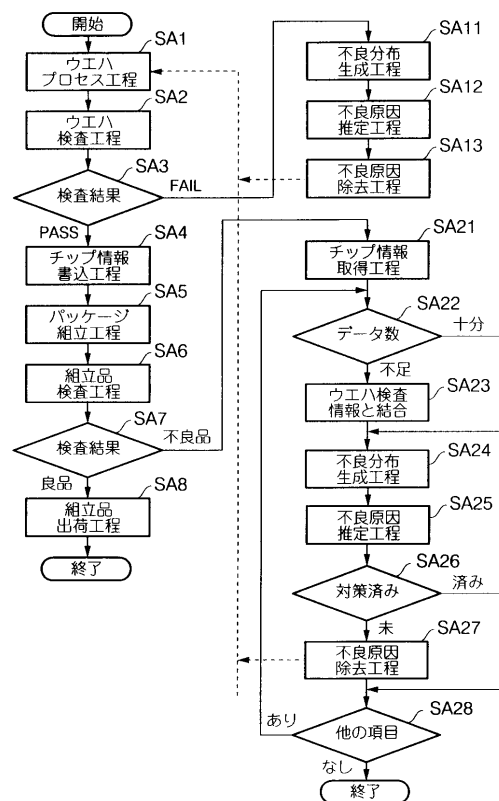
【符号の説明】

10

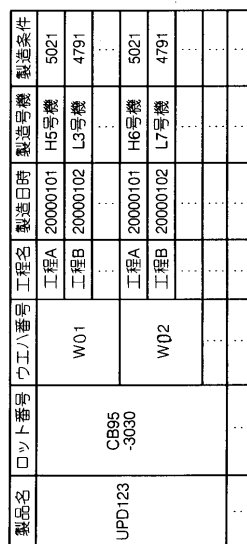
- 1 L S I テスタ
- 2 置換アドレス決定装置
- 3 トリミング装置
- 4 欠陥セル検査情報ファイル
- 5 ヒューズ情報ファイル
- 20 ウエハ製造ライン
- 21 製造履歴情報ファイル
- 22 ウエハ用テスタ
- 26 パッケージ組立装置
- 27 組立品用テスタ
- 28 組立品検査情報ファイル
- 32 不良分布生成装置
- 33 表示装置
- 34 不良原因推定装置
- 41 置換アドレス読取装置
- 42 チップ位置解析装置
- 43 置換アドレス情報ファイル

20

【图 2】



【図 4】



【図 5】

製品名	ロット番号	組立ロット番号	ウエハ番号	チップ番号	サンプル番号	検査項目	検査日時	検査号機	検査条件	検査結果	判定結果
UPD123	CB95-3030	35ER-008	W01	C06.31	項目K	20000107	20000107	H2号機	7251	FAIL	FAIL
					項目L	20000107	20000107	H2号機	5832	FAIL	FAIL
				C06.32	項目K	20000107	20000107	H2号機	7251	PASS	PASS
					項目L	20000107	20000107	H2号機	5832	PASS	PASS
...	...	...	...	...	...	...	...	...	...	...	...

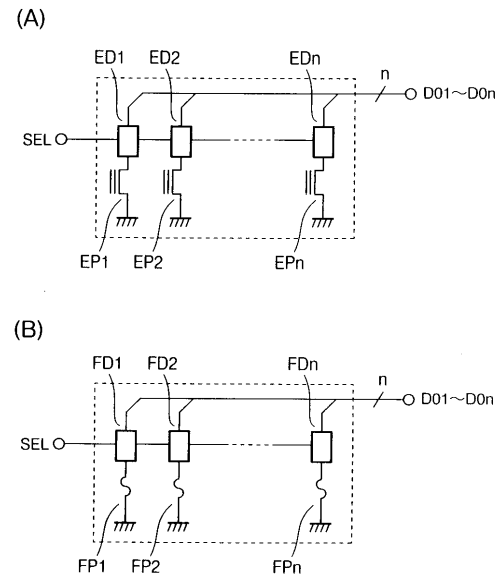
← ウエハチップ情報 → ← 組立品検査情報 → ← 組立品チップ情報 →

【図 7】

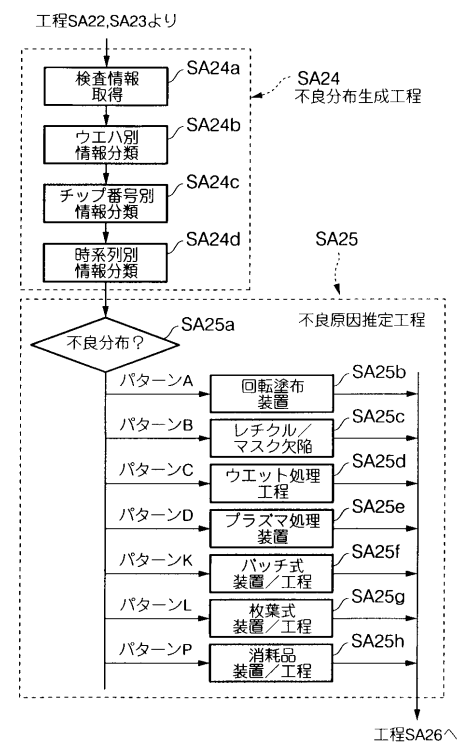
製品名	ロット番号	組立ロット番号	ウエハ番号	チップ番号	サンプル番号	検査項目	検査日時	検査号機	検査条件	検査結果	判定結果
UPD123	CB95-3030	35ER-008	W01	C06.31	項目K	20000107	20000107	H2号機	7251	FAIL	FAIL
					項目L	20000107	20000107	H2号機	5832	FAIL	FAIL
				C06.32	項目K	20000107	20000107	H2号機	7251	PASS	PASS
					項目L	20000107	20000107	H2号機	5832	PASS	PASS
...	...	...	...	...	...	...	...	...	...	...	...

← ウエハチップ情報 → ← 組立品検査情報 → ← 組立品チップ情報 →

【図 6】



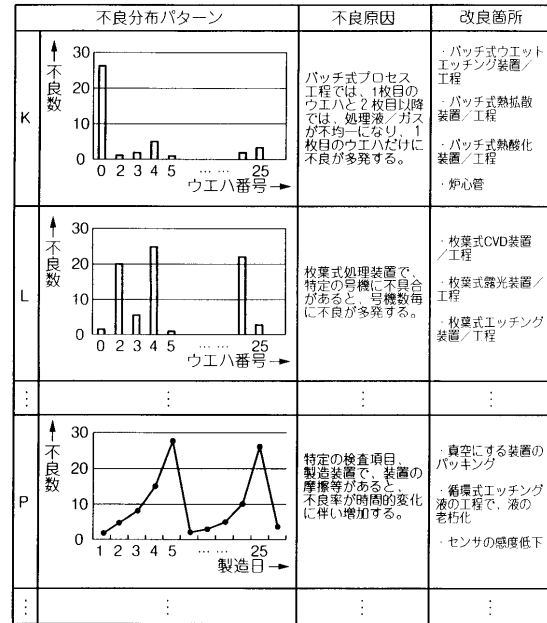
【図 8】



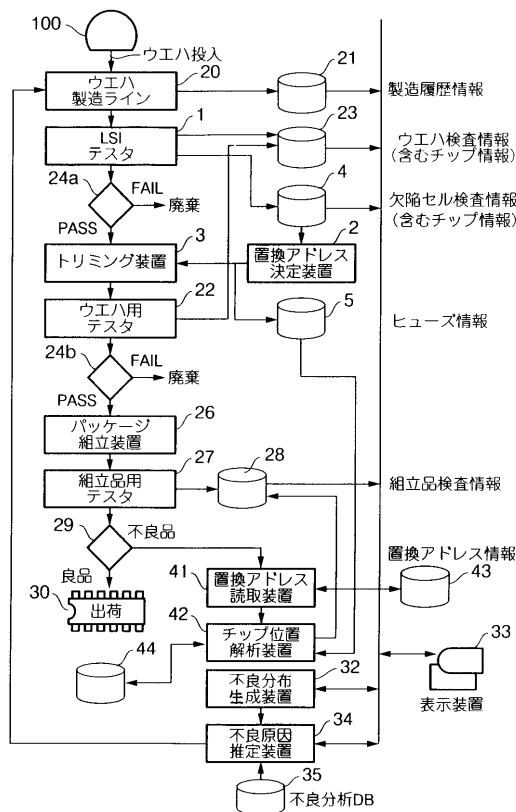
【図 9】

不良分布パターン	不良原因	改善箇所
A	回転中のウエハに処理液を塗布したとき、レジストに残った液体が滴下することにより、膜厚が不均一になり、コンタクト不良などが生ずる。	・レジスト塗布装置 ・SOG成膜装置
B	レジクルで複数のチップを同時にショット露光するとき、レジクルの一部に欠陥があると、露光ショット毎の特定位置に不良が発生する。	・レジクル
C	垂直に搬送したウエハを処理層に浸漬して処理するとき、ウエハの上下で処理時間の差が生じ、上方又は下方に不良が集中して発生する。	・ウエットエッチング装置／工程 ・ハッチ式洗浄装置／工程
D	プラズマエッチング装置では、ウエハ周辺で電界が不均一になり、ウエハ周辺に不良が発生する。	・プラズマ処理装置
⋮	⋮	⋮

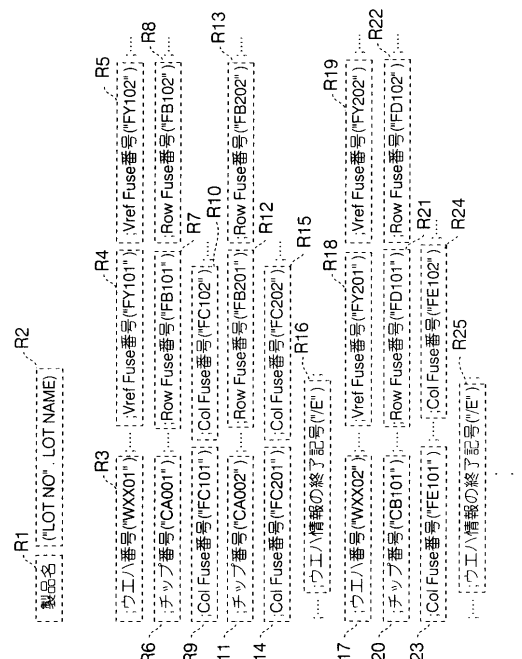
【図 10】



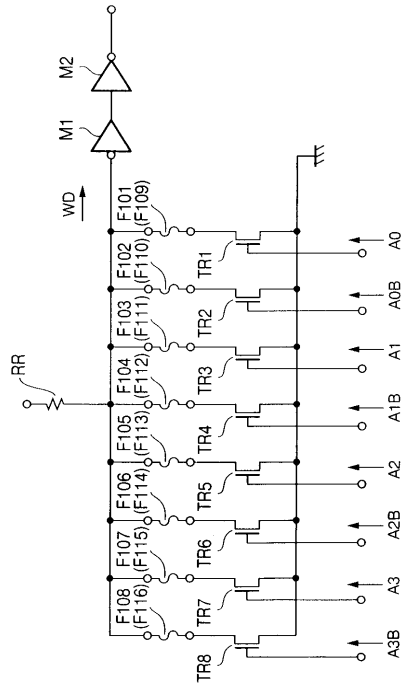
【図 11】



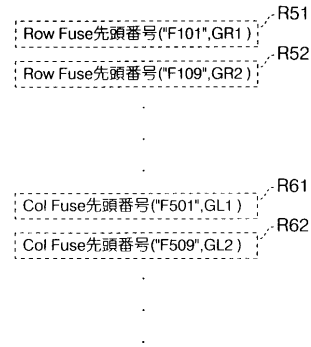
【図 12】



【図 1 3】



【図 1 4】



【図 1 5】

製品名
 ロット名 ("LOT NO", CB95-3030)
 ウエハ番号 ("W0001")
 Vref Fuse番号 ("FY101")
 Vref Fuse番号 ("FY102")
 ...
 チップ番号 ("CA001")
 Row Fuse番号 ("F101")
 Row Fuse番号 ("F103")
 Row Fuse番号 ("F106")
 Row Fuse番号 ("F108")
 Row Fuse番号 ("F110")
 Row Fuse番号 ("F112")
 Row Fuse番号 ("F113")
 Row Fuse番号 ("F115")
 ...
 Col Fuse番号 ("F500")
 Col Fuse番号 ("F502")
 Col Fuse番号 ("F505")
 Col Fuse番号 ("F507")
 Col Fuse番号 ("F509")
 Col Fuse番号 ("F512")
 Col Fuse番号 ("F514")
 Col Fuse番号 ("F516")
 ...
 ウエハ情報の終了記号 ("/E")

【図 1 6】

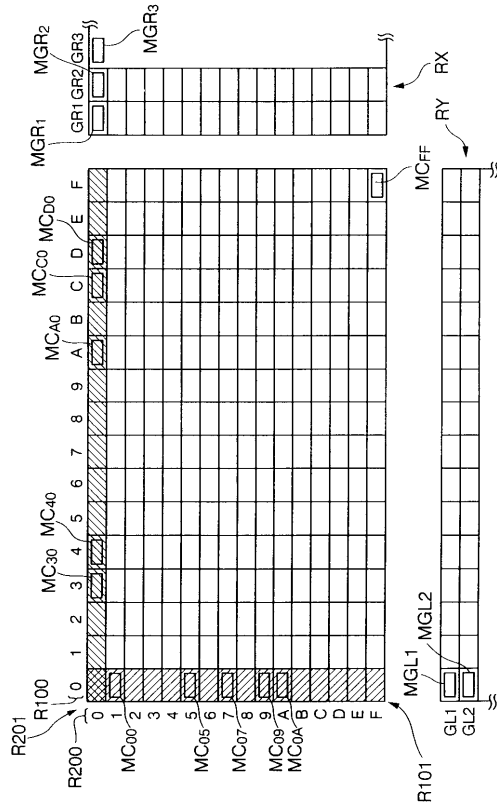
R60	R61	R62	R63	R64
DATA	LotNAME	WaferNumber	ChipName	Vrefnumber
XXXX	CB95-3030	W0001	C06, 31	4

R65	R66	R67	R70
GR1	GR2	GR3	GR4
3	A	-	-

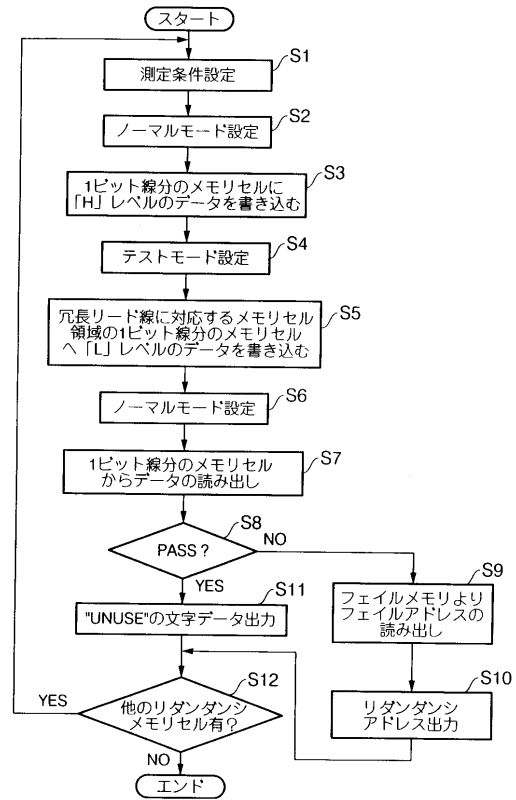
R68	R69
GL1	GL2
A	1

R71	R72
ChipName	Vrefnumber
C06, 32	5

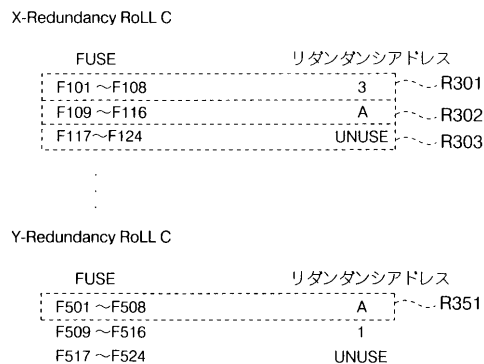
【図 17】



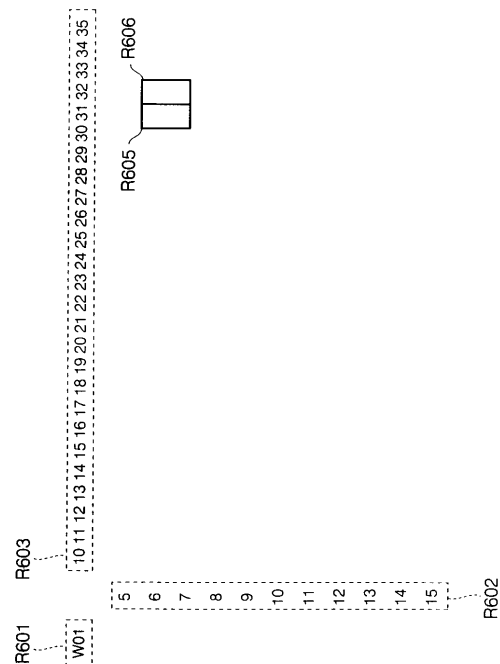
【図 18】



【図 19】



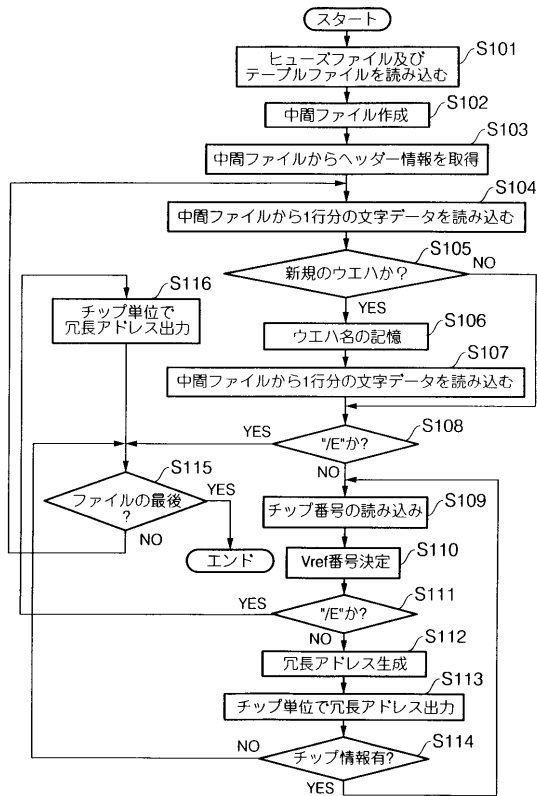
【図 21】



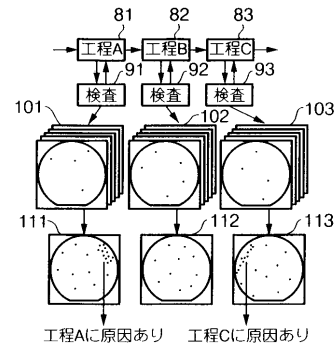
【図 20】



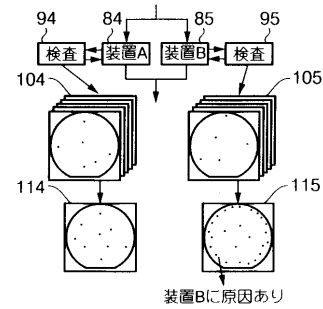
【図 2 2】



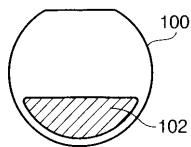
【図 2 3】



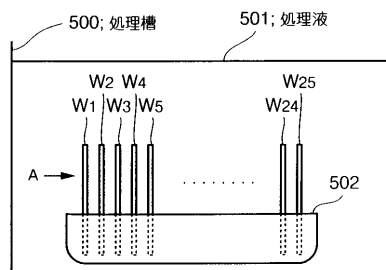
【図 2 4】



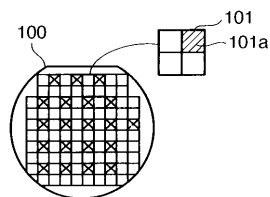
【図 2 5】



【図 2 6】



【図 2 7】



フロントページの続き

- (72)発明者 植木 稔
広島県東広島市八本松町吉川5690 広島日本電気株式会社内
(72)発明者 原 真一
広島県東広島市西条中央6丁目14番地25号緑館III-106

審査官 長島 孝志

- (56)参考文献 特開平11-161917 (JP, A)
特開平10-233350 (JP, A)
特開平11-045839 (JP, A)
特開平04-123417 (JP, A)

- (58)調査した分野(Int.Cl.⁷, DB名)
G11C 29/00
H01L 21/00-21/98