



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 198 11 624 B4** 2004.07.29

(12)

Patentschrift

(21) Aktenzeichen: **198 11 624.1**
(22) Anmeldetag: **17.03.1998**
(43) Offenlegungstag: **24.09.1998**
(45) Veröffentlichungstag
der Patenterteilung: **29.07.2004**

(51) Int Cl.⁷: **H01L 21/84**
H01L 27/12
// G09F 9/35

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden.

(30) Unionspriorität:
97-09367 19.03.1997 KR

(71) Patentinhaber:
LG. Philips LCD Co., Ltd., Seoul/Soul, KR

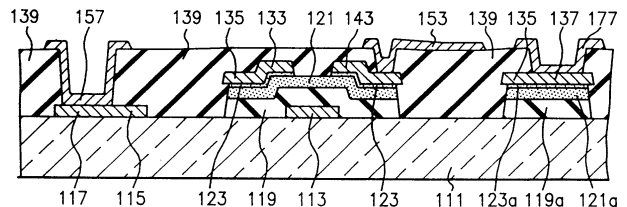
(74) Vertreter:
Viering, Jentschura & Partner, 80538 München

(72) Erfinder:
Kim, Jeong Hyun, Anyang, Kyunggi, KR; Lim, Kyoung Nam, Seoul/Soul, KR; Park, Jae Yong, Kunpo, Kyunggi, KR

(56) Für die Beurteilung der Patentfähigkeit in Betracht
gezogene Druckschriften:
DE 197 21 451 A1
US 50 03 356
F.-S. WANG, M.-J. TSAI, H.-C. CHENG: The Effects
of NH₃ Plasma Passivation on Polysilicon
Thin-Film Transistors, in: IEEE El. Dev. Lett.,
Vol. 16, No. 11, 1995, S. 503-505;

(54) Bezeichnung: **Aktives Paneel für eine LCD und Herstellungsverfahren für ein aktives Paneel einer LCD**

(57) Hauptanspruch: Herstellungsverfahren für ein aktives Paneel einer LCD, welches folgende Schritte aufweist:
Ausbilden einer Gate-Elektrode (113), einer Gate-Busleitung (115) und eines Gate-Pads (117) auf einem Substrat (111) unter Verwenden eines ersten Metalls;
Auftragen eines Isoliermaterials (119a) und eines intrinsischen Halbleitermaterials (121a) und eines dotierten Halbleitermaterials (123a) auf die Gate-Elektrode (113), die Gate-Busleitung (115) und das Gate-Pad (117);
Ausbilden einer Source-Elektrode (133), einer Drain-Elektrode (143), einer Source-Busleitung (135), eines Source-Pads (137) auf dem dotierten Halbleitermaterial (123a);
Entfernen des freiliegenden Bereichs des dotierten Halbleitermaterials (123a), wobei die Source-Elektrode (133), die Drain-Elektrode (143), die Source-Busleitung (135) und das Source-Pad (137) als Maske verwendet werden, womit eine dotierte Halbleiterschicht (123) gebildet wird;
Ausbilden einer Halbleiterschicht (121) und einer Gate-Isolierschicht (119) in einem Maskierungsschritt, wobei die freiliegenden Bereiche der Halbleiterschicht (121) und der Gate-Isolierschicht (119) außer den Bereichen der Halbleiterschicht (121) und der Gate-Isolierschicht (119), welche zwischen der Source-Elektrode (133) und...



Beschreibung

[0001] Die Erfindung betrifft ein aktives Paneel für eine LCD und ein Herstellungsverfahren für ein aktives Paneel einer LCD, insbesondere eine Aktivmatrix-Flüssigkristall-Anzeigevorrichtung (AMLCD) mit Dünnschichttransistoren und Pixelelektroden, welche an die Dünnschichttransistoren angeschlossen und zu einer Matrix angeordnet sind, weiter insbesondere ein einfaches Herstellungsverfahren für ein aktives Paneel einer AMLCD, mit dem die Defekte in dem aktiven Paneel verringert werden können.

[0002] Unter verschiedenen Anzeigevorrichtungen zum Anzeigen von Bildern auf einem Bildschirm sind Dünnschicht-Flachpaneelanzeigevorrichtungen weit verbreitet, weil sie relativ dünn und leicht sind.

[0003] Flüssigkristall-Anzeigevorrichtungen (LCDs) werden intensiv entwickelt und erforscht, weil sie eine ausreichend hohe Auflösung und eine ausreichend schnelle Reaktionszeit zum Anzeigen von bewegten Bildern aufweisen.

[0004] Das Prinzip der Flüssigkristallanzeigevorrichtung beruht auf optischer Anisotropie und Polarisationsseigenschaften von Flüssigkristallmaterialien. Durch diese Eigenschaften kann die Richtung, in welcher die Flüssigkristallmoleküle ausgerichtet sind, durch Anlegen eines externen elektrischen Feldes gesteuert werden. Abhängig von der Ausrichtung der Flüssigkristallmoleküle wird Licht entweder durch die Flüssigkristallmoleküle hindurchgelassen oder nicht. Eine LCD nutzt effektiv dieses charakteristische Verhalten von Flüssigkristallmaterial.

[0005] In letzter Zeit erhielten AMLCDs, welche zu einer Matrix angeordnete TFTs und Pixelelektroden aufweisen, große Aufmerksamkeit, weil sie eine gute Bildqualität haben und natürliche Farben liefern.

[0006] Im folgenden wird der Aufbau einer konventionellen LCD beschrieben. Die konventionelle LCD weist zwei Paneele mit jeweils vielen darauf angeordneten Elementen und eine zwischen den beiden Paneelen ausgebildete Flüssigkristallschicht auf.

[0007] Das erste Paneel (oder Farbfilterpaneel) weist rote (R), grüne (G) und blaue (B) Farbfilter auf, welche auf einem transparenten Substrat des ersten Paneels entsprechend den Pixeln der LCD aufeinanderfolgend angeordnet sind und mit einer Matrix von Pixeln zusammenwirken, wobei jedem Pixel jeweils eine Gruppe von diesen drei Filtern, d.h. jeweils ein roter (R), ein grüner (G) und ein blauer (B) Farbfilter zugeordnet ist. Zwischen diesen Farbfiltergruppen ist eine schwarze Matrix angeordnet. Auf den Farbfiltern ist eine gemeinsame Elektrode ausgebildet.

[0008] Das zweite Paneel (oder aktive Paneel) weist eine Mehrzahl von Pixelelektroden auf, welche auf einem transparenten Substrat an den Pixeln der LCD entsprechenden Positionen ausgebildet sind. Das erste Paneel und das zweite Paneel sind derart zusammengefügt, daß die Mehrzahl von Pixelelektroden der Mehrzahl von Farbfiltern zugewandt ist. Eine Mehrzahl von Signalbusleitungen erstreckt sich in

der Zeilenrichtung der Pixelelektroden. Eine Mehrzahl von Datenbusleitungen erstreckt sich in der Spaltenrichtung der Pixelelektroden. In einem Eckbereich der Pixelelektrode ist ein Dünnschichttransistor ausgebildet, um ein elektrisches Signal an das Pixel anzulegen. Die Gateelektrode des Dünnschichttransistors ist an eine entsprechende Signalbusleitung (d.h. Gatebusleitung) angeschlossen und die Sourceelektrode des Dünnschichttransistors ist an eine entsprechende Datenbusleitung (d.h. Sourcebusleitung) angeschlossen. Die Endbereiche der Gatebusleitungen und die der Sourcebusleitungen weisen Anschlüsse (Pads) auf, um extern angelegte elektrische Signale aufzunehmen.

[0009] Das oben beschriebene erste und das zweite Paneel werden miteinander verbunden und einander zugewandt angeordnet, wobei sie einen vorbestimmten Abstand (Zellenspalt) voneinander aufweisen und ein Flüssigkristallmaterial in den Zellenspalt zwischen die beiden Paneele injiziert wird.

[0010] Der Herstellungsprozeß für das konventionelle Flüssigkristallpaneel ist ziemlich kompliziert und erfordert mehrere unterschiedliche Herstellungsschritte. Insbesondere das aktive Paneel mit Dünnschichttransistoren und Pixelelektroden erfordert viele Herstellungsschritte. Deswegen besteht ein Bedarf, das Herstellungsverfahren zu vereinfachen, um die möglichen Defekte, welche während der Herstellung des aktiven Paneels auftreten können, zu verringern, und um den Aufwand und die Schwierigkeiten, welche die Herstellung der Flüssigkristallanzeige mit sich bringt, zu verringern.

[0011] Ein herkömmliches Herstellungsverfahren für ein aktives Paneel einer AMLCD wird nachfolgend, bezogen auf den Maskierungsprozeß, beschrieben. **Fig. 1** zeigt eine vergrößerte Draufsicht auf einen Abschnitt eines aktiven Paneels einer AMLCD und die **Fig. 2a** bis **2f** zeigen Schnittansichten während der Herstellungsschritte des aktiven Paneels entlang der Linie II-II in **Fig. 1**.

[0012] Ein erstes Metall wird durch Vakuumbedampfen auf ein Substrat **11** aufgetragen und strukturiert, um eine Gate-Elektrode **13**, eine Gate-Busleitung **15** und ein Gate-Pad **17** in einem ersten Maskierungsschritt auszubilden (**Fig. 2a**).

[0013] Ein Isoliermaterial **19a**, wie Siliziumnitrid oder Siliziumoxid, ein intrinsisches Halbleitermaterial **21a**, ein mit Fremdatomen dotiertes Halbleitermaterial **23a** und ein zweites Metall werden aufeinanderfolgend durch Vakuumbedampfen auf der resultierenden Oberfläche des Substrates einschließlich des ersten Metalls aufgetragen und das zweite Metall wird strukturiert, um eine Source-Elektrode **33**, eine Drain-Elektrode **43**, eine Source-Busleitung **35** und ein Source-Pad **37** in einem zweiten Maskierungsschritt auszubilden (**Fig. 2b**).

[0014] Der freiliegende Bereich des mit Fremdatomen dotierten Halbleitermaterials **23a** wird entfernt, um eine dotierte Halbleiterschicht **23** auszubilden, wobei die Source-Elektrode **33**, die Drain-Elektrode

43, die Source-Busleitung **35** und das Source-Pad **37** als Masken verwendet werden. Dies dient zum vollständigen Entfernen der freiliegenden Bereiche des mit Fremdatomen dotierten Halbleitermaterials **23a**. Eine zusätzliche Maske ist für diesen Schritt nicht erforderlich (**Fig. 2c**).

[0015] Dann werden Bereiche des Isoliermaterials **19a** und Bereiche des intrinsischen Halbleitermaterials **21a** zusammen selektiv entfernt, um eine Gate-Isolierschicht **19** und eine Halbleiterschicht **21** in einem über der Gate-Elektrode **13** befindlichen aktiven Bereich in einem dritten Maskierungsschritt auszubilden. Gleichzeitig werden das Isoliermaterial **19a** und das Halbleitermaterial **21a**, welche die Gate-Busleitung **15** und das Gate-Pad **17** bedecken, vollständig entfernt, wohingegen das Isoliermaterial **19a** und das halbleitende Material **21a** unter der Source-Busleitung **35** und dem Source-Pad **37** verbleiben (**Fig. 2d**).

[0016] Durch Auftragen eines Isoliermaterials, wie Siliziumnitrid oder Siliziumoxid wird eine anorganische Schutzschicht **39** auf der resultierenden Oberfläche des Substrates, einschließlich der Source-Elektrode **33** der Drain-Elektrode **43** des Gate-Pads **17** und des Source-Pads **37** ausgebildet. Dann wird die anorganische Schutzschicht **39** strukturiert, um ein Drain-Kontaktloch **61**, ein Gate-Pad-Kontaktloch **63** und ein Source-Pad-Kontaktloch **65** auszubilden, welche in einem vierten Maskierungsschritt jeweils Bereiche der Drain-Elektrode **43**, des Gate-Pads **17** bzw. des Source-Pads **37** freilegen (**Fig. 2e**).

[0017] Indiumzinnoxid (ITO) wird durch Vakuumbedampfen auf der Schutzschicht **39** aufgetragen und in einem fünften Maskierungsschritt strukturiert, um eine Pixel-Elektrode **53**, einen Gate-Pad-Anschluß **57** und einen Source-Pad-Anschluß **77** auszubilden. Die Pixel-Elektrode **53** ist durch das Drain-Kontaktloch **61** hindurch an die Drain-Elektrode **43** angeschlossen. Der Gate-Pad-Anschluß **57** ist durch das Gate-Pad-Kontaktloch **63** hindurch an das Gate-Pad **17** angeschlossen. Der Source-Pad-Anschluß **77** ist durch das Source-Pad-Kontaktloch **65** hindurch an das Source-Pad **37** angeschlossen (**Fig. 2f**).

[0018] Ferner können zusätzliche Maskierungsschritte erforderlich sein, wenn das Gate-Pad **17** gemäß einem anderen Herstellungsverfahren ausgebildet wird oder wenn andere, als die oben beschriebenen Elemente ausgebildet werden sollen.

[0019] Während des Herstellens des herkömmlichen aktiven Paneels tritt das Problem der Leitungsunterbrechung während des Auftragens des Indiumzinnoxid zum Ausbilden der Pixel-Elektrode **53** auf, weil in dem Bereich, wo die Pixel-Elektrode **53** und die Drain-Elektrode **43** verbunden sind, ein gestuftes Profil vorhanden ist. Das gestufte Profil wird von der Drain-Elektrode **43** ausgebildet, welche sich über den Rand der Halbleiterschicht **21**, der dotierten Halbleiterschicht **23** und der Gate-Isolierschicht **19** hinaus erstreckt (**Fig. 3a** und **3b**). Während des Ätz-

prozesses (**Fig. 2d**) verursacht das gemeinsame selektive Abätzen des Halbleitermaterials **21a** und der Gate-Isolierschicht **19** ein Einkerbigen, welches das gestufte Profil hervorruft. Dadurch tritt Leitungsunterbrechung der Pixel-Elektrode **53** an einer mit LD markierten Stelle nahe an dem Rand der Drain-Elektrode (wie aus **Fig. 3a** ersichtlich) auf. Die Leitungsunterbrechung der Pixel-Elektrode **53** führt zu einer Verringerung der Produktionsausbeute des aktiven Paneels.

Stand der Technik

[0020] Die nach dem Prioritätstag der vorliegenden Patentanmeldung veröffentlichte ältere deutsche Patentanmeldung DE 197 21 451 A1 offenbart insbesondere in **Fig. 5A** bis **5I** samt zugehöriger Beschreibung eine Flüssigkristallanzeige mit aktiver Matrix und ein Herstellungsverfahren dafür.

[0021] US 5,003,356 offenbart insbesondere in **Fig. 3** bis **4F** eine Dünnschichttransistor-Anordnung und ein Verfahren zum Herstellen einer Dünnschichttransistor-Anordnung.

[0022] Wang et al. 1995 ("The Effects of NH₃ Plasma Passivation on Polysilicon Thin-Film Transistors", IEEE Electron Device Letters, Vol. 16, Nr. 11, S.503-505) offenbart NH₃ Plasma-Passivieren eines Poly-Silizium-Dünnschichttransistors zum Verringern des Off-Stroms und zum Erhöhen des On-/Off-Strom-Verhältnisses.

Aufgabenstellung

[0023] Der Erfindung liegt die Aufgabe zugrunde, ein aktives Paneel für eine LCD und ein Herstellungsverfahren für ein aktives Paneel einer LCD bereitzustellen, die bei vertretbarem Herstellungsaufwand gute Betriebseigenschaften aufweisen.

[0024] Die Aufgabe wird durch das aktive Paneel für eine LCD und durch das Herstellungsverfahren für ein aktives Paneel einer LCD mit den Merkmalen gemäß den unabhängigen Patentansprüchen gelöst.

[0025] Ein Herstellungsverfahren eines aktiven Paneels für eine LCD kann folgende Schritte aufweisen: Ausbilden einer ersten leitenden Schicht durch Auftragen und Strukturieren eines ersten leitenden Materials auf einem Substrat; aufeinanderfolgendes Auftragen eines ersten anorganischen Isoliermaterials, eines intrinsischen Halbleitermaterials, eines mit Fremdatomen dotierten Halbleitermaterials und eines zweiten leitenden Materials auf der resultierenden Oberfläche des Substrates; Strukturieren des zweiten leitenden Materials und Strukturieren der dotierten Halbleiterschicht; Strukturieren des Halbleitermaterials und des ersten anorganischen Isoliermaterials, um einen Bereich der ersten leitenden Schicht und einen Bereich des Substrats freizulegen. Ausbilden einer organischen Schutzschicht mit einer Mehrzahl von Kontaktausnehmungen zum Freilegen eines Bereichs der ersten leitenden Schicht und eines Be-

reichs der zweiten leitenden Schicht durch Auftragen und Strukturieren eines organischen Isoliermaterials auf der resultierenden Oberfläche des Substrats einschließlich der zweiten leitenden Schicht; und Ausbilden einer dritten leitenden Schicht, welche an einen Bereich der ersten leitenden Schicht und an einen Bereich der zweiten leitenden Schicht durch die Kontaktausnehmungen hindurch angeschlossen ist, durch Auftragen und Strukturieren eines dritten leitenden Materials auf der resultierenden Oberfläche des Substrats einschließlich der organischen Schutzschicht.

Ausführungsbeispiel

[0026] In der Zeichnung zeigen:

[0027] **Fig. 1** eine vergrößerte Draufsicht, welche den Aufbau eines Abschnitts eines herkömmlichen aktiven Paneels einer LCD zeigt;

[0028] **Fig. 2a bis 2f** Schnittansichten entlang der Linie II-II aus **Fig. 1** während der Herstellungsschritte eines herkömmlichen aktiven Paneels einer LCD;

[0029] **Fig. 3a** eine Schnittansicht entlang der Linie II-II aus **Fig. 1**, welche den Aufbau eines Abschnitts eines herkömmlichen aktiven Paneels einer LCD zeigt;

[0030] **Fig. 3b** eine vergrößerte Schnittansicht, welche Leitungsunterbrechungen in Bereichen des in **Fig. 3a** gezeigten, herkömmlichen aktiven Paneels zeigt;

[0031] **Fig. 4** eine vergrößerte Draufsicht, welche den Aufbau eines Abschnitts eines aktiven Paneels einer LCD gemäß einer bevorzugten Ausführungsform der Erfindung zeigt;

[0032] **Fig. 5a bis 5f** Schnittansichten entlang der Linie V-V aus **Fig. 4** während der Herstellungsschritte eines aktiven Paneels einer LCD gemäß einer bevorzugten Ausführungsform der Erfindung;

[0033] **Fig. 6a** eine Schnittansicht entlang der Linie V-V aus **Fig. 4**, welche den Aufbau eines Bereichs eines aktiven Paneels einer LCD gemäß einer bevorzugten Ausführungsform der Erfindung zeigt;

[0034] **Fig. 6b** eine vergrößerte Schnittansicht, welche den Aufbau eines Bereichs des in **Fig. 6a** gezeigten aktiven Paneels einer LCD gemäß einer bevorzugten Ausführungsform der Erfindung zeigt, bei welchem Leitungsunterbrechungen eliminiert wurden;

[0035] **Fig. 7a bis 7c** Schnittansichten entlang Linie V-V aus **Fig. 4**, während der Herstellungsschritte eines aktiven Paneels einer LCD gemäß einer anderen bevorzugten Ausführungsform der Erfindung, welches eine anorganische Schutzschicht aufweist;

[0036] **Fig. 8a bis 8c** Schnittansichten entlang der Linie V-V aus **Fig. 4** während der Herstellungsschritte eines aktiven Paneels einer LCD einer weiteren, anderen bevorzugten Ausführungsform der Erfindung, welches eine anorganische Schutzschicht aufweist;

[0037] **Fig. 9a bis 9c** Schnittansichten entlang der Linie V-V aus **Fig. 4** während der Herstellungsschrit-

te eines aktiven Paneels einer LCD einer weiteren, anderen bevorzugten Ausführungsform der Erfindung, welches Stickstoffplasmabehandlung aufweist; [0038] **Fig. 10a bis 10c** Schnittansichten entlang der Linie V-V aus **Fig. 4** während der Herstellungsschritte eines aktiven Paneels einer LCD einer weiteren, anderen bevorzugten Ausführungsform der Erfindung bei welchem das Gate-Pad vollständig freigelegt ist.

[0039] Im folgenden wird ein Herstellungsverfahren eines aktiven Paneels gemäß der bevorzugten Ausführungsformen der Erfindung beschrieben.

[0040] Ein erstes Metall wird durch Vakuumbedampfen auf ein Substrat aufgetragen und strukturiert, um eine Gate-Elektrode, eine Gate-Busleitung und ein Gate-Pad auszubilden. Ein erstes Isoliermaterial, ein Halbleitermaterial, ein mit Fremdatomen dotiertes Halbleitermaterial und ein zweites Metall werden aufeinanderfolgend auf die resultierende Oberfläche des Substrates einschließlich der Gate-Elektrode der Gate-Busleitung und des Gate-Pads aufgetragen. Dann wird das zweite Metall strukturiert, um eine Source-Elektrode und eine Drain-Elektrode über der Gate-Elektrode auszubilden sowie eine Source-Busleitung und ein Source-Pad über der dotierten Halbleiterschicht auszubilden. Der freiliegende Bereich der dotierten Halbleiterschicht wird entfernt, wobei die Source-Elektrode, die Drain-Elektrode, die Source-Busleitung und das Source-Pad als Masken verwendet werden. Die freiliegenden Bereiche der Halbleiterschicht und der ersten Isolierschicht werden entfernt, außer den Bereichen der Halbleiterschicht und der ersten Isolierschicht, welche zwischen der Source-Elektrode und der Drain-Elektrode freiliegen. Eine organische Schicht wird auf der resultierenden Oberfläche des Substrates einschließlich der Source-Elektrode, der Drain-Elektrode, der Source-Busleitung und des Source-Pads aufgetragen, um eine Schutzschicht auszubilden. Die Schutzschicht wird strukturiert, um Kontaktausnehmungen über der Drain-Elektrode, dem Gate-Pad und dem Source-Pad auszubilden. Ein transparentes, leitendes Material wird durch Vakuumbedampfen auf der resultierenden Oberfläche des Substrats, einschließlich der Schutzschicht aufgetragen und strukturiert, um eine Pixel-Elektrode über der Drain-Elektrode, einen Gate-Pad-Anschluß über dem Gate-Pad und einen Source-Pad-Anschluß über dem Source-Pad auszubilden.

[0041] **Fig. 4** zeigt eine vergrößerte Draufsicht, welche den Aufbau eines Abschnitts eines aktiven Paneels einer LCD gemäß einer bevorzugten Ausführungsform der Erfindung zeigt;

[0042] **Fig. 5a bis 5f** zeigen Schnittansichten entlang der Linie V-V aus **Fig. 4** während der Herstellungsschritte eines aktiven Paneels einer LCD gemäß einer bevorzugten Ausführungsform der Erfindung.

Beispiel 1

[0043] Ein erstes, Aluminium aufweisendes Metall wird durch Vakuumbedampfen auf ein Substrat **111** aufgetragen und in einem ersten Maskierungsschritt strukturiert, um eine Gate-Elektrode **113**, eine Gate-Busleitung **115** und ein Gate-Pad **117** auszubilden. Die Gate-Elektrode **113** ist in einem Eckbereich einer Pixel-Elektrode ausgebildet. Die Pixel-Elektroden sind zu einer Matrix angeordnet. Die Gate-Busleitung **115** ist an die in Zeilenrichtung ausgebildeten Gate-Elektroden **113** angeschlossen. Das Gate-Pad **117** ist an einem Ende der Gate-Busleitung **115** ausgebildet, welches an einen Anschluß einer externen Treibereinheit angeschlossen ist (**Fig. 5a**).

[0044] Ein anorganisches Isoliermaterial **119a**, wie Siliziumnitrid oder Siliziumoxid, ein intrinsisches Halbleitermaterial **121a**, wie amorphes Silizium, ein mit Fremdatomen dotiertes Halbleitermaterial **123a**, wie mit Fremdatomen dotiertes Silizium, und ein zweites Metall, welches Chrom aufweist, werden aufeinanderfolgend auf der resultierenden Oberfläche des Substrats einschließlich der Gate-Elektrode **113**, der Gate-Busleitung **115** und des Gate-Pads **117** aufgetragen. Das zweite Metall wird strukturiert, um eine Source-Elektrode **133**, eine Source-Busleitung **135** und ein Source-Pad **137** in einem zweiten Maskierungsschritt auszubilden. Die Source-Elektrode **133** überlappt einen Abschnitt der Gate-Elektrode **113**, wobei das Halbleitermaterial **121a**, das mit Fremdatomen dotierte Halbleitermaterial **123a**, und das anorganische Isoliermaterial **119a** dazwischen ausgebildet ist. Die Drain-Elektrode **143** ist von der Source-Elektrode **133** getrennt und überlappt einen anderen Abschnitt der Gate-Elektrode **113**, wobei das Halbleitermaterial **121a**, das mit Fremdatomen dotierte Halbleitermaterial **123a**, und das anorganische Isoliermaterial **119a** dazwischen ausgebildet ist. Die Source-Busleitung **135** ist an die in Spaltenrichtung ausgebildeten Source-Elektroden **133** angeschlossen. Das Source-Pad **137** ist an einem Ende der Source-Busleitung **135** ausgebildet (**Fig. 5b**).

[0045] Der freiliegende Bereich des mit Fremdatomen dotierten Halbleitermaterials **123a** wird durch ein Trockenätzverfahren entfernt, um eine mit Fremdatomen dotierte Halbleiterschicht **123** auszubilden (**Fig. 5c**).

[0046] In einem dritten Maskierungsschritt werden das anorganische Isoliermaterial **119a** und das intrinsische Halbleitermaterial **121a** strukturiert, um über der Gate-Elektrode **113** eine Halbleiterschicht **121** als Kanalschicht und eine erste Isolierschicht **119** auszubilden. Gleichzeitig wird das Gate-Pad **117** vollständig freigelegt. Unter dem Source-Pad **137** verbleibt eine Dummy-Dünnschicht aus dem mit Fremdatomen dotierten Halbleitermaterial **123a** und dem Halbleitermaterial **121a** (**Fig. 5d**).

[0047] Ein organisches Material wie bevorzugt BCB (Benzyklobuten), PFCB (Perfluorzyklobutan) oder fluoriertes d-Paraxylol wird auf der Oberfläche

des Substrats **111**, einschließlich der Source-Elektrode **133**, der Drain-Elektrode **143**, der Source-Busleitung **135** und des Source-Pads **137** aufgetragen, um eine organische Schutzschicht **139** auszubilden. In einem vierten Maskierungsschritt wird die organische Schutzschicht **139** strukturiert, um ein Drain-Kontaktloch **161**, ein Gate-Pad-Kontaktloch **163** und ein Source-Pad-Kontaktloch **165** auszubilden. Das Drain-Kontaktloch wird durch Entfernen des die Drain-Elektrode **143** bedeckenden Bereichs der organischen Schutzschicht **139** ausgebildet, um die Drain-Elektrode **143** freizulegen. Das Gate-Pad-Kontaktloch **163** wird durch Entfernen des das Gate-Pad **117** bedeckenden Bereichs der organischen Schutzschicht **139** ausgebildet, um das Gate-Pad **117** freizulegen. Das Source-Pad-Kontaktloch **165** wird durch Entfernen des das Source-Pad **137** bedeckenden Bereichs der organischen Schutzschicht **139** ausgebildet, um das Source-Pad **137** freizulegen (**Fig. 5e**).

[0048] Indiumzinnoxid wird durch Vakuumbedampfen auf der resultierenden Oberfläche des Substrats, einschließlich der Schutzschicht **139** aufgetragen und in einem fünften Maskierungsschritt strukturiert, um eine Pixel-Elektrode **153**, einen Gate-Pad-Anschluß **157** und einen Source-Pad-Anschluß **177** auszubilden. Die Pixel-Elektrode **153** ist durch das Drain-Kontaktloch **161** hindurch an die Drain-Elektrode **143** angeschlossen. Der Gate-Pad-Anschluß **157** ist durch das Gate-Pad-Kontaktloch **163** hindurch an das Gate-Pad **117** angeschlossen. Der Source-Pad-Anschluß **177** ist durch das Source-Pad-Kontaktloch **165** hindurch an das Source-Pad **137** angeschlossen (**Fig. 5f**).

[0049] Beim Entfernen der Bereiche der Halbleiterschicht **121a** und der Gate-Isolierschicht **119a** durch Ätzen wie im dritten Maskierungsschritt dieser bevorzugten Ausführungsform treten Einkerbungen der Schichten unterhalb der Metallschicht an Stellen wie unter der Source-Elektrode **133**, der Drain-Elektrode **143** und dem Source-Pad **137** auf, weil Naßätzverfahren verwendet werden. Dies verursacht ein gestuftes Profil und Leitungsunterbrechungen können durch den eingekerbten Bereich verursacht werden, wenn die gestufte Oberfläche beschichtet wird.

[0050] Jedoch wird gemäß eines Merkmals der bevorzugten Ausführungsform der Erfindung eine glatte Oberfläche auf dem Substrat ausgebildet, wenn ein organisches Isoliermaterial wie BCB, PFCB und fluoriertes d-Paraxylol aufgetragen wird, um eine organische Schutzschicht **139** auszubilden, wodurch das Auftreten eines gestuften Profils vermieden wird. Durch die neue Schutzschicht **139** treten in den folgenden Schichten, einschließlich der Pixel-Elektrode **153** und der Pad-Anschlüsse **157** und **177** keine in Defekte resultierenden Leitungsunterbrechungen auf (**Fig. 6a** und **6b**).

Beispiel 2

[0051] Gemäß Beispiel 1 berührt die Halbleiterschicht **121** die bevorzugt aus BCB, PFCB oder fluoriertem d-Paraxylo hergestellte Schutzschicht **139** (**Fig. 5f**). In diesem Fall kann die Instabilität des Übergangs zwischen dem organischen Material **139** und der Halbleiterschicht **121** die Leistung des die Halbleiterschicht aufweisenden TFT beeinflussen.

[0052] Um dieses Problem zu vermeiden wird folgendes Verfahren vorgestellt. Die Herstellungsschritte sind in den **Fig. 7a bis 7c** beschrieben, wobei die vorhergehenden Schritte bevorzugt die bis zu dem aus **Fig. 5d** ersichtlichen Schritt identischen Schritte des Beispiels **1** sind.

[0053] Nachdem während des zweiten Maskierungsschrittes aus Beispiel 1 die Source-Elektrode **133**, die Drain-Elektrode **143** und das Source-Pad **137** ausgebildet worden sind (**Fig. 5d**), werden die anorganische Isolierschicht **119a**, wie Siliziumnitrid oder Siliziumoxid, und die intrinsische Halbleiterschicht **121a** in einem dritten Maskierungsschritt strukturiert, um über der Gate-Elektrode **113** eine Halbleiterschicht **121** als Kanalschicht und eine erste Isolierschicht **119** auszubilden. Gleichzeitig wird das Gate-Pad **117** vollständig freigelegt. Unter dem Source-Pad **137** verbleibt eine Dummy-Dünnschicht aus dem mit Fremdatomen dotierten Halbleitermaterial **123a** und dem Halbleitermaterial **121a** (**Fig. 7a**).

[0054] Dann wird ein anorganisches Isoliermaterial, wie Siliziumnitrid oder Siliziumoxid, durch Vakuumbedampfen auf die resultierende Oberfläche des Substrates aufzutragen, um eine anorganische Schutzschicht **239** auszubilden. Ein organisches Material, wie BCB, PFCB und fluoriertes d-Paraxylo wird auf der resultierenden Oberfläche des Substrates einschließlich der anorganischen Schutzschicht **239** aufgetragen, um eine organische Schutzschicht **139** auszubilden. Dann werden in einem vierten Maskierungsschritt die organische Schutzschicht **139** und die anorganische Schutzschicht **239** strukturiert, um ein Drain-Kontaktloch **161**, ein Gate-Pad-Kontaktloch **163** und ein Source-Pad-Kontaktloch **165** auszubilden. Das Drain-Kontaktloch **161** wird durch Entfernen der die Drain-Elektrode **143** bedeckenden Bereiche der organischen Schutzschicht **139** und der anorganischen Schutzschicht **239** ausgebildet, um einen Bereich der Drain-Elektrode **143** freizulegen. Das Gate-Pad-Kontaktloch **163** wird durch Entfernen der das Gate-Pad **117** bedeckenden Bereiche der organischen Schutzschicht **139** und der anorganischen Schutzschicht **239** ausgebildet, um einen Bereich des Gate-Pads **117** freizulegen. Das Source-Pad-Kontaktloch **165** wird durch Entfernen der das Source-Pad **137** bedeckenden Bereiche der organischen Schutzschicht **139** und der anorganischen Schutzschicht **239** ausgebildet, um einen Bereich des Source-Pads **137** freizulegen (**Fig. 7b**).

[0055] Dann wird Indiumzinnoxid durch Vakuumbedampfen auf die resultierende Oberfläche des Sub-

strats, einschließlich der organischen Schutzschicht **139** aufgetragen und in einem fünften Maskierungsschritt strukturiert, um eine Pixel-Elektrode **153**, einen Gate-Pad-Anschluß **157** und einen Source-Pad-Anschluß **177** auszubilden. Die Pixel-Elektrode **153** ist durch das Drain-Kontaktloch **161** hindurch an die Drain-Elektrode **143** angeschlossen. Der Gate-Pad-Anschluß **157** ist durch das Gate-Pad-Kontaktloch **163** hindurch an das Gate-Pad **117** angeschlossen. Der Source-Pad-Anschluß **177** ist durch das Source-Pad-Kontaktloch **165** an das Source-Pad **137** angeschlossen (**Fig. 7c**).

Beispiel 3

[0056] Vor dem Ausbilden einer bevorzugt aus BCB, PFCB oder fluoriertem d-Paraxylo hergestellten organischen Schutzschicht **139**, wie in Beispiel 2, kann eine anorganische Schutzschicht **239** aus Siliziumnitrid oder Siliziumoxid ausgebildet werden, welche lediglich den freiliegenden Bereich der Halbleiterschicht **121** sowie Bereiche der Source-Elektroden **133** und der Drain-Elektroden **143** bedeckt. Bezogen auf die **Fig. 8a bis 8c** wird ein, auf den in **Fig. 5d** gezeigten Herstellungsschritt des Beispiels **1** folgendes Verfahren beschrieben.

[0057] Während eines dritten Maskierungsschrittes werden das anorganische Isoliermaterial **119a**, welches Siliziumnitrid oder Siliziumoxid aufweist, und das intrinsische Halbleitermaterial **121a** strukturiert, um über der Gate-Elektrode **113** eine Halbleiterschicht **121** als Kanalschicht und eine erste Isolierschicht **119** auszubilden (**Fig. 5d**). Dann wird ein anorganisches Material, welches Siliziumnitrid oder Siliziumoxid aufweist, durch Vakuumbedampfen auf der gesamten resultierenden Oberfläche des Substrats aufgetragen. Während eines vierten Maskierungsschrittes wird die anorganische Schicht strukturiert, um eine anorganische Schutzschicht **239** auszubilden, welche lediglich den zwischen der Source-Elektrode **133** und der Drain-Elektrode **143** freiliegenden Bereich der Halbleiterschicht **121** sowie Bereiche der Source-Elektrode **133** und der Drain-Elektrode **143** bedeckt, welche an den freiliegenden Bereich der Halbleiterschicht **121** angrenzen (**Fig. 8a**).

[0058] Ein organisches Isoliermaterial, wie bevorzugt BCB, PFCB oder fluoriertes d-Paraxylo, wird auf der resultierenden Oberfläche des Substrates einschließlich der Source-Elektrode und der Drain-Elektrode sowie der anorganischen Schutzschicht **239** aufgetragen, um eine organische Schutzschicht **139** auszubilden. Während eines fünften Maskierungsschrittes wird die organische Schutzschicht **139** strukturiert, um ein Drain-Kontaktloch **161**, ein Gate-Pad-Kontaktloch **163** und ein Source-Pad-Kontaktloch **165** auszubilden (**Fig. 8b**). Indiumzinnoxid wird durch Vakuumbedampfen auf die resultierende Oberfläche des Substrats, einschließlich der organischen Schutzschicht **139** aufgetragen und in einem

sechsten Maskierungsschritt strukturiert, um eine Pixel-Elektrode **153**, einen Gate-Pad-Anschluß **157** und einen Source-Pad-Anschluß **177** auszubilden (**Fig. 8c**).

Beispiel 4

[0059] Das folgende Beispiel sieht eine andere Methode zum Eliminieren des instabilen Übergangs zwischen der Halbleiterschicht **121** und der bevorzugt aus BCB, PFCB oder fluoriertem d-Paraxylol hergestellten organischen Schutzschicht **139** vor. Bei Beispiel **1** werden während eines dritten Maskierungsschrittes das anorganische Isoliermaterial **119a**, welches Siliziumnitrid oder Siliziumoxid aufweist, und das intrinsische Halbleitermaterial **121a** strukturiert, um über der Gate-Elektrode **113** eine Halbleiterschicht **121** als Kanalschicht und eine erste Isolierschicht **119** auszubilden. Gleichzeitig wird das Gate-Pad **117** vollständig freigelegt (**Fig. 5d**). Dann wird die Oberfläche der zwischen der Source-Elektrode **133** und der Drain-Elektrode **143** freiliegenden Halbleiterschicht **121** mit Stickstoffgas plasmabehandelt, um eine Siliziumnitrid-Schicht **339** auf der Oberfläche der Halbleiterschicht **121** auszubilden, welche einen stabilen Übergang zu dem darauf aufzutragenden, organischen Material schafft (**Fig. 9a bis 9c**).

[0060] Ein organisches Isoliermaterial, wie BCB, PFCB oder fluoriertes d-Paraxylol wird auf der resultierenden Oberfläche des Substrats, einschließlich der Source-Elektrode **133** und der Drain-Elektrode **143** aufgebracht, um eine organische Schutzschicht **139** auszubilden. Während eines vierten Maskierungsschrittes wird die organische Schutzschicht **139** strukturiert, um ein Drain-Kontaktloch **161**, ein Gate-Pad-Kontaktloch **163**, und ein Source-Pad-Kontaktloch **165** auszubilden. Das Drain-Kontaktloch **161** legt einen Bereich der Drain-Elektrode **143** frei, wobei der die Drain-Elektrode **143** bedeckende Bereich der organischen Schutzschicht **139** entfernt wird. Das Gate-Pad-Kontaktloch **163** legt einen Bereich des Gate-Pads frei, wobei der das Gate-Pad **117** bedeckende Bereich der organischen Schutzschicht **139** entfernt wird. Das Source-Pad-Kontaktloch **165** legt einen Bereich des Source-Pads **137** frei, wobei der das Source-Pad **137** bedeckende Bereich der organischen Schutzschicht **139** entfernt wird (**Fig. 9b**).

[0061] Indiumzinnoxid wird auf der resultierenden Oberfläche des Substrats, einschließlich der organischen Schutzschicht **139** aufgetragen und während eines fünften Maskierungsschrittes strukturiert, um eine Pixel-Elektrode **153**, einen Gate-Pad-Anschluß **157** und einen Source-Pad-Anschluß **177** auszubilden. Die Pixel-Elektrode **153** ist durch das Drain-Kontaktloch **161** hindurch an die Drain-Elektrode **143** angeschlossen. Der Gate-Pad-Anschluß **157** ist durch das Gate-Pad-Kontaktloch **163** hindurch an das Gate-Pad **117** angeschlossen. Der Source-Pad-Anschluß **177** ist durch das Source-Pad-Kontaktloch

165 hindurch an das Source-Pad **137** angeschlossen (**Fig. 9c**).

Beispiel 5

[0062] Bei dem folgenden Beispiel kann, verglichen mit Beispiel **1**, das Gate-Pad **117**, ohne Ausbilden eines Gate-Pad-Kontaktlochs, vollständig freigelegt werden während die das Gate-Pad **117** bedeckende organische Schutzschicht **139** strukturiert wird. Leitungsunterbrechungen des Gate-Pad-Anschlusses **157**, welche durch ineffektives Auftragen des Indiumzinnoxids entlang der Wand des Gate-Pad-Kontaktlochs hervorgerufen werden, können vermieden werden. Dieses Beispiel wird, bezogen auf die **Fig. 10a bis 10c**, dem in **Fig. 5c** gezeigten Herstellungsschritt aus Beispiel **1** nachfolgend, beschrieben.

[0063] Nachdem, während des zweiten Maskierungsschrittes aus Beispiel **1** (**Fig. 5c**) die Source-Elektrode **133**, die Drain-Elektrode **143** und das Source-Pad **137** ausgebildet wurden, werden das anorganische Isoliermaterial **119a**, wie Siliziumnitrid oder Siliziumoxid, und das intrinsische Halbleitermaterial **121a** während eines dritten Maskierungsschrittes strukturiert, um über der Gate-Elektrode **113** eine Halbleiterschicht **121** als Kanalschicht und eine erste Isolierschicht **119** auszubilden. Gleichzeitig wird das Gate-Pad **117** vollständig freigelegt.

[0064] Unter dem Source-Pad **137** verbleibt eine Dummy-Dünnschicht des mit Fremdatomen dotierten Halbleitermaterials **123a** und des Halbleitermaterials **121a** (**Fig. 10a**).

[0065] Ein organisches Isoliermaterial, wie bevorzugt BCB, PFCB oder fluoriertes d-Paraxylol, wird auf der resultierenden Oberfläche des Substrats, einschließlich der Source-Elektrode **133** aufgetragen, um eine organische Schutzschicht **139** auszubilden. Während eines vierten Maskierungsschrittes wird die organische Schutzschicht **139** strukturiert, um ein Drain-Kontaktloch **161** und ein Source-Pad-Kontaktloch **165** auszubilden. Das Drain-Kontaktloch **161** legt einen Bereich der Drain-Elektrode **143** frei, wobei der die Drain-Elektrode **143** bedeckende Bereich der organischen Schutzschicht **139** entfernt wird. Das Source-Pad-Kontaktloch **165** legt einen Bereich des Source-Pads **137** frei, wobei der das Source-Pad **137** bedeckende Bereich der organischen Schutzschicht **139** entfernt wird. Gleichzeitig wird das Gate-Pad freigelegt, wobei die das Gate-Pad **117** bedeckende organische Schutzschicht **139** entfernt wird (**Fig. 10b**).

[0066] Indiumzinnoxid wird durch Vakuumbedampfen auf der resultierenden Oberfläche des Substrats, einschließlich der organischen Schutzschicht **139** aufgetragen und während eines fünften Maskierungsschrittes strukturiert, um eine Pixel-Elektrode **153**, einen Gate-Pad-Anschluß **157** und einen Source-Pad-Anschluß **177** auszubilden. Die Pixel-Elektrode **153** ist durch das Drain-Kontaktloch **161** hindurch an die Drain-Elektrode **143** angeschlossen. Der Gate-Pad-Anschluß ist an das Gate-Pad **117** ange-

schlossen, ohne daß, wie bei den vorhergehenden Beispielen, ein Gate-Pad-Kontaktloch ausgebildet wird. Der Source-Pad-Anschluß **177** ist durch das Source-Pad-Kontaktloch **165** hindurch an das Source-Pad **137** angeschlossen (Fig. 10c).

[0067] Obwohl nicht in getrennten Beispielen erwähnt, kann dieses Verfahren gemäß der Erfindung auch auf die Ausführungsformen der Beispiele 2 bis 4 zum Herstellen eines aktiven Paneels angewendet werden.

[0068] Beispiel 5 beschreibt den Fall, bei welchem das Gate-Pad durch Entfernen der organischen Schutzschicht freigelegt wird, so daß kein Gate-Pad-Kontaktloch erforderlich ist. Diese Lehre kann auch auf das Source-Pad oder auf das Source-Pad und das Gate-Pad angewendet werden.

Patentansprüche

1. Herstellungsverfahren für ein aktives Paneel einer LCD, welches folgende Schritte aufweist:

Ausbilden einer Gate-Elektrode (**113**), einer Gate-Busleitung (**115**) und eines Gate-Pads (**117**) auf einem Substrat (**111**) unter Verwenden eines ersten Metalls;

Auftragen eines Isoliermaterials (**119a**) und eines intrinsischen Halbleitermaterials (**121a**) und eines dotierten Halbleitermaterials (**123a**) auf die Gate-Elektrode (**113**), die Gate-Busleitung (**115**) und das Gate-Pad (**117**);

Ausbilden einer Source-Elektrode (**133**), einer Drain-Elektrode (**143**), einer Source-Busleitung (**135**), eines Source-Pads (**137**) auf dem dotierten Halbleitermaterial (**123a**);

Entfernen des freiliegenden Bereichs des dotierten Halbleitermaterials (**123a**), wobei die Source-Elektrode (**133**), die Drain-Elektrode (**143**), die Source-Busleitung (**135**) und das Source-Pad (**137**) als Maske verwendet werden, womit eine dotierte Halbleiterschicht (**123**) gebildet wird;

Ausbilden einer Halbleiterschicht (**121**) und einer Gate-Isolierschicht (**119**) in einem Maskierungsschritt, wobei die freiliegenden Bereiche der Halbleiterschicht (**121**) und der Gate-Isolierschicht (**119**) außer den Bereichen der Halbleiterschicht (**121**) und der Gate-Isolierschicht (**119**), welche zwischen der Source-Elektrode (**133**) und der Drain-Elektrode (**143**) freiliegen, entfernt werden; und

Ausbilden einer organischen Schutzschicht (**139**) mindestens auf der Source-Elektrode (**133**).

2. Verfahren nach Anspruch 1, welches ferner den Schritt des Strukturierens der organischen Schutzschicht (**139**) aufweist, um einen Bereich der Drain-Elektrode (**143**), einen Bereich des Gate-Pads (**117**) und einen Bereich des Source-Pads (**137**) freizulegen; und

den Schritt des Ausbildens einer Pixel-Elektrode (**153**) eines Gate-Pad-Anschlusses (**157**) und eines Source-Pad-Anschlusses (**177**) aus einem dritten lei-

tenden Material auf der organischen Schutzschicht (**139**) aufweist.

3. Verfahren nach Anspruch 1, welches ferner den Schritt des Ausbildens einer anorganischen Schutzschicht (**239**) nach dem Ausbilden der Source-Elektrode (**133**), der Drain-Elektrode (**143**), der Source-Busleitung (**135**), des Source-Pads (**137**) und der dotierten Halbleiterschicht (**123**) aufweist.

4. Verfahren nach Anspruch 3, wobei die anorganische Schutzschicht (**239**) einen Bereich der Halbleiterschicht (**121**), welcher zwischen der Source-Elektrode (**133**) und der Drain-Elektrode (**143**) freiliegt, bedeckend ausgebildet ist.

5. Verfahren nach Anspruch 1, welches ferner den Schritt des Anwendens von Plasmabehandlung mit Stickstoffgas vor dem Schritt des Ausbildens der organischen Schutzschicht (**139**) aufweist.

6. Aktives Paneel für eine LCD, welches aufweist: ein Substrat (**111**);

eine Gate-Elektrode (**113**), eine Gate-Busleitung (**115**) und ein Gate-Pad (**117**) auf dem Substrat (**111**); eine Gate-Isolierschicht (**119a**) auf der Gate-Elektrode (**113**), der Gate-Busleitung (**115**) und dem Gate-Pad (**117**);

eine Halbleiterschicht (**121a**) auf der Gate-Isolierschicht (**119a**);

eine dotierte Halbleiterschicht (**123a**) auf der Halbleiterschicht (**121a**);

eine Source-Elektrode (**133**), eine Drain-Elektrode (**143**), eine Source-Busleitung (**135**) und ein Source-Pad (**137**) auf der dotierten Halbleiterschicht (**123a**);

eine organische Schutzschicht (**139**) auf der Source-Elektrode (**133**), der Drain-Elektrode (**143**), der Source-Busleitung (**135**) und dem Source-Pad (**137**), wobei die organische Schutzschicht (**139**) Kontaktausnehmungen aufweist, welche einen Bereich der Drain-Elektrode (**143**), einen Bereich des Gate-Pads (**117**) und einen Bereich des Source-Pads (**137**) freilegen; und

eine Dünnschicht (**339**) aus Siliziumnitrid am Übergang zwischen der Halbleiterschicht (**121**) und der organischen Schutzschicht (**139**);

eine Pixel-Elektrode (**153**) auf der organischen Schutzschicht (**139**), welche an die Drain-Elektrode (**143**) angeschlossen ist, einen Gate-Pad-Anschluß (**157**), welcher durch das Gate-Pad-Kontaktloch (**163**) hindurch an das Gate-Pad (**117**) angeschlossen ist und einen Source-Pad-Anschluß (**177**), welcher an das Source-Pad (**137**) durch das Source-Pad-Kontaktloch (**165**) hindurch angeschlossen ist.

7. Vorrichtung nach Anspruch 6, wobei die Gate-Isolierschicht (**119a**) lediglich die Gate-Elektrode (**113**) und die Gate-Busleitung (**115**) bedeckt, so

daß das Gate-Pad (**117**) ohne darauf angeordneter Gate-Isolierschicht (**119a**) freigelegt ist.

8. Vorrichtung nach Anspruch 6, wobei die organische Schutzschicht (**139**) mindestens Benzozyklobuten, Perfluorocyklobutan oder fluoriertes d-Paraxylol aufweist.

Es folgen 12 Blatt Zeichnungen

FIG. 1

Stand der Technik

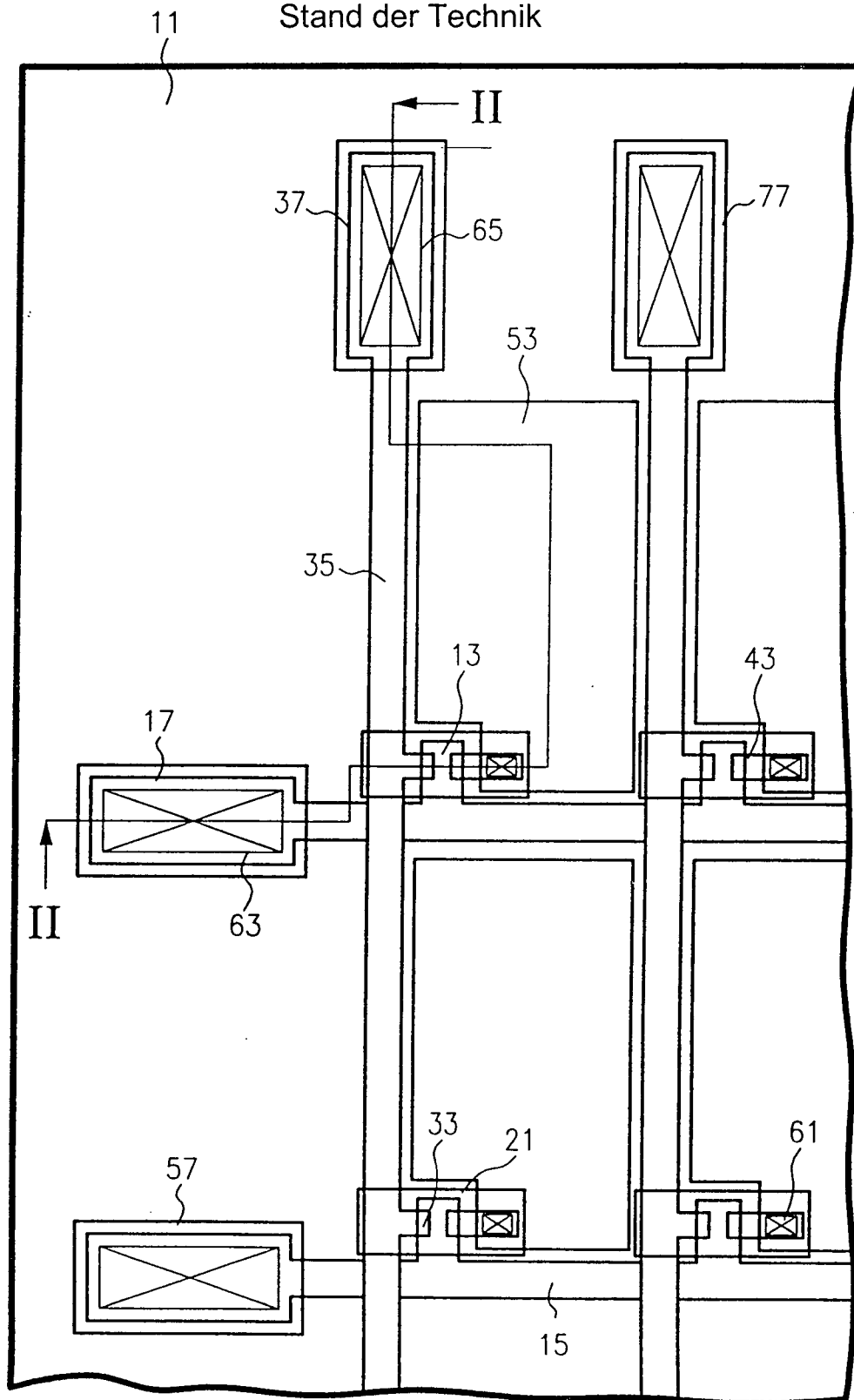


FIG. 2a
Stand der Technik

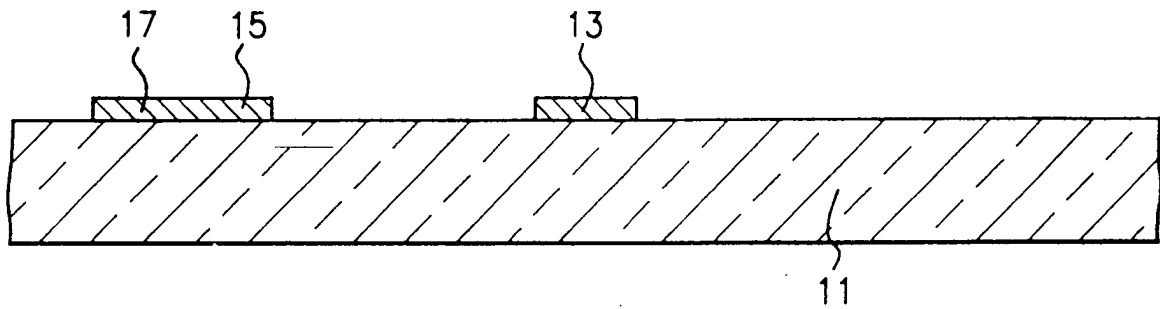


FIG. 2b
Stand der Technik

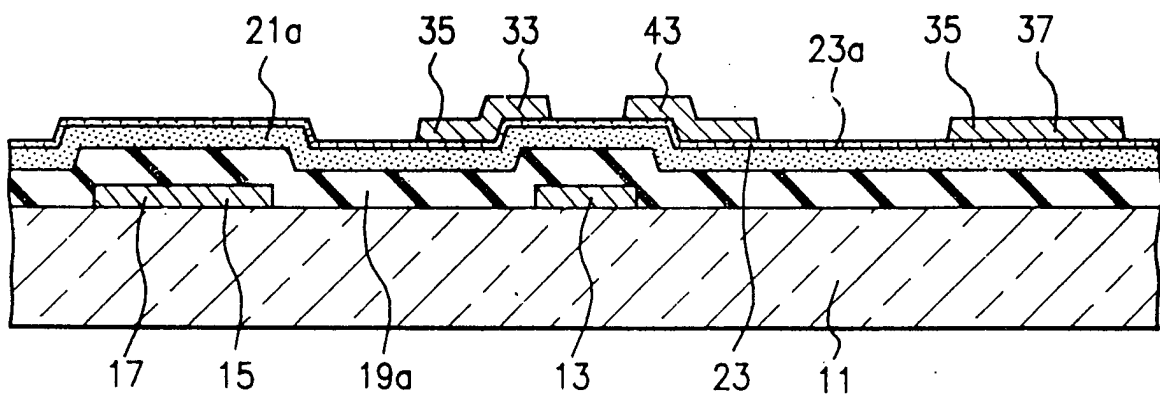


FIG. 2c
Stand der Technik

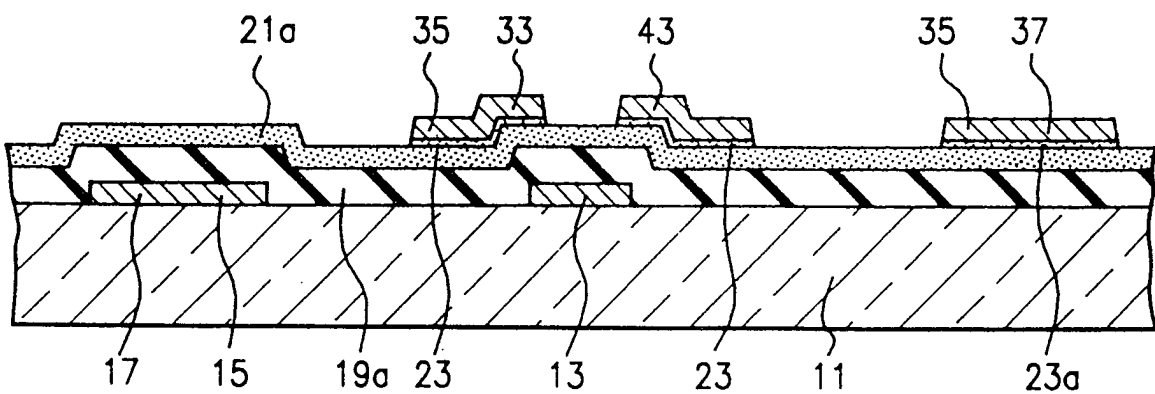


FIG. 2d
Stand der Technik

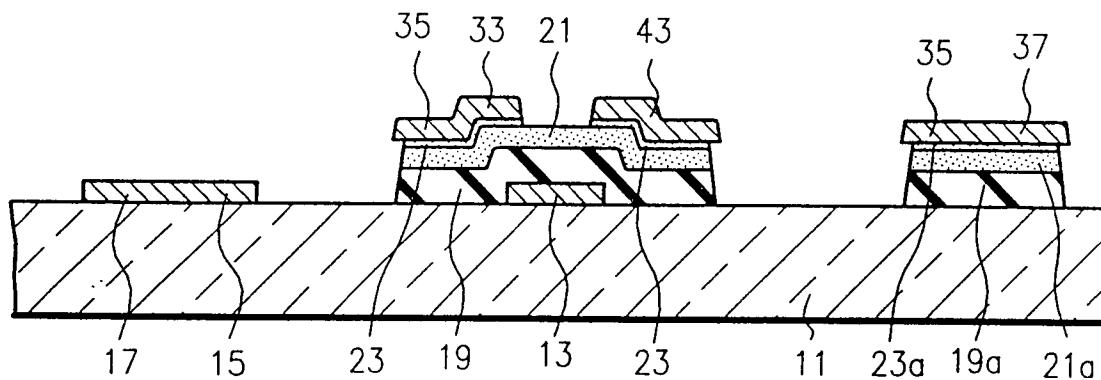


FIG. 2e
Stand der Technik

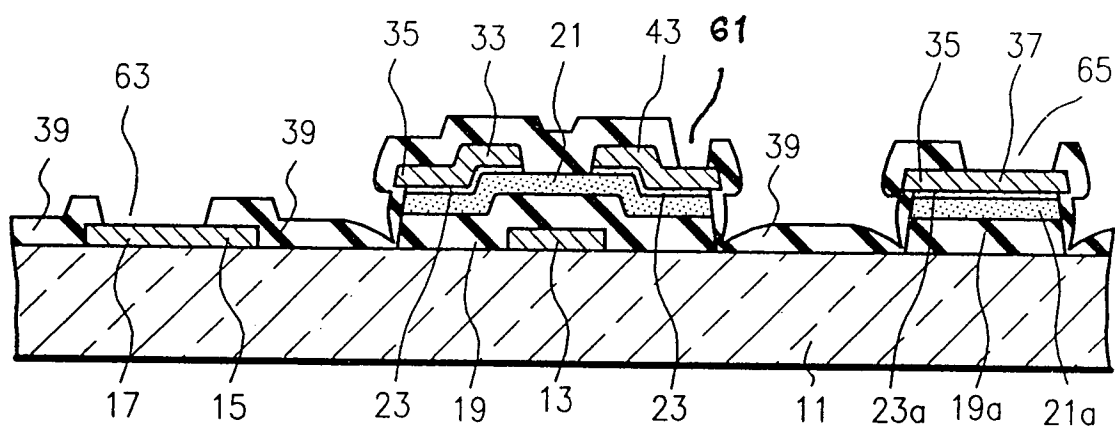


FIG. 2f
Stand der Technik

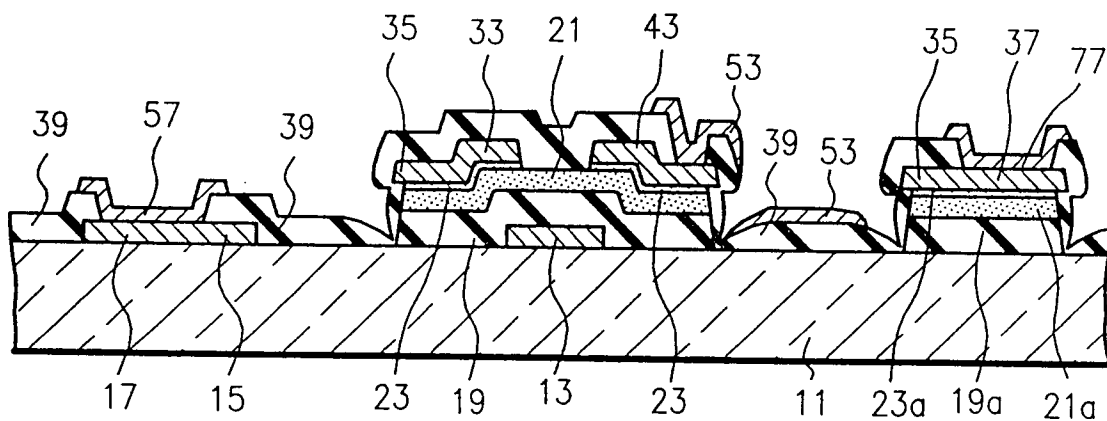


FIG. 3a

Stand der Technik

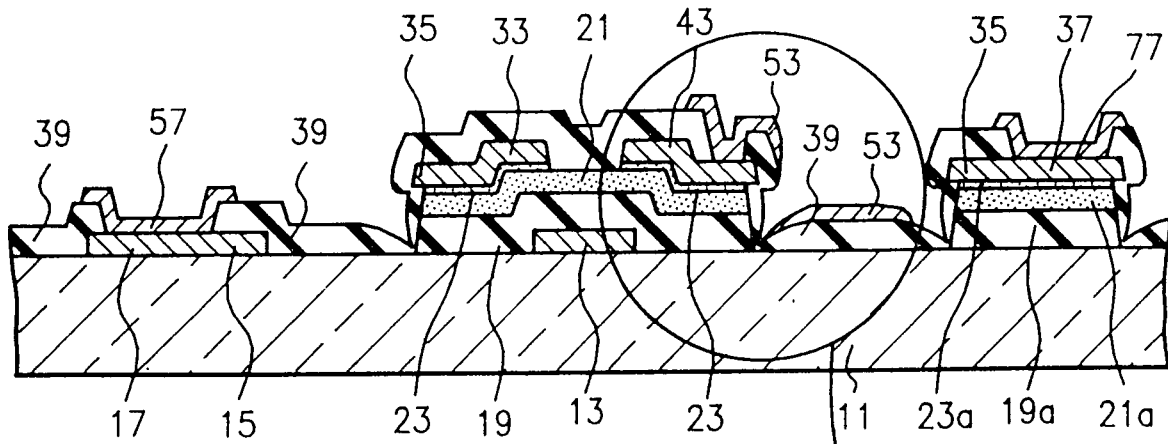


FIG. 3b

Stand der Technik

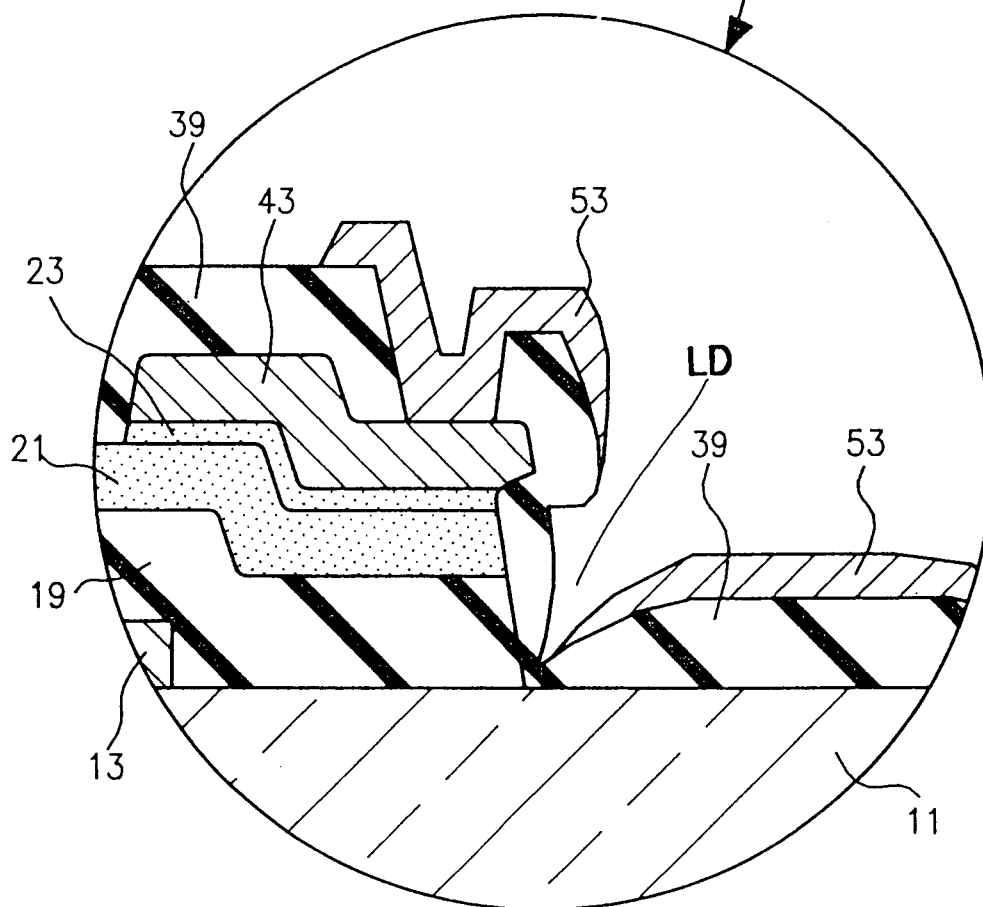


FIG. 4

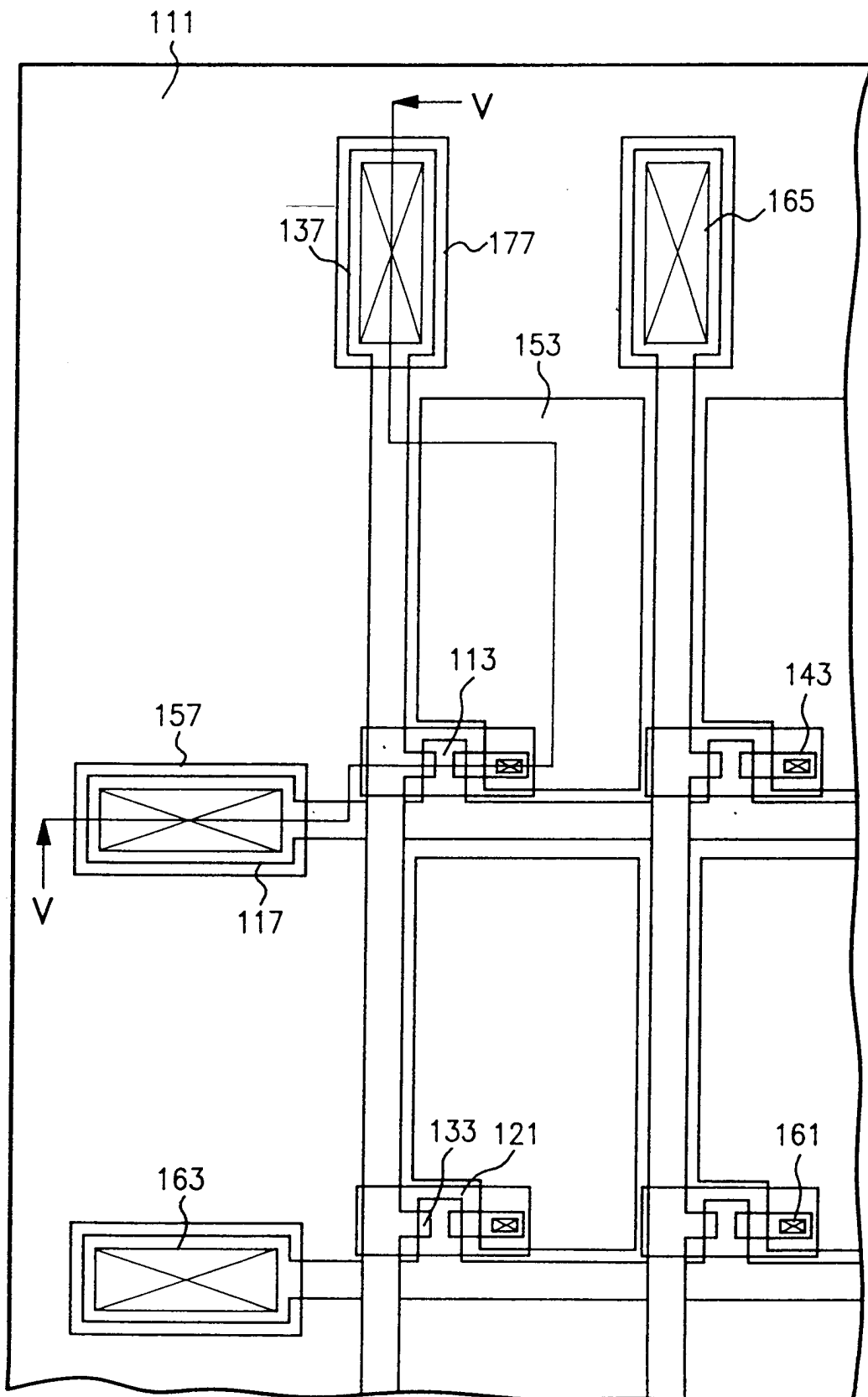


FIG. 5a

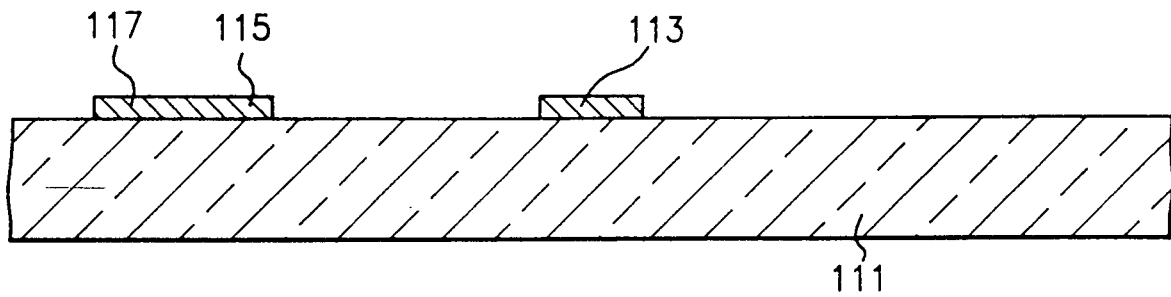


FIG. 5b

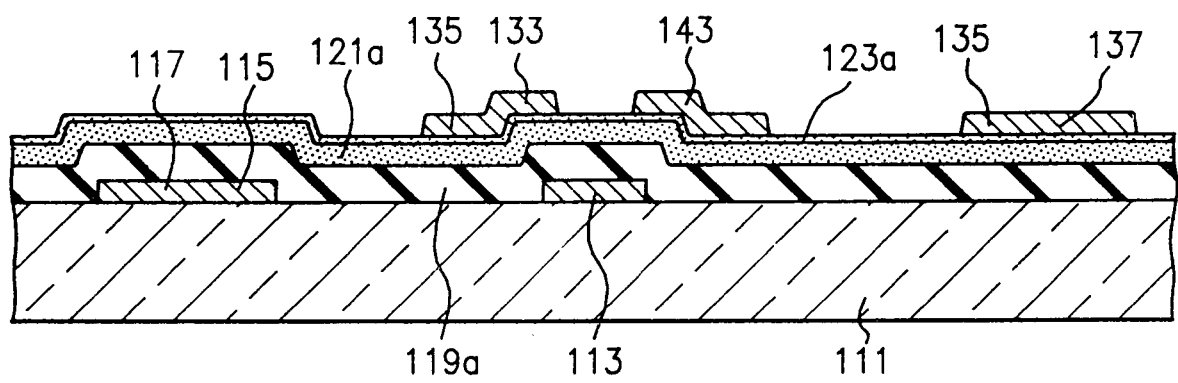


FIG. 5c

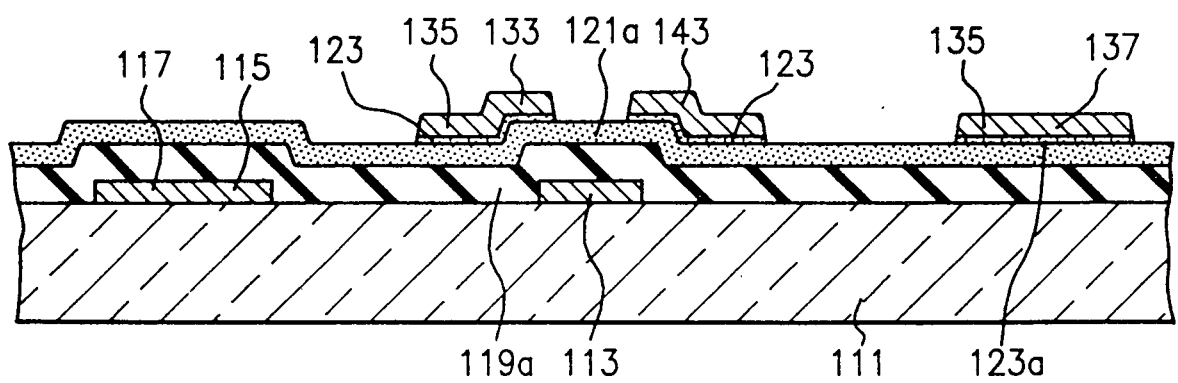


FIG. 5d

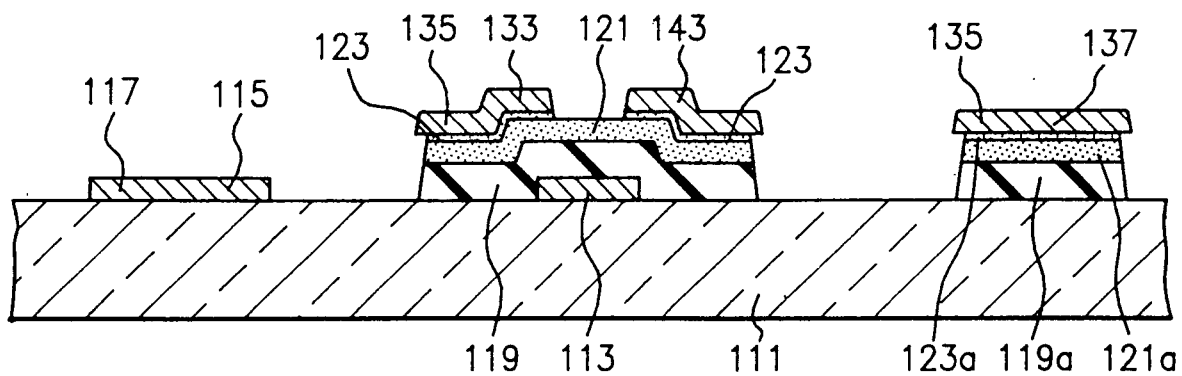


FIG. 5e

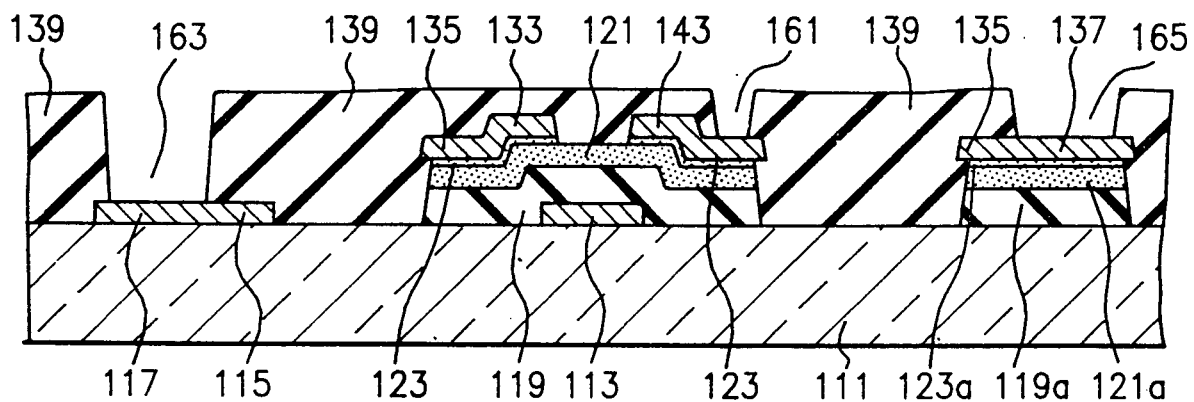


FIG. 5f

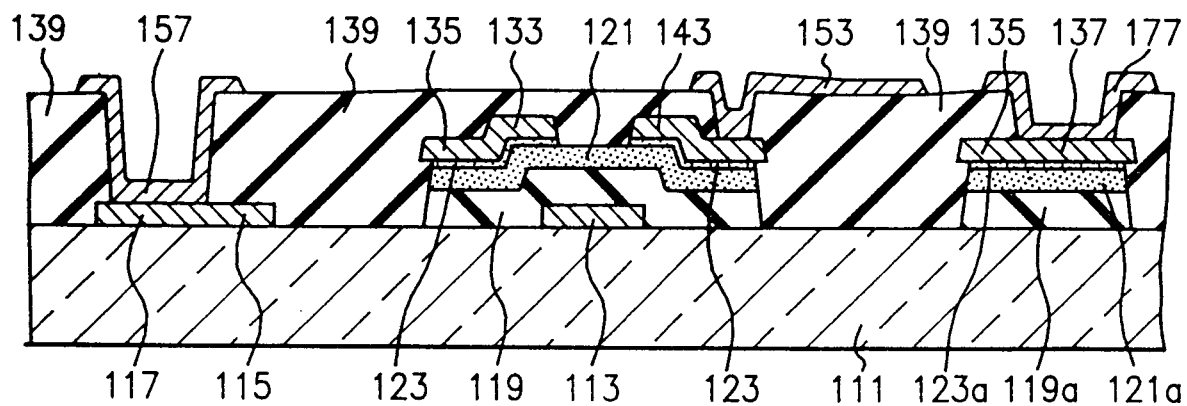


FIG. 6a

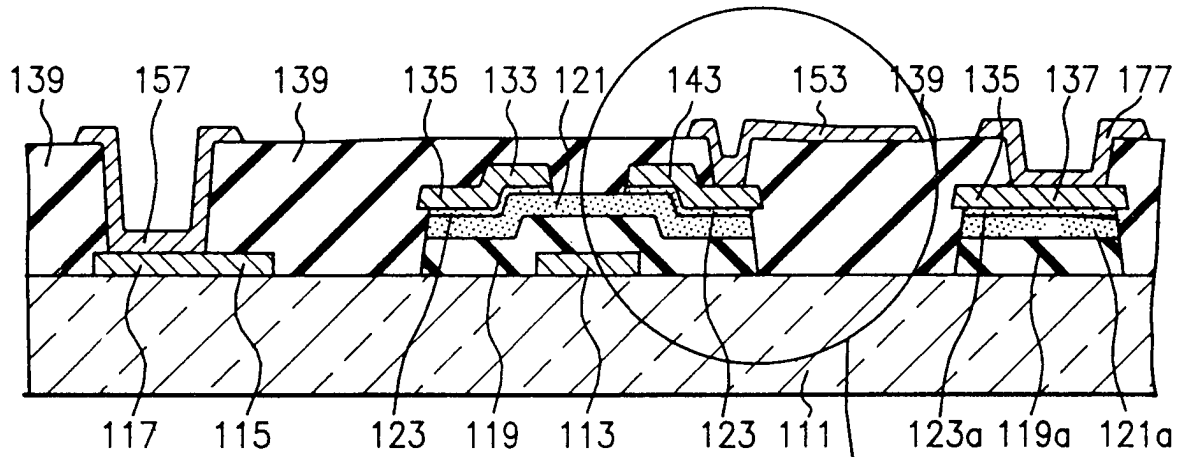


FIG. 6b

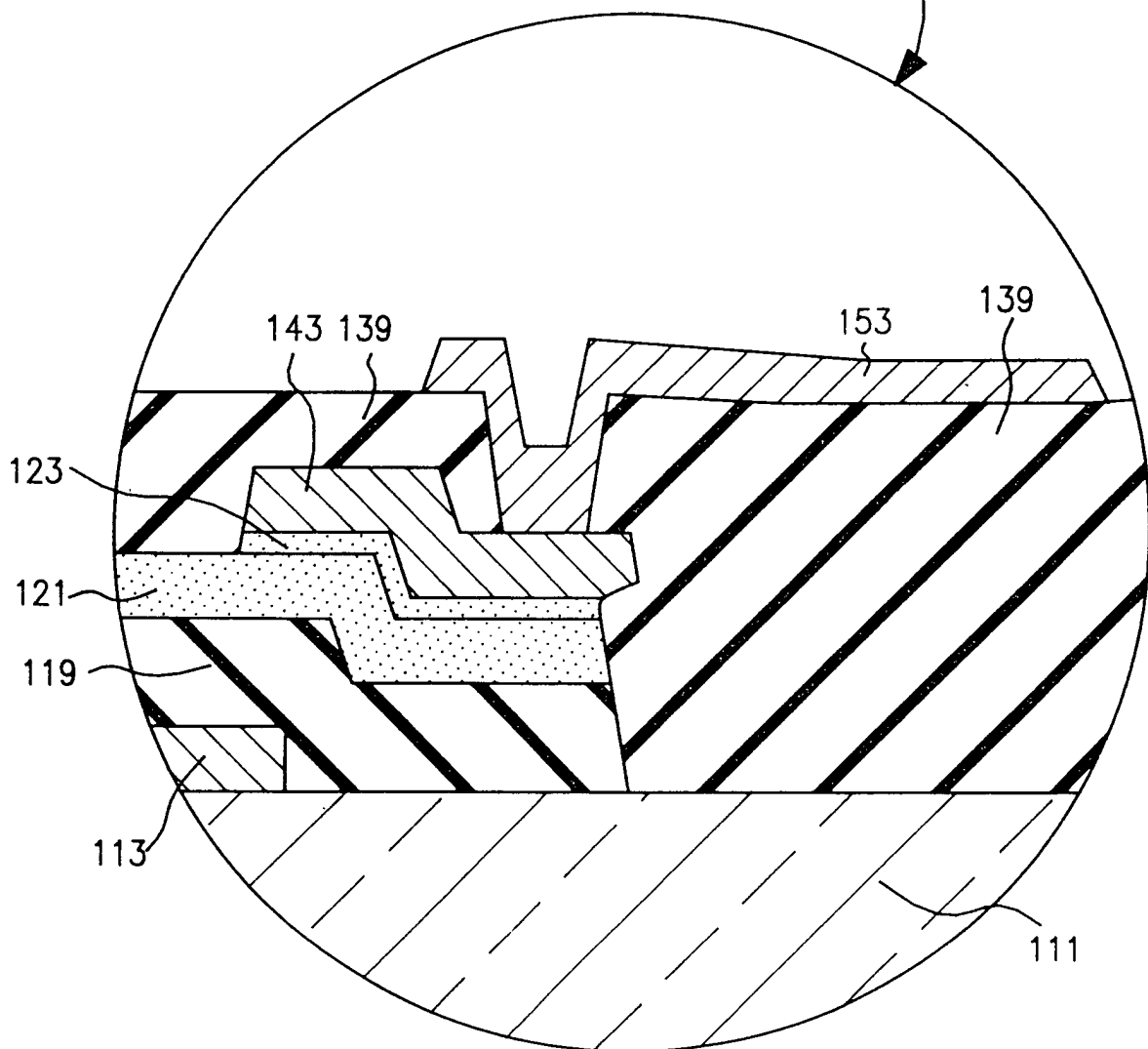


FIG. 7a

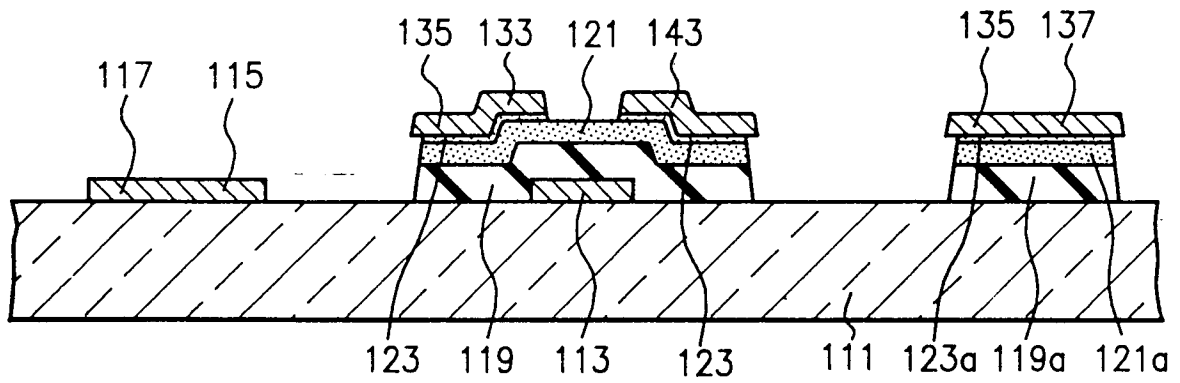


FIG. 7b

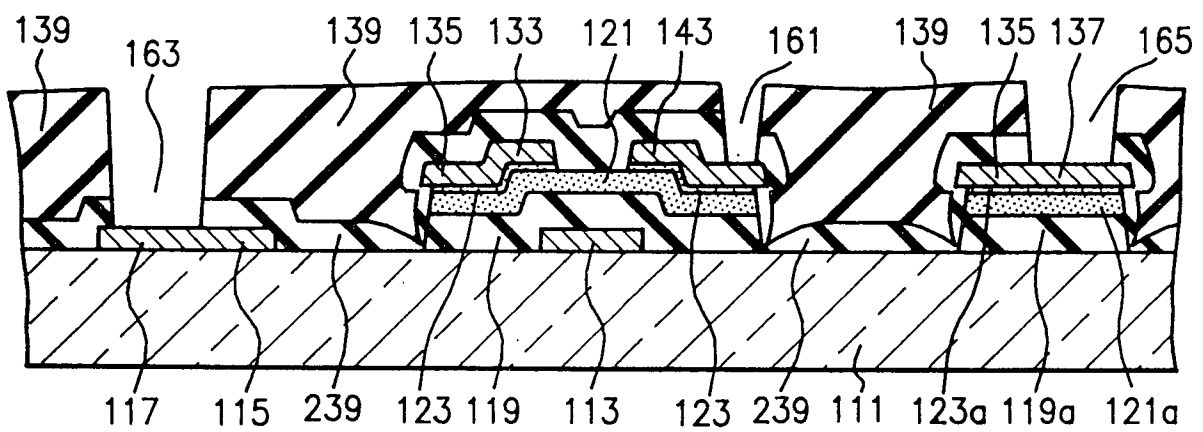


FIG. 7c

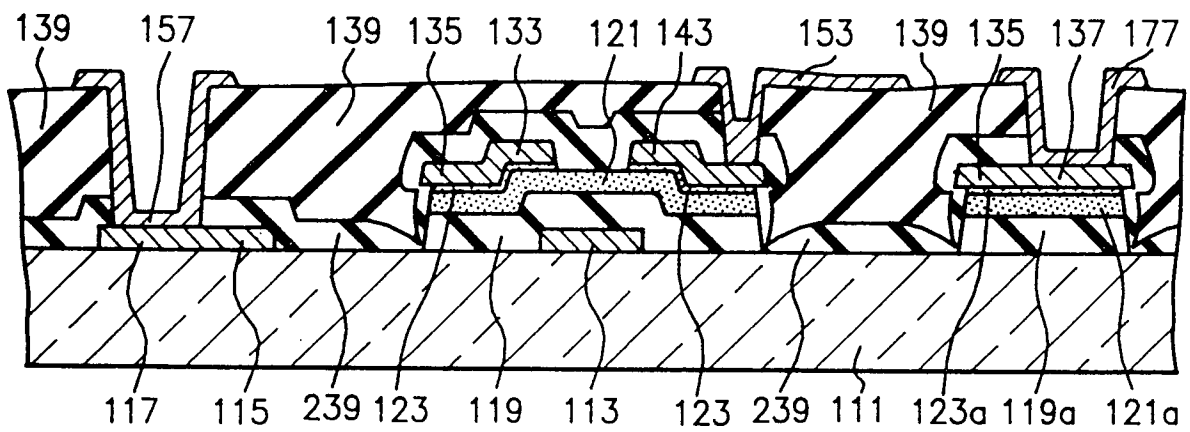


FIG. 8a

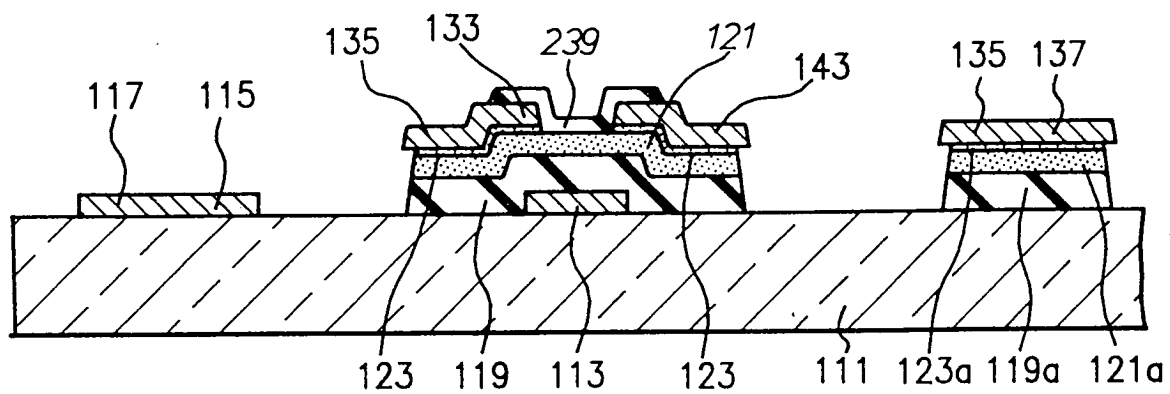


FIG. 8b

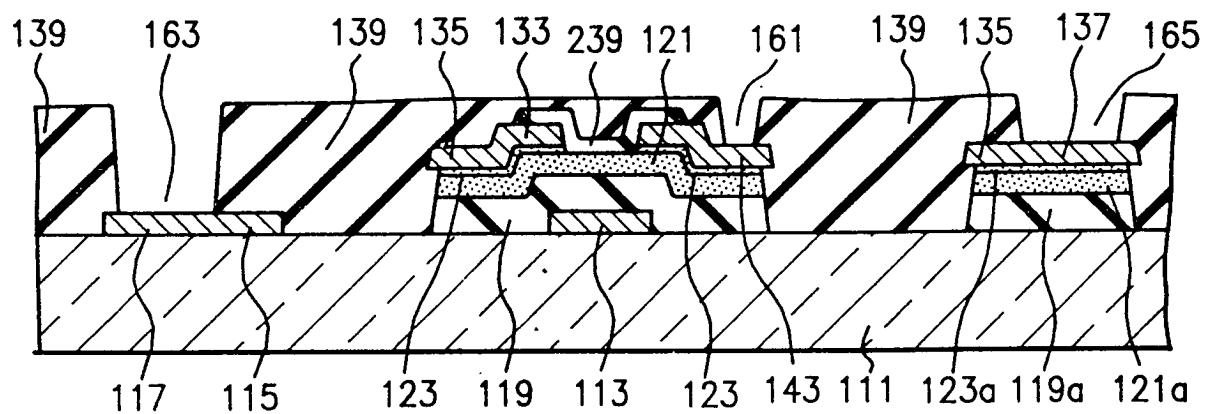


FIG. 8c

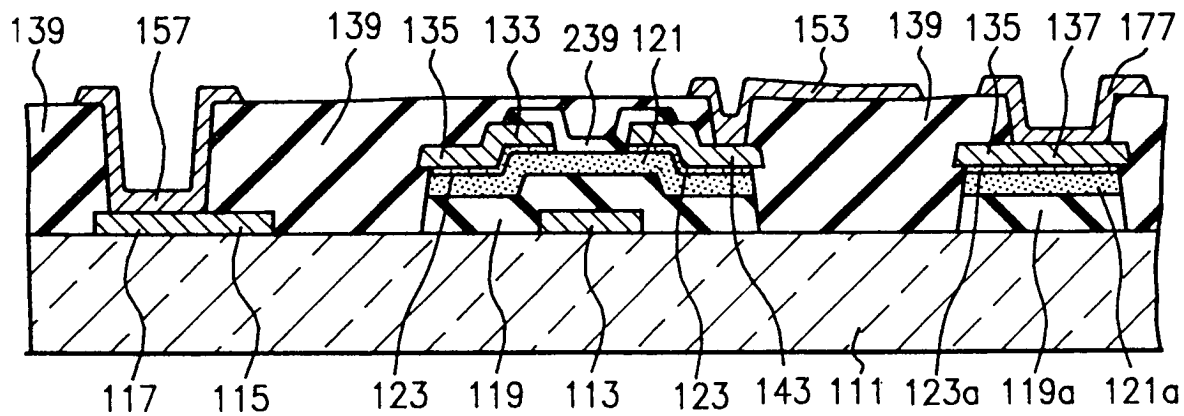


FIG. 9a

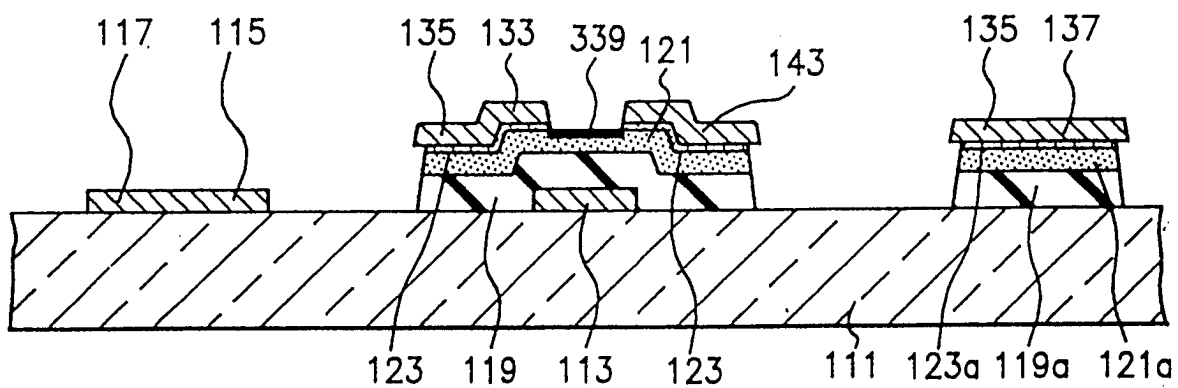


FIG. 9b

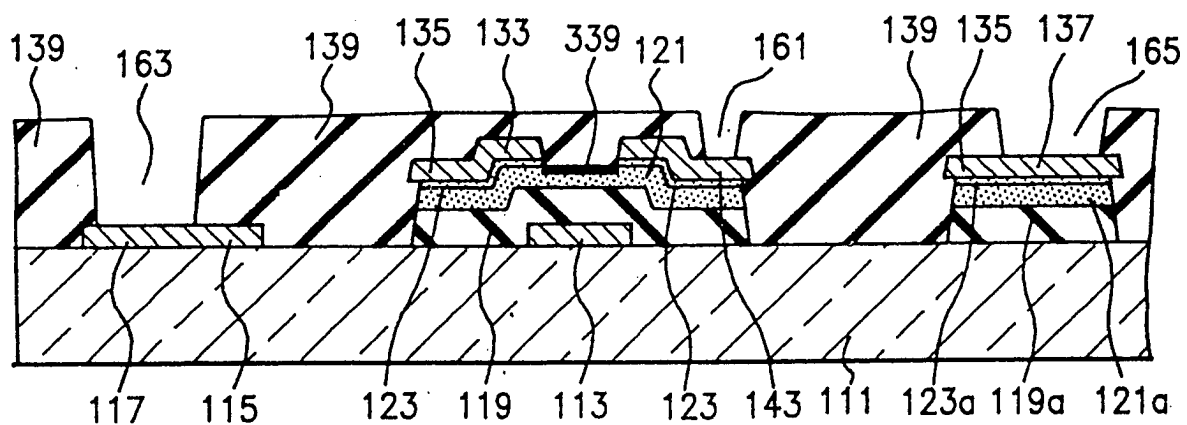


FIG. 9c

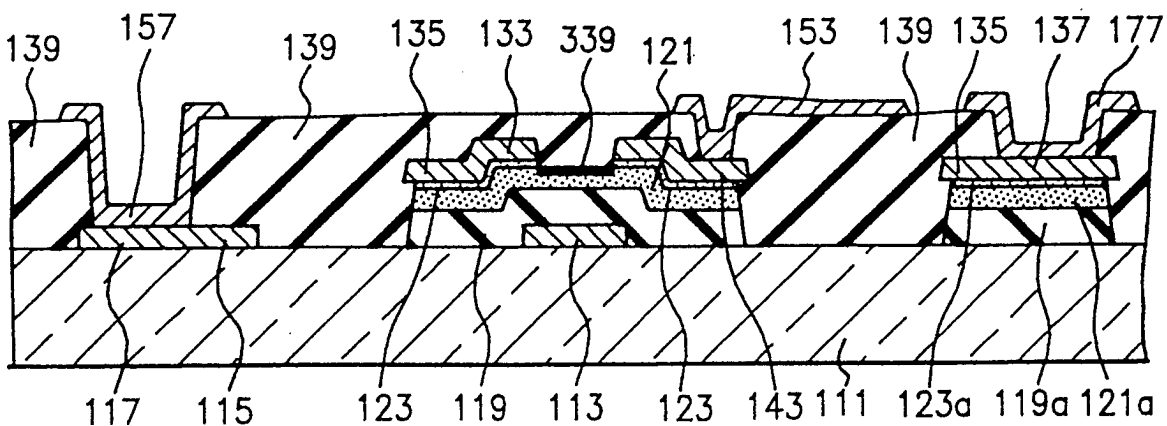


FIG. 10 a

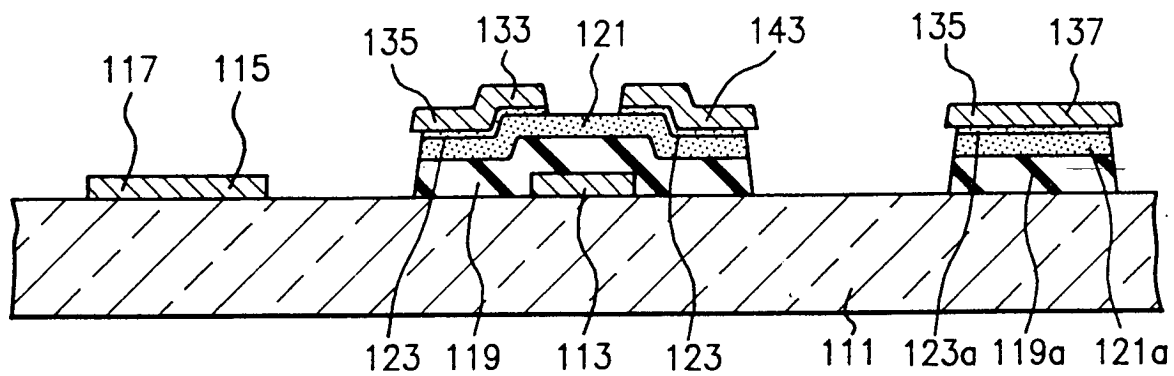


FIG. 10 b

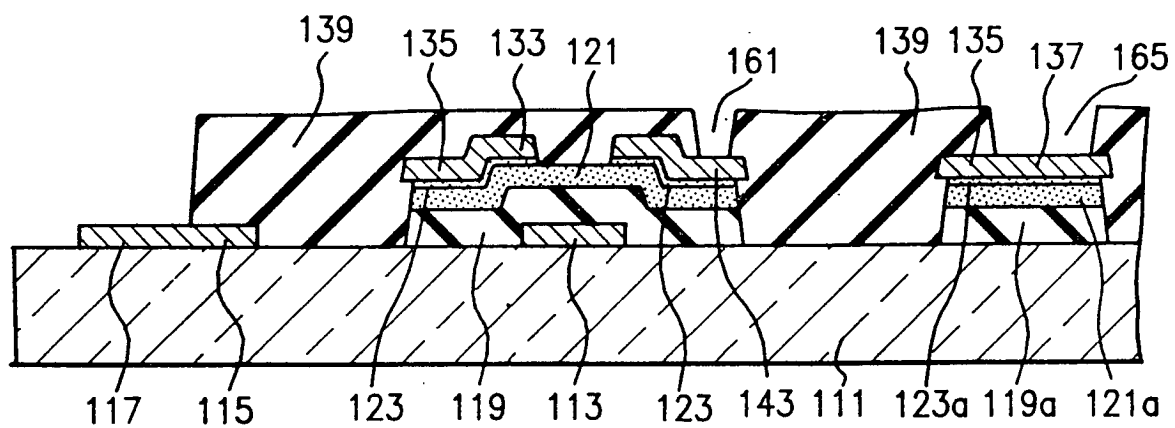


FIG. 10 c

