



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

229 168

(11) (B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 21 12 82
(21) PV 9467-82

(51) Int. Cl.³
G 11 C 9/04

(40) Zveřejněno 15 09 83
(45) Vydáno 01 01 86

(75)
Autor vynálezu

STRONER PETR ing.,
BARTŮŇEK IVAN ing.,
PŘEČEK ZDENĚK ing.,
KUČERA PETR ing., PRAHA

(54)

Zapojení adresní mapy s možností autonomního
přepisu a externího vstupu a výstupu

Vynález se týká zapojení adresní mapy s možností autonomního přepisu jejího vnitřního obsahu a s možností externího vstupu a výstupu.

Adresní mapa použitá jako transformační paměť adres umožňuje rozšiřování adresního prostoru například samočinného počítače bez zvyšování počtu řádků adresního slova a bez zpomalení adresního výběru mapované paměti. Dále umožňuje použití adresní mapy měnit logické a fyzické umístění pamatované informace podle potřeb řídicího programu. V adresní mapě se transformuje buď část adresního slova nebo celé adresní slovo, jehož část může být stejná s původní adresou. Užitečnost tohoto systému stoupá tím více, čím pružnější je plnění a modifikace obsahu transformační paměti, která obsahuje mapovací klíč. V dosud užívaných řešeních vždy manipuluje s obsahem transformační paměti přímo řídicí jednotka daného zařízení. To má za následek zpomalení mapovací činnosti vždy v době, kdy je třeba buď přepsat obsah transformační paměti, nebo jej přečíst a případně jej zkontrolovat. Ke zpomalení mapovací činnosti dochází v případě kopírování jedné části obsahu transformační mapy do jiné její části. Rovněž plnění transformační paměti z externího vstupu se u dosud známých zapojení provádí prostřednictvím řídicí jednotky. Tato činnost zbytečně zaměstnává řídicí jednotku a zpomaluje provedení celé akce.

Tyto nedostatky odstraňuje zapojení adresní mapy s možností autonomního přepisu a externího vstupu a výstupu podle vynálezu. Podstata vynálezu spočívá v tom, že první skupinová vstupní svorka zapojení je spojena s prvním skupinovým vstupem řídicího obvodu. Druhý skupinový vstup řídicího obvodu je spojen se druhou skupinovou vstupní svorkou zapojení. První skupinová výstupní svorka zapojení je spojen se stavovým výstupem řídicího obvodu, jehož skupinový výstup je spojen se

třetím skupinovým vstupem přepínacího obvodu. První skupinový vstup přepínacího obvodu je spojen se třetí skupinovou vstupní svorkou zapojení. Čtvrtá skupinová vstupní svorka zapojení je spojena se druhým skupinovým vstupem přepínacího obvodu, jehož čtvrtý skupinový vstup je spojen s pátou skupinovou vstupní svorkou zapojení. Skupinový výstup přepínacího obvodu je spojen s prvním skupinovým vstupem transformační paměti, jejíž skupinový výstup je spojen se skupinovým vstupem mezipaměti, se skupinovým vstupem výstupního obvodu a se skupinovým vstupem druhého výstupního obvodu, jehož vnější skupinový výstup je spojen se třetí skupinovou výstupní svorkou zapojení. Povelový vstup druhého výstupního obvodu je spojen s povelovým výstupem ovládacího obvodu, jehož třetí povelový vstup je spojen se třetím povelovým výstupem řídicího obvodu a s povelovým vstupem mezipaměti. Skupinový výstup mezipaměti je spojen se třetím skupinovým vstupem transformační paměti a se skupinovým výstupem vstupního obvodu, jehož vnější skupinový vstup je spojen se šestou skupinovou vstupní svorkou zapojení. Druhá skupinová výstupní svorka zapojení je spojena se skupinovým výstupem prvního výstupního obvodu, jehož povelový vstup je spojen se druhým povelovým vstupem ovládacího obvodu a se druhým povelovým výstupem řídicího obvodu. První povelový výstup řídicího obvodu je spojen s povelovým vstupem vstupního obvodu a s prvním povelovým vstupem ovládacího obvodu, jehož skupinový výstup je spojen se druhým skupinovým vstupem transformační paměti.

Výhodou uspořádání podle vynálezu je, že jednoduchými prostředky zajišťuje manipulaci s obsahem transformační paměti, přičemž tyto operace zrychluje a je schopno je provádět autonomně bez zatěžování centrální řídicí jednotky systému. Dále umožňuje zapisovat obsah transformační paměti z více zdrojů a číst obsah transformační paměti pro více spotřebitelů. Vlastní povelování a adresování transformační paměti zůstává jednoduché. V případě kopírování části obsahu transformační paměti do jiné části transformační paměti a v případě sekvenčního plnění transformační paměti se výhodně uplatňuje autonomní činnost, kterou zprostředkuje mezipaměť a řídicí obvod.

Příklad zapojení podle vynálezu je znázorněn v blokovém schématu na přiloženém výkrese.

Technické prostředky, jimiž jsou jednotlivé bloky zapojení vytvořeny, jsou vesměs známé obvody číslicové techniky a proto nejsou na výkrese podrobně rozkresleny. Jednotlivé bloky zapojení je možno charakterizovat takto. Řídicí obvod 1 je synchronní vyrovnávací paměť, doplněná dekodéry a sekvenčními logickými obvody. Slouží k řízení činnosti celého zapojení. Přepínací obvod 2 je sestaven ze standardních multiplexerů a slouží k přepínání zdrojů adresování. Transformační paměť 3 je množina registrů sestavených z paměti typu RAM. Slouží k úpravě vstupních adres. Ovládací obvod 4 je sekvenční obvod doplněný kombinačními dekódovacími logickými obvody. Řídí čtení z transformační paměti 3 a zápis do transformační paměti 3. Mezipaměť 5 je sestavena z klopných obvodů a hradel. Slouží k uchování přepisované informace. První výstupní obvod 6, vstupní obvod 7 a druhý výstupní obvod 8 jsou běžné oddělovací obvody používané pro řízení sběrnice. Staticky a dynamicky upravují vstupní a výstupní informace. Vstupy a výstupy, které mají společný logický nebo funkční význam, jsou znázorněny jako jeden spoj a jsou označeny jako skupinové. Jednotlivé bloky zapojení adresní mapy s možností autonomního přepisu a externího vstupu a výstupu jsou propojeny takto. První skupinová vstupní svorka 01 zapojení je spojena s prvním skupinovým vstupem 11 řídicího obvodu 1, jehož druhý skupinový vstup 12 je spojen se druhou skupinovou vstupní svorkou 02 zapojení. První skupinová výstupní svorka 07 zapojení je spojena se stavovým výstupem 14 řídicího obvodu 1. Skupinový výstup 13 řídicího obvodu 1 je spojen se třetím skupinovým vstupem 23 přepínacího obvodu 2. První skupinový vstup 21 přepínacího obvodu 2 je spojen se třetí skupinovou vstupní svorkou 03 zapojení. Čtvrtá skupinová vstupní svorka 04 zapojení je spojena se druhým skupinovým vstupem 22 přepínacího obvodu 2. Čtvrtý skupinový vstup 24 přepínacího obvodu 2 je spojen s pátou skupinovou vstupní svorkou 05 zapojení. Skupinový výstup 25 přepínacího obvodu 2 je spojen s prvním skupinovým vstupem 31 transformační paměti 3. Skupinový výstup 34 transformační paměti 3

je spojen se skupinovým vstupem 51 mezipaměti 5, se skupinovým vstupem 61 prvního výstupního obvodu 6 a se skupinovým vstupem 81 druhého výstupního obvodu 8. Vnější skupinový výstup 83 druhého výstupního obvodu 8 je spojen se třetí skupinovou výstupní svorkou 09 zapojení. Povelový vstup 82 druhého výstupního obvodu 8 je spojen s povelovým výstupem 44 ovládacího obvodu 4. Třetí povelový vstup 43 ovládacího obvodu 4 je spojen se třetím povelovým výstupem 17 řídicího obvodu 1 a s povelovým vstupem 52 mezipaměti 5. Skupinový výstup 53 mezipaměti 5 je spojen se třetím skupinovým vstupem 33 transformační paměti 3 a se skupinovým výstupem 73 vstupního obvodu 7. Vnější skupinový vstup 72 vstupního obvodu 7 je spojen se šestou skupinovou vstupní svorkou 06 zapojení. Druhá skupinová výstupní svorka 08 zapojení je spojena se skupinovým výstupem 63 prvního výstupního obvodu 6. Povelový vstup 62 prvního výstupního obvodu 6 je spojen se druhým povelovým vstupem 42 ovládacího obvodu 4 a se druhým povelovým výstupem 16 řídicího obvodu 1. První povelový výstup 15 řídicího obvodu 1 je spojen s povelovým vstupem 71 vstupního obvodu 7 a s prvním povelovým vstupem 41 ovládacího obvodu 4. Skupinový výstup 45 ovládacího obvodu 4 je spojen se druhým skupinovým vstupem 32 transformační paměti 4. Zapojení pracuje následovně. Z řídicí jednotky, která není na výkrese znázorněna, přicházejí na první skupinovou vstupní svorku 01 zapojení a na druhou skupinovou vstupní svorku 02 zapojení data charakterizující požadovanou činnost adresní mapy a zároveň časově definované signály pro převzetí a zpracování zadáných dat. Tato data přicházejí na první skupinový vstup 11 a na druhý skupinový vstup 12 řídicího obvodu 1. Svým stavovým výstupem 14 podá řídicí obvod 1 přes první skupinovou výstupní svorku 07 zapojení řídicí jednotce informaci o stavu, v němž se právě řídicí obvod 1 nachází z hlediska přijetí a zpracování řídicích povelů a dat. Výsledkem této autonomní činnosti řídicího obvodu 1 je potom aktivace některého z povelových výstupů 15, 16, 17 řídicího obvodu 1. Tyto povelové výstupy 15, 16, 17 řídicího obvodu 1 charakterizují autonomní činnost zapojení tím, že určují vlastní režim zápisu do transformační paměti 3 a vlastní režim čtení z transformační paměti 3. Všechny signály

z povelových výstupů 15, 16, 17 řídicího obvodu 1 se zpracovávají jednak v ovládacím obvodu 4, ve kterém se určuje, zda se bude číst nebo zapisovat, dále tyto signály přímo ovládají činnost mezipaměti 5, prvního vstupního obvodu 6 a vstupního obvodu 7. Jestliže se aktivuje třetí povelový výstup 17 řídicího obvodu 1, definuje se autonomní přepis obsahu jedné části transformační paměti 5 do její jiné části. Jestliže se generuje aktivní signál na některém z povelových vstupů 15, 16, 17 řídicího obvodu 1, vydá zároveň řídicí obvod 1 na svém skupinovém výstupu 13 údaj pro přepínací obvod 2 a tím se určí, zda se na skupinový výstup 25 přepínacího obvodu 2 přepne jeho první skupinový vstup 21 nebo jeho druhý skupinový vstup 22 či jeho čtvrtý skupinový vstup 24. Tím se přes první skupinový vstup 31 transformační paměti 3 určí adresa slova transformační paměti 3, jehož se operace týká. První skupinový vstup 21 přepínacího obvodu 2 jeho druhý skupinový vstup 22 i jeho čtvrtý skupinový vstup 24 jsou vesměs adresní vstupy, které adresují transformační mapy pro příslušnou činnost. Zdrojem adresování může být buď obvod autonomního adresování nebo to mohou být obvody externího adresování. Tyto obvody nejsou na výkrese znázorněny, protože nejsou předmětem vynálezu. Při režimu autonomního sekvenčního plnění nebo při přepisu jedné části adresní mapy do jiné části adresní mapy se aktivuje třetí povelový výstup 17 řídicího obvodu 1. Signály ze třetího povelového výstupu 17 řídicího obvodu 1 přicházejí jednak třetí povelový vstup 43 ovládacího obvodu 4, který svým skupinovým výstupem 45 přes druhý skupinový vstup 32 transformační paměti 3 ovládá čtení z transformační paměti 3 a zápis do transformační paměti 3. Dále signály ze třetího povelového výstupu 17 řídicího obvodu 1 přicházejí na povelový vstup 52 mezipaměti 5, takže sekvenční řízení čtení a zápisu je synchronní s činností mezipaměti 5. Mezipaměť 5 střídavě přijímá přes svůj skupinový vstup 51 data čtená na skupinovém výstupu 34 transformační paměti 3 a vydává tatáž data pro potřebu zápisu přes svůj skupinový výstup 53. Tato data se vedou na třetí skupinový vstup 33 transformační paměti 3. V době zpětného zápisu však dostává transformační paměť 3 již jinou cílovou adresu z přepínacího obvodu 2 a to

z jeho skupinového výstupu 25 přes první skupinový vstup 31 transformační paměti 3. Spojení skupinového výstupu 34 transformační paměti 3 se skupinovým vstupem 51 mezipaměti 5, se skupinovým vstupem 61 prvního výstupního obvodu 6 a se skupinovým vstupem 81 druhého výstupního obvodu 8 je sběrnicového typu. Sběrnicového typu je též spojení skupinového výstupu 53 mezipaměti 5 se skupinovým výstupem 73 vstupního obvodu 5 a se třetím skupinovým vstupem 33 transformační paměti 3. To umožňuje, aby se měnila místa zdrojů a spotřebičů těchto sběrnicových signálů podle požadavků řídicího obvodu 1. Kterýkoliv z uvedených bloků proto může být jak zdrojem tak spotřebičem signálů. Při režimu externího čtení obsahu transformační paměti 3 se aktivuje druhý povelový výstup 16 řídicího obvodu 1. Signály odtud přicházejí na druhý povelový vstup 42 ovládacího obvodu 4 a na povelový vstup 62 prvního výstupního obvodu 6. Signál na povelovém vstupu 62 výstupního obvodu 6 je povel k uvolnění prvního výstupního obvodu 6. Při signálu na svém druhém povelovém vstupu 42 uvolní ovládací obvod 4 přes svůj skupinový výstup 45 a přes druhý skupinový vstup 32 transformační paměti 3 čtení transformační paměti 3. Obsah transformační paměti 3 se čte se současně platnou adresou z přepínacího obvodu 2 přes skupinový výstup 34 transformační paměti 3 a přes skupinový výstup 63 prvního výstupního obvodu 6 na druhé skupinové výstupní svorce 08 zapojení. Při režimu externího vstupu a zápisu do transformační paměti 3 se aktivuje první povelový výstup 15 řídicího obvodu 1 a tím se aktivuje i povelový vstup 71 vstupního obvodu 7. Data se přivádějí přes šestou skupinovou vstupní svorku 06 zapojení na vnější skupinový vstup 72 vstupního obvodu 7 a přes jeho skupinový výstup 73 do transformační paměti 3. Řídicí obvod 4 řídí externí zápis do transformační paměti 3 analogicky jako v předchozích případech. Při režimu transformace adresy transformační paměti 3 na třetí skupinovou výstupní svorku 09 zapojení není na první skupinové vstupní svorce zapojení 01 ani na jeho druhé vstupní svorce 02 žádná signál. V tom případě se neaktivuje žádný z povelových vstupů 15, 16, 17 řídicího obvodu 1. Jestliže není na žádném z povelových vstupů 41, 42, 43 ovládacího obvodu 4 aktivní

signál, potom ovládací obvod 4 vyšle přes svůj povelový výstup 44 povel na povelový vstup 82 druhého výstupního obvodu 8. Tím se uvolňuje průchod transformované adresy ze skupinového výstupu 34 transformační paměti 3 na skupinový vstup 81 druhého výstupního obvodu 8 a z jeho vnějšího skupinového výstupu 83 na třetí skupinovou výstupní svorku 09 zapojení.

Vynálezu se využije při modifikaci části nebo celého adresního slova pracovní paměti za účelem rozšíření této paměti nebo za účelem změny jejího logického uspořádání. Využije se zejména tam, kde je nutné měnit způsob modifikace v závislosti na vnějších vstupních podmínkách nebo na autonomní činnosti modifikačního obvodu. To je u vyšších hardwareových celků - - samočinných počítačů.

PŘEDMĚT VYNÁLEZU

229 168

Zapojení adresní mapy s možností autonomního přepisu a externího vstupu a výstupu, vyznačující se tím, že první skupinová vstupní svorka (01) zapojení je spojena s prvním skupinovým vstupem (11) řídicího obvodu (1), jehož druhý skupinový vstup (12) je spojen se druhou skupinovou vstupní svorkou (02) zapojení, jehož první skupinová výstupní svorka (07) je spojena se stavovým výstupem (14) řídicího obvodu (1), jehož skupinový výstup (13) je spojen se třetím skupinovým vstupem (23) přepínacího obvodu (2), jehož první skupinový vstup (21) je spojen se třetí skupinovou vstupní svorkou (03) zapojení, jehož čtvrtá skupinová vstupní svorka (04) je spojena se druhým skupinovým vstupem (22) přepínacího obvodu (2), jehož čtvrtý skupinový vstup (24) je spojen s pátou skupinovou vstupní svorkou (05) zapojení a skupinový výstup (25) přepínacího obvodu (2) je spojen s prvním skupinovým vstupem (31) transformační paměti (3), jejíž skupinový výstup (34) je spojen se skupinovým vstupem (51) mezipaměti (5), se skupinovým vstupem (61) prvního výstupního obvodu (6) a se skupinovým vstupem (81) druhého výstupního obvodu (8), jehož vnější skupinový výstup (83) je spojen se třetí skupinovou výstupní svorkou (09) zapojení a povelový vstup (82) druhého výstupního obvodu (8) je spojen s povelovým výstupem (44) ovládacího obvodu (4), jehož třetí povelový vstup (43) je spojen se třetím povelovým výstupem (17) řídicího obvodu (1) a s povelovým vstupem (52) mezipaměti (5), jejíž skupinový výstup (53) je spojen se třetím skupinovým vstupem (33) transformační paměti (3) a se skupinovým výstupem (73) vstupního obvodu (7), jehož vnější skupinový vstup (72) je spojen se šestou skupinovou vstupní svorkou (06) zapojení, jehož druhá skupinová výstupní svorka (08) je spojena se skupinovým výstupem (63) prvního výstupního obvodu (6), jehož povelový vstup (62) je spojen se druhým povelovým vstupem (42) ovládacího obvodu (4) a se druhým povelovým výstupem (16) řídicího obvodu (1), jehož první povelový výstup (15) je spo-

jen s povelovým vstupem (71) vstupního obvodu (7) a s prvním povelovým vstupem (41) ovládacího obvodu (4), jehož skupinový výstup (45) je spojen se druhým skupinovým vstupem (32) transformační paměti (3).

1 výkres

