

【發明圖式】

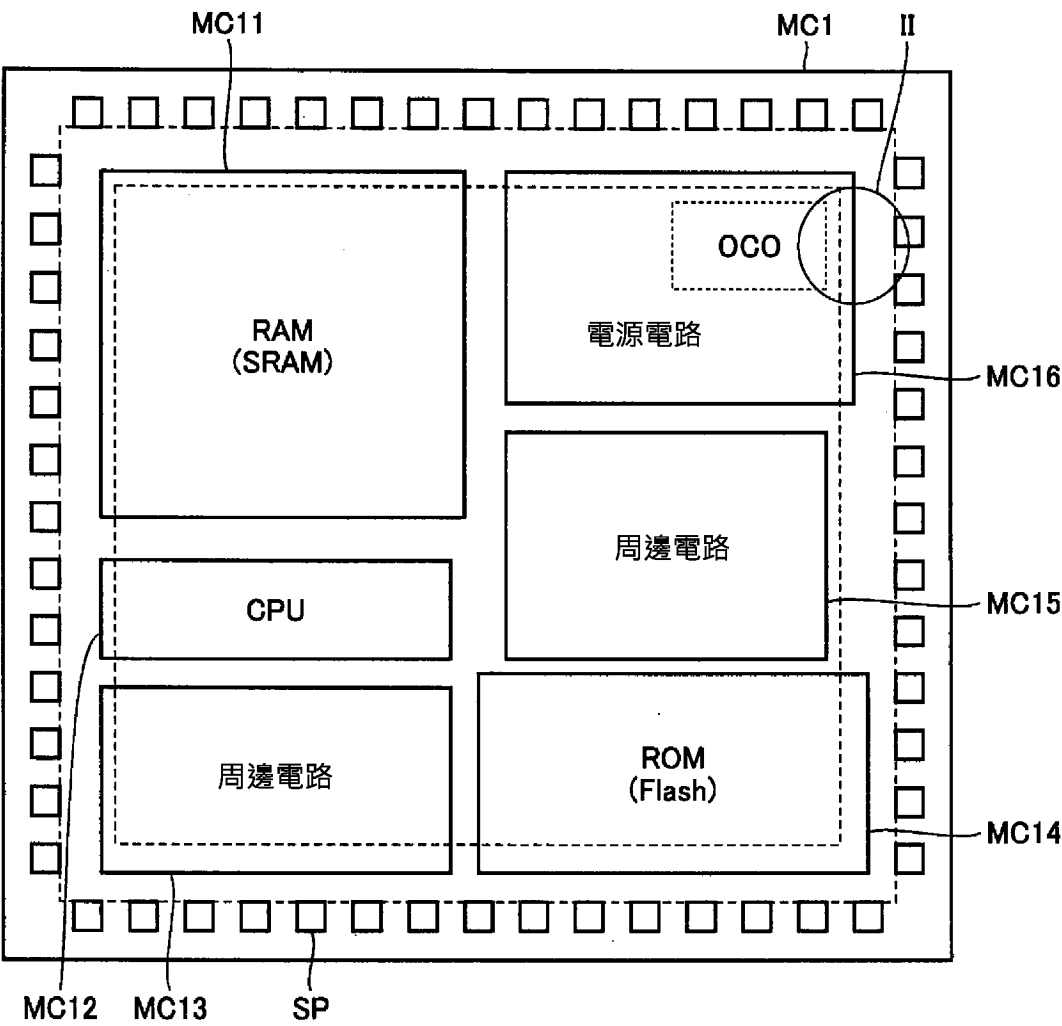


圖 1

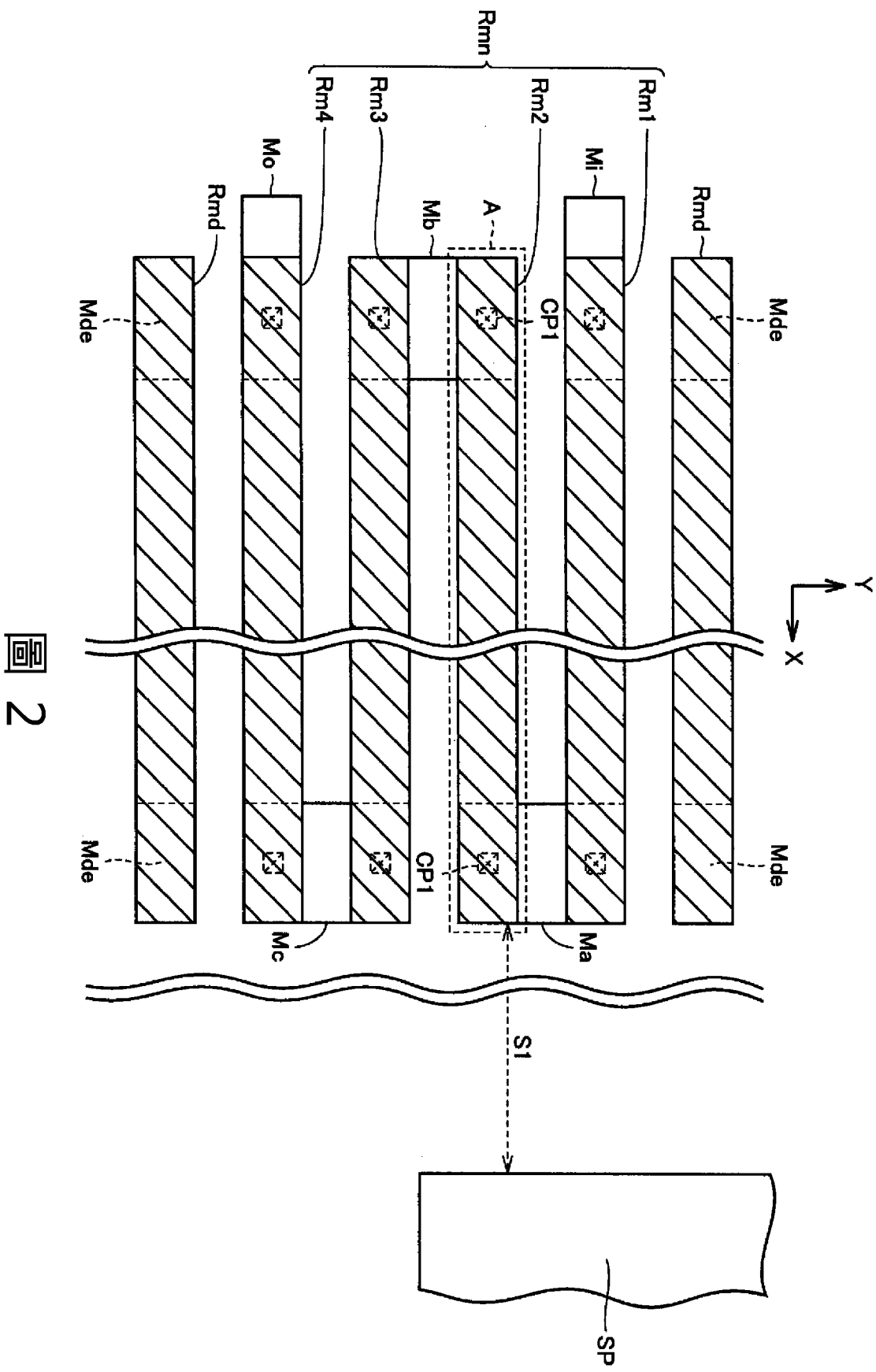


圖 2

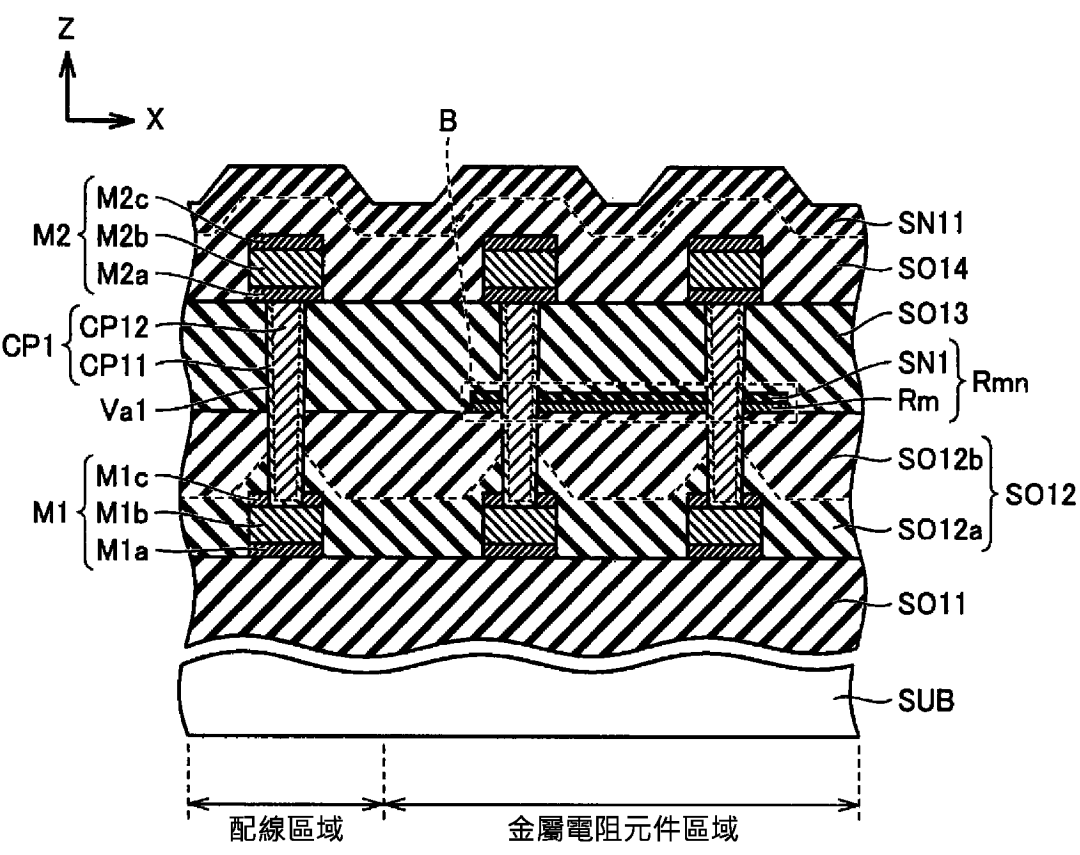


圖 3

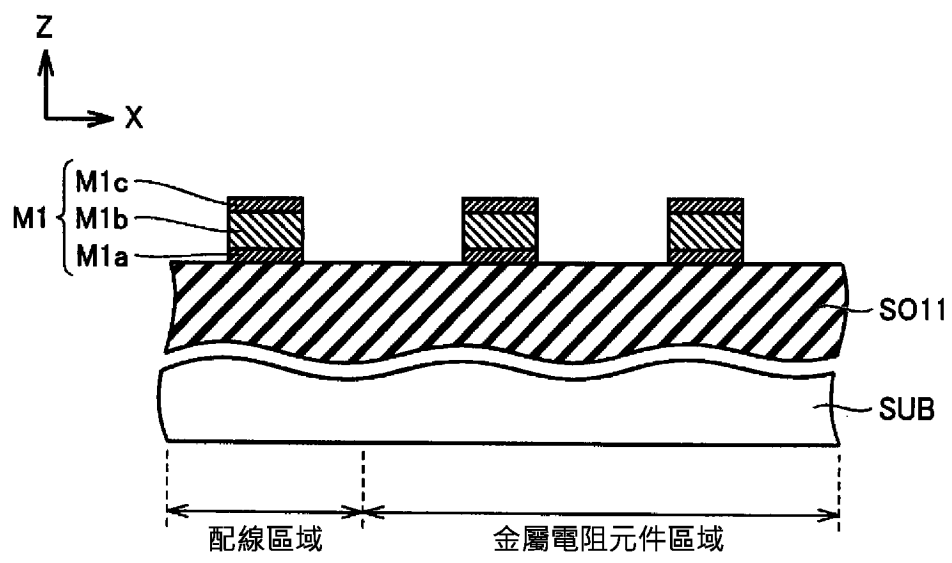


圖 4

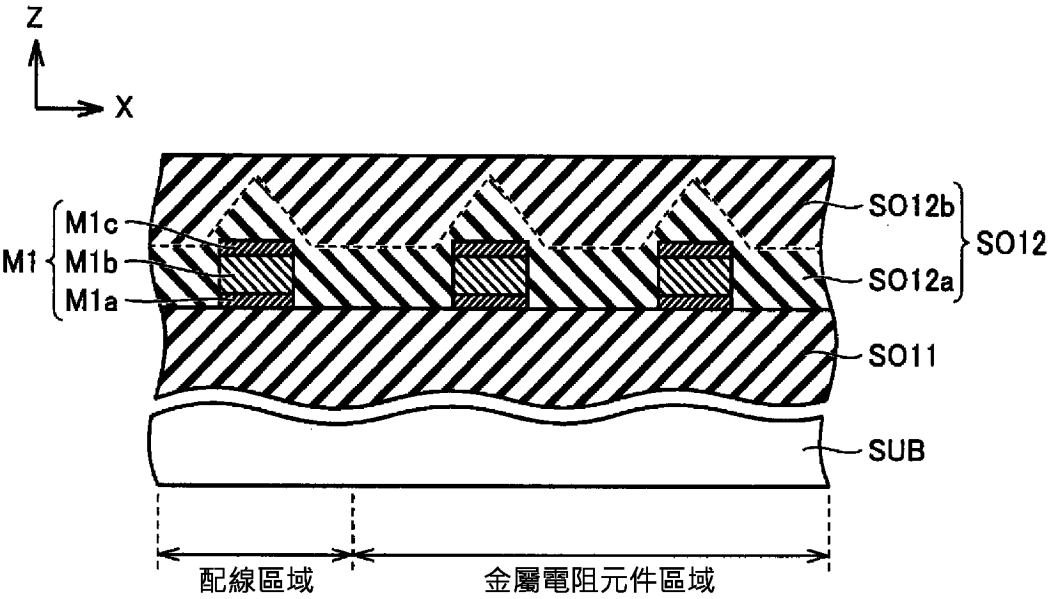


圖 5

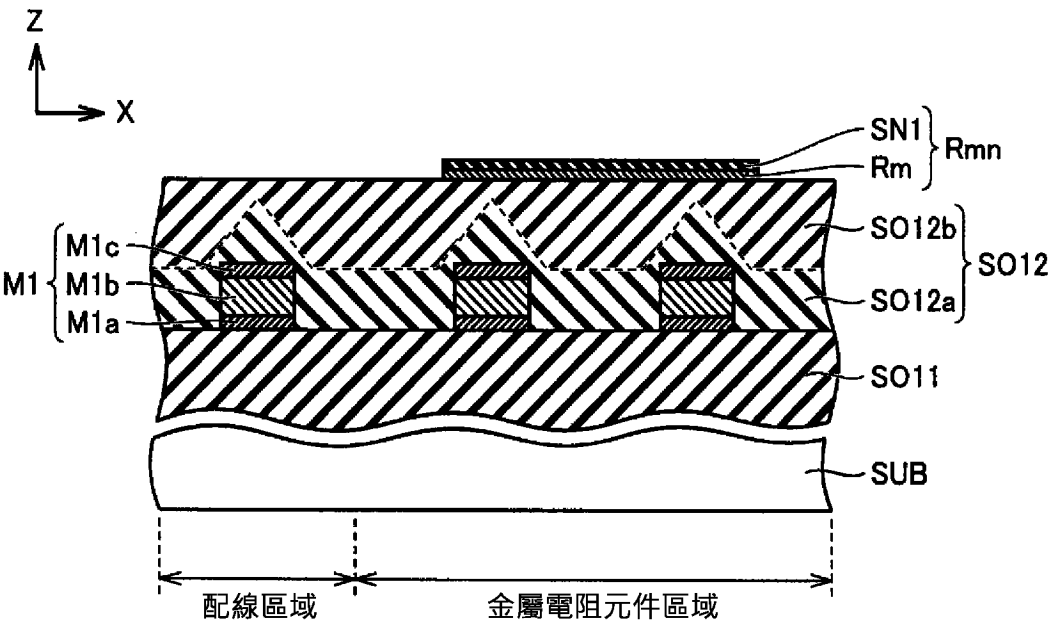


圖 6

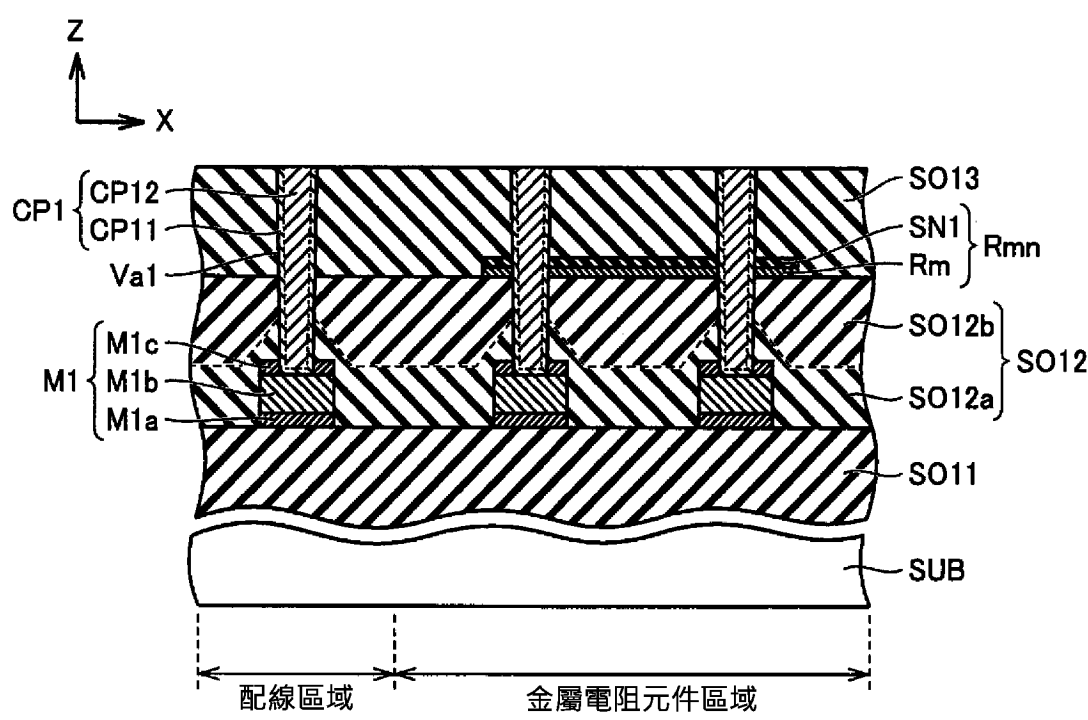


圖 7

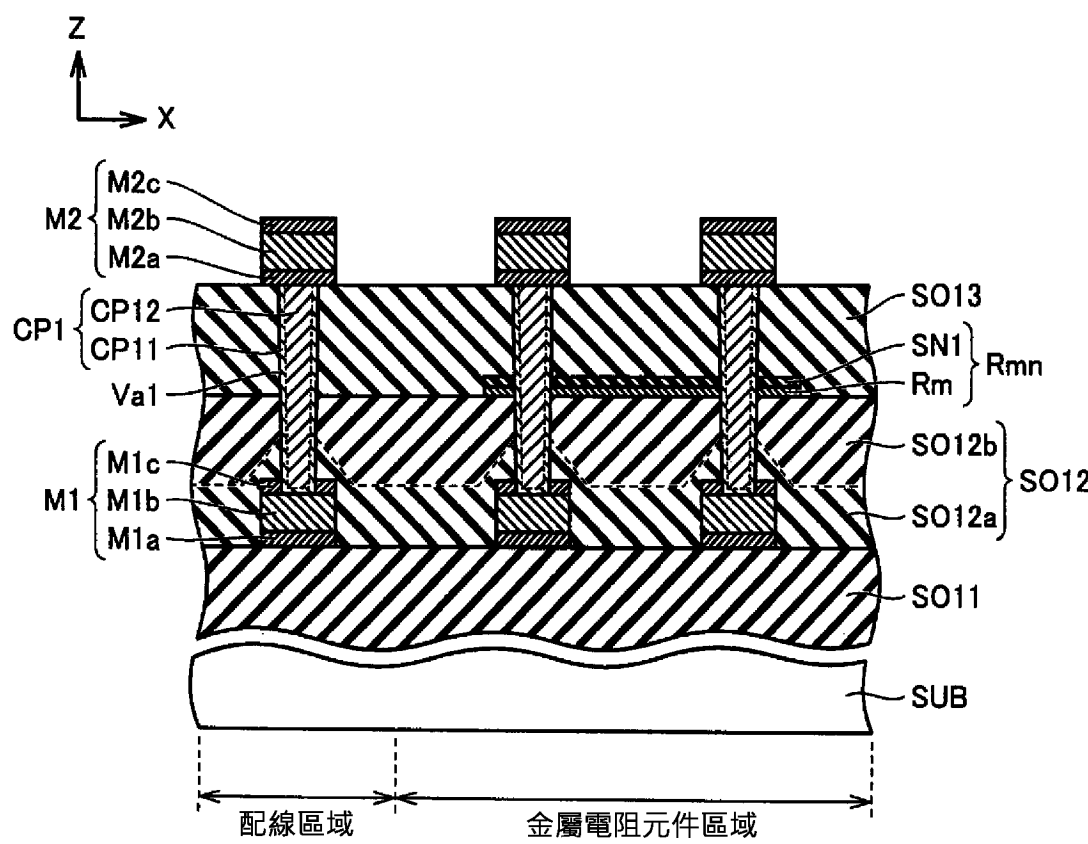


圖 8

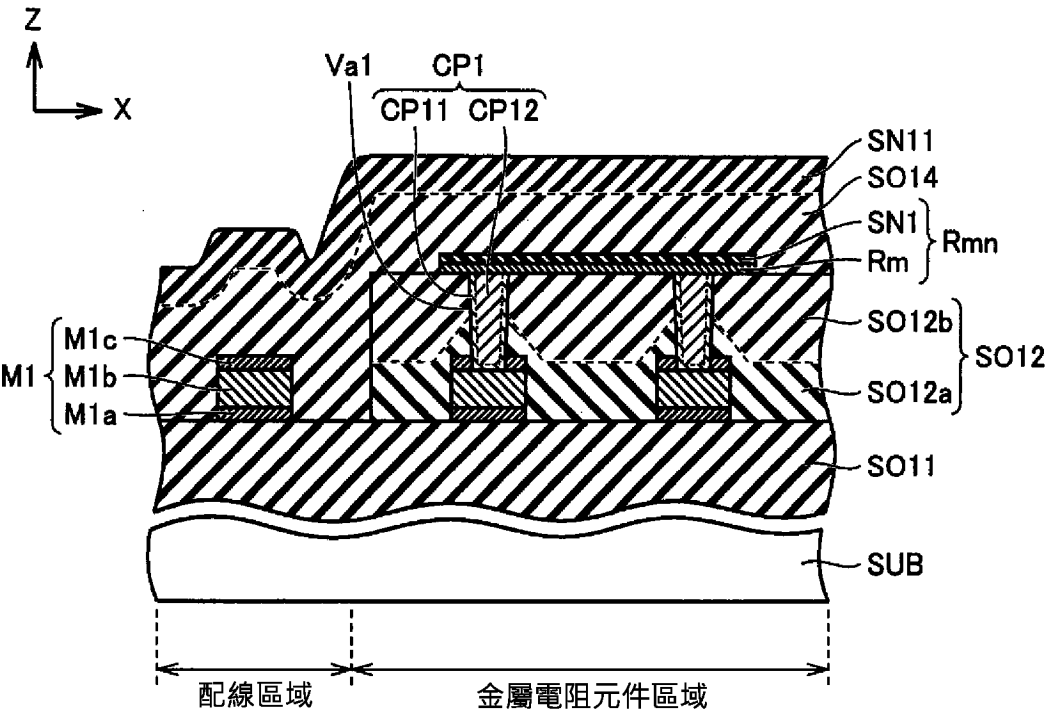


圖 9

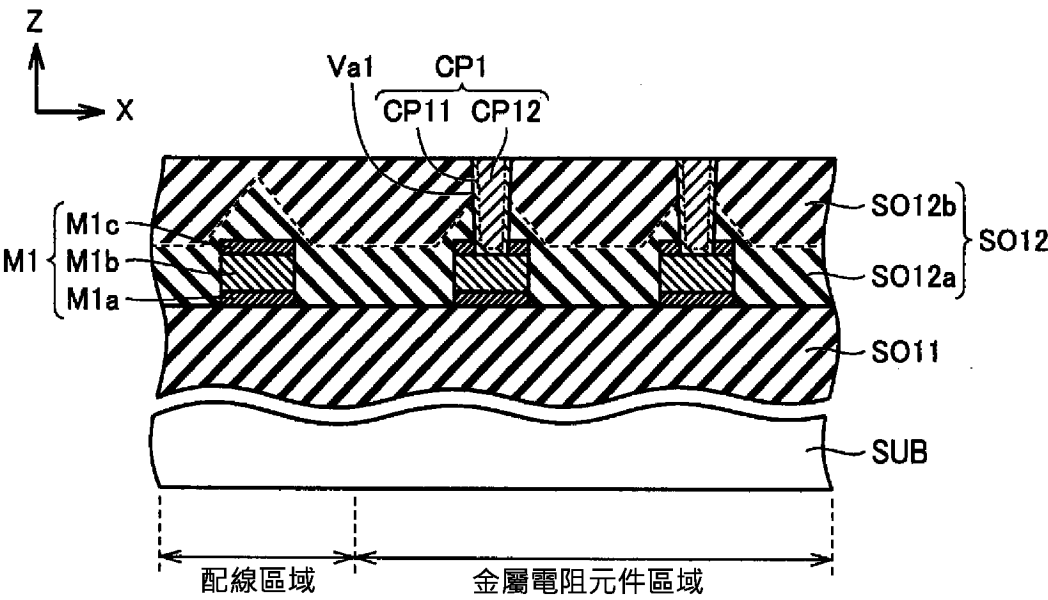


圖 10

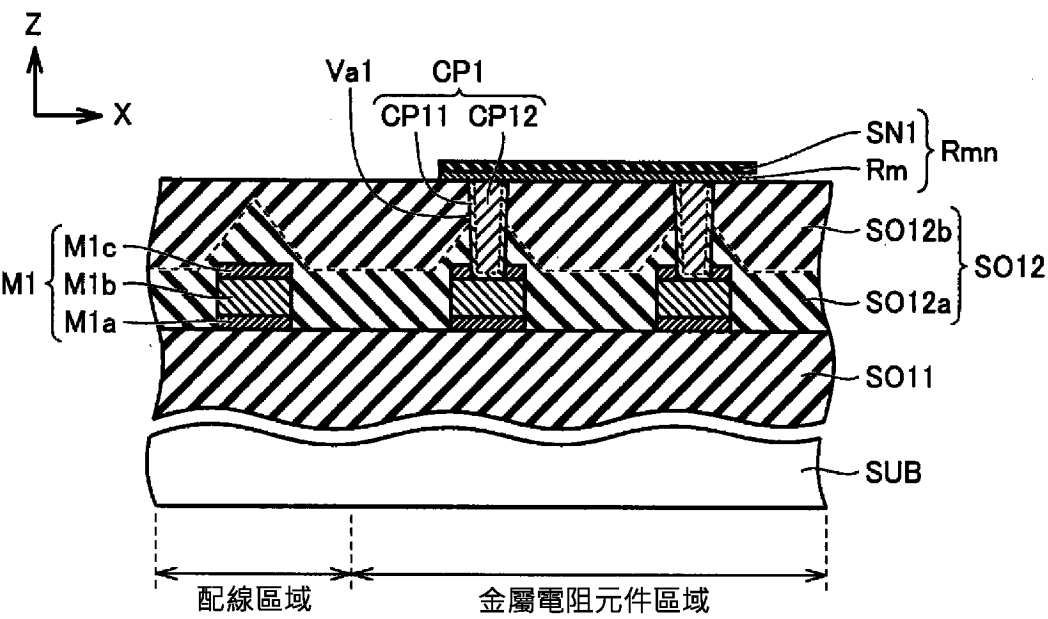


圖 11

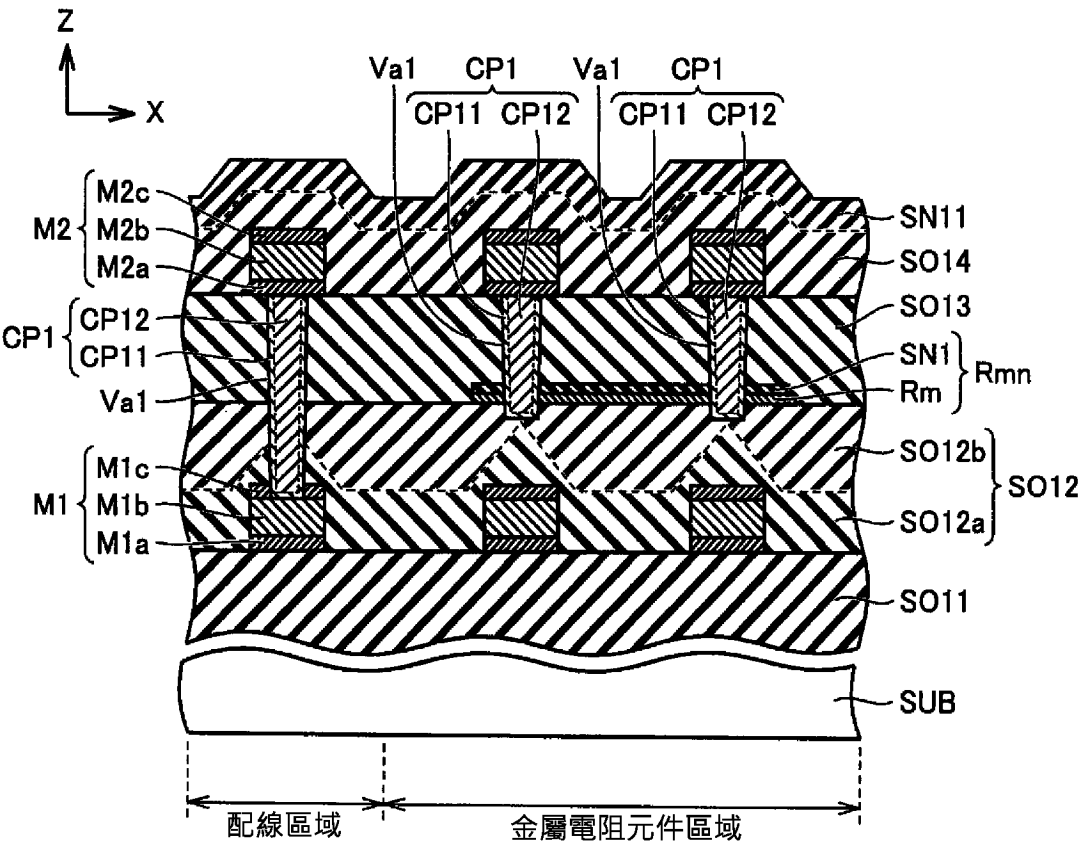


圖 12

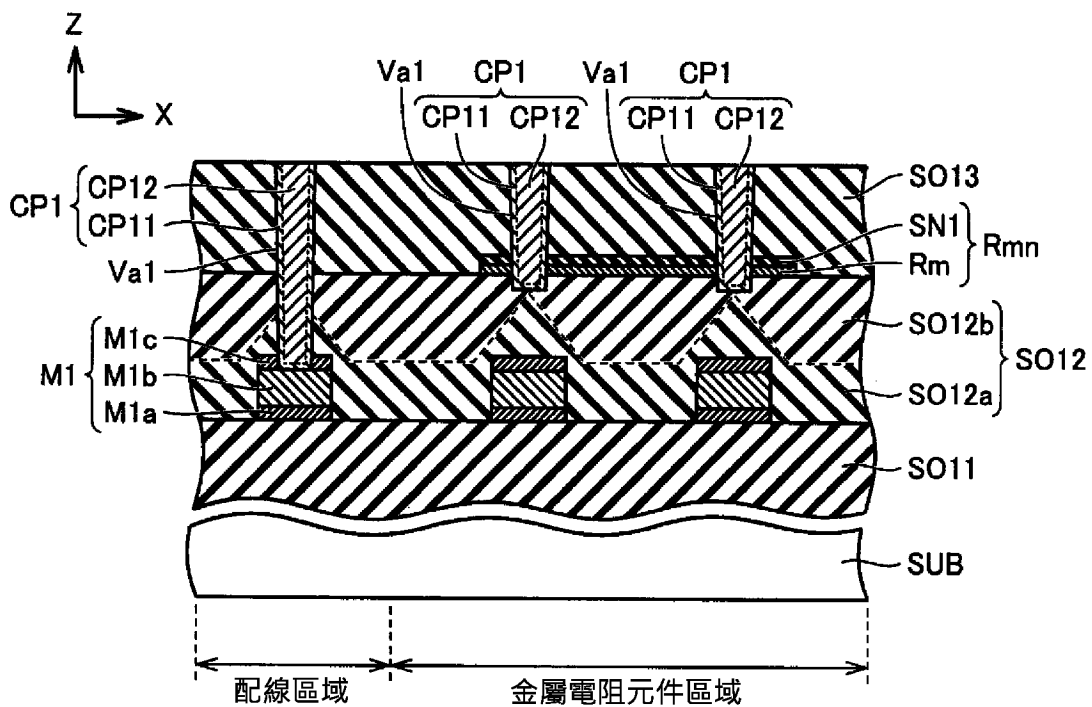


圖 13

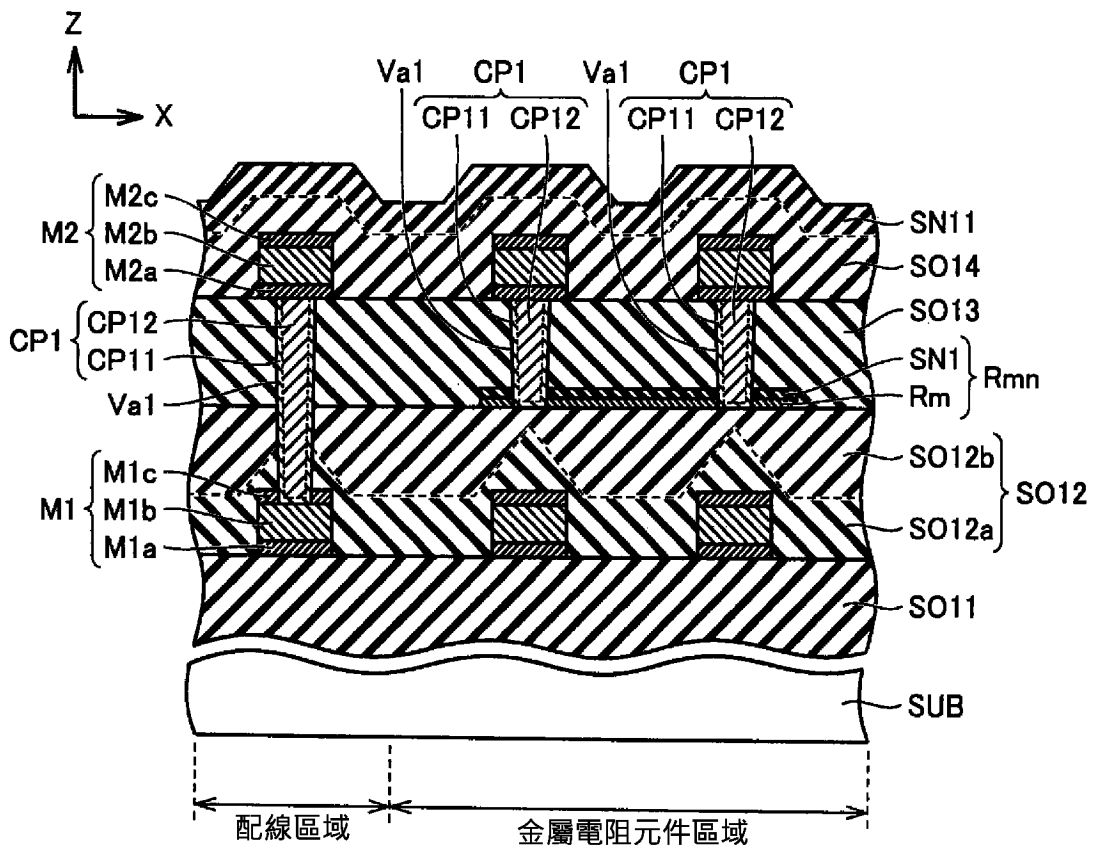


圖 14

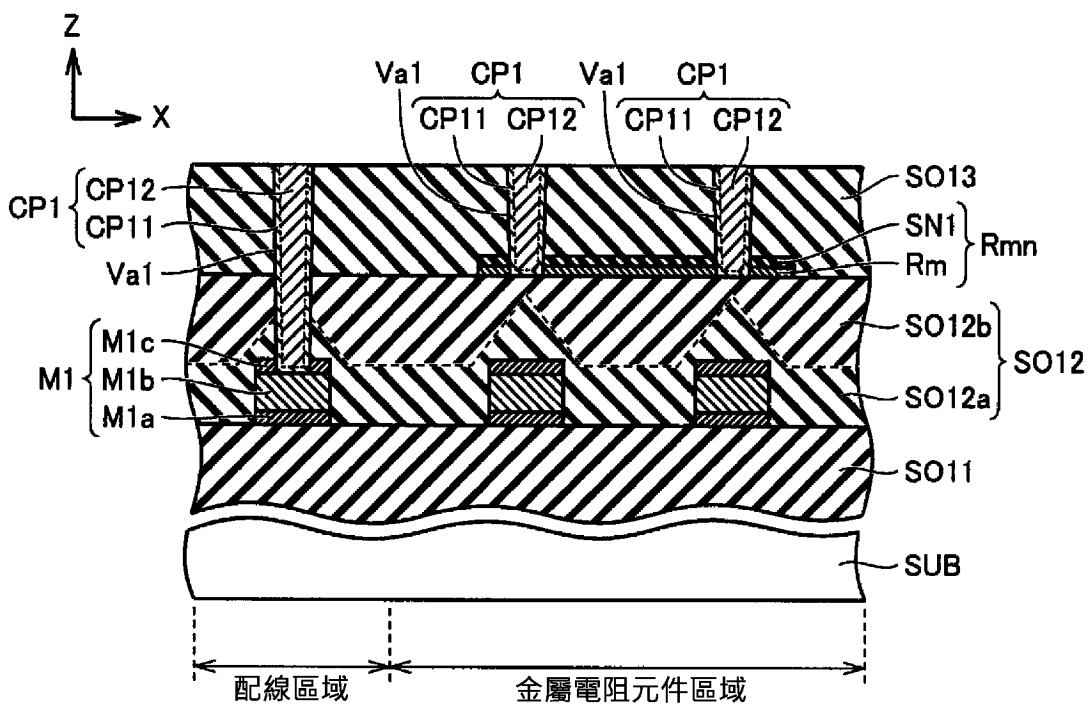


圖 15

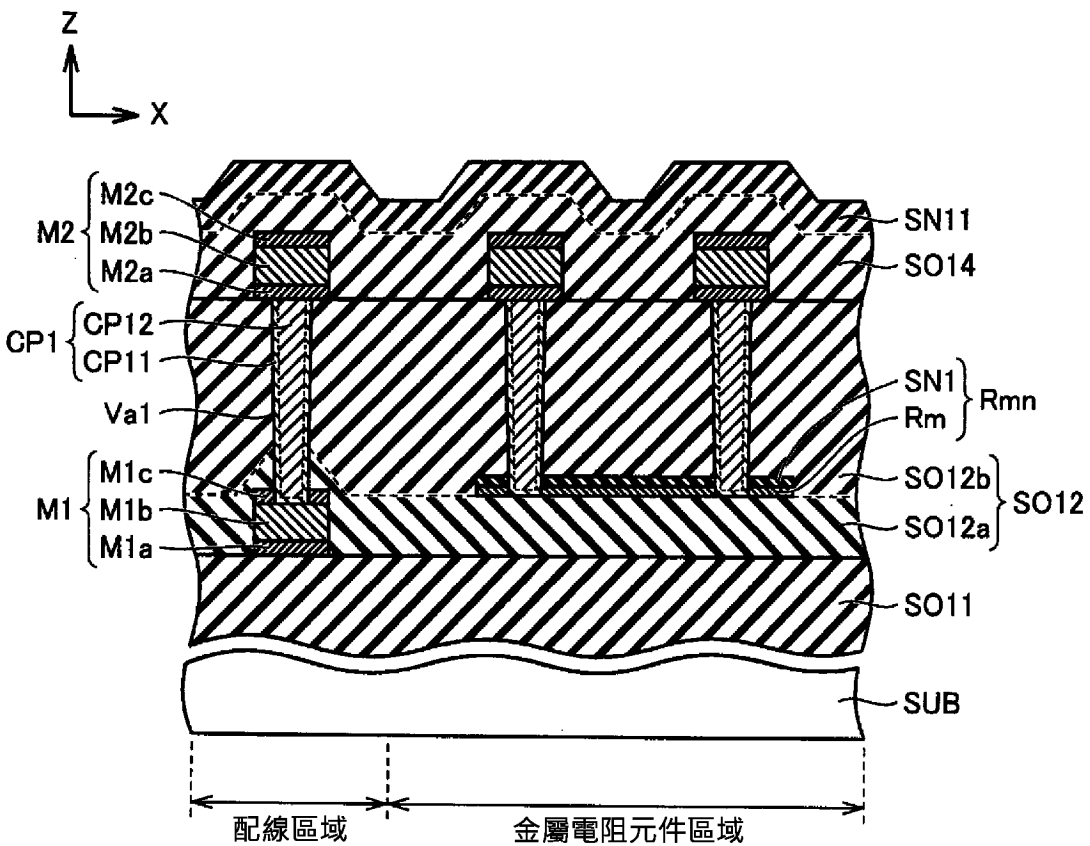


圖 16

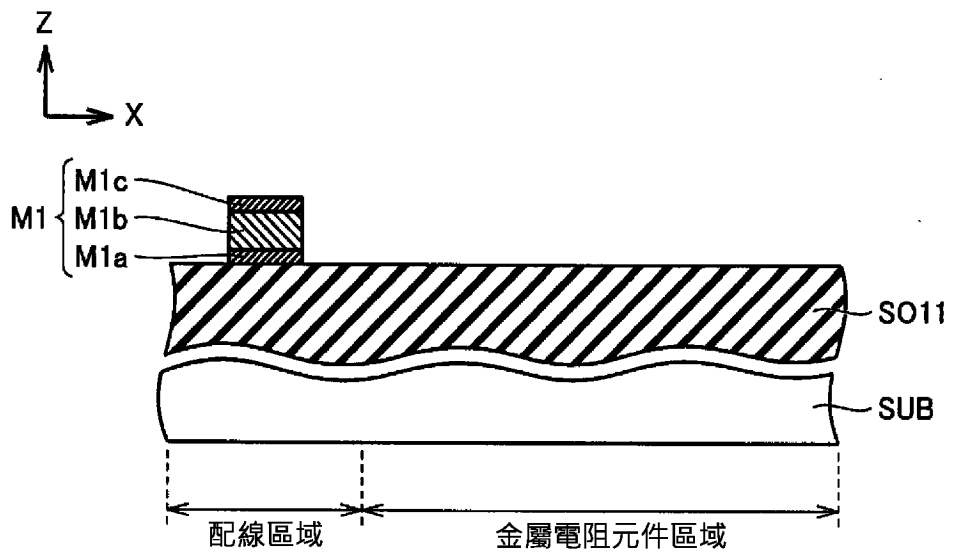


圖 17

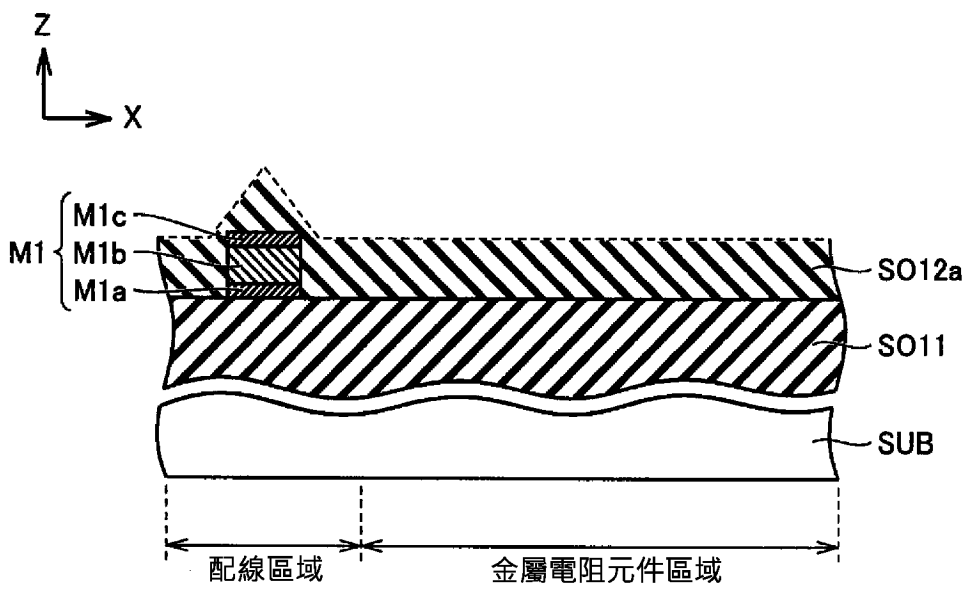


圖 18

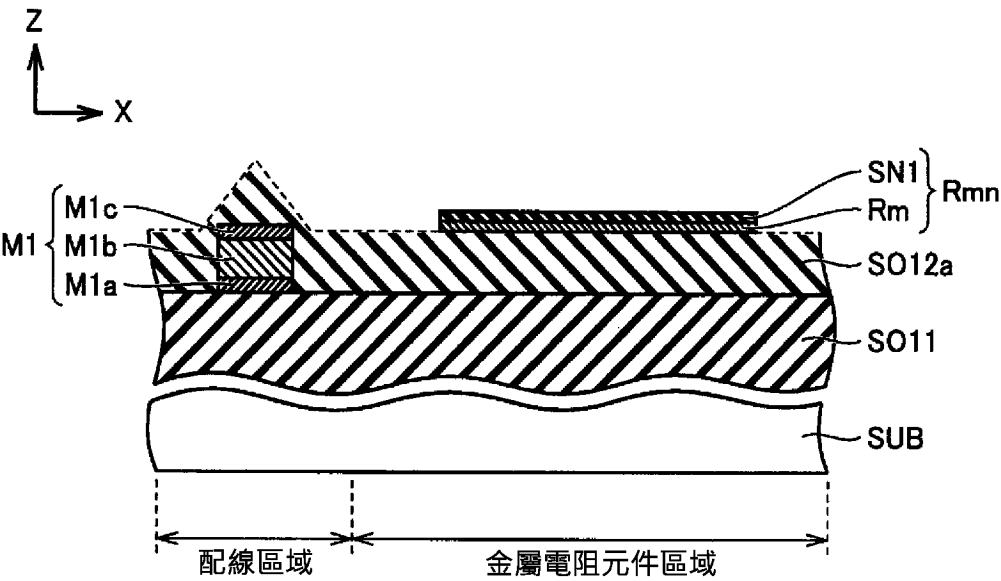


圖 19

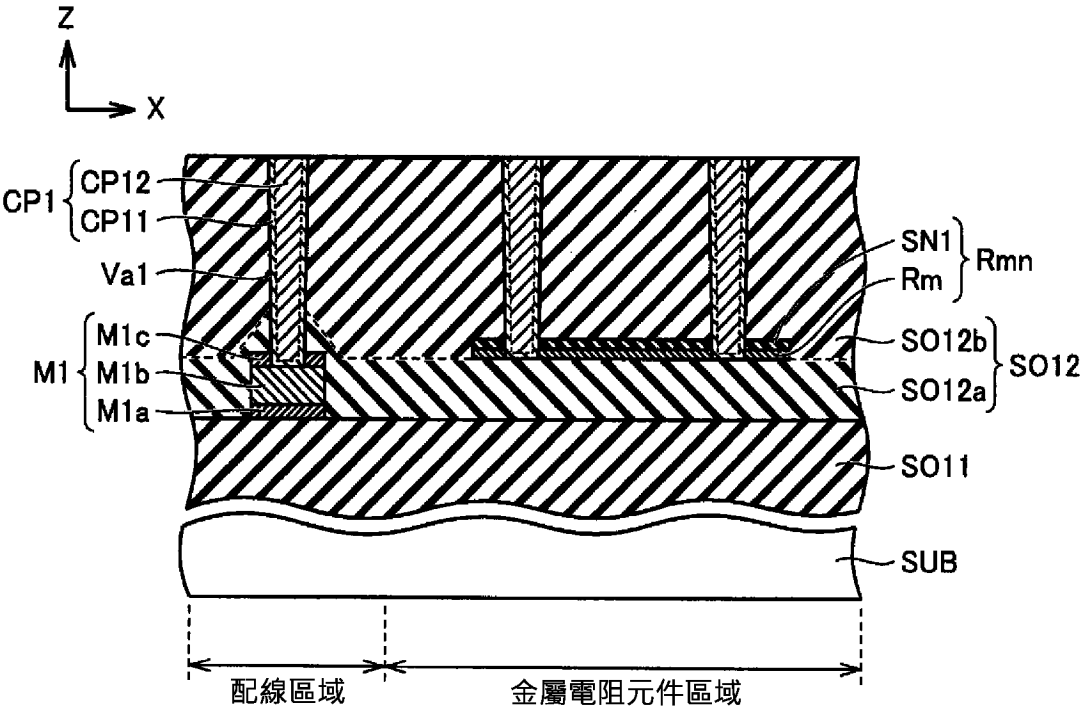


圖 20

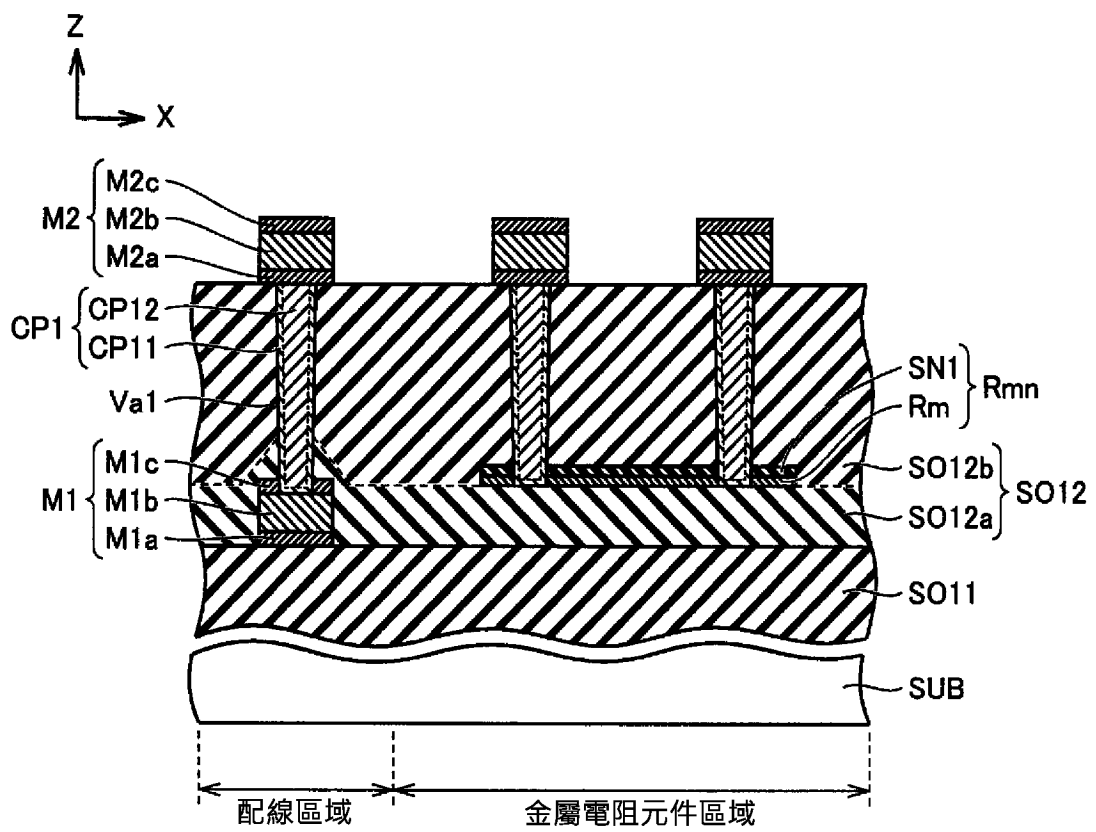


圖 21

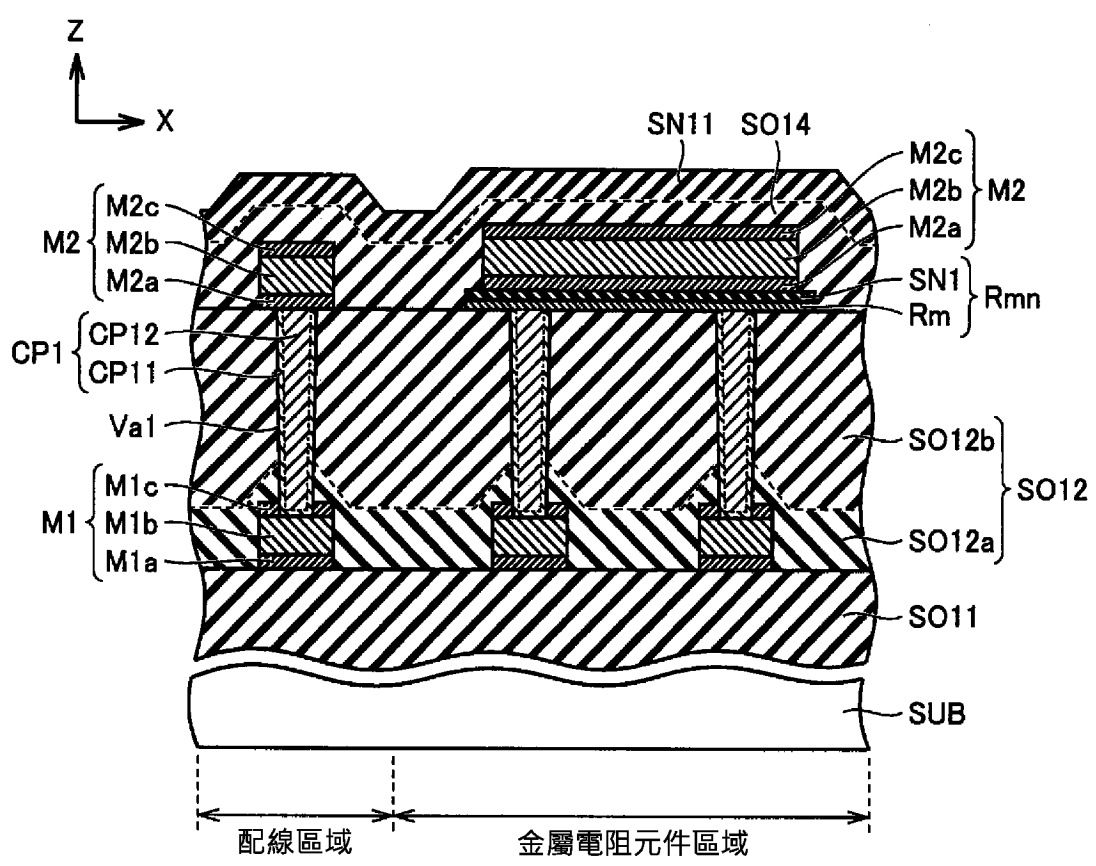


圖 22

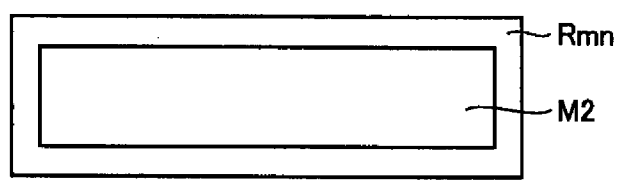


圖 23

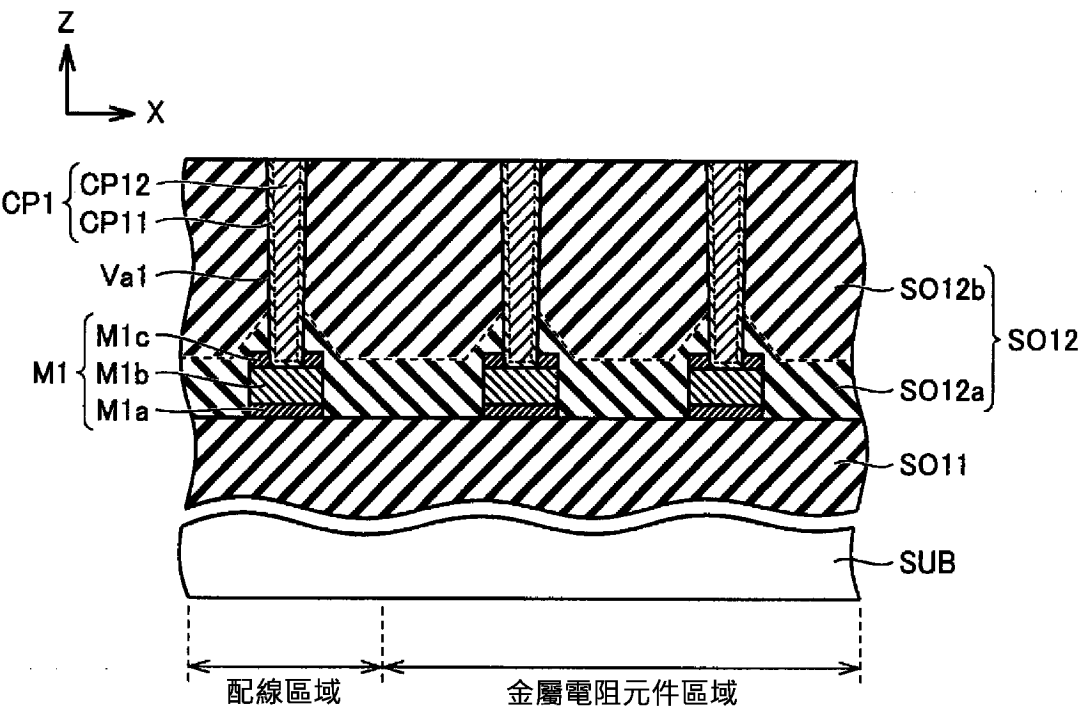


圖 24

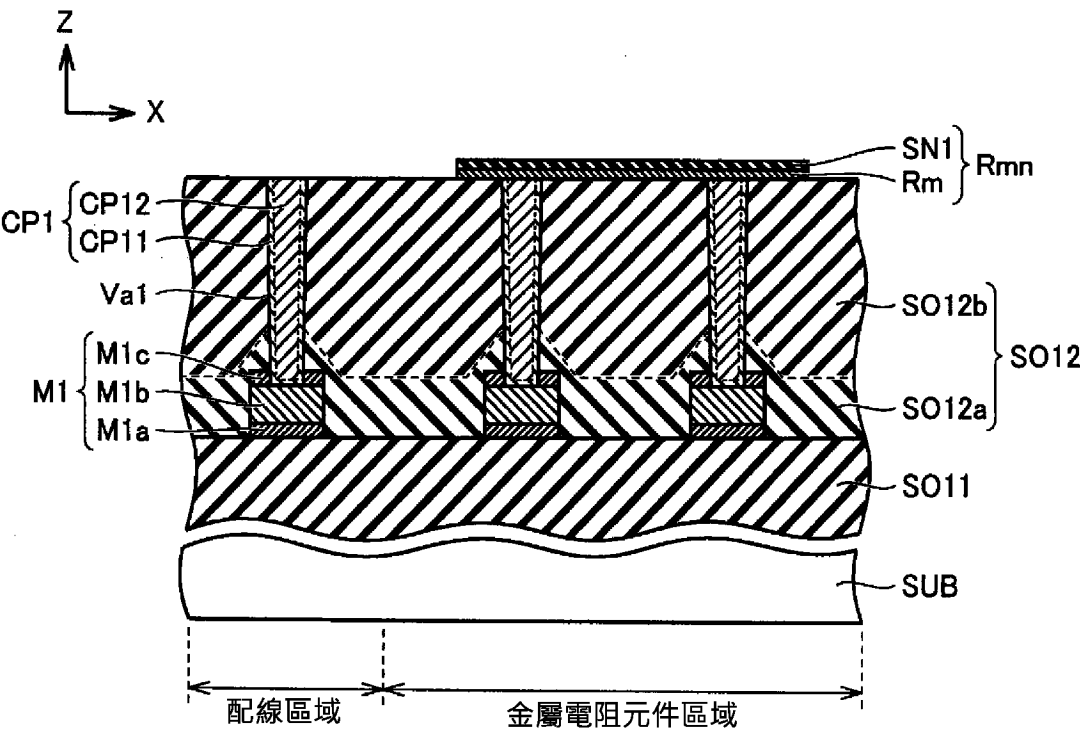


圖 25

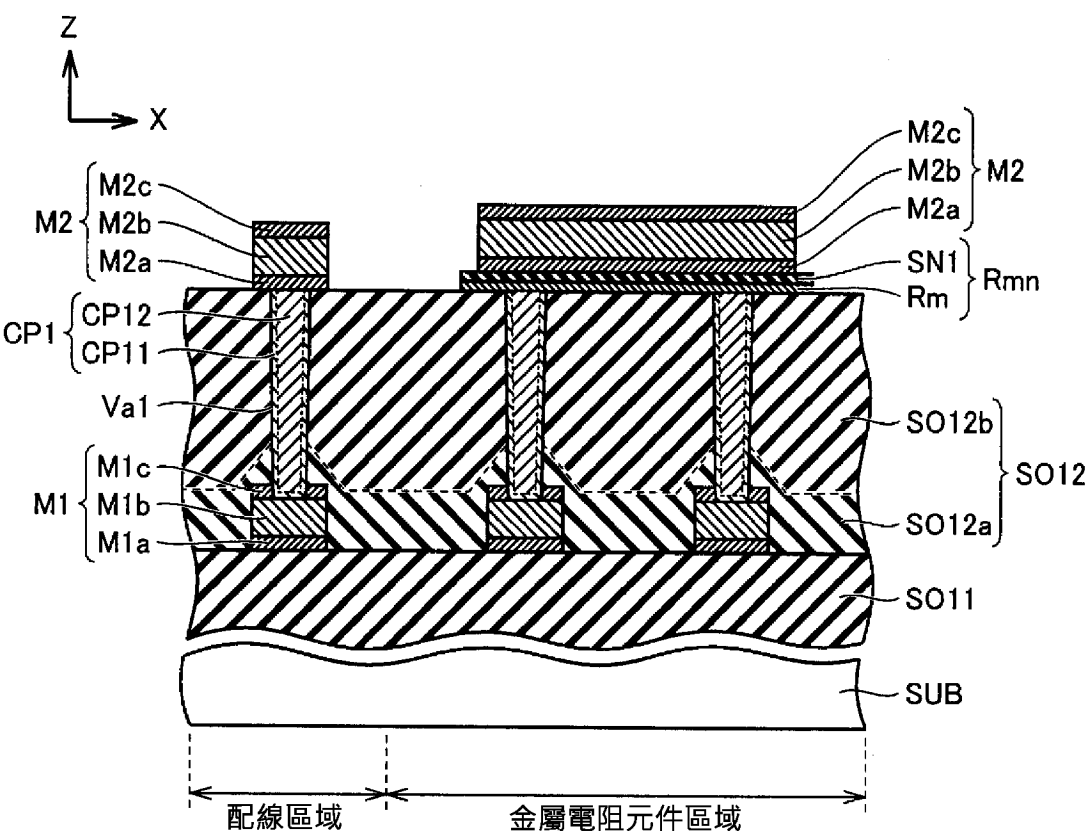


圖 26

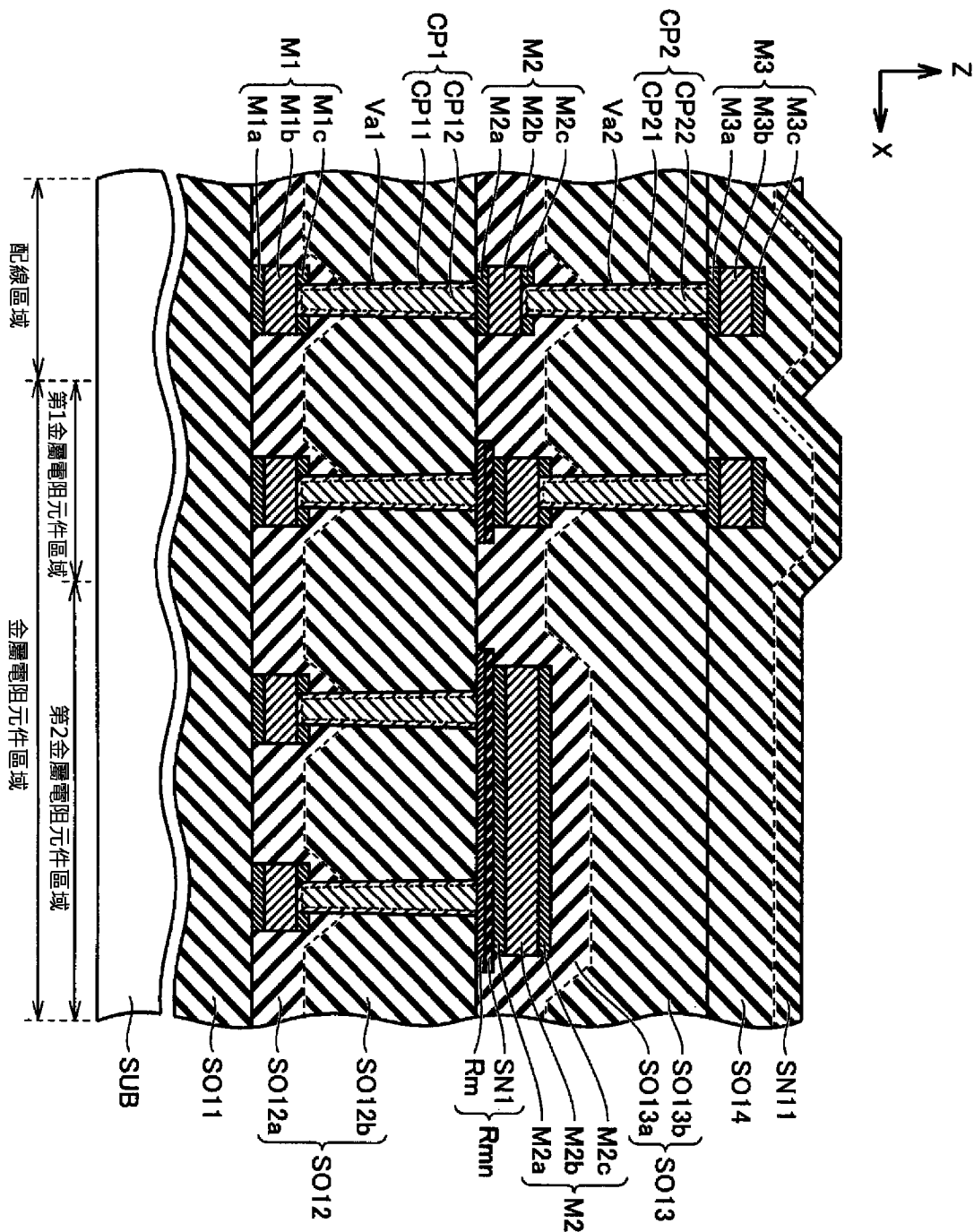


圖 27

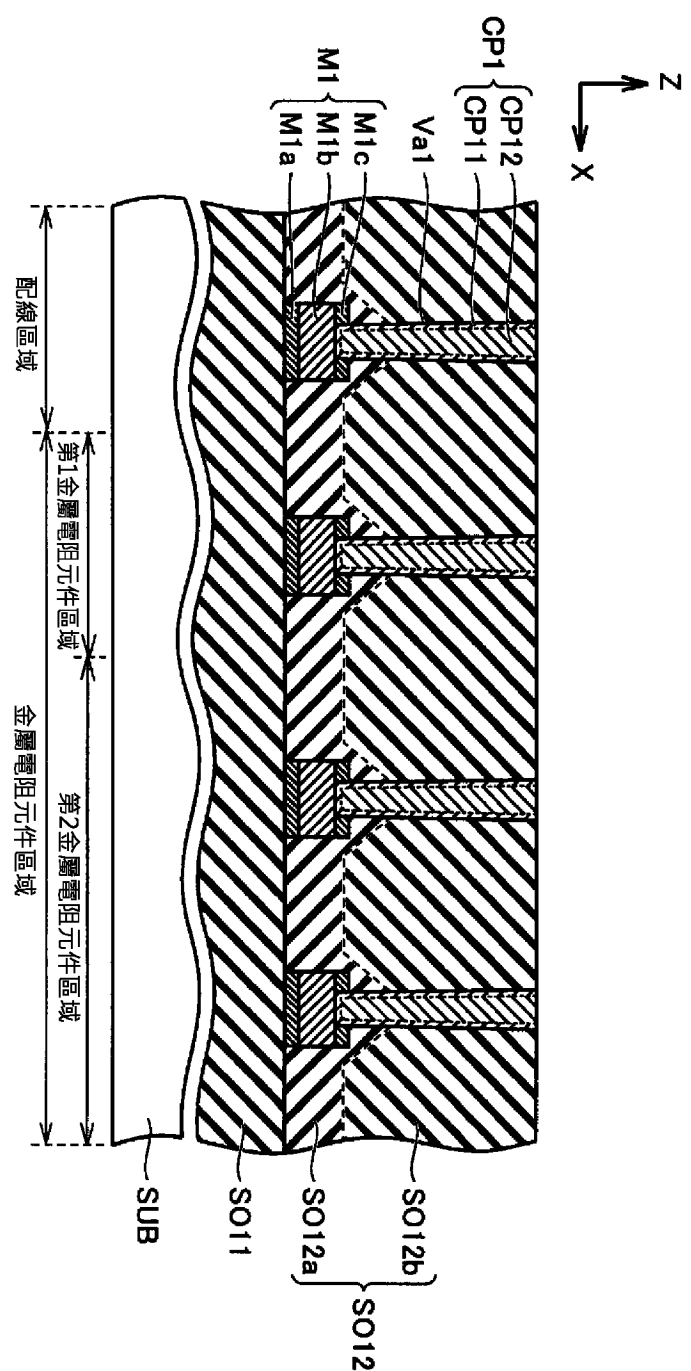
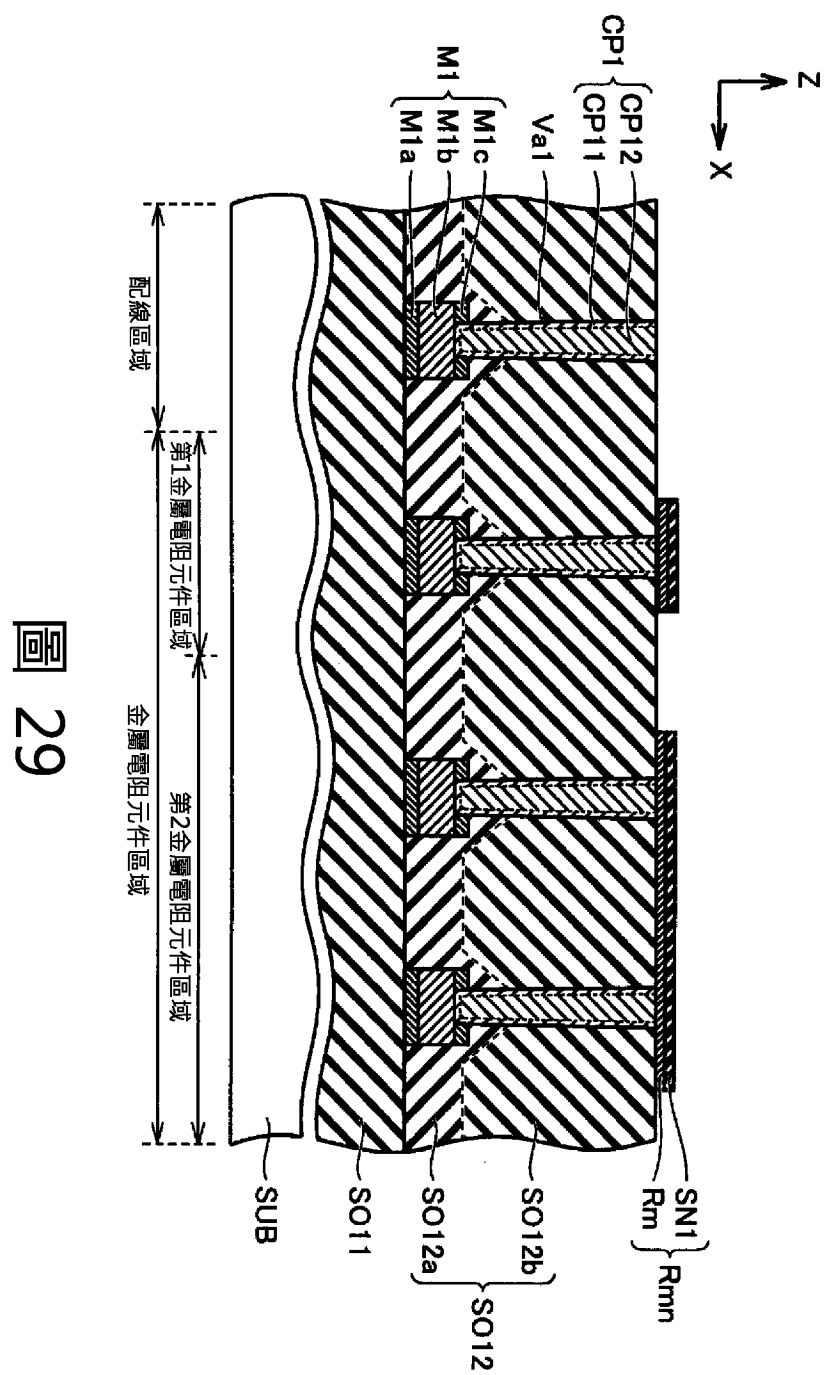


圖 28



29

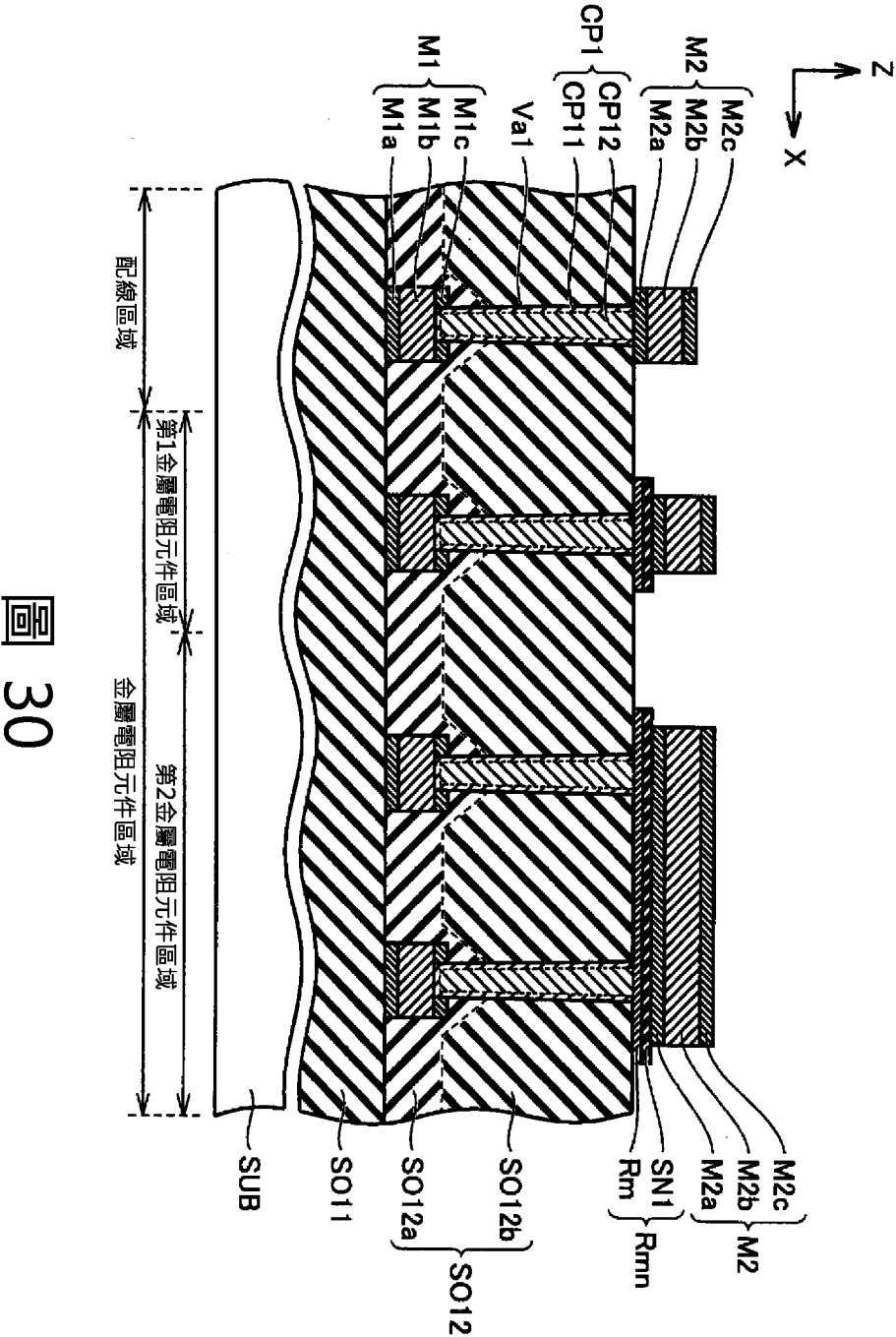


圖 30

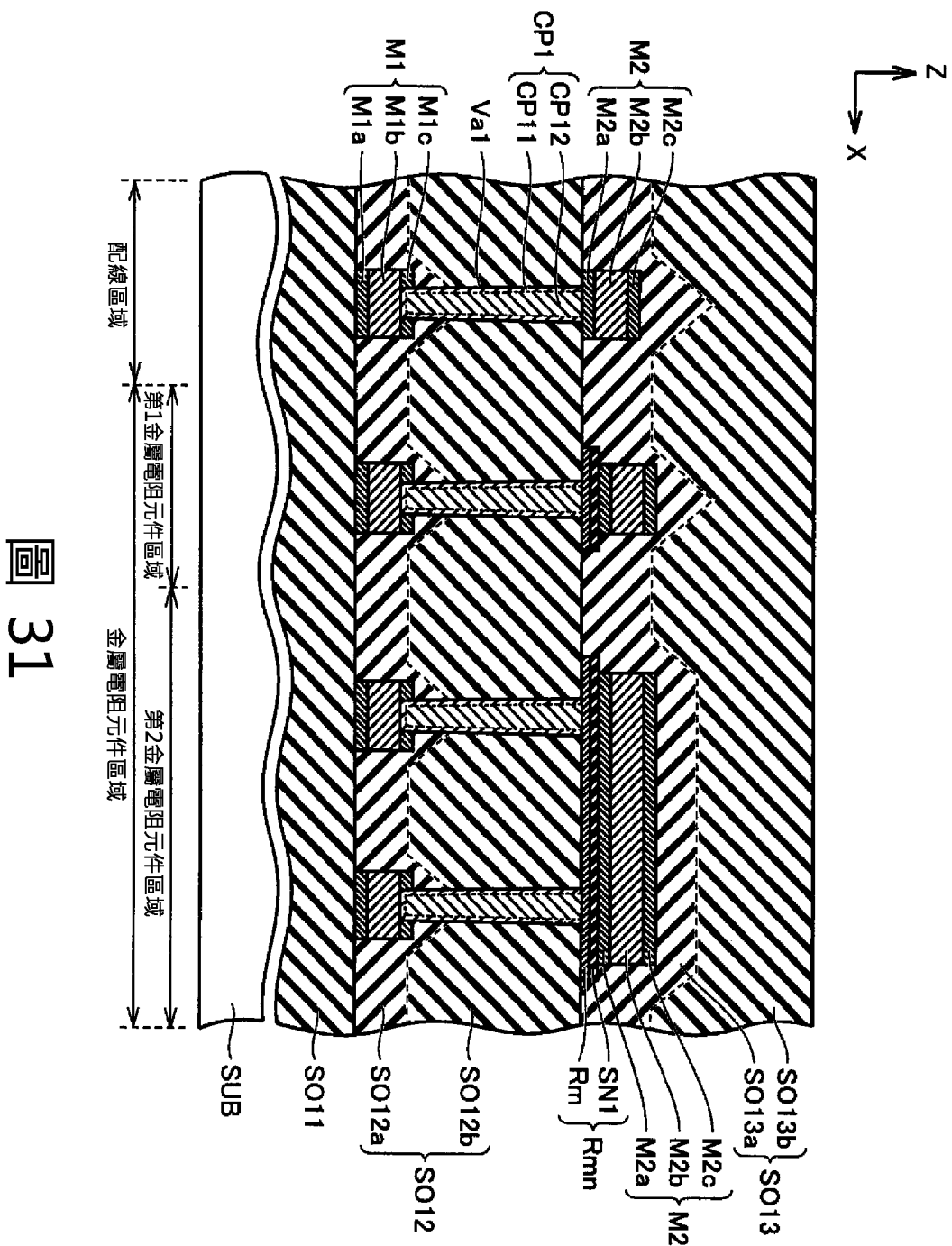


圖 31

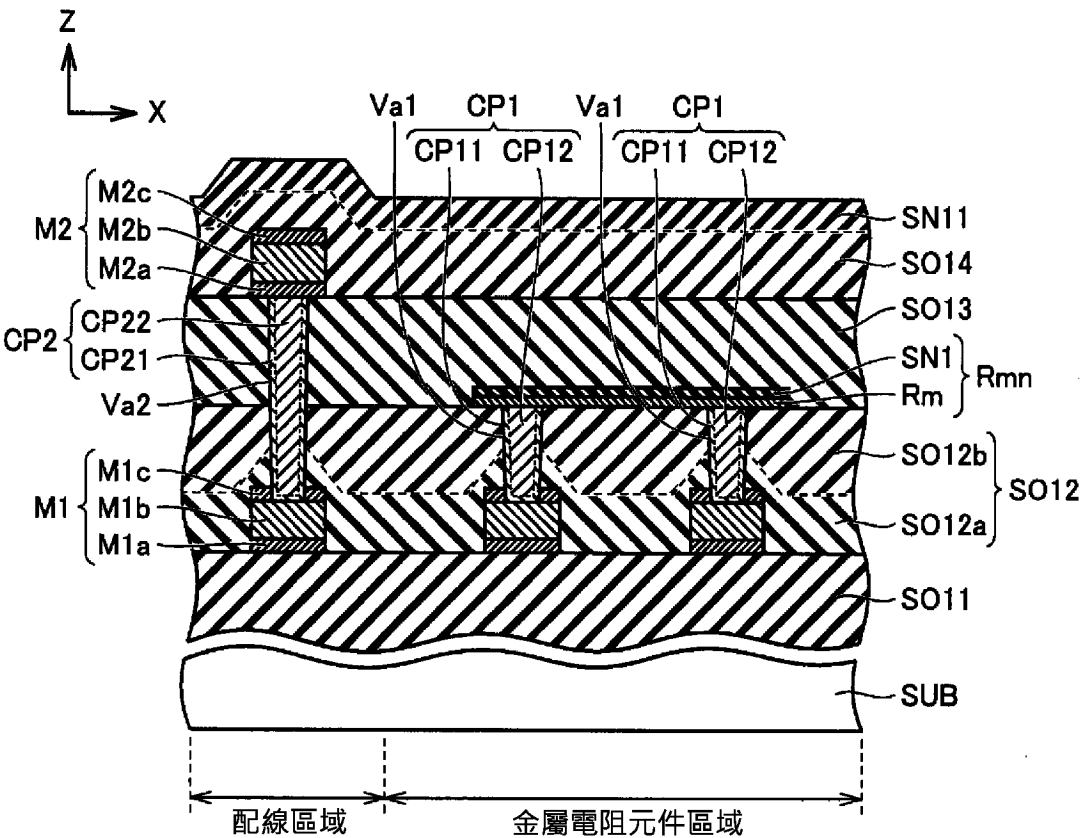


圖 32

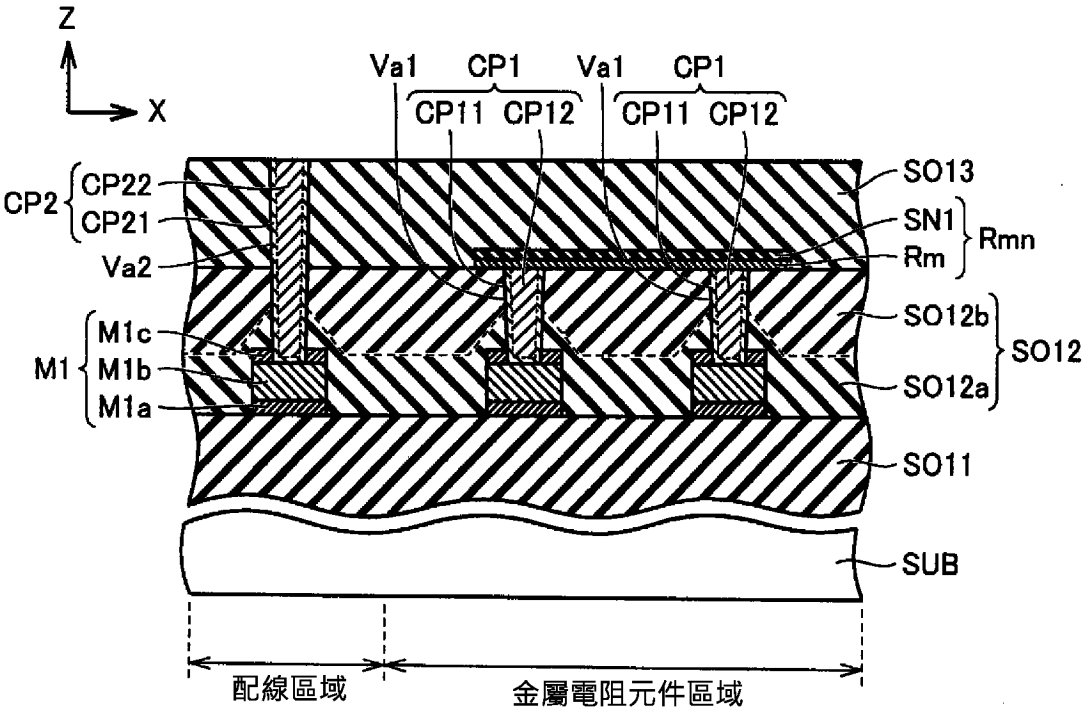


圖 33



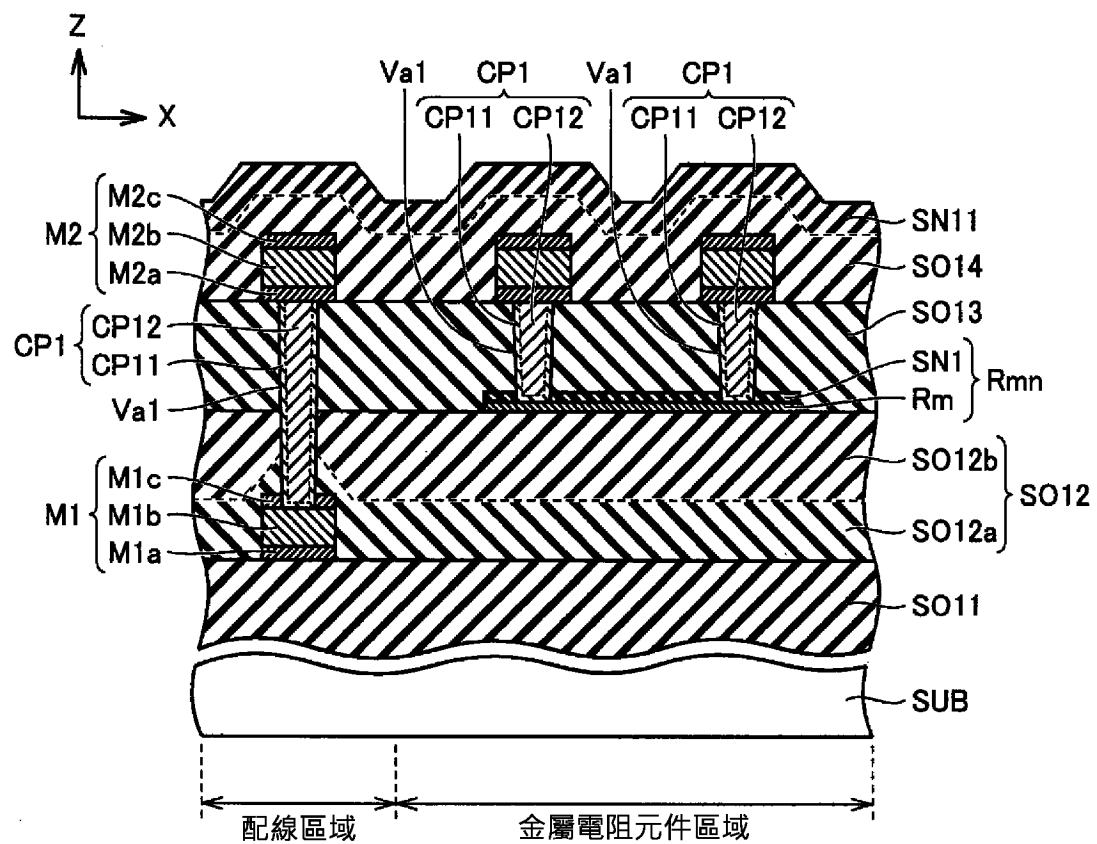


圖 35

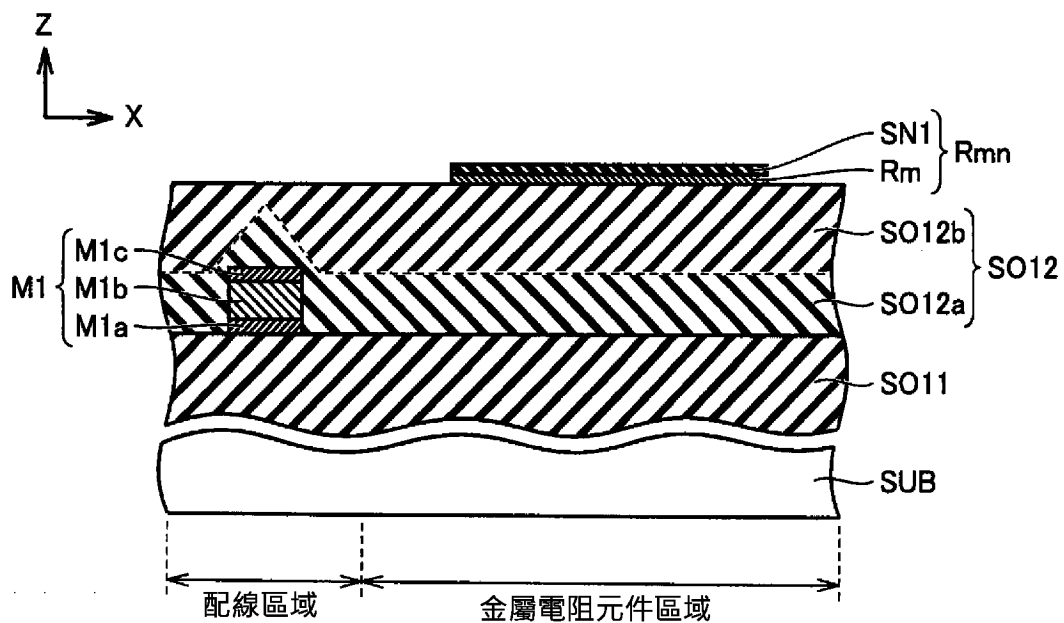


圖 36

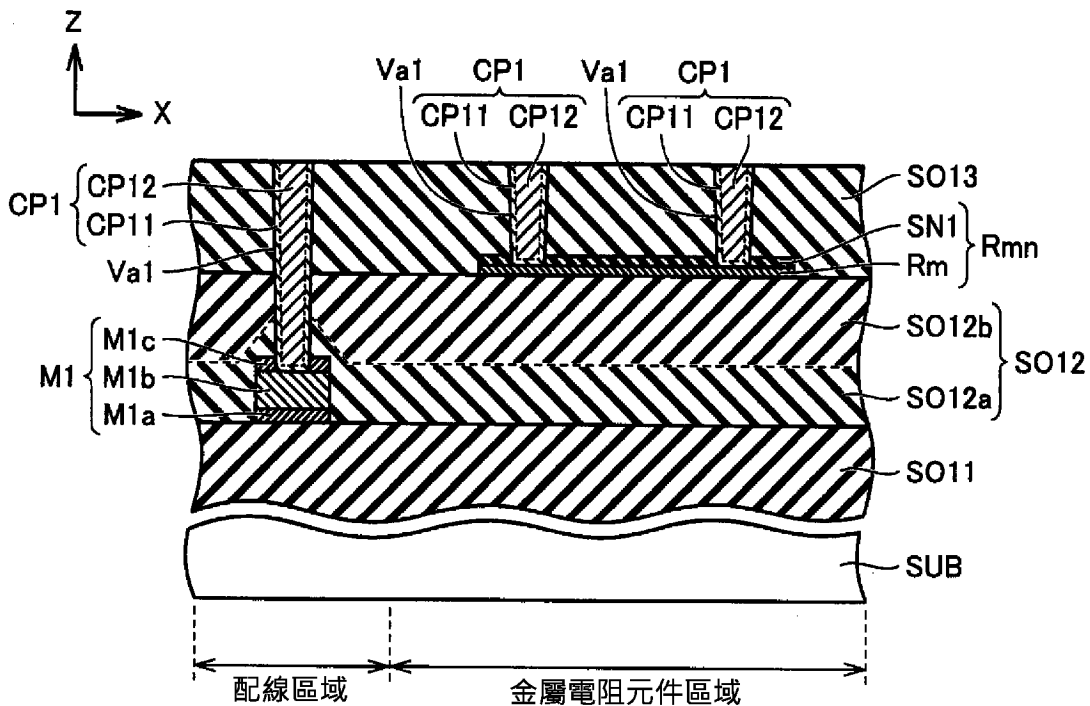


圖 37

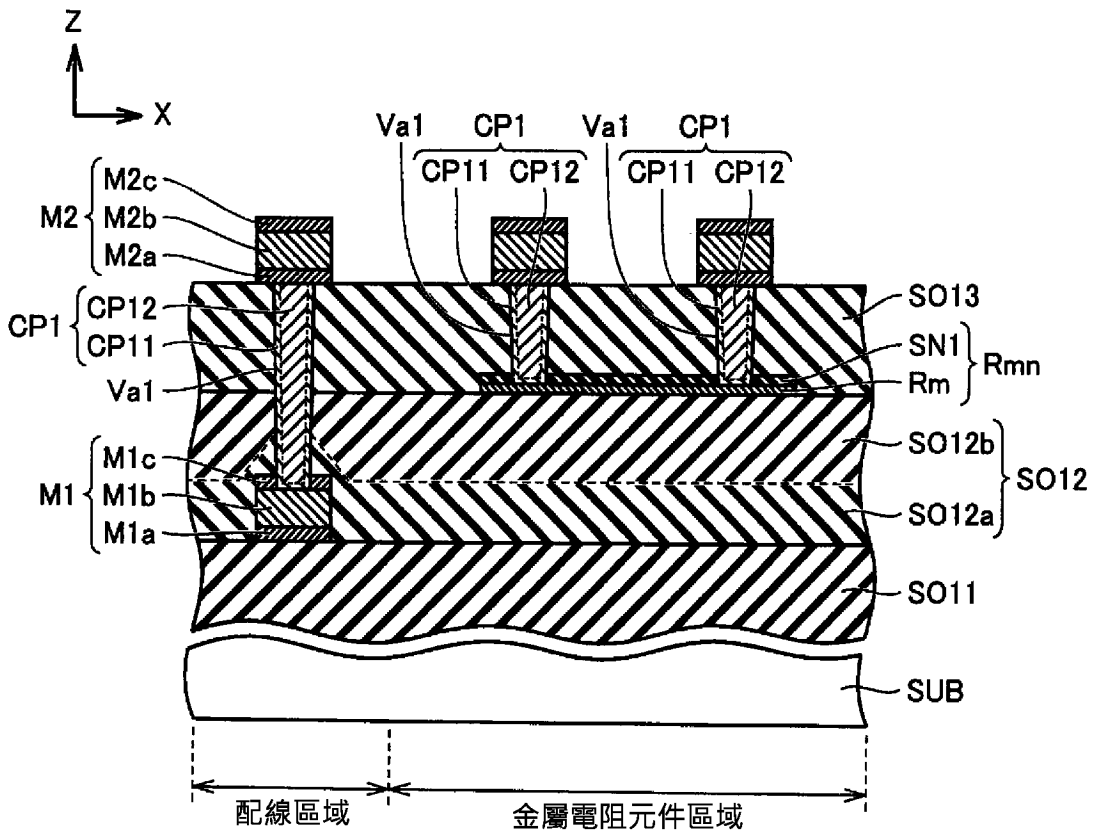


圖 38

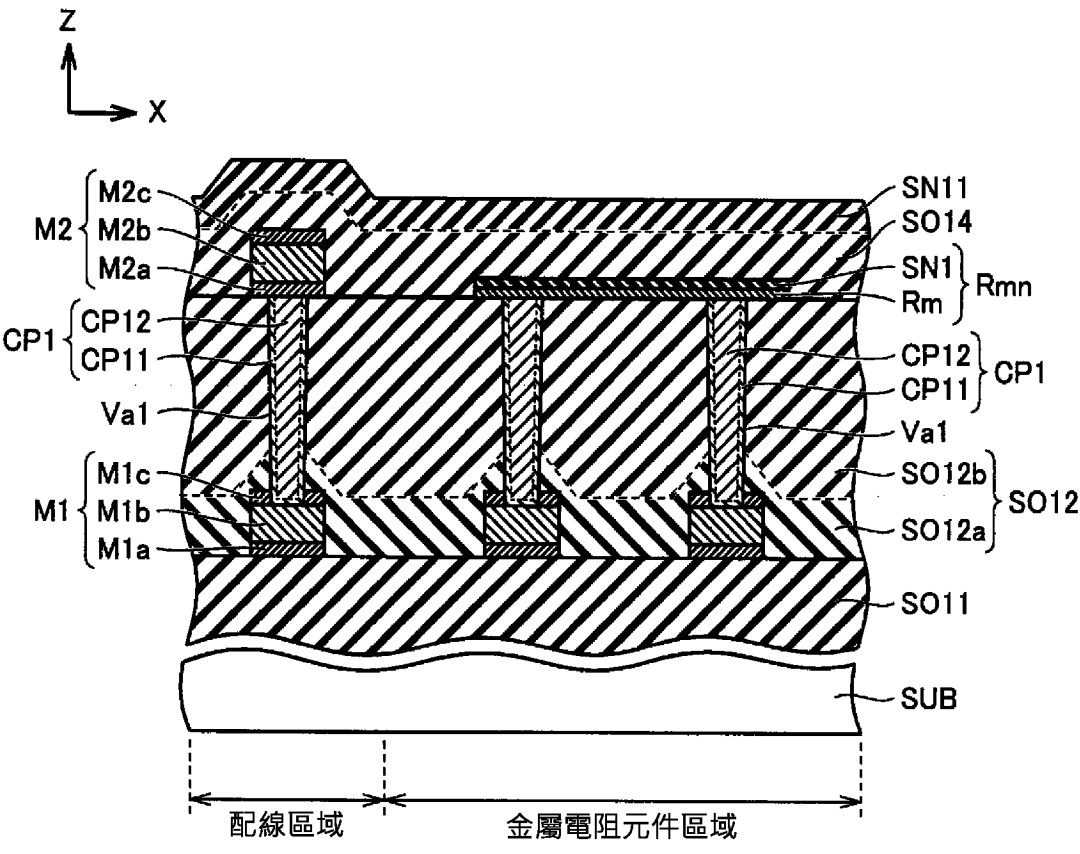


圖 39

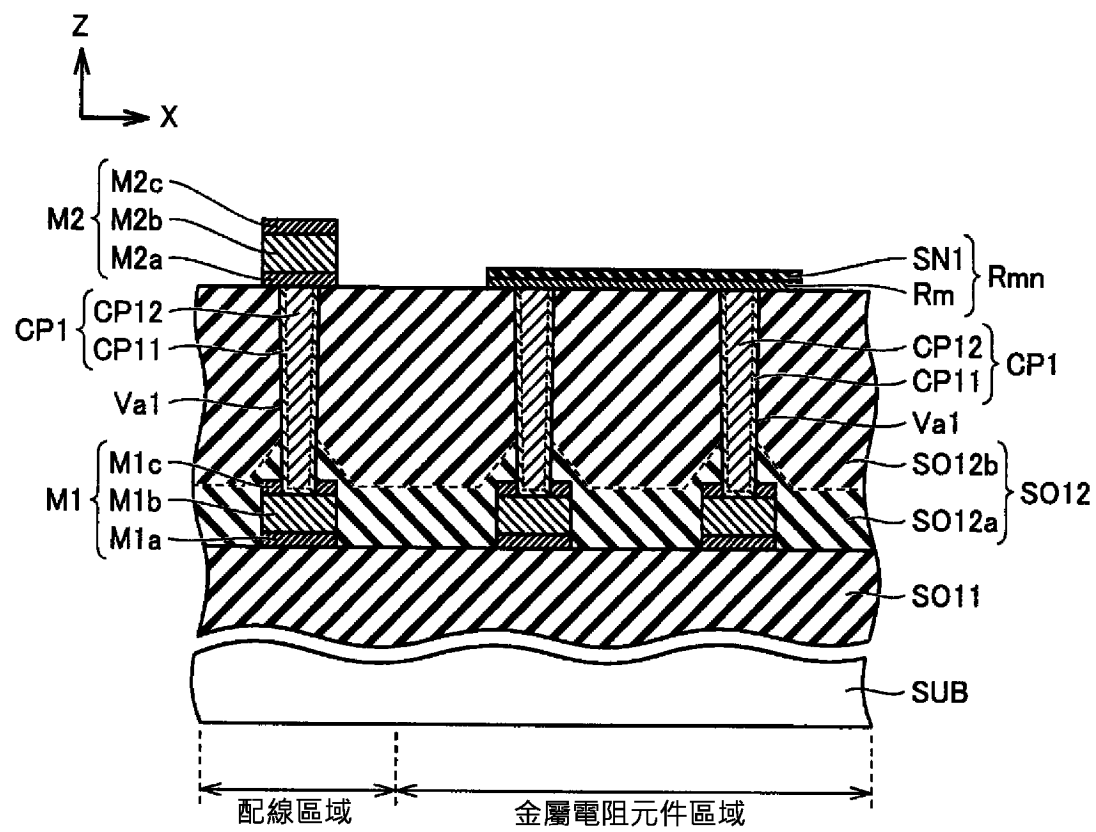


圖 40

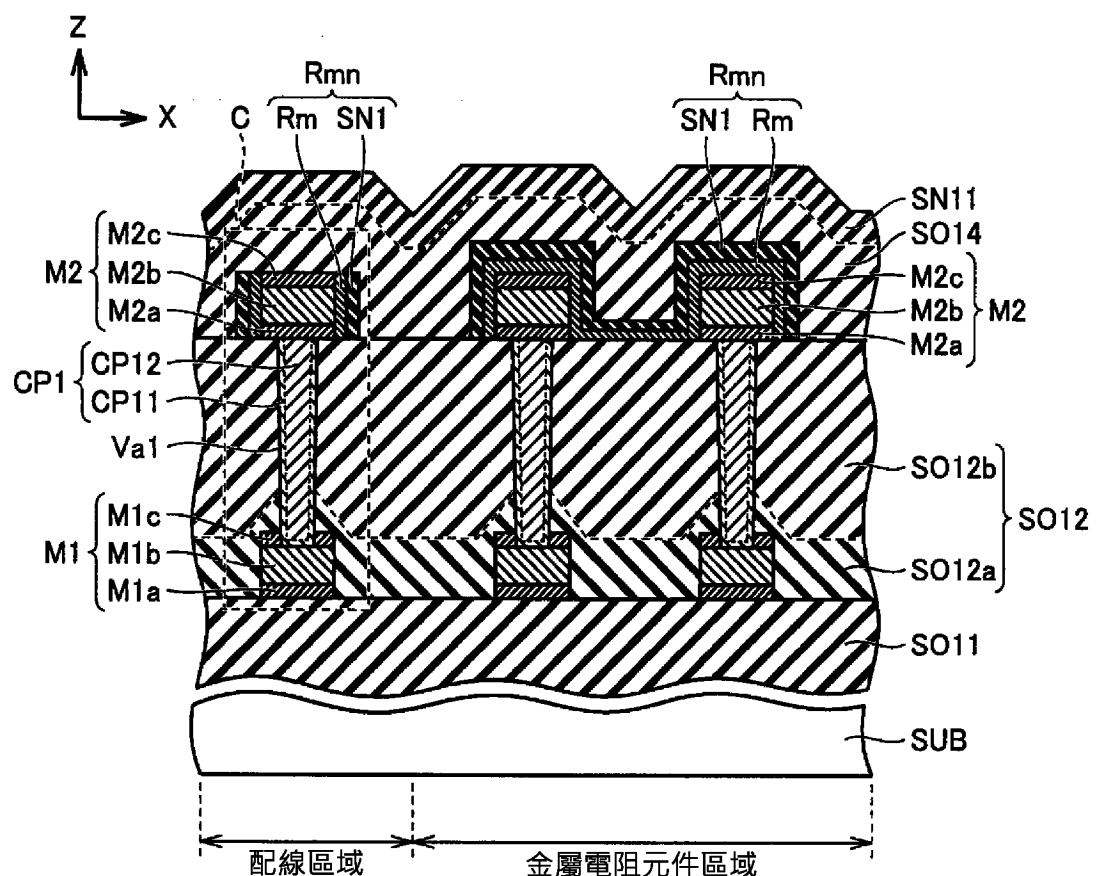


圖 41

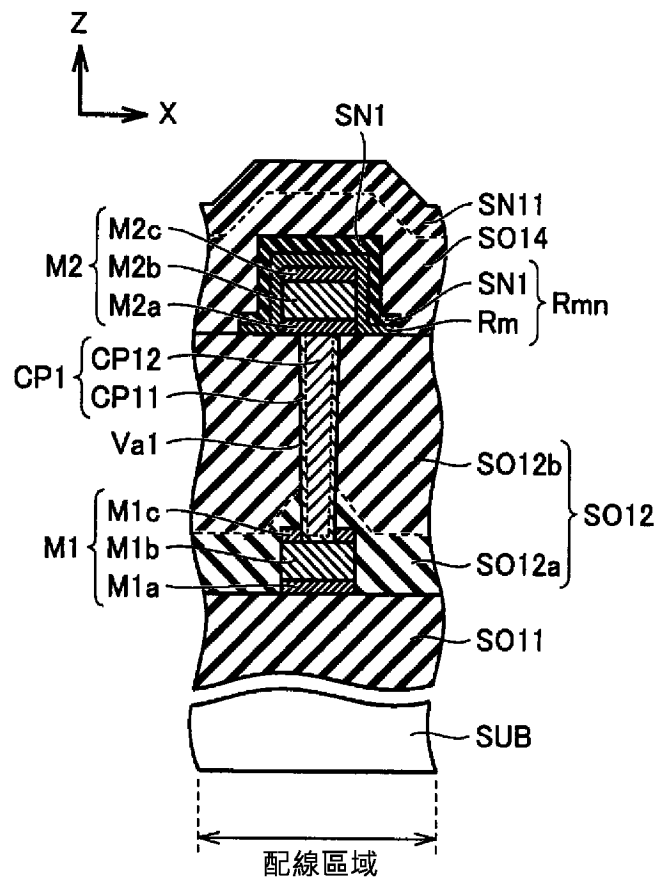


圖 42

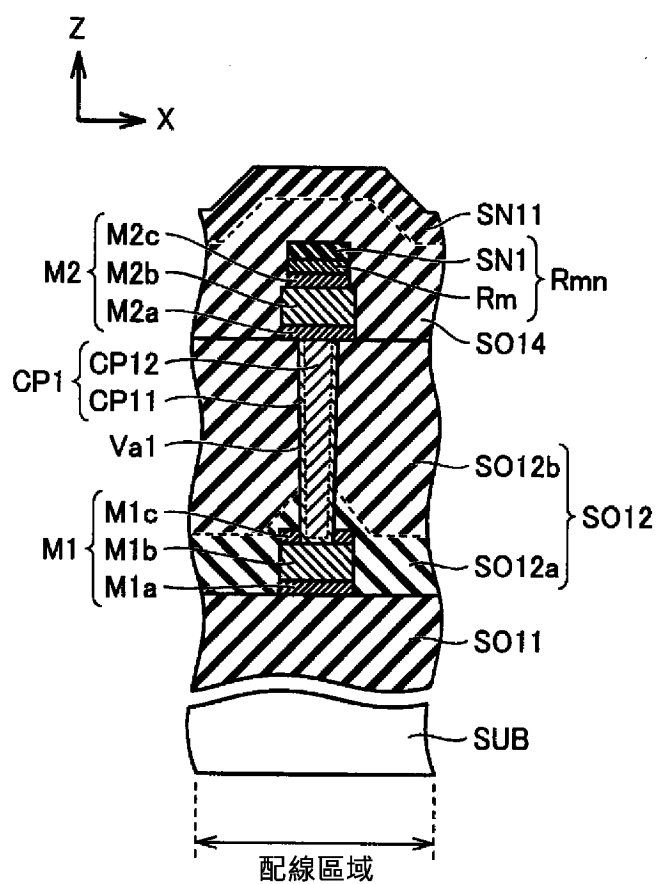


圖 43

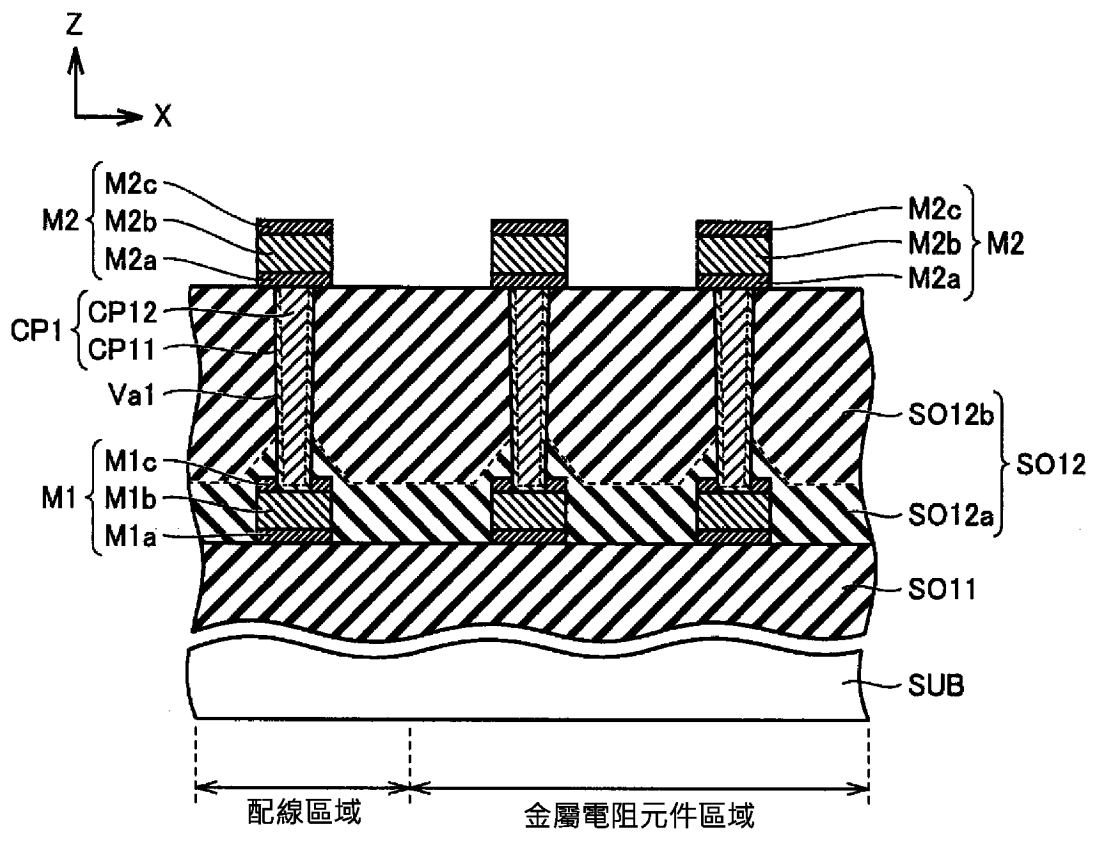


圖 44

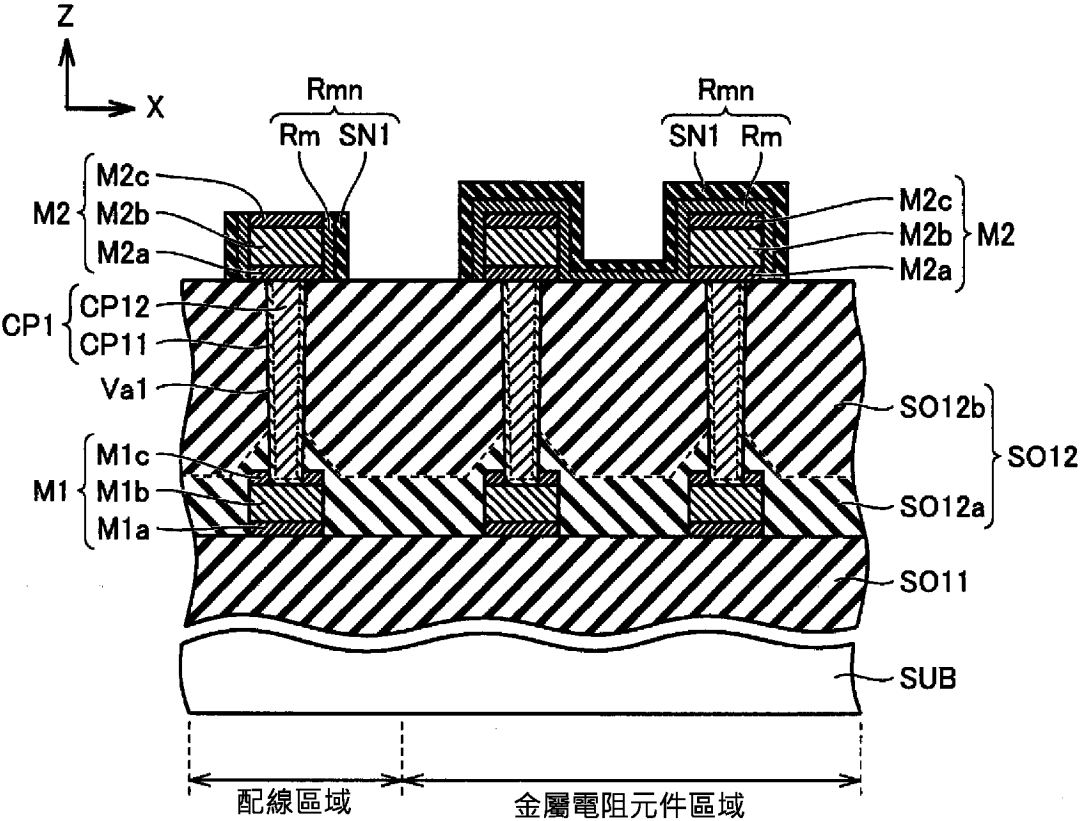


圖 45

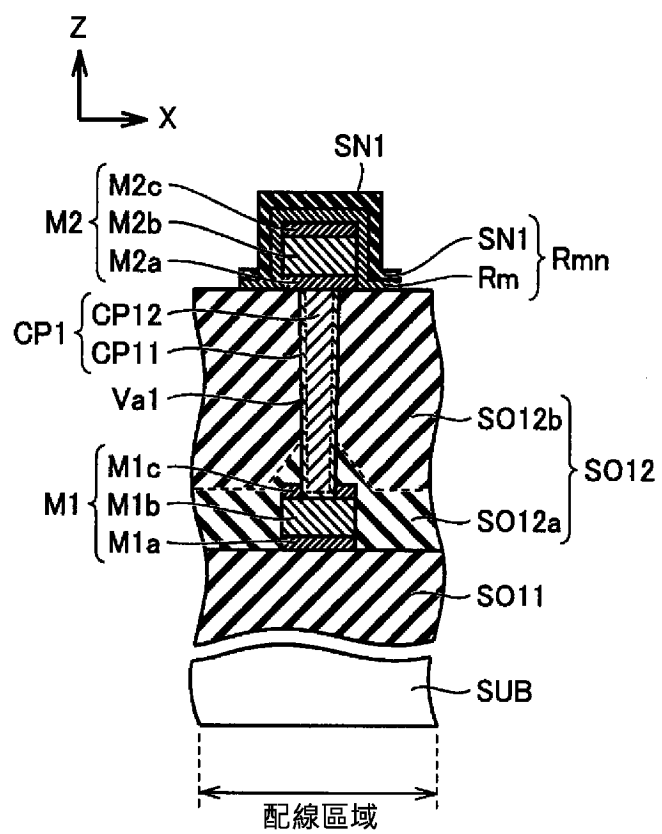


圖 46

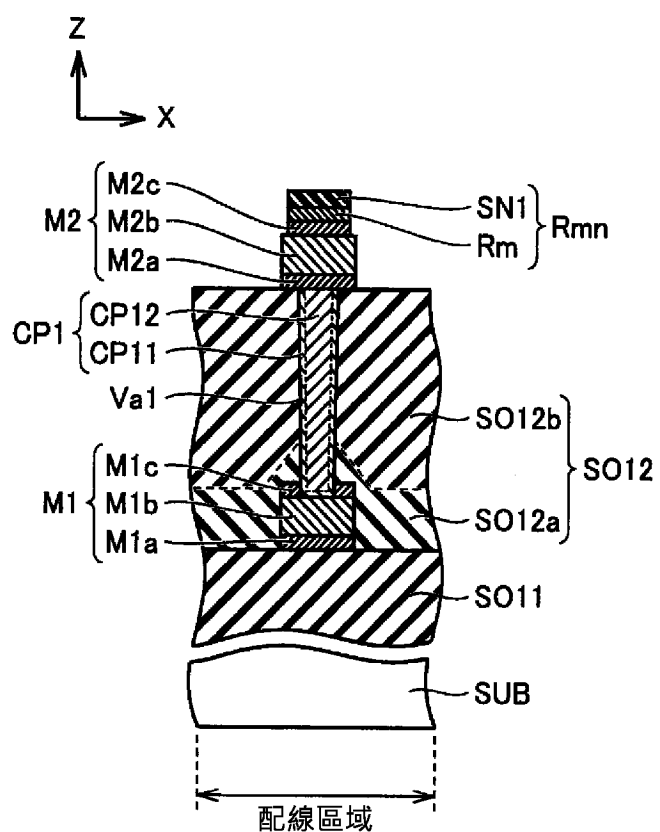


圖 47

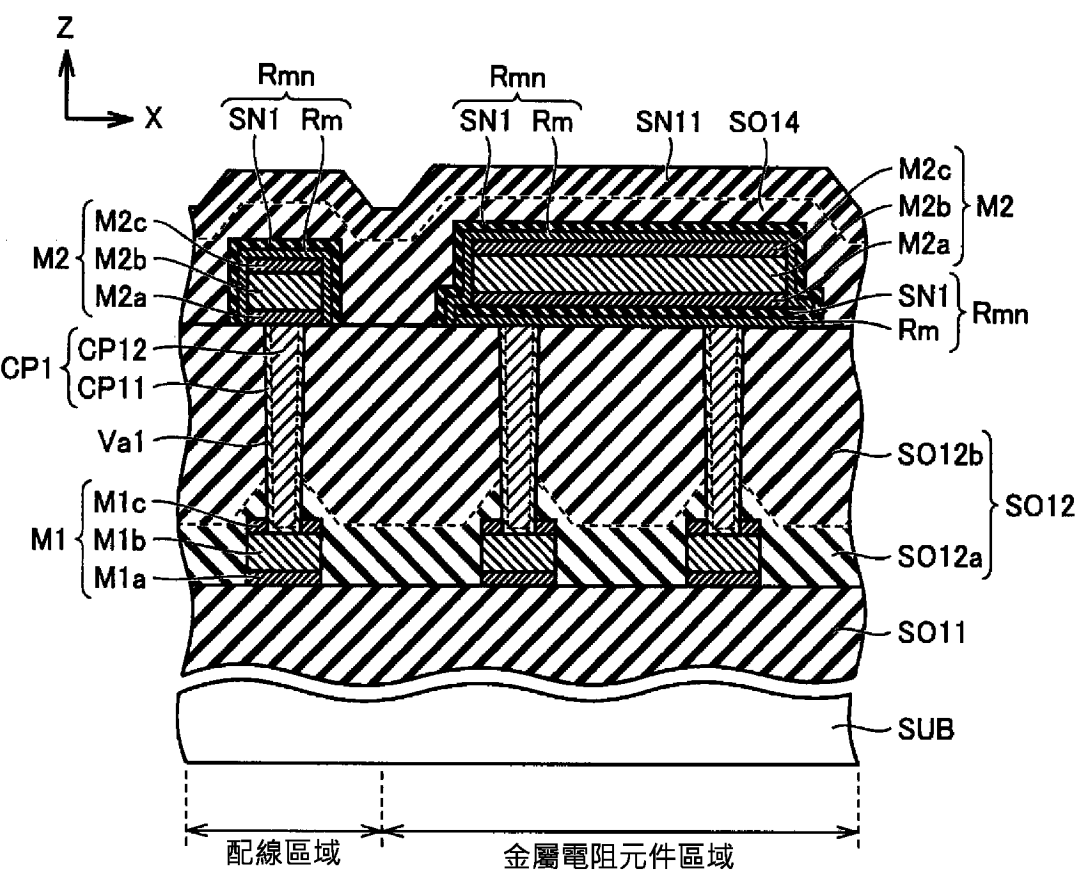


圖 48

【發明說明書】

【中文發明名稱】 半導體裝置

【英文發明名稱】 SEMICONDUCTOR DEVICE

【技術領域】

【0001】

本發明係關於一種半導體裝置，特別是關於一種具有金屬電阻元件層的半導體裝置。

【先前技術】

【0002】

以往，微電腦產品與振盪器為個別獨立的構造，然而近年來，演變成在微電腦晶片內建振盪器，以達到布局面積縮小、成本降低等目的。在微電腦晶片內建振盪器，仍必須可在所有環境下（電壓、溫度）輸出穩定的振盪頻率，因此微電腦產品的高速OCO（On Chip Oscillator，晶片內建振盪器）電路的目標精度，例如要求達到 $40\text{MHz}\pm 1\%$ 。

【0003】

在此，作為類比電路的高速OCO（On Chip Oscillator）電路內的定電流產生電路的電阻器，使用多晶矽電阻。然而，多晶矽電阻因為所謂的壓阻效應，其電阻值會因為應力而變動。尤其是封裝步驟之後的模具應力所導致的電阻值的變動程度非常顯著。因此，吾人認為會發生高速OCO電路的頻率變動程度變大，欲達到高速OCO電路的目標精度變困難的情況。

【0004】

微電腦產品的高速OCO電路，通常係由所謂的多層配線構造所形成，電阻器大多形成在多層配線構造的最上層。因此電阻器的頂面被保護膜直接覆蓋，容易從保護膜承受應力。從防止因為來自該保護膜的應力而使電阻值產生差異的觀點來看，在多層配線構造的最上層的下側之層形成電阻器的技術，例如揭示於日本特開2001－267320號公報、日本特開2011－155192號公報、日本特開2008－130918號公報。

【0005】

在日本特開2001－267320號公報中，利用從電阻器的上方的配線層延伸到電阻器的導電層（埋入接觸孔），使配線層與電阻器電連接。相反地，在日本特開2011－155192號公報中，利用從電阻器向其下方延伸的導電層（接觸栓塞），使電阻器與其下方的配線層電連接。

【0006】

然而在日本特開2001－267320號公報、日本特開2011－155192號公報中，以及在並無上述導電層之電連接的日本特開2008－130918號公報中，針對使用同一遮罩同時形成用來與形成在比最上層更下側之層的電阻器電連接的導電層以及用來連接非電阻器的各配線層之間的導電層的想法，均未揭示。若不考慮像這樣以同一遮罩同時形成電阻器用的導電層以及非電阻器的配線層用的導電層，則可能必須以不同的遮罩形成電阻器用的導電層以及非電阻器的配線層用的導電層。如是步驟會變得非常繁雜，製造成本可能會提高。

【0007】

其他的問題與新穎性特徵，根據本說明書的記述以及所附圖式應可明瞭。

【發明內容】**【0008】**

本發明之一實施態樣的半導體裝置具備：複數個第1配線層、第1絕緣膜、第2絕緣膜、複數個第2配線層、金屬電阻元件層以及複數個導電層。複數個第1配線層，配置在基板的主表面上。第1絕緣膜，以覆蓋複數個第1配線層的頂面的方式配置。第2絕緣膜，以覆蓋第1絕緣膜的頂面的方式配置。複數個第2配線層，配置在第2絕緣膜上。金屬電阻元件層，配置在第1絕緣膜的頂面上且複數個第2配線層的其中至少1個第2配線層的正下方。複數個導電層，分別從複數個第2配線層沿著與主表面交叉的方向往金屬電阻元件層延伸。金屬電阻元件層包含金屬配線層。複數個導電層的其中至少1個導電層的側面的至少一部分，與金屬配線層連接。

【0009】

本發明之另一實施態樣的半導體裝置具備：至少1個第1配線層、第1絕緣膜、第2配線層、金屬電阻元件層以及複數個導電層。至少1個第1配線層，配置在基板的主表面上。第1絕緣膜，以覆蓋第1配線層的頂面的方式配置。第2配線層，在第1絕緣膜上複數配置。金屬電阻元件層，配置在比複數個第2配線層在與主表面交叉的方向上更靠第1配線層側，且配置在複數個第2配線層的其中至少1個第2配線層的正下方。複數個導電層，分別從複數個第2配線層沿著與主表面交叉的方向往金屬電阻元件層延伸。複數個導電層的其中至少1個導電層，為配置在與金屬電阻元件層在俯視下重疊的金屬電阻元件區域中並從複數個第2配線層之中配置在金屬電阻元件區域的至少1個第2配線層連接到金屬電阻元件

層的電阻元件區域導電層。複數個導電層的其中至少1個導電層，為在非金屬電阻元件區域的配線區域中，從複數個第2配線層的其中至少1個第2配線層延伸到至少1個第1配線層的配線區域導電層。電阻元件區域導電層與配線區域導電層在與主表面交叉的方向上的深度相等。

【0010】

再者，另一實施態樣之半導體裝置具備：複數個第1配線層、第1絕緣膜、至少1個金屬電阻元件層、複數個第2配線層以及複數個導電層。複數個第1配線層，配置在基板的主表面上。第1絕緣膜，以覆蓋複數個第1配線層的頂面的方式配置。至少1個金屬電阻元件層，以覆蓋第1絕緣膜的頂面的方式，配置在複數個第1配線層的其中至少1個第1配線層的正上方。複數個第2配線層，配置在第1絕緣膜上。複數個導電層，分別從至少1個金屬電阻元件層以及至少1個第2配線層在與主表面交叉的方向上分別延伸到複數個第1配線層。至少1個金屬電阻元件層的頂面被複數個第2配線層的其中至少1個所覆蓋。

【0011】

根據本發明之一實施態樣，可提供一種半導體裝置，其由於在金屬電阻元件層的正上方配置第2配線層，故可降低金屬電阻元件層因為承受來自上層之應力而使振盪器的精度變差的可能性。

【0012】

根據另一實施態樣，由於電阻元件區域導電層與配線區域導電層均以從第1絕緣膜上的第2配線層延伸的方式形成，故在半導體裝置形成時，便無須分別準備用來形成與金屬電阻元件層連接的導電層的遮罩。亦即可使用形成配線區域

導電層用的遮罩，以形成電阻元件區域導電層。因此可提供一種能夠降低製造成本的半導體裝置。

【0013】

再者，根據另一實施態樣，金屬電阻元件層的頂面被第2配線層所覆蓋，藉此金屬電阻元件層被第2配線層所保護。因此可提供一種金屬電阻元件層的可靠度提高的半導體裝置。

【0014】

本發明之上述以及其他之目的、特徵、局部態樣以及優點，從參照附圖所理解之關於本發明的以下詳細說明，應可明瞭。

【圖式簡單說明】

【0015】

[圖1] 係表示搭載了實施態樣1之半導體裝置的微電腦晶片的整體構造俯視圖。

[圖2] 係圖1中的圓圈所包圍之區域II的放大俯視圖。

[圖3] 係表示包含圖2的高速OCO電路的實施態樣1的微電腦晶片的部分構造的概略剖面圖。

[圖4] 係表示實施態樣1中的特別是圖3的構造的製造方法的第1步驟的概略剖面圖。

[圖5] 係表示實施態樣1中的特別是圖3的構造的製造方法的第2步驟的概略剖面圖。

[圖6] 係表示實施態樣1中的特別是圖3的構造的製造方法的第3步驟的概略剖面圖。

[圖7] 係表示實施態樣1中的特別是圖3的構造的製造方法的第4步驟的概略剖面圖。

[圖8] 係表示實施態樣1中的特別是圖3的構造的製造方法的第5步驟的概略剖面圖。

[圖9] 係表示包含圖2的高速OCO電路的比較例的微電腦晶片的部分構造的概略剖面圖。

[圖10] 係表示比較例中的特別是圖9的構造的製造方法的第1步驟的概略剖面圖。

[圖11] 係表示比較例中的特別是圖9的構造的製造方法的第2步驟的概略剖面圖。

[圖12] 係表示包含圖2的高速OCO電路的實施態樣1的微電腦晶片的部分構造的1變化實施例的概略剖面圖。

[圖13] 係表示實施態樣1的1變化實施例中的特別是圖12的構造的製造方法的第1步驟的概略剖面圖。

[圖14] 係表示包含圖2的高速OCO電路的實施態樣1的微電腦晶片的部分構造的2變化實施例的概略剖面圖。

[圖15] 係表示實施態樣1的2變化實施例中的特別是圖14的構造的製造方法的第1步驟的概略剖面圖。

[圖16] 係表示包含圖2的高速OCO電路的實施態樣2的微電腦晶片的部分構造的概略剖面圖。

[圖17] 係表示實施態樣2中的特別是圖16的構造的製造方法的第1步驟的概略剖面圖。

[圖18] 係表示實施態樣2中的特別是圖16的構造的製造方法的第2步驟的概略剖面圖。

[圖19] 係表示實施態樣2中的特別是圖16的構造的製造方法的第3步驟的概略剖面圖。

[圖20] 係表示實施態樣2中的特別是圖16的構造的製造方法的第4步驟的概略剖面圖。

[圖21] 係表示實施態樣2中的特別是圖16的構造的製造方法的第5步驟的概略剖面圖。

[圖22] 係表示包含圖2的高速OCO電路的實施態樣3的微電腦晶片的部分構造的概略剖面圖。

[圖23] 係圖22的金屬電阻元件層以及其頂面上的第2配線層的概略俯視圖。

[圖24] 係表示實施態樣3中的特別是圖22的構造的製造方法的第1步驟的概略剖面圖。

[圖25] 係表示實施態樣3中的特別是圖22的構造的製造方法的第2步驟的概略剖面圖。

[圖26] 係表示實施態樣3中的特別是圖22的構造的製造方法的第3步驟的概略剖面圖。

[圖27] 係表示包含圖2的高速OCO電路的實施態樣4的微電腦晶片的部分構造的概略剖面圖。

[圖28] 係表示實施態樣4中的特別是圖27的構造的製造方法的第1步驟的概略剖面圖。

[圖29] 係表示實施態樣4中的特別是圖27的構造的製造方法的第2步驟的概略剖面圖。

[圖30] 係表示實施態樣4中的特別是圖27的構造的製造方法的第3步驟的概略剖面圖。

[圖31] 係表示實施態樣4中的特別是圖27的構造的製造方法的第4步驟的概略剖面圖。

[圖32] 係表示包含圖2的高速OCO電路的實施態樣5的微電腦晶片的部分構造的概略剖面圖。

[圖33] 係表示實施態樣5中的特別是圖32的構造的製造方法的第1步驟的概略剖面圖。

[圖34] 係表示實施態樣5中的特別是圖32的構造的製造方法的第2步驟的概略剖面圖。

[圖35] 係表示包含圖2的高速OCO電路的實施態樣6的微電腦晶片的部分構造的概略剖面圖。

[圖36] 係表示實施態樣6中的特別是圖35的構造的製造方法的第1步驟的概略剖面圖。

[圖37] 係表示實施態樣6中的特別是圖35的構造的製造方法的第2步驟的概略剖面圖。

[圖38] 係表示實施態樣6中的特別是圖35的構造的製造方法的第3步驟的概略剖面圖。

[圖39] 係表示包含圖2的高速OCO電路的實施態樣7的微電腦晶片的部分構造的概略剖面圖。

[圖40] 係表示實施態樣7中的特別是圖39的構造的製造方法的第1步驟的概略剖面圖。

[圖41] 係表示包含圖2的高速OCO電路的實施態樣8的微電腦晶片的部分構造的概略剖面圖。

[圖42] 係表示圖41所示之配線區域的構造的1變化實施例的概略剖面圖。

[圖43] 係表示圖41所示之配線區域的構造的2變化實施例的概略剖面圖。

[圖44] 係表示實施態樣8中的特別是圖41的構造的製造方法的第1步驟的概略剖面圖。

[圖45] 係表示實施態樣8中的特別是圖41的構造的製造方法的第2步驟的概略剖面圖。

[圖46] 係表示圖45的步驟所形成之配線區域的構造的1變化實施例的概略剖面圖。

[圖47] 係表示圖45的步驟所形成之配線區域的構造的2變化實施例的概略剖面圖。

[圖48] 係表示包含圖2的高速OCO電路的實施態樣8的微電腦晶片的部分構造的1變化實施例的概略剖面圖。

[圖49] 係表示包含圖2的高速OCO電路的實施態樣8的微電腦晶片的部分構造的2變化實施例的概略剖面圖。

【實施方式】

【0016】

以下，根據圖式說明本實施態樣。

（實施態樣1）

首先用圖1，針對作為本實施態樣的半導體裝置的構造的微電腦晶片的構造進行說明。

【0017】

參照圖1，微電腦晶片MC1包含：RAM形成區域MC11、CPU形成區域MC12、周邊電路形成區域MC13、周邊電路形成區域MC15、ROM形成區域MC14以及電源電路區域MC16等。電源電路區域MC16包含高速OCO電路。複數個電極墊SP以包圍該等各區域的方式互相隔著間隔配置。另外，本布局構造充其量僅為微電腦晶片的一例，並非僅限於此。

【0018】

接著用圖2，針對高速OCO電路的一部分構造，作為半導體裝置的一例，進行說明。

【0019】

參照圖2，該高速OCO電路，具有配置在基板的一側的主表面上的金屬電阻元件層Rmn。金屬電阻元件層Rmn，在此為例如複數個（例如4個）金屬電阻元件層Rm1、Rm2、Rm3、Rm4的總稱。另外，所謂金屬，包含過渡金屬以及過渡金屬以外的金屬，且不包含半金屬、半導體以及非金屬。

【0020】

在圖2所示的俯視圖中，金屬電阻元件層Rm1～Rm4，以分別在X方向上延伸並在Y方向上相互隔著既定間隙的方式配置。金屬電阻元件層Rm1～Rm4，在

各自的兩端部，隔設著作為導電層的接觸栓塞CP1與分接層Mi、Ma～Mc、Mo連結。另外，金屬電阻元件層Rm1～Rm4（Rmn）與電極墊SP之間設置了一定的間隔S1。

【0021】

另外，從提高照相製版技術的製造精度的觀點來看，會在金屬電阻元件層Rm1以及Rm4的各自的外側，設置暫置金屬電阻元件層Rmd以及暫置分接層Mde。

【0022】

藉此，金屬電阻元件層Rm1～Rm4形成由分接層Mi→接觸栓塞CP1→金屬電阻元件層Rm1→接觸栓塞CP1→分接層Ma→接觸栓塞CP1→金屬電阻元件層Rm2→接觸栓塞CP1→分接層Mb→接觸栓塞CP1→金屬電阻元件層Rm3→接觸栓塞CP1→分接層Mc→接觸栓塞CP1→金屬電阻元件層Rm4→接觸栓塞CP1→分接層Mo電連接的串聯連接。

【0023】

接著用圖3，針對圖2中之虛線所包圍的區域A，亦即包含金屬電阻元件層Rmn的高速OCO電路所形成之多層配線構造的一部分進行說明。

【0024】

參照圖3，該半導體裝置，具有配置在基板SUB的（一側的）主表面上的層間絕緣膜SO11，以及，在層間絕緣膜SO11之上，沿著X方向互相隔著間隔複數配置的第1配線層M1。

【0025】

以覆蓋複數個第1配線層M1的頂面的方式，在層間絕緣膜SO11上形成第1絕緣膜SO12。第1絕緣膜SO12具有第1絕緣膜下層SO12a與第1絕緣膜上層SO12b以該順序堆疊的構造。

【0026】

以覆蓋第1絕緣膜SO12的頂面的方式，形成第2絕緣膜SO13。在第2絕緣膜SO13的頂面上，具有沿著X方向互相隔著間隔複數配置的第2配線層M2。複數個第2配線層M2各自配置在俯視下與第1配線層M1重疊的位置。

【0027】

圖3中之虛線所包圍的區域B（金屬電阻元件層Rmn），與圖2中之虛線所包圍的區域A（構成金屬電阻元件層Rmn的金屬電阻元件層Rm2）對應。該金屬電阻元件層Rmn，以在第1絕緣膜SO12的頂面上且在複數個第2配線層M2的其中至少1個第2配線層M2的正下方與該第2配線層M2在俯視下重疊的方式配置。換言之該金屬電阻元件層Rmn，以在複數個第1配線層M1的其中至少1個第1配線層M2的正上方與該第1配線層M1在俯視下重疊的方式配置。

【0028】

更具體而言，圖3的金屬電阻元件層Rmn，在沿著X方向的一側以及另一側的端部的附近，以在俯視下與第1配線層M1以及第2配線層M2重疊的方式配置，金屬電阻元件層Rmn，以被第1配線層M1以及第2配線層M2夾住的方式配置在兩者之間。因此圖3的金屬電阻元件層Rmn以與2個第1以及第2配線層M1、M2在俯視下重疊的方式配置，結果第1配線層M1與第2配線層M2以彼此在俯視下重疊的方式配置。金屬電阻元件層Rmn，具有金屬配線層Rm以及反射防止膜層SN1的2層構造。

【0029】

在圖3所示的區域之中，金屬電阻元件層Rmn所配置之區域（與其在俯視下重疊的區域），在此定義為金屬電阻元件區域，金屬電阻元件區域以外的區域在此定義為配線區域。金屬電阻元件區域係包含作為構成高速OCO電路的振盪器的金屬電阻元件的區域。配線區域係高速OCO電路中特別是構成多層配線的部分。配線區域也形成了與金屬電阻元件區域同樣的第1配線層M1以及第2配線層M2，在配線區域中亦與金屬電阻元件區域同樣，第1配線層M1以及第2配線層M2以彼此在俯視下重疊的方式配置。

【0030】

第1配線層M1具有下層M1a、配線本體M1b以及上層M1c。同樣地第2配線層M2具有下層M2a、配線本體M2b以及上層M2c。

【0031】

在配線區域以及金屬電阻元件區域中，第1配線層M1以及與其在俯視下重疊第2配線層M2，均利用作為導電層的接觸栓塞CP1互相電連接。接觸栓塞CP1，以分別將複數個第1配線層M1以及與其在俯視下重疊的複數個第2配線層M2連接的方式形成複數個。接觸栓塞CP1，係由側底面層CP11以及其內部的內部填充層CP12所形成。

【0032】

上述的形成於金屬電阻元件區域的接觸栓塞CP1，在此定義成作為電阻元件區域導電層的電阻元件區域接觸栓塞CP1，形成於配線區域的接觸栓塞CP1，在此定義成作為配線區域導電層的配線區域接觸栓塞CP1。

【0033】

在配線區域中，接觸栓塞CP1，在配線區域的（例如1個）第1配線層M1以及與其在俯視下重疊（與其對向）之配線區域的（例如1個）第2配線層M2之間，沿著與基板SUB等的主表面交叉的方向（例如Z方向）上延伸，藉此將該等配線層M1、M2互相連接。換言之配線區域接觸栓塞CP1，以從配線區域的第2配線層M2到達第1配線層M1的方式延伸。

【0034】

另一方面，在金屬電阻元件區域中，金屬電阻元件層Rmn以被夾在第1配線層M1與第2配線層M2之間的方式配置。因此金屬電阻元件區域的接觸栓塞CP1，例如分別從配置在金屬電阻元件區域的複數個（例如2個）第2配線層M2，例如沿著Z方向往金屬電阻元件層Rmn延伸。該接觸栓塞CP1更進一步與金屬電阻元件層Rmn接觸，貫穿金屬電阻元件層Rmn（包含金屬配線層Rm），並分別到達配置在金屬電阻元件區域的複數個（例如2個）第1配線層M1，以此方式在Z方向上延伸。像這樣在金屬電阻元件區域中，複數個第2配線層M2以及與其對向（在俯視下重疊）的第1配線層M1亦分別藉由接觸栓塞CP1互相連接。結果，金屬電阻元件區域的接觸栓塞CP1，其側面（側底面層CP11）與金屬配線層Rm接觸，進而與金屬配線層Rm（電性）連接。

【0035】

像這樣金屬電阻元件層Rmn被第1以及第2配線層M1、M2之間的接觸栓塞CP1貫穿。因此在本實施態樣中，配線層（第2配線層M2）係配置在金屬電阻元件層Rmn的上層，此意味者金屬電阻元件層Rmn配置在比構成高速OCO電路的多層配線構造的最上層更下層側。

【0036】

圖2中的配置在各金屬電阻元件層Rm1～Rm4的兩端部的接觸栓塞CP1，相當於圖3中的貫穿區域B的金屬電阻元件層Rmn的接觸栓塞CP1。因此，圖2中的分接層Ma以及分接層Mb，亦可認為是分別相當於圖3中的金屬電阻元件區域的第2配線層M2以及第1配線層M1。

【0037】

另外，第3絕緣膜SO14以及鈍化膜SN11以覆蓋複數個第2配線層M2的頂面的方式依該順序堆疊形成在第2絕緣膜SO13上。

【0038】

接著用圖4～圖8，針對作為本實施態樣之半導體裝置的製造方法的微電腦晶片的製造方法進行說明。在此特別針對微電腦晶片之中的圖3所示的部分的製造方法進行說明。

【0039】

參照圖4，首先例如在矽晶圓等的基板SUB的（一側的）主表面上，形成至少部分的習知多層配線構造，其過程形成了表面經過平坦化的層間絕緣膜SO11。作為層間絕緣膜SO11的矽氧化膜，例如係利用通常的電漿CVD（Chemical Vapor Deposition，化學氣相沉積）法形成。

【0040】

接著在層間絕緣膜SO11之上，複數個第1配線層M1，沿著X方向互相隔著間隔形成。第1配線層M1，係以下層M1a、配線本體M1b、上層M1c依該順序堆疊的方式形成。下層M1a例如為TiN／Ti膜，配線本體M1b例如為銅鋁（Al—Cu）合金膜，上層M1c例如為TiN／Ti膜，該等的各層M1a～M1c例如利用通常的濺鍍法、照相製版技術以及乾蝕刻處理，以形成圖4所示之互相隔著間隔分離的複

數個第1配線層M1的方式成膜。其中配線本體M1b，例如可由鋁單體構成之薄膜所形成，亦可由銅或鎢單體構成之薄膜所形成。第1配線層M1整體的膜厚，宜在數百nm以上1 μ m以下。

【0041】

另外亦可在圖4中省略之基板SUB與層間絕緣膜SO11之間（沿著Z方向）的各層，構成與第1配線層M1同樣的配線層（以構成多層配線構造的一部分的方式）形成了1層或是堆疊2層以上之任意層數的構造，亦可不形成該等配線層。

【0042】

參照圖5，以覆蓋複數個第1配線層M1的頂面的方式形成第1絕緣膜SO12。第1絕緣膜SO12，以第1絕緣膜下層SO12a與第1絕緣膜上層SO12b依該順序堆疊的方式形成，宜均為例如矽氧化膜。第1絕緣膜下層SO12a，係由所謂的HDP（High Density Plasma，高密度電漿）－CVD法所形成且比起由HDP－CVD法以外的方法所形成的矽氧化膜高低差被覆性更良好的USG（Undoped Silicate Glass，無摻雜矽玻璃）膜（HDP－USG）。藉此第1絕緣膜下層SO12a，便可吸收第1配線層M1所產生的高低差。另外第1絕緣膜上層SO12b，宜為由電漿CVD法所形成的所謂TEOS膜（P－TEOS）。堆疊此2層，然後其頂面（第1絕緣膜上層SO12b的頂面）利用稱為CMP（Chemical Mechanical Polishing）的化學機械研磨法研磨至平坦。藉由以上步驟，形成頂面平坦化的第1絕緣膜SO12。

【0043】

參照圖6，在第1絕緣膜SO12的頂面上且在複數個第1配線層M1的其中至少1個第1配線層M1的正上方形成金屬電阻元件層Rmn。具體而言，係在金屬電阻元件區域中的2個第1配線層M1的正上方形成金屬電阻元件層Rmn。金屬電阻元件

層Rmn具有金屬配線層Rm與反射防止膜層SN1的2層構造。在金屬配線層Rm，作為高熔點金屬的一例，TiN膜係由通常的濺鍍法、照相製版技術以及乾蝕刻處理所形成。藉由該步驟，如圖2的俯視圖所示的，金屬電阻元件層Rm1～Rm4（包含暫置金屬電阻元件層Rmd），形成條紋狀的圖案。

【0044】

金屬配線層Rm，為了獲得作為電阻元件約 $40\Omega/\square$ 的電阻值，例如形成約30nm的膜厚。反射防止膜層SN1，例如使用電漿氮化(P-SiN)膜，利用CVD法成膜。反射防止膜層SN1的膜厚，例如約45nm。

【0045】

另外作為金屬配線層Rm，亦可取代上述的TiN膜，而形成TaN膜。另外作為反射防止膜層SN1，亦可取代上述的SiN膜，而形成矽氧化膜。

【0046】

參照圖7，以覆蓋金屬電阻元件層Rmn以及第1絕緣膜SO12的頂面的方式形成第2絕緣膜SO13。第2絕緣膜SO13，宜使用藉由電漿CVD法成膜的TEOS膜（P-TEOS）。第2絕緣膜SO13的頂面亦可利用CMP法進行研磨，惟亦可不進行該研磨。

【0047】

接著，形成從第2絕緣膜SO13的頂面沿著與基板SUB的主表面交叉的方向（亦即Z方向）向金屬電阻元件層Rmn延伸的複數個接觸栓塞CP1。

【0048】

具體而言，例如在金屬電阻元件區域中，2個接觸孔Va1，從第2絕緣膜SO13的頂面之中的圖7中的2個第1配線層M1的各自的正上方的區域，向金屬電阻元件

層Rmn延伸，然後貫穿金屬電阻元件層Rmn（包含金屬配線層Rm），並到達各自的正下方的第1配線層M1，以此方式形成。另一方面，例如在配線區域中，1個接觸孔Va1，從第2絕緣膜SO13的頂面之中的圖7中的1個第1配線層M1的正上方的區域，向金屬電阻元件層Rmn（亦即向沿著Z方向的下側）延伸，然後沿著Z方向超越金屬電阻元件層Rmn（包含金屬配線層Rm）的配置位置，並到達其正下方的第1配線層M1，以此方式形成。

【0049】

之後，在接觸孔Va1內形成接觸栓塞CP1。在此的接觸栓塞CP1，包含金屬電阻元件區域的電阻元件區域接觸栓塞CP1以及配線區域的配線區域接觸栓塞CP1二者。具體而言，在接觸孔Va1內，利用濺鍍法形成由TiN／Ti堆疊膜所構成的側底面層CP11作為障壁金屬，之後，利用CVD法形成由鎢（W）膜所構成的內部填充層CP12。之後，利用CMP法，使側底面層CP11以及內部填充層CP12的頂面變平坦。藉由以上步驟形成在圖7中合計3個的接觸栓塞CP1。

【0050】

由於電阻元件區域接觸栓塞CP1貫穿金屬電阻元件層Rmn（包含金屬配線層Rm），故所形成之電阻元件區域接觸栓塞CP1的側面與金屬配線層Rm連接。

【0051】

參照圖8，複數個第2配線層M2在第2絕緣膜SO13上以分別覆蓋複數個接觸栓塞CP1的方式沿著X方向互相隔著間隔形成。第2配線層M2，以下層M2a、配線本體M2b以及上層M2c依該順序堆疊的方式形成。下層M2a例如為TiN／Ti膜，配線本體M2b例如為銅鋁（Al－Cu）合金膜，上層M2c例如為TiN／Ti膜，

該等之各層M2a～M2c基本上以與上述的第1配線層M1的各層M1a～M1c同樣的方式形成。

【0052】

另外雖圖中未顯示，惟亦可利用通常的CVD法，以覆蓋第2配線層M2的上層M2c的頂面的方式，形成例如電漿氮氧化矽膜（P-SiON）作為反射防止膜。

【0053】

藉由該第2配線層M2的形成，金屬電阻元件區域的接觸栓塞CP1，可謂以從第2配線層M2貫穿金屬電阻元件層Rmn到達第1配線層M1的方式形成，配線區域的接觸栓塞CP1，可謂以從第2配線層M2到達第1配線層M1的方式形成。

【0054】

再度參照圖3，之後，第3絕緣膜SO14以及鈍化膜SN11以覆蓋第2配線層M2的頂面的方式依該順序形成在第2絕緣膜SO13上。利用CVD法形成由P-TEOS膜所構成的矽氧化膜作為第3絕緣膜SO14。利用CVD法形成P-SiN膜作為鈍化膜SN11。因應需要第3絕緣膜SO14以及鈍化膜SN11，利用通常的照相製版技術以及乾蝕刻處理形成圖案。

【0055】

接著，一邊參照圖9～圖11的比較例，一邊針對本實施態樣的作用效果進行說明。首先用圖9，針對比較例的高速OCO電路所形成之多層配線構造的一部分進行說明。

【0056】

圖9係表示比較例中的與圖3同樣的區域，例如圖9中的金屬電阻元件層Rmn與圖3中的金屬電阻元件層Rmn對應（在以下的各實施態樣中亦相同）。參照圖

9，在比較例中，在金屬電阻元件區域中金屬電阻元件層Rmn成為多層配線構造的最上層，在其上層側並未形成例如第2配線層M2以及第2絕緣膜SO13。金屬電阻元件區域中的接觸栓塞CP1，從金屬電阻元件層Rmn在圖的Z方向上延伸到第1配線層M1。

【0057】

在圖9的配線區域中，第1配線層M1成為多層配線構造的最上層，在其上層側並未形成例如第2配線層M2以及第2絕緣膜SO13。第3絕緣膜SO14，在配線區域中以覆蓋層間絕緣膜SO11的頂面的方式形成，在金屬電阻元件區域中以覆蓋金屬電阻元件層Rmn以及第1絕緣膜SO12的頂面的方式形成。

【0058】

另外，除此以外的該比較例的構造，與實施態樣1的構造幾乎相同，故針對相同的要件附上相同的符號，其說明不重複。

【0059】

接著用圖10～圖11，針對圖9的比較例的構造的製造方法進行說明。參照圖10，在進行過與圖4～圖5所示之步驟同樣的處理之後，在金屬電阻元件區域中，從第1絕緣膜SO12的頂面之中的圖10中的2個第1配線層M1的各自的正上方的區域，形成2個接觸栓塞CP1（電阻元件區域接觸栓塞CP1）。

【0060】

參照圖11，在第1絕緣膜SO12上以分別跨越並覆蓋2個接觸栓塞CP1方式，在金屬電阻元件區域形成單一的金属電阻元件層Rmn。之後，以覆蓋在圖11中所形成之構造的整體的方式，與實施態樣1同樣，形成第3絕緣膜SO14以及鈍化膜SN11。

【0061】

在以上的比較例中，為了形成從圖10所示之金屬電阻元件層Rmn延伸的接觸栓塞CP1，產生了準備1個遮罩之需求。亦即無法使用與用來形成連接構成多層配線構造的1個配線層與另一配線層的（圖中未顯示的任意的）接觸栓塞CP1的遮罩同樣的遮罩，來形成從金屬電阻元件層Rmn延伸的接觸栓塞CP1。因此遮罩的製造成本提高，必要的總步驟數增加。因此多層配線構造整體的製造成本可能會提高。

【0062】

另外在比較例中，由於在多層配線構造的最上層形成金屬電阻元件層Rmn，故鈍化膜SN11等的最上層的保護膜形成在非常接近金屬電阻元件層Rmn的區域，甚至會有鈍化膜SN11形成在金屬電阻元件層Rmn的正上方（以覆蓋金屬電阻元件層Rmn的最上層的頂面的方式）的情況。此時，金屬電阻元件層Rmn容易承受到來自鈍化膜SN11的應力，包含金屬電阻元件層Rmn的OCO電路的振盪器的精度可能會變差。

【0063】

因此在本實施態樣中，金屬電阻元件區域中的接觸栓塞CP1形成貫穿金屬電阻元件層Rmn的構造，並形成接觸栓塞CP1的側面與金屬電阻元件層Rmn（特別是金屬配線層Rm）接觸連接的構造。例如在圖3中，金屬電阻元件層Rmn的電子信號的輸入輸出，係利用在第1配線層M1與第2配線層M2之間延伸，並在第1配線層M1與第2配線層M2之間傳遞電子信號的電阻元件區域接觸栓塞CP1。因此，便無須準備用來形成從金屬電阻元件層Rmn取出電子信號的接觸栓塞CP1的

遮罩，可降低製造成本。另外由於不需要形成從金屬電阻元件層Rmn取出電子信號的接觸栓塞CP1的步驟，故可減少步驟數，進而降低製造成本。

【0064】

另外在本實施態樣中由於在金屬電阻元件層Rmn的正上方形成第2配線層M2，故形成金屬電阻元件層Rmn不直接被鈍化膜SN11覆蓋的態樣。因此可降低因為金屬電阻元件層Rmn從鈍化膜SN11承受應力而使高速OCO電路的振盪器的精度變差的可能性。

【0065】

另外形成於金屬電阻元件區域的電阻元件區域接觸栓塞CP1，雖以如上所述的從第2配線層M2到達第1配線層M1的方式形成係較佳的態樣，然而只要是至少接觸栓塞CP1的側面的一部分接觸到金屬電阻元件層Rmn的金屬配線層Rm內部，且接觸栓塞CP1的側面與金屬配線層Rm互相連接的構造即可。因此電阻元件區域接觸栓塞CP1，只要是至少稍微進入金屬配線層Rm內部的構造即可。以下，針對具有該等構造的本實施態樣的變化實施例進行說明。

【0066】

參照圖12，在本實施態樣的第1變化實施例中，具有基本上與圖3同樣的構造，惟電阻元件區域接觸栓塞CP1，係以並未到達第1配線層M1的頂面，而是到達比金屬電阻元件層Rmn（金屬配線層Rm）的最下部稍微更下方的區域的方式形成。

【0067】

參照圖13，圖12的構造，係以如下方式形成：在本實施態樣的圖7所示之步驟中，用來形成電阻元件區域接觸栓塞CP1的接觸孔Va1，到達比第1配線層M1

的頂面更淺的區域，亦即比金屬電阻元件層Rmn（金屬配線層Rm）的最下部稍微更下方的區域。

【0068】

參照圖14，在本實施態樣的第2變化實施例中，具有基本上與圖12同樣的構造，惟電阻元件區域接觸栓塞CP1比圖12更淺，以到達金屬電阻元件層Rmn（金屬配線層Rm）的最下部的方式形成。

【0069】

參照圖15，圖14的構造，係以如下方式形成：在本實施態樣的圖7所示之步驟中，用來形成電阻元件區域接觸栓塞CP1的接觸孔Va1，到達比圖13更淺之區域，亦即金屬電阻元件層Rmn（金屬配線層Rm）的最下部。

【0070】

在圖12～圖15中，電阻元件區域接觸栓塞CP1，均從金屬配線層Rm的沿著基板SUB的主表面的X方向與反射防止膜層SN1接觸的最頂面（第1面），貫穿到相對於上述最頂面的與第1絕緣膜SO12（第1絕緣膜上層SO12b）的最頂面接觸的最底面（第2面），以貫穿金屬配線層Rm的方式形成。

【0071】

在該等第1以及第2變化實施例中，接觸栓塞CP1，亦至少可將第2配線層M2與金屬電阻元件層Rmn電連接。另外接觸栓塞CP1的形成，可利用與用來形成配線區域中從第2配線層M2延伸到第1配線層M1的接觸栓塞CP1的遮罩同樣的遮罩來形成。因此在第1以及第2變化實施例中亦與圖3～圖8同樣，可達到省略形成與金屬電阻元件層Rmn連接專用的接觸栓塞CP1的步驟的功效。

【0072】

然而，在圖12～圖15的構造中，配線區域中的接觸栓塞CP1的Z方向延伸深度，與金屬電阻元件區域中的接觸栓塞CP1的Z方向延伸深度不同，具體而言配線區域中的接觸栓塞CP1比金屬電阻元件區域中的接觸栓塞CP1更深。配線區域中的接觸栓塞CP1的接觸孔Va1，與金屬電阻元件區域中的接觸栓塞CP1的接觸孔Va1雖同時形成，惟為了形成像這樣在配線區域與金屬電阻元件區域不同深度的接觸孔Va1而控制絕緣膜SO13等的蝕刻深度有時會很困難。

【0073】

從該觀點來看，如圖3以及圖4～圖8所示的，金屬電阻元件區域中的接觸栓塞CP1（電阻元件區域接觸栓塞CP1）與配線區域中的接觸栓塞CP1（配線區域接觸栓塞CP1）的沿著Z方向的深度宜相等。在此所謂相等，包含兩者的深度完全相同的情況，以及兩者的深度雖並非完全相同但僅相差了難謂有明顯差異之誤差程度的情況二種。例如包含兩區域的接觸栓塞CP1之中的較深的一方與較淺的一方的深度的差異，在較深的一方的深度的5%以下的情況。

【0074】

若像這樣，由於可將用來形成金屬電阻元件區域中的接觸栓塞CP1的接觸孔Va1的深度與用來形成配線區域中的接觸栓塞CP1的接觸孔Va1的深度設為相等，故不用個別控制雙方的接觸孔Va1的深度，可同時形成雙方的接觸孔Va1。據此，便可降低製造成本。

【0075】

（實施態樣2）

首先用圖16，針對本實施態樣之包含金屬電阻元件層Rmn的高速OCO電路所形成之多層配線構造的一部分進行說明。

【0076】

參照圖16，本實施態樣之半導體裝置的高速OCO電路所形成的多層配線構造，與實施態樣1的該多層配線構造相比，在以下之點有所不同。

【0077】

在本實施態樣中，複數個第2配線層M2以覆蓋第1絕緣膜SO12的頂面的方式沿著X方向互相隔著間隔配置。第2絕緣膜SO13並未形成，第3絕緣膜SO14以及鈍化膜SN11以覆蓋第2配線層M2的頂面的方式依該順序堆疊在第1絕緣膜SO12（第1絕緣膜上層SO12b）之上。

【0078】

金屬電阻元件層Rmn，只要配置在金屬電阻元件區域中比第2配線層M2在Z方向上更靠第1配線層M1側（亦即下側）即可。在此係以覆蓋構成第1絕緣膜SO12的第1絕緣膜下層SO12a（薄膜絕緣層）的頂面的方式，且在金屬電阻元件區域所配置之例如2個第2配線層M2的正下方，配置金屬電阻元件層Rmn。亦即金屬電阻元件層Rmn與（金屬電阻元件區域中的）第2配線層M2，在俯視下重疊。第1絕緣膜下層SO12a，以覆蓋第1配線層M1的頂面以及第1配線層M1所在之表面（層間絕緣膜SO11的頂面）二者的方式形成。

【0079】

結果，在本實施態樣中，於金屬電阻元件區域並未形成第1配線層M1，第1配線層M1僅形成在配線區域的層間絕緣膜SO11上。該第1配線層M1（例如在配線區域）形成至少1個。

【0080】

在金屬電阻元件區域中例如2個接觸栓塞CP1以分別從例如2個第2配線層M2沿著Z方向到達金屬電阻元件層Rmn的方式形成。在此接觸栓塞CP1，以貫穿構成金屬電阻元件層Rmn的金屬配線層Rm的方式，與金屬電阻元件層Rmn連接。

【0081】

在配線區域中與實施態樣1同樣，接觸栓塞CP1以從（例如1個）第2配線層M2到達與其在俯視下重疊的（例如1個）第1配線層M1的方式朝Z方向的下側（向金屬電阻元件層Rmn存在的方向）延伸，而將第2配線層M2與第1配線層M1電連接。

【0082】

在本實施態樣中，金屬電阻元件區域中的接觸栓塞CP1與配線區域中的接觸栓塞CP1在Z方向上的深度相等。在此所謂的相等，與實施態樣1同樣，不限於完全相同的情況，也包含存在誤差程度之差異的情況。

【0083】

配線區域的接觸栓塞CP1從第2配線層M2延伸到第1配線層M1，金屬電阻元件區域的接觸栓塞CP1從第2配線層M2延伸到金屬電阻元件層Rmn。第1配線層M1配置在層間絕緣膜SO11上，金屬電阻元件層Rmn配置在第1絕緣膜下層SO12a上。即使第1配線層M1與金屬電阻元件層Rmn形成在不同層，各自的接觸栓塞CP1的深度仍相等，這是因為第1配線層M1與金屬電阻元件層Rmn（在Z方向上）的厚度不同的關係。

【0084】

藉由像這樣第1配線層M1與金屬電阻元件層Rmn形成於不同層，金屬電阻元件區域的電阻元件區域接觸栓塞CP1與配線區域的配線區域接觸栓塞CP1在Z方

向上的深度便能以相等的方式形成，結果便無須個別地控制金屬電阻元件區域與配線區域的接觸孔V_{a1}的深度。因此可簡化步驟，並降低製造成本。

【0085】

另外，除此以外的本實施態樣的構造，與實施態樣1的構造幾乎相同，故針對相同的要件附上相同的符號，其說明不重複。

【0086】

接著用圖17～圖21，針對作為本實施態樣之半導體裝置的製造方法的微電腦晶片（特別是圖16所示之部分）的製造方法進行說明。另外基本上附上與實施態樣1相同之符號的相同構成要件，只要並無特別記載，便係由與實施態樣1相同的材質所構成，並利用與實施態樣1同樣的處理形成（在以下的各實施態樣中亦同）。

【0087】

參照圖17，與實施態樣1同樣準備基板SUB，在其（一側的）主表面的上方形成層間絕緣膜SO11。

【0088】

在層間絕緣膜SO11之上形成至少1個第1配線層M1。在此，於配線區域形成例如1個第1配線層M1。

【0089】

參照圖18，第1絕緣膜下層SO12a（薄膜絕緣層），利用所謂的HDP—CVD法，以覆蓋第1配線層M1的頂面以及其所在之層間絕緣膜SO11的表面二者的方式形成。

【0090】

參照圖19，金屬電阻元件層Rmn以覆蓋第1絕緣膜下層SO12a的頂面的方式形成。在此金屬電阻元件層Rmn形成在與第1配線層M1所形成之區域在俯視下不同的區域。具體而言，上述的第1配線層M1形成於配線區域，相對於此，金屬電阻元件層Rmn形成於金屬電阻元件區域。另外金屬電阻元件層Rmn與實施態樣1同樣具有金屬配線層Rm與反射防止膜層SN1的2層構造，其在俯視下形成條紋狀圖案。

【0091】

參照圖20，首先以覆蓋金屬電阻元件層Rmn的頂面的方式在第1絕緣膜下層SO12a上形成第2絕緣膜上層SO12b，其頂面利用CMP法研磨至平坦。藉此第1配線層M1以及金屬電阻元件層Rmn的頂面被第1絕緣膜SO12所覆蓋。另外在此金屬電阻元件層Rmn的頂面僅被第1絕緣膜SO12之中的第1絕緣膜上層SO12b所覆蓋，並未被第1絕緣膜下層SO12a所覆蓋，惟在此情況下仍視為金屬電阻元件層Rmn被第1絕緣膜SO12所覆蓋。

【0092】

接著，形成從第1絕緣膜SO12的頂面沿著與基板SUB的主表面交叉的方向（亦即Z方向）向金屬電阻元件層Rmn延伸的複數個接觸栓塞CP1。

【0093】

具體而言，例如在金屬電阻元件區域中，例如2個接觸孔Va1以與金屬電阻元件層Rmn在俯視下重疊的方式互相隔著間隔形成。該2個接觸孔Va1，以從第1絕緣膜SO12的頂面到達金屬電阻元件層Rmn的方式形成。同樣地，例如在配線區域中，例如1個接觸孔Va1，以從第1絕緣膜SO12的頂面之中的圖20中的1個第1配線層M1的正上方的區域，在Z方向上延伸並到達第1配線層M1的方式形成。

之後，在接觸孔Va1內形成側底面層CP11以及內部填充層CP12，藉此形成接觸栓塞CP1。

【0094】

參照圖21，複數個第2配線層M2以在第1絕緣膜SO12上分別覆蓋複數個接觸栓塞CP1的方式沿著X方向互相隔著間隔形成。

【0095】

藉由該第2配線層M2的形成，金屬電阻元件區域的接觸栓塞CP1，可謂以從第2配線層M2到達金屬電阻元件層Rmn的方式形成，配線區域的接觸栓塞CP1，可謂以從第2配線層M2到達第1配線層M1的方式形成。另外金屬電阻元件層Rmn，比複數個第2配線層M2在Z方向上更靠第1配線層M1側（下側），且形成在複數個第2配線層M2的其中至少1個（金屬電阻元件區域的）第2配線層M2的正下方。另外金屬電阻元件區域的接觸栓塞CP1與配線區域的接觸栓塞CP1，在該Z方向上的深度相等。

【0096】

再度參照圖16，之後，第3絕緣膜SO14以及鈍化膜SN11以覆蓋第2配線層M2的頂面的方式依該順序形成在第1絕緣膜SO12上。

【0097】

接著，針對本實施態樣的作用效果進行說明。在本實施態樣中，金屬電阻元件區域的從第2配線層M2延伸到金屬電阻元件層Rmn的接觸栓塞CP1，可使用與配線區域中從第2配線層M2延伸到第1配線層M1的接觸栓塞CP1的形成所使用的遮罩同樣的遮罩形成。這是因為金屬電阻元件區域的接觸栓塞CP1與配線區域的接觸栓塞CP1均從同一面（第1絕緣膜SO12的頂面）開始形成的關係。因此

例如便無須個別準備用來形成與金屬電阻元件層Rmn連接的接觸栓塞CP1的遮罩，而可使用多層配線構造形成用的遮罩形成金屬電阻元件層Rmn用的接觸栓塞CP1。因此可降低製造成本。

【0098】

在本實施態樣中與實施態樣1的圖3～圖8的構造同樣，由於可將用來形成金屬電阻元件區域中的接觸栓塞CP1的接觸孔Va1的深度，與用來形成配線區域中的接觸栓塞CP1的接觸孔Va1的深度設為相等，故不用個別地控制雙方之接觸孔Va1的深度，可同時形成雙方之接觸孔Va1。因此可降低製造成本。

【0099】

藉由將用來形成金屬電阻元件區域中的接觸栓塞CP1的接觸孔Va1的深度，與用來形成配線區域中的接觸栓塞CP1的接觸孔Va1的深度設為相等，便可使兩者的深度較淺，進而使接觸孔Va1的內部填充層CP12等的埋入變得更容易。

【0100】

另外在本實施態樣中，由於在金屬電阻元件層Rmn的正上方形成第2配線層M2，故金屬電阻元件層Rmn形成並未直接被鈍化膜SN11覆蓋的態樣。藉此可降低因為金屬電阻元件層Rmn從鈍化膜SN11承受應力而使高速OCO電路的振盪器的精度變差的可能性。

【0101】

（實施態樣3）

首先用圖22，針對本實施態樣之包含金屬電阻元件層Rmn的高速OCO電路所形成之多層配線構造的一部分進行說明。

【0102】

參照圖22，本實施態樣的半導體裝置的高速OCO電路所形成的多層配線構造，與實施態樣1的該多層配線構造相比，在以下之點有所不同。

【0103】

在本實施態樣中，在第1絕緣膜SO12上，在複數個第1配線層M1之中的特別是形成於金屬電阻元件區域的（例如2個）第1配線層M1的正上方，配置了（例如1個）金屬電阻元件層Rmn。在此，金屬電阻元件層Rmn，以跨越在金屬電阻元件區域中於X方向上互相隔著間隔配置的2個第1配線層M1的雙方的方式，配置在第1配線層M1的上方。

【0104】

另一方面，在第1絕緣膜SO12上，配置了複數個第2配線層M2。所謂複數個第2配線層M2，在此意指以覆蓋第1絕緣膜SO12的頂面上所形成之金屬電阻元件層Rmn的頂面的方式配置的第2配線層M2，以及以在配線區域中與第1配線層M1在俯視下重疊的方式配置在第1絕緣膜SO12的頂面上的第2配線層M2二者。像這樣，在本實施態樣中，複數個第2配線層M2的其中至少1個以覆蓋金屬電阻元件層Rmn的頂面的方式形成。

【0105】

在金屬電阻元件區域以及配線區域中，接觸栓塞CP1，均以從第1絕緣膜SO12的頂面中的分別與複數個第1配線層M1在俯視下重疊的區域，沿著Z方向，延伸到複數個第1配線層M1的至少1個的方式形成。具體而言，在金屬電阻元件區域中，接觸栓塞CP1以從其上載置了第2配線層M2的金屬電阻元件層Rmn（金屬配線層Rm）在Z方向上延伸到其正下方的第1配線層M1的方式形成。另外在配線區域中，接觸栓塞CP1以從第2配線層M2在Z方向上延伸到其正下方的第1

配線層M1的方式形成。藉此在金屬電阻元件區域中金屬配線層Rm與其正下方的第1配線層M1利用接觸栓塞CP1電連接，在配線區域中第2配線層M2與其正下方的第1配線層M1利用接觸栓塞CP1電連接。

【0106】

在本實施態樣中並未形成第2絕緣膜SO13，在配線區域以及金屬電阻元件區域中，第3絕緣膜SO14以及鈍化膜SN11均以覆蓋第2配線層M2的頂面的方式形成在第1絕緣膜SO12上。

【0107】

參照圖23，在本實施態樣中，金屬電阻元件層Rmn，宜具有比其頂面上所載置之第2配線層M2在俯視下更大的尺寸。因此金屬電阻元件層Rmn上的第2配線層M2，宜以在俯視下其中央部位與金屬電阻元件層Rmn的中央部位幾乎一致的方式配置，且以金屬電阻元件層Rmn的最外緣與第2配線層M2的最外緣之間具有一定寬度的（金屬電阻元件層Rmn外周圍附近的）區域的方式配置。

【0108】

另外，除此以外的本實施態樣的構造，與實施態樣1的構造幾乎相同，故針對相同的要件附上相同的符號，其說明不重複。

【0109】

接著用圖24～圖26，針對作為本實施態樣之半導體裝置的製造方法的微電腦晶片（特別是圖22所示之部分）的製造方法進行說明。

【0110】

參照圖24，與實施態樣1同樣，準備基板SUB，在其（一側的）主表面的上方形成層間絕緣膜SO11。接著，複數個第1配線層M1沿著X方向互相隔著間隔形

成在層間絕緣膜SO11之上。接著以覆蓋複數個第1配線層M1的頂面的方式，形成第1絕緣膜下層SO12a與第1絕緣膜上層SO12b作為第1絕緣膜SO12，並利用CMP法研磨其頂面。

【0111】

接著形成從第1絕緣膜SO12的頂面沿著與基板SUB的主表面交叉的方向（亦即Z方向）延伸到其正下方（在俯視下重疊的區域）的第1配線層M1的複數個接觸栓塞CP1。在此於金屬電阻元件區域以及配線區域中，均以從第1絕緣膜SO12的頂面之中的圖24中的1個第1配線層M1的正上方的區域在Z方向上延伸並到達第1配線層M1的方式，形成接觸栓塞CP1。

【0112】

參照圖25，在第1絕緣膜SO12的頂面上，例如在沿著金屬電阻元件區域的X方向互相隔著間隔形成的2個接觸栓塞CP1的正上方，以跨越2個接觸栓塞CP1的方式，形成至少1個金屬電阻元件層Rmn。

【0113】

參照圖26，複數個第2配線層M2形成在第1絕緣膜SO12上。具體而言，在金屬電阻元件區域中以覆蓋金屬電阻元件層Rmn的頂面的方式形成第2配線層M2，在配線區域中以覆蓋第1絕緣膜SO12的頂面且與第1配線層M1在俯視下重疊的方式形成第2配線層M2。

【0114】

再度參照圖22，之後，第3絕緣膜SO14以及鈍化膜SN11以覆蓋第2配線層M2的頂面的方式依該順序形成在第1絕緣膜SO12上。

【0115】

接著，針對本實施態樣的作用效果進行說明。在本實施態樣中，金屬電阻元件層Rmn的頂面被與配線區域的第2配線層M2同一層的第2配線層M2所覆蓋，該第2配線層M2具有以相對於其正下方的金屬電阻元件層Rmn作為保護膜的方式保護金屬電阻元件層Rmn的功效。因此可使金屬電阻元件層Rmn的可靠度更進一步提高，進而使高速OCO電路的可靠度更進一步提高。特別是利用該保護膜，在對構成第2配線層M2的鋁材料進行乾蝕刻時，可降低其正下方的金屬電阻元件層Rmn意外受到蝕刻而使其形狀發生不良瑕疵等問題的可能性。

【0116】

另外在本實施態樣中，從金屬電阻元件層Rmn延伸到第1配線層M1的接觸栓塞CP1，可使用與在配線區域中從第2配線層M2延伸到第1配線層M1的接觸栓塞CP1的形成所使用的遮罩同樣的遮罩形成。這是因為從金屬電阻元件層Rmn延伸到第1配線層M1的接觸栓塞CP1與在配線區域中從第2配線層M2延伸到第1配線層M1的接觸栓塞CP1均從同一面（第1絕緣膜SO12的頂面）開始形成的關係。

【0117】

（實施態樣4）

首先用圖27，針對本實施態樣之包含金屬電阻元件層Rmn的高速OCO電路所形成之多層配線構造的一部分進行說明。

【0118】

參照圖27，首先在本實施態樣中亦形成金屬電阻元件區域與配線區域，在金屬電阻元件區域中以覆蓋金屬電阻元件層Rmn的頂面的方式形成第2配線層M2。就此點而言本實施態樣與實施態樣3相同。

【0119】

然而在本實施態樣中，金屬電阻元件區域分成第1金屬電阻元件區域與第2金屬電阻元件區域2個金屬電阻元件區域，2個金屬電阻元件區域各自配置了至少1個金屬電阻元件層Rmn。其中第2金屬電阻元件區域中的金屬電阻元件層Rmn（第2金屬電阻元件層），與實施態樣3的金屬電阻元件層Rmn同樣，利用複數個（2個）接觸栓塞CP1分別與複數個（2個）第1配線層M1連接。

【0120】

相對於此，在第1金屬電阻元件區域中，利用1個接觸栓塞CP1與1個第1配線層M1連接的金屬電阻元件層Rmn（第1金屬電阻元件層），以與作為第2金屬電阻元件層的金屬電阻元件層Rmn以及配線區域的第2配線層M2包含相同之層的方式形成在第1絕緣膜SO12的頂面上。在第1金屬電阻元件區域中，除了以在第2配線層M2與第1絕緣膜SO12的頂面之間夾住金屬電阻元件層Rmn的方式配置此點之外，其他的構造與配線區域的構造相同。第1金屬電阻元件層Rmn，與第2金屬電阻元件層Rmn同樣，以覆蓋其頂面的方式形成第2配線層M2。

【0121】

亦即覆蓋第1以及第2金屬電阻元件層Rmn的頂面的複數個（例如2個）第2配線層M2，均與實施態樣3的覆蓋金屬電阻元件層Rmn的頂面的第2配線層M2同樣，為用來保護金屬電阻元件層Rmn不受上層應力影響的保護用第2配線層。另一方面，與該等金屬電阻元件層Rmn隔著間隔，在配線區域中形成在與該等金屬電阻元件層Rmn同一層（第1絕緣膜SO12的頂面上）的（例如1個）第2配線層M2，為配線用第2配線層。

【0122】

第1金屬電阻元件層Rmn與覆蓋其頂面的第2配線層M2形成電容元件。針對於此在以下進行說明。如上所述的金屬電阻元件層Rmn具有金屬配線層Rm以及反射防止膜層SN1的2層構造。以覆蓋反射防止膜層SN1的頂面的方式形成第2配線層M2。由於具有利用由導電體所構成的金屬配線層Rm以及第2配線層M2夾住由絕緣體所構成的反射防止膜層SN1的構造，故吾人可謂該等構件構成電容元件。

【0123】

另外圖27的構造，與實施態樣3（圖22）的構造相比，追加了以下的構造。以覆蓋保護用以及配線用第2配線層M2的頂面的方式在第1絕緣膜SO12上形成第2絕緣膜SO13，並形成從電容元件的第2配線層M2以及配線用第2配線層M2的頂面，沿著Z方向朝上側（相對於基板SUB側的另一側的方向）延伸的作為另一導電層的接觸栓塞CP2，以及分別在該等接觸栓塞CP2的正上方形成第3配線層M3。作為另一導電層的接觸栓塞CP2，與第3配線層M3連接。因此在本實施態樣中，在金屬電阻元件區域形成至少1個（例如2個）電阻元件區域接觸栓塞CP1、CP2，在配線區域形成至少1個（在此為2個）配線區域接觸栓塞CP1、CP2。然後第3絕緣膜SO14以及鈍化膜SN11以覆蓋第3配線層M3的頂面的方式依該順序堆疊在第2絕緣膜SO13上。

【0124】

第2絕緣膜SO13係由第2絕緣膜下層SO13a以及第2絕緣膜上層SO13b所形成，該等構造與第1絕緣膜SO12的第1絕緣膜下層SO12a以及第1絕緣膜上層SO12b相同。接觸栓塞CP2，係由側底面層CP21以及其內部的內部填充層CP22所形成，該等構造與接觸栓塞CP1的側底面層CP11以及內部填充層CP12相同。

另外第3配線層M3，以下層M3a、配線本體M3b以及上層M3c依該順序堆疊的方式形成。各層M3a～M3c基本上與上述的第1以及第2配線層M1、M2的各層M1a～M1c、M2a～M2c相同。

【0125】

另外，除此以外的本實施態樣的構造，與實施態樣3的構造幾乎相同，故針對相同的要件附上相同的符號，其說明不重複。

【0126】

接著用圖28～圖31，針對作為本實施態樣的半導體裝置的製造方法的微電腦晶片（特別是圖27所示之部分）的製造方法進行說明。

【0127】

參照圖28，與實施態樣3同樣，準備基板SUB，第1配線層M1、第1絕緣膜SO12、接觸栓塞CP1利用與實施態樣3同樣的處理形成。然而在本實施態樣中，由於形成了具有第1金屬電阻元件層Rmn的第1金屬電阻元件區域以及具有第2金屬電阻元件層Rmn的第2金屬電阻元件區域作為金屬電阻元件區域，因此形成考慮到此點之數目的第1配線層M1以及接觸栓塞CP1。

【0128】

參照圖29，在第1金屬電阻元件區域中，於接觸栓塞CP1的正上方，以覆蓋該栓塞的方式形成至少1個金屬電阻元件層Rmn。此時形成金屬配線層Rm以及覆蓋其頂面的反射防止膜層SN1。另外在第2金屬電阻元件區域中，在沿著X方向互相隔著間隔形成的例如2個接觸栓塞CP1的正上方，以跨越2個接觸栓塞CP1的方式形成1個金屬電阻元件層Rmn。此時形成金屬配線層Rm以及覆蓋其頂面的反射防止膜層SN1。

【0129】

參照圖30，在第1絕緣膜SO12上形成複數個第2配線層M2。具體而言，在第1以及第2金屬電阻元件區域中，以覆蓋金屬電阻元件層Rmn的頂面的方式形成（例如2個）保護用第2配線層M2，在配線區域中，在與第1以及第2金屬電阻元件層Rmn同一層，以覆蓋第1絕緣膜SO12的頂面且與第1配線層M1在俯視下重疊的方式形成（例如1個）配線用第2配線層M2。保護用第2配線層M2與配線用第2配線層M2同時形成。藉此在第1金屬電阻元件區域中，利用構成第1金屬電阻元件層Rmn的金屬配線層Rm、反射防止膜層SN1以及第2配線層M2形成電容元件。另外，在第2金屬電阻元件區域中，形成與（2個）第1配線層M1電連接的第2金屬電阻元件層作為電阻元件。

【0130】

參照圖31，以覆蓋保護用以及配線用第2配線層M2各自之頂面的方式在第1絕緣膜SO12上形成第2絕緣膜SO13。第2絕緣膜SO13以具有第2絕緣膜下層SO13a以及第2絕緣膜上層SO13b的方式形成，該等構件係藉由與構成第1絕緣膜SO12的第1絕緣膜下層SO12a以及第1絕緣膜上層SO12b同樣的處理所形成。

【0131】

再度參照圖27，接著從第2絕緣膜SO13（第2絕緣膜上層SO13b）的頂面之中的各區域的第2配線層M2的正上方的區域，以在Z方向上延伸並到達第2配線層M2的方式，形成複數個接觸栓塞CP2。具體而言，首先從第2絕緣膜SO13的頂面之中的圖31的各區域的第2配線層M2的正上方的區域，以在Z方向上延伸並到達第2配線層M2的方式形成接觸孔Va2。之後，在接觸孔Va2內形成側底面層CP21以及內部填充層CP22，藉此形成接觸栓塞CP2。側底面層CP21以及內部填

充層CP22，亦可利用與側底面層CP11以及內部填充層CP12同樣的處理形成。像這樣，形成從保護用以及配線用第2配線層M2各自的頂面，沿著Z方向朝上側（相對於基板SUB側的另一側的方向）延伸的接觸栓塞CP2。

【0132】

接著在第2絕緣膜SO13上以分別覆蓋複數個接觸栓塞CP2的方式（在保護用以及配線用第2配線層M2的正上方）沿著X方向互相隔著間隔形成複數個（例如2個）第3配線層M3。第3配線層M3亦可利用與第1以及第2配線層M1、M2同樣的處理形成。藉此第3配線層M3與接觸栓塞CP2電連接。

【0133】

之後，第3絕緣膜SO14以及鈍化膜SN11以覆蓋第3配線層M3的頂面的方式依該順序形成在第2絕緣膜SO13上。

【0134】

接著，針對本實施態樣的作用效果進行說明。在本實施態樣中，從金屬電阻元件層Rmn延伸到第1配線層M1的接觸栓塞CP1，可使用與在配線區域中從第2配線層M2延伸到第1配線層M1的接觸栓塞CP1的形成所使用的遮罩同樣的遮罩形成。這是因為從金屬電阻元件層Rmn延伸到第1配線層M1的接觸栓塞CP1與在配線區域中從第2配線層M2延伸到第1配線層M1的接觸栓塞CP1均從同一面（第1絕緣膜SO12的頂面）開始形成的關係。

【0135】

在本實施態樣中，除了構成多層配線構造的一部分的配線區域之外，構成電容元件的第1金屬電阻元件區域，亦可與為了發揮作為電阻元件的功能而形成

的第2金屬電阻元件區域同時形成。因此可使具有高速OCO電路的半導體裝置更進一步高積體化。

【0136】

在本實施態樣中，在電容元件以及金屬電阻元件層之上更進一步形成第3配線層M3，藉此金屬電阻元件層Rmn形成並未直接被鈍化膜SN11覆蓋的態樣。因此可降低金屬電阻元件層Rmn從鈍化膜SN11承受應力而使高速OCO電路的振盪器的精度變差的可能性。

【0137】

另外在本實施態樣中，亦與實施態樣3同樣，由於金屬電阻元件層Rmn的頂面被第2配線層M2所覆蓋，故該第2配線層M2具有作為避免金屬電阻元件層Rmn意外受到蝕刻之保護膜的功用。

【0138】

（實施態樣5）

首先用圖32，針對本實施態樣之包含金屬電阻元件層Rmn的高速OCO電路所形成之多層配線構造的一部分進行說明。

【0139】

參照圖32，本實施態樣之半導體裝置的高速OCO電路所形成之多層配線構造，在基板SUB的（一側的）主表面上具有層間絕緣膜SO11，並具有在層間絕緣膜SO11之上沿著X方向互相隔著間隔複數配置的第1配線層M1。第1絕緣膜下層SO12a以及第1絕緣膜上層SO12b以覆蓋複數個第1配線層M1的頂面的方式依該順序形成在層間絕緣膜SO11上作為第1絕緣膜SO12。然後第2絕緣膜SO13以覆

蓋其頂面的方式形成，然後第3絕緣膜SO14以及鈍化膜SN11以覆蓋其頂面的方式依該順序形成。

【0140】

在本實施態樣中，亦具有金屬電阻元件區域以及配線區域。在配線區域中，在第2絕緣膜SO13之上，以與第1配線層M1在俯視下重疊的方式形成至少1個第2配線層M2。另外在金屬電阻元件區域中，在第1絕緣膜SO12上，在複數個第1配線層M1之中特別是形成於金屬電阻元件區域的至少1個（例如2個）第1配線層M1的正上方（例如1個），配置金屬電阻元件層Rmn。在此金屬電阻元件層Rmn，以跨越在金屬電阻元件區域中於X方向上互相隔著間隔配置的2個第1配線層M1的雙方的方式，配置在第1配線層M1上。

【0141】

在配線區域中，延伸設置了從第2配線層M2在Z方向上延伸到第1配線層M1的配線區域接觸栓塞CP2，藉此第1配線層M1與第2配線層M2電連接。另外在金屬電阻元件區域中，電阻元件區域接觸栓塞CP1從金屬電阻元件層Rmn在Z方向上延伸到第1配線層M1。像這樣複數個接觸栓塞CP1、CP2各自沿著Z方向延伸到第1配線層。

【0142】

另外，除此以外的本實施態樣的構造，與實施態樣1的構造幾乎相同，故針對相同的要件附上相同的符號，其說明不重複。

【0143】

接著用圖33～圖34，針對作為本實施態樣之半導體裝置的製造方法的微電腦晶片（特別是圖32所示之部分）的製造方法進行說明。

【0144】

參照圖33，與實施態樣1同樣，準備基板SUB，在其（一側的）主表面的上方形成層間絕緣膜SO11。之後，進行與上述的圖4、5、10、11同樣的處理。具體而言，在基板SUB的主表面上形成複數個第1配線層M1，以覆蓋其頂面的方式形成第1絕緣膜SO12。對複數個第1配線層M1的其中至少1個第1配線層M1，特別是金屬電阻元件區域的第1配線層M1，形成從第1絕緣膜SO12（第1絕緣膜上層SO12b）的頂面之中的與第1配線層M1在俯視下重疊的區域沿著Z方向延伸到了其正下方的第1配線層的至少1個（例如2個）的接觸栓塞CP1。

【0145】

在前步驟所形成之接觸栓塞CP1的正上方，例如1個金屬電阻元件層Rmn以分別跨越並覆蓋2個接觸栓塞CP1的方式，形成於金屬電阻元件區域。接著以覆蓋金屬電阻元件層Rmn以及第1絕緣膜SO12的頂面的方式形成第2絕緣膜SO13。

【0146】

接著，在先前的步驟中，特別是在並未形成接觸栓塞CP1的配線區域中，形成從第2絕緣膜SO13的頂面中的與至少1個第1配線層M1在俯視下重疊的區域沿著Z方向延伸到了其正下方的第1配線層M1的作為導電層的接觸栓塞CP2（另一導電層）。該接觸栓塞CP2的構造與實施態樣4的接觸栓塞CP2相同。

【0147】

參照圖34，以覆蓋接觸栓塞CP2的方式在第2絕緣膜SO13上形成至少1個第2配線層M2。

【0148】

再度參照圖32，之後，第3絕緣膜SO14以及鈍化膜SN11以覆蓋第2配線層M2的頂面的方式依該順序形成在第2絕緣膜SO13上。另外所省略之步驟的詳細內容基本上與上述的各實施態樣相同。

【0149】

接著，針對本實施態樣的作用效果進行說明。在本實施態樣中，金屬電阻元件層Rmn配置在比最上層的配線層亦即第2配線層M2更下側（基板SUB側）。因此可降低金屬電阻元件層Rmn從鈍化膜SN11承受應力而使高速OCO電路的振盪器的精度變差的可能性。

【0150】

（實施態樣6）

首先用圖35，針對本實施態樣之包含金屬電阻元件層Rmn的高速OCO電路所形成之多層配線構造的一部分進行說明。

【0151】

參照圖35，本實施態樣的半導體裝置的高速OCO電路所形成之多層配線構造，在基板SUB的（一側的）主表面上具有層間絕緣膜SO11，在層間絕緣膜SO11之上具有至少1個第1配線層M1。第1絕緣膜下層SO12a以及第1絕緣膜上層SO12b以覆蓋複數個第1配線層M1的頂面的方式依該順序形成在層間絕緣膜SO11上作為第1絕緣膜SO12。然後第2絕緣膜SO13以覆蓋其頂面的方式形成，然後第3絕緣膜SO14以及鈍化膜SN11以覆蓋其頂面的方式依該順序形成。

【0152】

在本實施態樣中，亦具有金屬電阻元件區域以及配線區域。在配線區域中，在第2絕緣膜SO13之上，以與第1配線層M1在俯視下重疊的方式，配置了例如1

個第2配線層M2。另外在金屬電阻元件區域中，在第2絕緣膜SO13之上，以與金屬電阻元件層Rmn在俯視下重疊的方式，沿著X方向互相隔著間隔配置了複數個（例如2個）第2配線層M2。

【0153】

在金屬電阻元件區域中，以覆蓋構成第1絕緣膜SO12的第1絕緣膜上層SO12b的頂面的方式，且在配置於金屬電阻元件區域的至少1個（例如2個）第2配線層M2的正下方，配置金屬電阻元件層Rmn。

【0154】

在金屬電阻元件區域中，電阻元件區域接觸栓塞CP1以分別從至少1個（例如2個）第2配線層M2在Z方向上延伸並到達金屬電阻元件層Rmn的方式形成。在此接觸栓塞CP1，以到達構成金屬電阻元件層Rmn的金屬配線層Rm的方式，與金屬電阻元件層Rmn連接。在配線區域中，與實施態樣1同樣，配線區域接觸栓塞CP1以從第2配線層M2到達與其在俯視下重疊的第1配線層M1的方式在Z方向（從第2配線層M2向金屬電阻元件層Rmn的方向）上延伸，將第2配線層M2與第1配線層M1電連接。

【0155】

另外，除此以外的本實施態樣的構造，與實施態樣1的構造幾乎相同，故針對相同的要件附上相同的符號，其說明不重複。

【0156】

接著用圖36～圖38，針對作為本實施態樣之半導體裝置的製造方法的微電腦晶片（特別是圖35所示之部分）的製造方法進行說明。

【0157】

參照圖36，與實施態樣1同樣，準備基板SUB，在其（一側的）主表面的上方形成層間絕緣膜SO11。之後，進行與上述的圖17、18同樣的處理。具體而言，例如在配線區域形成至少1個第1配線層M1，並以覆蓋第1配線層M1的頂面的方式形成第1絕緣膜SO12（第1絕緣膜下層SO12a以及第1絕緣膜上層SO12b）。

【0158】

以覆蓋第1絕緣膜上層SO12b的頂面的方式形成金屬電阻元件層Rmn。在此金屬電阻元件層Rmn形成在與第1配線層M1所形成之區域在俯視下不同的區域。具體而言，上述的第1配線層M1形成於配線區域，相對於此金屬電阻元件層Rmn形成於金屬電阻元件區域。

【0159】

參照圖37，以覆蓋金屬電阻元件層Rmn以及第1絕緣膜SO12的頂面的方式形成第2絕緣膜SO13。接著，形成從第2絕緣膜SO13的頂面沿著與基板SUB的主表面交叉的方向（亦即Z方向）向金屬電阻元件層Rmn延伸的複數個導電層CP1（接觸栓塞CP1）。在此，在配線區域中，以從第2配線層M2到達第1配線層M1的方式，形成接觸栓塞CP1，在金屬電阻元件區域中，以從第2配線層M2到達金屬電阻元件層Rmn的方式，形成接觸栓塞CP1。

【0160】

參照圖38，在金屬電阻元件區域以及配線區域中，均以分別覆蓋所形成之複數個接觸栓塞CP1的方式，形成複數個第2配線層M2。

【0161】

再度參照圖35，之後，第3絕緣膜SO14以及鈍化膜SN11以覆蓋第2配線層M2的頂面的方式依該順序形成在第2絕緣膜SO13上。另外所省略之步驟的詳細內容基本上與上述的各實施態樣相同。

【0162】

接著，針對本實施態樣的作用效果進行說明。在本實施態樣中，與實施態樣2同樣，從金屬電阻元件區域的第2配線層M2延伸到金屬電阻元件層Rmn的接觸栓塞CP1，可使用與在配線區域中從第2配線層M2延伸到第1配線層M1的接觸栓塞CP1的形成所使用的遮罩同樣的遮罩形成。因此例如便無須分別準備用來形成與金屬電阻元件層Rmn連接的接觸栓塞CP1的遮罩，而可使用多層配線構造形成用之遮罩形成金屬電阻元件層Rmn用的接觸栓塞CP1。因此可降低製造成本。

【0163】

（實施態樣7）

首先用圖39，針對本實施態樣之包含金屬電阻元件層Rmn的高速OCO電路所形成之多層配線構造的一部分進行說明。

【0164】

參照圖39，本實施態樣之半導體裝置的高速OCO電路所形成之多層配線構造，在基板SUB的（一側的）主表面上具有層間絕緣膜SO11，並在層間絕緣膜SO11之上具有複數個第1配線層M1。以覆蓋複數個第1配線層M1的頂面的方式，在層間絕緣膜SO11上形成第1絕緣膜SO12（第1絕緣膜下層SO12a以及第1絕緣膜上層SO12b）。

【0165】

在本實施態樣中，亦具有金屬電阻元件區域以及配線區域。在金屬電阻元件區域中，在第1絕緣膜SO12之上，特別是在複數個第1配線層M1之中形成於金屬電阻元件區域的（例如2個）第1配線層M1的正上方，配置了（至少1個）金屬電阻元件層Rmn。在此金屬電阻元件層Rmn，以跨越在金屬電阻元件區域中沿著X方向互相隔著間隔配置的2個第1配線層M1的雙方的方式，配置在第1配線層M1的上方。

【0166】

在配線區域中，在第1絕緣膜SO12之上，以與第1配線層M1在俯視下重疊的方式形成至少1個第2配線層M2。該第2配線層M2，以與（至少1個）金屬電阻元件層Rmn包含相同之層的方式配置，換言之，第2配線層M2與金屬電阻元件層Rmn均配置在同一面上，亦即均配置在第1絕緣膜SO12（第1絕緣膜上層SO12b）之上。

【0167】

在具有第2配線層M2的區域中，亦即在配線區域中，延伸設置了從第2配線層M2在Z方向上延伸到第1配線層M1的配線區域接觸栓塞CP1，藉此第1配線層M1與第2配線層M2電連接。另外在具有金屬電阻元件層的區域中，亦即在金屬電阻元件區域中，電阻元件區域接觸栓塞CP1從金屬電阻元件層Rmn在Z方向上延伸到與其對向的至少1個第1配線層M1（例如2個第1配線層M1）。像這樣複數個接觸栓塞CP1的其中至少1個成為電阻元件區域接觸栓塞CP1，另外的至少1個成為配線區域接觸栓塞CP1，分別延伸到複數個第1配線層M1。

【0168】

另外，除此以外的本實施態樣的構造，與實施態樣3的構造幾乎相同，故針對相同的要件附上相同的符號，其說明不重複。

【0169】

接著用圖40，針對作為本實施態樣之半導體裝置的製造方法的微電腦晶片（特別是圖39所示之部分）的製造方法進行說明。

【0170】

參照圖40，進行與例如實施態樣3的圖24～圖25所示之步驟同樣的處理。亦即與實施態樣1同樣，準備基板SUB，形成層間絕緣膜SO11、複數個第1配線層M1、第1絕緣膜SO12。形成從第1絕緣膜SO12的頂面沿著與基板SUB的主表面交叉的方向（亦即Z方向）延伸到其正下方（在俯視下重疊之區域）的第1配線層M1的複數個接觸栓塞CP1。在第1絕緣膜SO12的頂面上，例如在沿著金屬電阻元件區域的X方向互相隔著間隔形成的複數個（例如2個）接觸栓塞CP1的正上方，以跨越2個接觸栓塞CP1的方式形成至少1個金屬電阻元件層Rmn（形成金屬電阻元件區域）。在配線區域中，以覆蓋第1絕緣膜SO12的頂面且與第1配線層M1在俯視下重疊的方式形成第2配線層M2（形成配線區域）。

【0171】

再度參照圖39，之後，第3絕緣膜SO14以及鈍化膜SN11以覆蓋第2配線層M2的頂面的方式依該順序形成在第1絕緣膜SO12上。另外所省略之步驟的詳細內容基本上與上述的各實施態樣相同。

【0172】

接著，針對本實施態樣的作用效果進行說明。在本實施態樣中，從金屬電阻元件區域的金屬電阻元件層Rmn延伸到第1配線層M1的接觸栓塞CP1，可使用

與在配線區域中從第2配線層M2延伸到第1配線層M1的接觸栓塞CP1的形成所使用的遮罩同樣的遮罩形成。這是因為金屬電阻元件區域的接觸栓塞CP1與配線區域的接觸栓塞CP1均從同一面（第1絕緣膜SO12的頂面）開始形成的關係。因此例如並無須分別準備用來形成與金屬電阻元件層Rmn連接的接觸栓塞CP1的遮罩，而可使用多層配線構造形成用之遮罩形成金屬電阻元件層Rmn用的接觸栓塞CP1。因此可降低製造成本。

【0173】

（實施態樣8）

首先用圖41，針對本實施態樣之包含金屬電阻元件層Rmn的高速OCO電路所形成之多層配線構造的一部分進行說明。

【0174】

參照圖41，本實施態樣之半導體裝置的高速OCO電路所形成之多層配線構造，與實施態樣7同樣，在第1絕緣膜SO12（第1絕緣膜上層SO12b）上，（配線區域的）第2配線層M2與（金屬電阻元件區域的）金屬電阻元件層Rmn，以包含相同之層的方式形成。然而在圖41中，在金屬電阻元件區域中，在彼此相鄰的複數個（1對）第2配線層M2的各自的頂面以及側面，以及在彼此相鄰的複數個（1對）第2配線層M2之間的第1絕緣膜SO12上，配置了金屬電阻元件層Rmn。如上所述的金屬電阻元件層Rmn具有金屬配線層Rm以及反射防止膜層SN1的2層構造，金屬配線層Rm配置在圖的下側，亦即以與第2配線層M2以及第1絕緣膜上層SO12b接觸的方式配置。因此金屬電阻元件區域的1對（在頂面以及側面具有金屬電阻元件層Rmn的）彼此相鄰的第2配線層M2互相電連接。

【0175】

在本實施態樣中，在配線區域、金屬電阻元件區域中，接觸栓塞CP1均以從第2配線層M2到達第1配線層M1的方式在Z方向上延伸。然而由於金屬電阻元件區域的第2配線層M2與覆蓋其頂面等部位的金屬電阻元件層Rmn的金屬配線層Rm電連接，故金屬電阻元件區域的金屬電阻元件層Rmn（金屬配線層Rm）與電阻元件區域接觸栓塞CP1電連接。

【0176】

另外在圖41中，配線區域的第2配線層M2的側面被另一金屬電阻元件層Rmn所覆蓋。由於另一金屬電阻元件層Rmn係與金屬電阻元件層Rmn為相同之層（金屬電阻元件層Rmn為經過分割之構件），故其與金屬電阻元件層Rmn同樣，具有金屬配線層Rm以及反射防止膜層SN1的2層構造。

【0177】

參照圖42，在圖41中的虛線所包圍之區域C所示的配線區域中，亦可第2配線層M2的頂面以及側面雙方均被另一金屬電阻元件層Rmn所覆蓋，參照圖43，在圖41中的虛線所包圍之區域C所示的配線區域中，亦可僅第2配線層M2的頂面被另一金屬電阻元件層Rmn所覆蓋。總結該等態樣，配線區域中的第2配線層M2的頂面以及側面的至少任一面被與金屬電阻元件層Rmn包含相同之層的另一金屬電阻元件層Rmn所覆蓋。

【0178】

另外如圖43所示的，在本實施態樣中，當（僅）在配線區域的第2配線層M2的頂面形成金屬電阻元件層Rmn時，金屬電阻元件層Rmn，宜具有比起第2配線層M2而言在俯視下更小的尺寸。因此第2配線層M2上的第2金屬電阻元件層Rmn，宜以在俯視下其中央部位與第2配線層M2的中央部位幾乎一致的方式配

置，並以在金屬電阻元件層Rmn的最外緣與第2配線層M2的最外緣之間設有一定寬度的（第2配線層M2外周圍附近的）區域的方式配置。

【0179】

另外，除此以外的本實施態樣的構造，與實施態樣7的構造幾乎相同，故針對相同的要件附上相同的符號，其說明不重複。

【0180】

接著用圖44～圖47，針對作為本實施態樣之半導體裝置的製造方法的微電腦晶片（特別是圖41～43所示之部分）的製造方法進行說明。

【0181】

參照圖44，利用基本上與圖40的步驟同樣的處理，形成圖44所示之構造。然而圖44與圖40相比，在金屬電阻元件區域中亦與配線區域同樣，以分別與複數個（例如2個）並排的第1配線層M1在俯視下重疊的方式形成複數個（例如2個）第2配線層M2，此點有所不同。在配線區域以及金屬電阻元件區域中，各個第1配線層M1和與其對向之第2配線層M2利用接觸栓塞CP1互相連接。

【0182】

參照圖45，以覆蓋圖44的步驟所形成之複數個第2配線層M2的頂面以及側面的方式，在第1絕緣膜SO12上形成金屬電阻元件層Rmn。之後，在金屬電阻元件區域中，在彼此相鄰的1對第2配線層M2的頂面以及側面，以及彼此相鄰的1對第2配線層M2之間的第1絕緣膜SO12上，以殘留金屬電阻元件層Rmn的方式，利用照相製版技術以及乾蝕刻處理使金屬電阻元件層Rmn形成圖案。藉此形成在接觸栓塞CP1的正上方（隔著第2配線層M2）也殘留金屬電阻元件層Rmn的態樣。

【0183】

此時亦可在配線區域中以在第2配線層M2的側面殘留金屬電阻元件層Rmn（作為另一金屬電阻元件層Rmn）的方式，利用照相製版技術以及乾蝕刻處理使金屬電阻元件層Rmn形成圖案。或者參照圖46，亦可在配線區域中以在第2配線層M2的頂面以及側面雙方均殘留金屬電阻元件層Rmn（作為另一金屬電阻元件層Rmn）的方式，利用照相製版技術以及乾蝕刻處理使金屬電阻元件層Rmn形成圖案。或者參照圖47，亦可在配線區域中以僅在第2配線層M2的頂面殘留金屬電阻元件層Rmn（作為另一金屬電阻元件層Rmn）的方式，利用照相製版技術以及乾蝕刻處理使金屬電阻元件層Rmn形成圖案。

【0184】

更具體而言，例如當在俯視下金屬電阻元件層Rmn的尺寸比第2配線層M2的尺寸更大時，即如圖46（圖42）所示的，金屬電阻元件層Rmn以覆蓋第2配線層M2的頂面以及側面雙方的方式形成。另外，當在俯視下金屬電阻元件層Rmn的尺寸比第2配線層M2的尺寸小時，即如圖47（圖43）所示的，金屬電阻元件層Rmn以僅覆蓋第2配線層M2的頂面的方式形成。

【0185】

再度參照圖41～圖43，之後，第3絕緣膜SO14以及鈍化膜SN11以覆蓋第2配線層M2的頂面的方式依該順序形成在第1絕緣膜SO12上。另外所省略之步驟的詳細內容基本上與上述的各實施態樣相同。

【0186】

接著，針對本實施態樣的作用效果進行說明。在本實施態樣中，由於亦可用同一遮罩形成金屬電阻元件區域與配線區域的接觸栓塞CP1，故可降低製造成本。另外在本實施態樣中，金屬電阻元件區域的第2配線層M2的頂面以及側面被

金屬電阻元件層Rmn所覆蓋，藉此第2配線層M2被金屬電阻元件層Rmn所保護。因此可提高金屬電阻元件區域的第2配線層M2的可靠度。再者配線區域的第2配線層M2其頂面以及側面的至少任一面也被金屬電阻元件層Rmn所覆蓋，藉此第2配線層M2被金屬電阻元件層Rmn所保護。因此可提高配線區域的第2配線層M2的可靠度。

【0187】

參照圖48的本實施態樣的第1變化實施例，其為實施態樣3的圖22所示之多層配線構造的一部分在配線區域以及金屬電阻元件區域的第2配線層M2的頂面以及側面的雙方均被金屬電阻元件層Rmn所覆蓋的構造。參照圖49的本實施態樣的第2變化實施例，其為實施態樣4的圖27所示之多層配線構造的一部分在(第1以及第2)金屬電阻元件區域的第2配線層M2的頂面以及側面被金屬電阻元件層Rmn所覆蓋的構造。亦可像這樣，在金屬電阻元件區域中，第2配線層M2的頂面以及側面覆蓋金屬電阻元件層Rmn的頂面，並以覆蓋第2配線層M2的頂面以及側面(的至少任一面)的方式形成(另一)金屬電阻元件層Rmn。另外亦可在配線區域中以覆蓋第2配線層M2的頂面以及側面(的至少任一面)的方式形成(另一)金屬電阻元件層Rmn。該等構造，亦與圖45的步驟同樣，係藉由在第1絕緣膜SO12上形成金屬電阻元件層Rmn，並使其形成圖48以及圖49所示之形狀而形成。第2配線層M2的頂面或側面的被金屬電阻元件層Rmn所覆蓋的部分，可防止其在金屬電阻元件層Rmn受到蝕刻時意外也受到蝕刻而導致形狀產生不良瑕疵等問題的發生。

【0188】

此外，將實施態樣所記載之內容的一部分記載（附記）於下。（1）半導體裝置具備：複數個第1配線層、第1絕緣膜、第2絕緣膜、至少1個第2配線層、金屬電阻元件層以及複數個導電層。複數個第1配線層，配置在基板的主表面上。第1絕緣膜，以覆蓋複數個第1配線層的頂面的方式配置。第2絕緣膜，以覆蓋第1絕緣膜的頂面的方式配置。至少1個第2配線層，配置在第2絕緣膜上。金屬電阻元件層，配置在第1絕緣膜的頂面上且複數個第1配線層的其中至少1個第1配線層的正上方。複數個導電層，沿著與主表面交叉的方向分別延伸到複數個第1配線層。複數個導電層的其中至少1個導電層，從金屬電阻元件層沿著與主表面交叉的方向延伸到第1配線層。

【0189】

（2）半導體裝置具備：至少1個第1配線層、第1絕緣膜、第2絕緣膜、複數個第2配線層、金屬電阻元件層以及複數個導電層。至少1個第1配線層，配置在基板的主表面上。第1絕緣膜，以覆蓋至少1個第1配線層的頂面的方式配置。第2絕緣膜，以覆蓋第1絕緣膜的頂面的方式配置。複數個第2配線層，配置在第2絕緣膜上。金屬電阻元件層，配置在第1絕緣膜的頂面上且複數個第2配線層的其中至少1個第2配線層的正下方。複數個導電層，分別從複數個第2配線層沿著與主表面交叉的方向往金屬電阻元件層延伸。複數個導電層的其中至少1個導電層，從第2配線層沿著與主表面交叉的方向延伸到金屬電阻元件層。

【0190】

（3）在（2）的半導體裝置中，複數個導電層的其中至少1個延伸到金屬電阻元件層的導電層，為配置在與金屬電阻元件層在俯視下重疊的金屬電阻元件區域的電阻元件區域導電層。複數個導電層的其中至少1個導電層，為在非金屬

電阻元件區域的配線區域中從複數個第2配線層的其中至少1個第2配線層延伸到至少1個第1配線層的配線區域導電層。

【0191】

(4) 半導體裝置具備：複數個第1配線層、第1絕緣膜、至少1個金屬電阻元件層、至少1個第2配線層以及複數個導電層。複數個第1配線層，配置在基板的主表面上。第1絕緣膜，以覆蓋複數個第1配線層的頂面的方式配置。至少1個金屬電阻元件層，配置在第1絕緣膜上。至少1個第2配線層，與至少1個金屬電阻元件層包含相同之層。複數個導電層，分別在具有至少1個金屬電阻元件層的金屬電阻元件區域以及具有至少1個第2配線層的配線區域中，從金屬電阻元件層或第2配線層的至少任一層在與主表面交叉的方向上分別延伸到複數個第1配線層。

【0192】

(5) 在(4)的半導體裝置中，複數個導電層的其中至少1個，為配置在與金屬電阻元件層在俯視下重疊的金屬電阻元件區域中並從至少1個金屬電阻元件層連接到複數個第1配線層的其中至少1個第1配線層的電阻元件區域導電層。複數個導電層的其中至少1個，為在非金屬電阻元件區域的配線區域中從至少1個第2配線層延伸到複數個第1配線層的其中至少1個第1配線層的配線區域導電層。

【0193】

(6) 在(5)的半導體裝置中，在金屬電阻元件區域中具有複數個第2配線層。在金屬電阻元件區域中彼此相鄰的1對第2配線層的頂面以及側面，以及在彼此相鄰的1對第2配線層之間的第1絕緣膜上，配置金屬電阻元件層。

【0194】

(7) 在(5)的半導體裝置中，配線區域中的第2配線層的頂面以及側面的至少任一面被與金屬電阻元件層包含相同之層的另一金屬電阻元件層所覆蓋。

【0195】

(8) 半導體裝置的製造方法，首先在基板的主表面上形成複數個第1配線層。以覆蓋複數個第1配線層的頂面的方式形成第1絕緣膜。在第1絕緣膜的頂面上且複數個第1配線層的其中至少1個第1配線層的正上方形成金屬電阻元件層。以覆蓋金屬電阻元件層以及第1絕緣膜的頂面的方式形成第2絕緣膜。形成從第2絕緣膜的頂面沿著與主表面交叉的方向往金屬電阻元件層延伸的複數個導電層。在第2絕緣膜上以分別覆蓋複數個導電層的方式形成複數個第2配線層。金屬電阻元件層包含金屬配線層。複數個導電層的其中至少1個導電層的側面的至少一部分，與金屬配線層連接。

【0196】

(9) 在(8)的半導體裝置的製造方法中，金屬配線層具有沿著主表面的第1面以及與相對於第1面的第2面。在上述形成複數個導電層的步驟中，複數個導電層的其中至少1個與金屬配線層連接的導電層，形成在與金屬配線層在俯視下重疊的金屬電阻元件區域中，作為電阻元件區域導電層。電阻元件區域導電層，以從第1面到第2面貫穿金屬配線層的方式形成。

【0197】

(10) 在(9)的半導體裝置的製造方法中，電阻元件區域導電層，從複數個第2配線層之中形成於金屬電阻元件區域的至少1個第2配線層貫穿金屬配線層連接到複數個第1配線層之中形成於金屬電阻元件區域的至少1個第1配線層。

【0198】

(11) 在(9)的半導體裝置的製造方法中，在金屬電阻元件區域中的電阻元件區域導電層，與在非金屬電阻元件區域的配線區域中從複數個第2配線層的其中至少1個第2配線層延伸到複數個第1配線層的其中至少1個第1配線層的配線區域導電層，在與主表面交叉的方向上的深度相等。

【0199】

(12) 半導體裝置的製造方法，首先在基板的主表面上形成至少1個第1配線層以及金屬電阻元件層。以覆蓋第1配線層以及金屬電阻元件層的頂面的方式形成第1絕緣膜。形成從第1絕緣膜的頂面沿著與主表面交叉的方向往金屬電阻元件層延伸的複數個導電層。在第1絕緣膜上，以分別覆蓋複數個導電層的方式形成複數個第2配線層。在上述形成金屬電阻元件層的步驟中，在比複數個第2配線層沿著與主表面交叉的方向更靠第1配線層側，且在複數個第2配線層的其中至少1個第2配線層的正下方，形成金屬電阻元件層。複數個導電層的其中至少1個導電層，為配置在與金屬電阻元件層在俯視下重疊的金屬電阻元件區域中並從複數個第2配線層之中配置在金屬電阻元件區域的至少1個第2配線層連接到金屬電阻元件層的電阻元件區域導電層。複數個導電層的其中至少1個導電層，為在非金屬電阻元件區域的配線區域中從複數個第2配線層的其中至少1個第2配線層延伸到至少1個第1配線層的配線區域導電層。電阻元件區域導電層與配線區域導電層，在與主表面交叉的方向上的深度相等。

【0200】

(13) 在(12)的半導體裝置的製造方法中，第1絕緣膜，包含覆蓋至少1個第1配線層的頂面以及至少1個第1配線層所在之表面二者的薄膜絕緣層。金屬電阻元件層，以覆蓋薄膜絕緣層的頂面的方式形成。

【0201】

(14) 半導體裝置的製造方法，首先在基板的主表面上形成複數個第1配線層。以覆蓋複數個第1配線層的頂面的方式形成第1絕緣膜。形成從在第1絕緣膜的頂面中的分別與複數個第1配線層在俯視下重疊的區域沿著與主表面交叉的方向延伸到複數個第1配線層的至少1個第1配線層的複數個導電層。在第1絕緣膜的頂面上且複數個導電層的其中至少1個導電層的正上方形成至少1個金屬電阻元件層。在第1絕緣膜上形成複數個第2配線層。至少1個金屬電阻元件層的頂面被複數個第2配線層的其中至少1個所覆蓋。

【0202】

(15) 在(14)的半導體裝置的製造方法中，形成複數個金屬電阻元件層。上述形成至少1個金屬電阻元件層的步驟，包含：形成金屬配線層的步驟，以及形成覆蓋金屬配線層的頂面的反射防止膜層的步驟。在上述形成至少1個金屬電阻元件層的步驟中，形成：第1金屬電阻元件層，其之構成金屬電阻元件層的金屬配線層以及反射防止膜層，與覆蓋反射防止膜層的頂面的第2配線層，形成電容元件；以及第2金屬電阻元件層，其利用複數個導電層分別與複數個第1配線層連接。

【0203】

(16) 在(15)的半導體裝置的製造方法中，在上述形成複數個第2配線層的步驟中，形成以下二者：複數個保護用第2配線層，其以覆蓋第1以及第2金屬

電阻元件層各自之頂面的方式形成；以及至少1個配線用第2配線層，其配置在與第1以及第2金屬電阻元件層同一層，並與金屬電阻元件層隔著間隔配置。

【0204】

(17) 在(16)的半導體裝置的製造方法中，以覆蓋構成電容元件的保護用第2配線層的頂面的方式在第1絕緣膜上形成第2絕緣膜。形成從電容元件沿著與主表面交叉的方向朝基板側的相反側方向延伸的另一導電層。在第2絕緣膜上的電容元件的正上方形成第3配線層。另一導電層與第3配線層連接。

【0205】

(18) 在(16)的半導體裝置的製造方法中，以覆蓋配線用第2配線層的頂面的方式在第1絕緣膜上形成第2絕緣膜。形成從配線用第2配線層的頂面沿著與主表面交叉的方向朝基板側的相反側方向延伸的另一導電層。在第2絕緣膜上的配線用第2配線層的正上方形成第3配線層。另一導電層與第3配線層連接。

【0206】

(19) 在(14)的半導體裝置的製造方法中，在上述形成複數個導電層的步驟中，複數個導電層的其中至少1個，配置在與金屬電阻元件層在俯視下重疊的金屬電阻元件區域，從至少1個金屬電阻元件層連接到複數個第1配線層的其中至少1個第1配線層，成為電阻元件區域導電層。複數個導電層的其中至少1個，在非金屬電阻元件區域的配線區域中，從複數個第2配線層的其中至少1個第2配線層延伸到複數個第1配線層的其中至少1個第1配線層，成為配線區域導電層。

【0207】

(20) 在(19)的半導體裝置的製造方法中，在金屬電阻元件區域中，第2配線層覆蓋金屬電阻元件層的頂面，並以覆蓋第2配線層的頂面以及側面的至少任一面的方式形成另一金屬電阻元件層。

【0208】

(21) 在(20)的半導體裝置的製造方法中，配線區域中的第2配線層的頂面以及側面的至少任一面被另一金屬電阻元件層所覆蓋。

【0209】

(22) 半導體裝置的製造方法，首先在基板的主表面上形成複數個第1配線層。以覆蓋複數個第1配線層的頂面的方式形成第1絕緣膜。形成從第1絕緣膜的頂面中的與複數個第1配線層的其中至少1個第1配線層在俯視下重疊的區域沿著與主表面交叉的方向延伸到複數個第1配線層的至少1個第1配線層的至少1個導電層。在第1絕緣膜的頂面上且至少1個導電層的正上方形成金屬電阻元件層。以覆蓋金屬電阻元件層以及第1絕緣膜的頂面的方式形成第2絕緣膜。形成從第2絕緣膜的頂面中的在形成導電層的步驟中並未形成導電層的與複數個第1配線層的其中至少1個第1配線層在俯視下重疊區域，沿著與主表面交叉的方向延伸到並未形成至少1個導電層的第1配線層的至少1個另一導電層。在第2絕緣膜上以覆蓋至少1個另一導電層的方式形成至少1個第2配線層。

【0210】

(23) 半導體裝置的製造方法，首先在基板的主表面上形成至少1個第1配線層。以覆蓋至少1個第1配線層的頂面的方式形成第1絕緣膜。在第1絕緣膜的頂面上且至少1個第1配線層的正上方以外的區域形成金屬電阻元件層。以覆蓋金屬電阻元件層以及第1絕緣膜的頂面的方式形成第2絕緣膜。形成從第2絕緣膜

的頂面沿著與主表面交叉的方向往金屬電阻元件層延伸的複數個導電層。以在第2絕緣膜上分別覆蓋複數個導電層的方式形成複數個第2配線層。複數個導電層的其中至少1個導電層，從第2配線層沿著與主表面交叉的方向延伸到金屬電阻元件層。

【0211】

(24) 在(23)的半導體裝置的製造方法中，在上述形成複數個導電層的步驟中，複數個導電層的其中至少1個延伸到金屬電阻元件層的導電層，成為配置在與金屬電阻元件層在俯視下重疊的金屬電阻元件區域的電阻元件區域導電層。複數個導電層的其中至少1個導電層，成為在非金屬電阻元件區域的配線區域中從複數個第2配線層的其中至少1個第2配線層延伸到至少1個第1配線層的配線區域導電層。

【0212】

(25) 半導體裝置的製造方法，首先在基板的主表面上形成複數個第1配線層。以覆蓋複數個第1配線層的頂面的方式形成第1絕緣膜。形成從第1絕緣膜的頂面中的分別與複數個第1配線層在俯視下重疊區域沿著與主表面交叉的方向延伸到複數個第1配線層的至少1個第1配線層的複數個導電層。形成金屬電阻元件區域，其第1絕緣膜的頂面上且複數個導電層的其中至少1個導電層的正上方具有至少1個金屬電阻元件層。在第1絕緣膜上以與至少1個第1配線層在俯視下重疊的方式形成至少1個第2配線層，藉此形成配線區域。至少1個第2配線層，以與至少1個金屬電阻元件層包含相同之層的方式形成。

【0213】

(26) 在(25)的半導體裝置的製造方法中，在上述形成複數個導電層的步驟中，複數個導電層的其中至少1個，配置在與金屬電阻元件層在俯視下重疊的金屬電阻元件區域，從至少1個金屬電阻元件層連接到複數個第1配線層的其中至少1個第1配線層，成為電阻元件區域導電層。複數個導電層的其中至少1個，在非金屬電阻元件區域的配線區域中，從至少1個第2配線層延伸到複數個第1配線層的其中至少1個第1配線層，成為配線區域導電層。

【0214】

(27) 在(26)的半導體裝置的製造方法中，在形成具有第2配線層的區域的步驟中，在金屬電阻元件區域中形成複數個第2配線層。在金屬電阻元件區域中，在彼此相鄰的1對第2配線層的頂面以及側面，以及在彼此相鄰的1對第2配線層之間的第1絕緣膜上，形成金屬電阻元件層。

【0215】

(28) 在(26)的半導體裝置的製造方法中，在上述形成金屬電阻元件層的步驟中，配線區域中的第2配線層的頂面以及側面的至少任一面被與金屬電阻元件層包含相同之層的另一金屬電阻元件層所覆蓋。以上係針對本發明的實施態樣進行說明，惟在此所揭示的實施態樣的所有特點均應視為例示態樣而並非限制要件。本發明的範圍為申請專利範圍所示，包含與申請專利範圍均等之態樣以及範圍內的所有變化態樣。

【符號說明】

【0216】

A 區域

B	區域
CP1	接觸栓塞
CP11	側底面層
CP12	內部填充層
CP2	接觸栓塞
CP21	側底面層
CP22	內部填充層
II	區域
M1	第1配線層
M1a	下層
M1b	配線本體
M1c	上層
M2	第2配線層
M2a	下層
M2b	配線本體
M2c	上層
M3	第3配線層
M3a	下層
M3b	配線本體
M3c	上層
Ma	分接層
Mb	分接層

Mc	分接層
MC1	微電腦晶片
MC11	RAM形成區域
MC12	CPU形成區域
MC13	周邊電路形成區域
MC14	ROM形成區域
MC15	周邊電路形成區域
MC16	電源電路區域
Mde	暫置分接層
Mi	分接層
Mo	分接層
Rm	金屬配線層
Rm1	金屬電阻元件層
Rm2	金屬電阻元件層
Rm3	金屬電阻元件層
Rm4	金屬電阻元件層
Rmd	暫置金屬電阻元件層
Rmn	金屬電阻元件層
S1	間隔
SN1	反射防止膜層
SN11	鈍化膜
SO11	層間絕緣膜

SO12	第1絕緣膜
SO12a	第1絕緣膜下層
SO12b	第1絕緣膜上層
SO13	第2絕緣膜
SO13a	第2絕緣膜下層
SO13b	第2絕緣膜上層
SO14	第3絕緣膜
SP	電極墊
SUB	基板
Va1	接觸孔
Va2	接觸孔
X	方向
Y	方向
Z	方向



I643299

【發明摘要】

【中文發明名稱】 半導體裝置

【英文發明名稱】 SEMICONDUCTOR DEVICE

【中文】

在本發明之半導體裝置中，複數個第1配線層（M1）配置在基板（SUB）的主表面上，第1絕緣膜（SO12）以覆蓋複數個第1配線層（M1）的頂面的方式配置，第2絕緣膜（SO13）以覆蓋第1絕緣膜（SO12）的頂面的方式配置，複數個第2配線層（M2）配置在第2絕緣膜（SO13）上。金屬電阻元件層（Rmn），配置在複數個第2配線層（M2）的其中至少1個第2配線層（M2）的正下方。複數個接觸栓塞（CP1），分別從複數個第2配線層（M2）沿著與主表面交叉的Z方向往金屬電阻元件層（Rmn）延伸。金屬電阻元件層（Rmn）包含金屬配線層（Rm）。複數個接觸栓塞（CP1）的其中至少1個接觸栓塞（CP1）的側面的至少一部分與金屬配線層（Rm）連接。

【英文】

A plurality of first wiring layers (M1) are arranged on a main surface of a substrate (SUB), a first insulating film (SO12) is arranged on upper faces of the plurality of first wiring layers (M1), a second insulating film (SO13) is arranged on an upper face of the first insulating film (SO12), and a plurality of second wiring layers (M2) are arranged on the second insulating film (SO13). A metal resistive element layer (Rmn) is arranged just below at least one second wiring layer (M2) among the plurality of

second wiring layers (M2). A plurality of conductive layers (CP1) extend from the plurality of second wiring layers (M2) respectively to the metal resistive element layer (Rmn) in a Z direction perpendicular to the main surface. The metal resistive element layer (Rmn) includes a metal wiring layer (Rm). At least one part of a side face of at least one conductive layer (CP1) among the plurality of conductive layers (CP1) is connected to the metal wiring layer (Rm).

【指定代表圖】 圖3

【代表圖之符號簡單說明】

B	區域
CP1	接觸栓塞
CP11	側底面層
CP12	內部填充層
M1	第1配線層
M1a	下層
M1b	配線本體
M1c	上層
M2	第2配線層
M2a	下層
M2b	配線本體
M2c	上層
Rm	金屬配線層

【發明申請專利範圍】

【第1項】

一種半導體裝置，其特徵為包含：複數個第1配線層，其配置在基板的主表面上；第1絕緣膜，其以覆蓋複數個該第1配線層的頂面的方式配置；至少1個金屬電阻元件層，其以覆蓋該第1絕緣膜的頂面的方式，配置在複數個該第1配線層的其中至少1個該第1配線層的正上方；複數個第2配線層，其配置在該第1絕緣膜上；以及複數個導電層，其分別從至少1個該金屬電阻元件層以及至少1個該第2配線層，在與該主表面交叉的方向上，分別延伸到複數個該第1配線層；至少1個該金屬電阻元件層的頂面被複數個該第2配線層的其中至少1個所覆蓋，其中，該金屬電阻元件層為複數配置；該金屬電阻元件層包含金屬配線層以及覆蓋該金屬配線層的頂面的反射防止膜層；複數個該金屬電阻元件層包含：至少1個第1金屬電阻元件層，其之構成該金屬電阻元件層的該金屬配線層以及該反射防止膜層，與覆蓋該反射防止膜層的頂面的該第2配線層形成電容元件；以及至少1個第2金屬電阻元件層，其利用複數個該導電層分別與複數個該第1配線層連接。

【第2項】

如申請專利範圍第1項之半導體裝置，其中，複數個該第2配線層包含以下二者：複數個保護用第2配線層，其以分別覆蓋該第1以及第2金屬電阻元件層之頂面的方式形成；以及至少1個配線用第2配線層，其在與該第1以及第2金屬電阻元件層同一層和該金屬電阻元件層隔著間隔配置。

【第3項】

如申請專利範圍第2項之半導體裝置，其中更包含：第2絕緣膜，其以覆蓋構成該電容元件的該保護用第2配線層的頂面的方式配置在該第1絕緣膜上；另一導

電層，其從該電容元件沿著與該主表面交叉的方向往該基板側的相反側方向延伸；以及第3配線層，其配置在該第2絕緣膜上且該電容元件的正上方；該另一導電層與該第3配線層連接。

【第4項】

如申請專利範圍第2項之半導體裝置，其中更包含：第2絕緣膜，其以覆蓋該配線用第2配線層的頂面的方式配置在該第1絕緣膜上；另一導電層，其從該配線用第2配線層的頂面沿著與該主表面交叉的方向往該基板側的相反側方向延伸；以及第3配線層，其配置在該第2絕緣膜上且該配線用第2配線層的正上方；該另一導電層與該第3配線層連接。

【第5項】

一種半導體裝置，其特徵為包含：複數個第1配線層，其配置在基板的主表面上；第1絕緣膜，其以覆蓋複數個該第1配線層的頂面的方式配置；至少1個金屬電阻元件層，其以覆蓋該第1絕緣膜的頂面的方式，配置在複數個該第1配線層的其中至少1個該第1配線層的正上方；複數個第2配線層，其配置在該第1絕緣膜上；以及複數個導電層，其分別從至少1個該金屬電阻元件層以及至少1個該第2配線層，在與該主表面交叉的方向上，分別延伸到複數個該第1配線層；至少1個該金屬電阻元件層的頂面被複數個該第2配線層的其中至少1個所覆蓋，其中，複數個該導電層的其中至少1個，為配置在與該金屬電阻元件層在俯視下重疊的金屬電阻元件區域，並從至少1個該金屬電阻元件層連接到「複數個該第1配線層的其中至少1個該第1配線層」的電阻元件區域導電層；複數個該導電層的其中至少1個，為在非該金屬電阻元件區域的配線區域中從「複數個該第2配

線層的其中至少1個該第2配線層」延伸到「複數個該第1配線層的其中至少1個該第1配線層」的配線區域導電層，

其中，在該金屬電阻元件區域中，該第2配線層覆蓋該金屬電阻元件層的頂面，並以覆蓋該第2配線層的頂面以及側面的至少任一面的方式配置另一金屬電阻元件層。

【第6項】

一種半導體裝置，其特徵為包含：複數個第1配線層，其配置在基板的主表面上；第1絕緣膜，其以覆蓋複數個該第1配線層的頂面的方式配置；至少1個金屬電阻元件層，其以覆蓋該第1絕緣膜的頂面的方式，配置在複數個該第1配線層的其中至少1個該第1配線層的正上方；複數個第2配線層，其配置在該第1絕緣膜上；以及複數個導電層，其分別從至少1個該金屬電阻元件層以及至少1個該第2配線層，在與該主表面交叉的方向上，分別延伸到複數個該第1配線層；至少1個該金屬電阻元件層的頂面被複數個該第2配線層的其中至少1個所覆蓋，

其中，複數個該導電層的其中至少1個，為配置在與該金屬電阻元件層在俯視下重疊的金屬電阻元件區域，並從至少1個該金屬電阻元件層連接到「複數個該第1配線層的其中至少1個該第1配線層」的電阻元件區域導電層；複數個該導電層的其中至少1個，為在非該金屬電阻元件區域的配線區域中從「複數個該第2配線層的其中至少1個該第2配線層」延伸到「複數個該第1配線層的其中至少1個該第1配線層」的配線區域導電層，

其中，該配線區域中的該第2配線層的頂面以及側面的至少任一面被另一金屬電阻元件層所覆蓋。

second wiring layers (M2). A plurality of conductive layers (CP1) extend from the plurality of second wiring layers (M2) respectively to the metal resistive element layer (Rmn) in a Z direction perpendicular to the main surface. The metal resistive element layer (Rmn) includes a metal wiring layer (Rm). At least one part of a side face of at least one conductive layer (CP1) among the plurality of conductive layers (CP1) is connected to the metal wiring layer (Rm).

【指定代表圖】 圖3

【代表圖之符號簡單說明】

B	區域
CP1	接觸栓塞
CP11	側底面層
CP12	內部填充層
M1	第1配線層
M1a	下層
M1b	配線本體
M1c	上層
M2	第2配線層
M2a	下層
M2b	配線本體
M2c	上層
Rm	金屬配線層

Rmn	金屬電阻元件層
SN1	反射防止膜層
SN11	鈍化膜
SO11	層間絕緣膜
SO12	第1絕緣膜
SO12a	第1絕緣膜下層
SO12b	第1絕緣膜上層
SO13	第2絕緣膜
SO14	第3絕緣膜
SUB	基板
Val	接觸孔
X	方向
Z	方向

【特徵化學式】

無