

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第6144882号
(P6144882)

(45) 発行日 平成29年6月7日 (2017.6.7)

(24) 登録日 平成29年5月19日 (2017.5.19)

(51) Int. Cl.	F I
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 2 3 A
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 1 8 B
GO 9 G 3/20 (2006.01)	HO 1 L 29/78 6 1 6 V
GO 9 G 3/36 (2006.01)	HO 1 L 29/78 6 1 2 B
GO 9 G 3/30 (2006.01)	HO 1 L 29/78 6 1 8 A
請求項の数 3 (全 56 頁) 最終頁に続く	

(21) 出願番号	特願2012-140438 (P2012-140438)	(73) 特許権者	000153878
(22) 出願日	平成24年6月22日 (2012.6.22)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2013-33944 (P2013-33944A)		神奈川県厚木市長谷 3 9 8 番地
(43) 公開日	平成25年2月14日 (2013.2.14)	(72) 発明者	山崎 舜平
審査請求日	平成27年4月3日 (2015.4.3)		神奈川県厚木市長谷 3 9 8 番地 株式会社
(31) 優先権主張番号	特願2011-144836 (P2011-144836)		半導体エネルギー研究所内
(32) 優先日	平成23年6月29日 (2011.6.29)	(72) 発明者	小山 潤
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷 3 9 8 番地 株式会社
			半導体エネルギー研究所内
		審査官	市川 武宜
			最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

トランジスタを有し、
前記トランジスタは、酸化物半導体層と、ゲート電極層と、ソース電極層と、ドレイン電極層と、を有し、
前記酸化物半導体層は、インジウムと、亜鉛と、ガリウムとを有し、
前記酸化物半導体層は、第 1 の領域と、第 2 の領域と、第 3 の領域と、を有し、
前記第 1 の領域は、前記トランジスタのチャネル形成領域として機能し、
前記第 2 の領域は、前記トランジスタのソース領域又はドレイン領域の一方として機能し、
前記第 3 の領域は、前記トランジスタのソース領域又はドレイン領域の他方として機能し、
前記ゲート電極層は、前記第 1 の領域の上方に、ゲート絶縁層を介して前記第 1 の領域と重なるように設けられ、
前記ソース電極層又は前記ドレイン電極層の一方は、前記第 2 の領域と電氣的に接続され、
前記ソース電極層又は前記ドレイン電極層の他方は、前記第 3 の領域と電氣的に接続され、
前記第 2 の領域の抵抗と前記第 3 の領域の抵抗は、前記第 1 の領域の抵抗よりも低く、
前記第 2 の領域と前記第 3 の領域は、第 1 の元素と、第 2 の元素と、を含み、

前記第 1 の元素は、A l、T i、M o、W、H f、T a、L a、B a、M g、Z r、又は N iであり、

前記第 2 の元素は、A r、H e、N e、F、又は C lであり、

前記第 1 の領域は、前記第 1 の元素を含まないことを特徴とする半導体装置。

【請求項 2】

トランジスタを有し、

前記トランジスタは、酸化物半導体層と、ゲート電極層と、ソース電極層と、ドレイン電極層と、を有し、

前記酸化物半導体層は、インジウムと、亜鉛と、ガリウムとを有し、

前記酸化物半導体層は、第 1 の領域と、第 2 の領域と、第 3 の領域と、を有し、

前記第 1 の領域は、前記トランジスタのチャネル形成領域として機能し、

前記第 2 の領域は、前記トランジスタのソース領域又はドレイン領域の一方として機能し、

前記第 3 の領域は、前記トランジスタのソース領域又はドレイン領域の他方として機能し、

前記ゲート電極層は、前記第 1 の領域の上方に、ゲート絶縁層を介して前記第 1 の領域と重なるように設けられ、

前記ソース電極層又は前記ドレイン電極層の一方は、前記第 2 の領域と電氣的に接続され、

前記ソース電極層又は前記ドレイン電極層の他方は、前記第 3 の領域と電氣的に接続され、

前記第 2 の領域の抵抗と前記第 3 の領域の抵抗は、前記第 1 の領域の抵抗よりも低く、

前記第 2 の領域と前記第 3 の領域は、第 1 の元素と、第 2 の元素と、を含み、

前記第 1 の元素は、T iであり、

前記第 2 の元素は、A rであり、

前記第 1 の領域は、前記第 1 の元素を含まないことを特徴とする半導体装置。

【請求項 3】

請求項 1 または請求項 2 において、

前記酸化物半導体層は、第 1 の酸化物半導体層と、第 2 の酸化物半導体層と、第 3 の酸化物半導体層と、を有し、

前記第 2 の酸化物半導体層は、前記第 1 の酸化物半導体層と前記第 3 の酸化物半導体層に挟まれ、

前記第 2 の酸化物半導体層のエネルギーギャップは、前記第 1 の酸化物半導体層のエネルギーギャップよりも小さく、且つ、前記第 3 の酸化物半導体層のエネルギーギャップよりも小さいことを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、静電気放電などによる高電圧の印加に対して回路の破壊を防ぐために保護回路を設けた駆動回路、当該駆動回路の作製方法および当該駆動回路を用いた表示装置に関する。

【背景技術】

【0002】

表示装置などの半導体装置に用いられる半導体回路は、静電気放電 (E l e c t r o S t a t i c D i s c h a r g e、以下、「E S D」と呼ぶ。) によって半導体素子や電極などが破壊されることがある。この E S D による半導体回路の破壊防止対策として、多くの半導体回路には、保護回路が接続されている。保護回路は、端子や配線などに印加された過剰な電圧が半導体回路に供給されることを防ぐための回路である。保護回路に用いられる代表的な素子には、抵抗素子、ダイオード、トランジスタ、容量素子などがある。

。

10

20

30

40

50

【 0 0 0 3 】

また、保護回路を設けることで、信号や電源電圧と共にノイズが配線等に入力された場合であっても、該ノイズによる後段の半導体回路の誤動作の防止が可能であり、また該ノイズによる半導体素子の劣化又は破壊を防ぐこともできる。

【 0 0 0 4 】

例えば、特許文献 1 では、表示装置の走査電極と表示部の外周に配置した導電線との間に、ソースとゲートを短絡させた MOS 型トランジスタと、ゲートとドレインを短絡させた MOS 型トランジスタとを直列に接続した保護回路を接続する技術が開示されている。

【 先行技術文献 】

【 特許文献 】

10

【 0 0 0 5 】

【 特許文献 1 】 特開平 7 - 9 2 4 4 8 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 6 】

しかし、特許文献 1 のように表示装置の走査電極と表示部の外周に配置した導電線との間に保護回路を形成しただけでは、当該表示装置の駆動回路に設けられた半導体素子、例えばトランジスタへの ESD による損傷を防ぐことは困難である。特に、駆動回路のトランジスタの作製工程においてプラズマ処理を用いると、当該プラズマのダメージによってトランジスタの作製中に ESD が発生し、トランジスタや電極が破壊される恐れもある。

20

【 0 0 0 7 】

また、代表的な半導体材料であるシリコンを用いた半導体素子（ダイオード、トランジスタなど）では、オフ状態でのリーク電流が比較的大きい。そのため、駆動回路に設けられた信号線などの配線と電源線との間に該素子で形成した保護回路を接続した場合、該配線間にリーク電流が流れ、該配線の電位や電源電位が変化し、駆動回路の動作を不安定にさせることがある。

【 0 0 0 8 】

そこで、開示する発明の一態様は、作製中に ESD により半導体素子が破壊されることを抑制する駆動回路および当該駆動回路の作製方法を提供することを課題の一とする。また、リーク電流の小さい保護回路が設けられた駆動回路および当該駆動回路の作製方法を提供することを課題の一とする。

30

【 課題を解決するための手段 】

【 0 0 0 9 】

開示する発明では、駆動回路中の半導体素子と電気的に接続して、駆動回路中に保護回路を設け、駆動回路中の半導体素子となるトランジスタと駆動回路中の保護回路を形成するトランジスタを同時に形成することにより、駆動回路の作製中に ESD により半導体素子が破壊されることを抑制することができる。さらに、開示する発明では、駆動回路中の保護回路を形成するトランジスタに酸化物半導体膜を用いることにより、保護回路のリーク電流を低減することができる。

【 0 0 1 0 】

40

開示する発明の一態様は、保護回路と、半導体素子と、を含み、保護回路は、酸化物半導体膜が設けられたトランジスタを有し、当該トランジスタは、半導体素子の端子の一とソース電極層またはドレイン電極層の一方が電気的に接続され、ゲート電極層とソース電極層またはドレイン電極層のいずれかとが電気的に接続され、酸化物半導体膜は、ゲート電極層と重畳する領域にチャネル形成領域を有し、当該チャネル形成領域を挟んで、チャネル形成領域より抵抗が低く、金属元素を含む、ソース領域およびドレイン領域を有する駆動回路である。

【 0 0 1 1 】

開示する発明の他の一態様は、高電位電源線と、低電位電源線と、第 1 の保護回路と、第 2 の保護回路と、半導体素子と、を含み、第 1 の保護回路は、第 1 の酸化物半導体膜が

50

設けられた第1のトランジスタを有し、当該第1のトランジスタは、半導体素子の端子の一と第1のソース電極層または第1のドレイン電極層の一方が電氣的に接続され、高電位電源線と第1のソース電極層または第1のドレイン電極層の他方が電氣的に接続され、半導体素子の端子の一の電位が高電位電源線の電位より高い場合に順方向バイアスとなるように、第1のゲート電極層と第1のソース電極層または第1のドレイン電極層のいずれかが電氣的に接続され、第2の保護回路は、第2の酸化物半導体膜が設けられた第2のトランジスタを有し、当該第2のトランジスタは、半導体素子の端子の一と第2のソース電極層または第2のドレイン電極層の一方が電氣的に接続され、低電位電源線と第2のソース電極層または第2のドレイン電極層の他方が電氣的に接続され、半導体素子の端子の一の電位が低電位電源線の電位より低い場合に順方向バイアスとなるように、第2のゲート電極層と第2のソース電極層または第2のドレイン電極層のいずれかが電氣的に接続される駆動回路である。

10

【0012】

上記において、第1の保護回路は、互いに直列接続された複数の第1のトランジスタを有し、第2の保護回路は、互いに直列接続された複数の第2のトランジスタを有してもよい。また、第1の酸化物半導体膜は、第1のゲート電極層と重畳する領域にチャネル形成領域を有し、当該チャネル形成領域を挟んで、チャネル形成領域より抵抗が低く、金属元素を含む、ソース領域およびドレイン領域を有し、第2の酸化物半導体膜は、第2のゲート電極層と重畳する領域にチャネル形成領域を有し、当該チャネル形成領域を挟んで、チャネル形成領域より抵抗が低く、金属元素を含む、ソース領域およびドレイン領域を有することが好ましい。

20

【0013】

また、半導体素子は、第3の酸化物半導体膜が設けられた第3のトランジスタであることが好ましい。また、第3の酸化物半導体膜は、第3のトランジスタのゲート電極層と重畳する領域にチャネル形成領域を有し、当該チャネル形成領域を挟んで、チャネル形成領域より抵抗が低く、金属元素を含む、ソース領域およびドレイン領域を有することが好ましい。

【0014】

また、開示する発明の他の一態様は、上記に記載の駆動回路を有する表示装置である。

【0015】

30

また、開示する発明の他の一態様は、基板上に酸化物半導体膜を形成し、酸化物半導体膜上にゲート絶縁膜及びゲート電極層を積層して形成し、酸化物半導体膜、ゲート絶縁膜およびゲート電極層上に、酸化物半導体膜の一部と接するように金属元素を含む膜を、基板を加熱しながらスパッタリング法で成膜し、酸化物半導体膜のゲート電極層と重畳する領域にチャネル形成領域を形成し、酸化物半導体膜の当該チャネル形成領域を挟む領域に、チャネル形成領域より抵抗が低く、金属元素を含む、ソース領域およびドレイン領域を形成し、金属元素を含む膜を、ウェットエッチングを用いて除去し、酸化物半導体膜、ゲート絶縁膜およびゲート電極層上に絶縁膜を形成し、絶縁膜上にソース電極層およびドレイン電極層を形成し、絶縁膜に形成した開口を介して、ソース領域およびドレイン領域と電氣的に接続し、ソース電極層またはドレイン電極層の一方は、同一基板上に形成された半導体素子の端子の一と電氣的に接続し、ソース電極層またはドレイン電極層の他方は、同一基板上に形成された配線と電氣的に接続し、ゲート電極層と、ソース電極層またはドレイン電極層のいずれかが電氣的に接続するトランジスタを形成し、保護回路として用いる駆動回路の作製方法である。また、上記において、金属元素を含む膜の成膜は、アルゴン雰囲気、窒素雰囲気または真空中で行うことが好ましい。

40

【0016】

また、開示する発明の他の一態様は、基板上に酸化物半導体膜を形成し、酸化物半導体膜上にゲート絶縁膜及びゲート電極層を積層して形成し、酸化物半導体膜、ゲート絶縁膜およびゲート電極層上に、酸化物半導体膜の一部と接するように金属元素を含む膜をスパッタリング法で成膜し、酸化物半導体膜および金属元素を含む膜を加熱して金属元素を

50

む膜から金属元素を酸化物半導体膜に導入し、酸化物半導体膜のゲート電極層と重畳する領域にチャネル形成領域を形成し、酸化物半導体膜の当該チャネル形成領域を挟む領域に、チャネル形成領域より抵抗が低く、金属元素を含む、ソース領域およびドレイン領域を形成し、金属元素を含む膜を、ウェットエッチングを用いて除去し、酸化物半導体膜、ゲート絶縁膜およびゲート電極層上に絶縁膜を形成し、絶縁膜上にソース電極層およびドレイン電極層を形成し、絶縁膜に形成した開口を介して、ソース領域およびドレイン領域と電氣的に接続し、ソース電極層またはドレイン電極層の一方は、同一基板上に形成された半導体素子の端子の一と電氣的に接続し、ソース電極層またはドレイン電極層の他方は、同一基板上に形成された配線と電氣的に接続し、ゲート電極層と、ソース電極層またはドレイン電極層のいずれかが電氣的に接続するトランジスタを形成し、保護回路として用いる駆動回路の作製方法である。また、上記において、酸化物半導体膜および金属元素を含む膜の加熱は、アルゴン雰囲気、窒素雰囲気または真空中で行うことが好ましい。

10

【 0 0 1 7 】

また、上記において、金属元素を含む膜を成膜してから、当該金属元素を含む膜を除去するまでの間に、ゲート絶縁膜及びゲート電極層をマスクとして、酸化物半導体膜に金属元素を含む膜を通過してドーパントを選択的に導入し、酸化物半導体膜のチャネル形成領域を挟む領域に、チャネル形成領域より抵抗が低く、金属元素およびドーパントを含む、ソース領域およびドレイン領域を形成することが好ましい。

【 0 0 1 8 】

また、半導体素子は、酸化物半導体が設けられた第2のトランジスタであり、第2のトランジスタは、上記のトランジスタと並行して作製することが好ましい。

20

【 0 0 1 9 】

また、金属元素を含む膜のウェットエッチングにおいて、金属元素を含む膜がゲート電極層に対して高いエッチング選択比を取ることが好ましい。また、金属元素としてアルミニウムまたはマグネシウムのいずれかを用いることが好ましい。また、ドーパントとしてリンまたはホウ素のいずれかを用いることが好ましい。

【 0 0 2 0 】

本明細書等において、「駆動回路」とは、表示装置における走査線駆動回路及び／又は信号線駆動回路を指すものである。また、駆動回路を構成する半導体素子、または駆動回路に含まれる半導体素子とは、当該駆動回路に信号を入力する配線より内側に接続され、且つ当該駆動回路から信号を出力する配線より内側に接続された半導体素子を指すものとする。

30

【 0 0 2 1 】

また、本明細書等において「電極」や「配線」という用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」という用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

【 0 0 2 2 】

また、「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」という用語は、入れ替えて用いることができるものとする。

40

【 0 0 2 3 】

なお、本明細書等において、「電氣的に接続」には、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。

【 0 0 2 4 】

例えば、「何らかの電氣的作用を有するもの」には、電極や配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、キャパシタ、その他の各種機能を有

50

する素子などが含まれる。

【発明の効果】

【0025】

開示する発明の一態様によって、作製中にESDにより半導体素子が破壊されることを抑制する駆動回路および当該駆動回路の作製方法を提供することができる。また、開示する発明の一態様によって、リーク電流の小さい保護回路が設けられた駆動回路および当該駆動回路の作製方法を提供することができる。

【図面の簡単な説明】

【0026】

【図1】駆動回路に用いる保護回路を説明する回路図。

10

【図2】駆動回路に用いる保護回路を説明する回路図。

【図3】表示装置のブロック図を説明する図。

【図4】信号線駆動回路の構成を説明する図及び動作を説明するタイミングチャート。

【図5】駆動回路を形成するシフトレジスタおよびパルス出力回路を説明するブロック図。

【図6】駆動回路を形成するパルス出力回路を説明する回路図。

【図7】シフトレジスタの動作を説明するタイミングチャート。

【図8】駆動回路に用いる保護回路の作製方法を説明する断面図。

【図9】駆動回路に用いる保護回路の作製方法を説明する断面図。

20

【図10】駆動回路に用いる保護回路の作製方法を説明する断面図。

【図11】駆動回路に用いる保護回路の作製方法を説明する断面図。

【図12】駆動回路を有する表示装置を説明する図。

【図13】駆動回路を有する表示装置を説明する図。

【図14】開示する発明の駆動回路を用いた表示装置を有する電子機器の外観図。

【図15】駆動回路に用いる保護回路の作製方法を説明する断面図。

【図16】駆動回路に用いる保護回路を説明する断面図。

【発明を実施するための形態】

【0027】

本発明の実施の形態の一例について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する実施の形態において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

30

【0028】

なお、図面等において示す各構成の、位置、大きさ、範囲などは、理解の簡単のため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面等を開示された位置、大きさ、範囲などに限定されない。

【0029】

なお、本明細書等における「第1」、「第2」、「第3」などの序数は、構成要素の混同を避けるために付すものであり、数的に限定するものではないことを付記する。

40

【0030】

(実施の形態1)

本実施の形態では、開示する発明の一態様に係る駆動回路および当該駆動回路に用いることができる保護回路の構成及び動作方法について図1乃至図4を用いて説明する。

【0031】

開示する発明の一態様に係る、駆動回路に用いる保護回路と、当該駆動回路を構成する半導体素子との接続関係を図1に示す。駆動回路は、当該駆動回路を構成する半導体素子101の端子の一と第1の配線102との間に第1の保護回路104が設けられ、当該駆動回路を構成する半導体素子101の端子の一と第2の配線103との間に第2の保護回

50

路 105 が設けられる構成となっている。また、図 1 に示す駆動回路において、第 1 の配線 102 は高電位電源線 (VDD)、第 2 の配線 103 は低電位電源線 (VSS) とすることができる。また、第 2 の配線 103 は接地電位線 (GND) としてもよい。

【0032】

図 1 に示す駆動回路においては、第 1 の保護回路 104 としてトランジスタ 114 が設けられ、第 2 の保護回路 105 としてトランジスタ 115 が設けられ、半導体素子 101 としてトランジスタ 111 が設けられている。ここで、トランジスタ 111 のゲート電極層と、トランジスタ 114 のソース電極層またはドレイン電極層の一方と、トランジスタ 115 のソース電極層またはドレイン電極層の一方と、が電氣的に接続される。また、トランジスタ 114 のソース電極層またはドレイン電極層の他方と第 1 の配線 102 とが電氣的に接続され、トランジスタ 115 のソース電極層またはドレイン電極層の他方と第 2 の配線 103 とが電氣的に接続される。また、トランジスタ 111 のゲート電極層の電位が第 1 の配線 102 の電位より高い場合に順方向バイアスとなるように、トランジスタ 114 のゲート電極層とソース電極層またはドレイン電極層のいずれかとが電氣的に接続され、トランジスタ 111 のゲート電極層の電位が第 2 の配線 103 の電位より低い場合に順方向バイアスとなるように、トランジスタ 115 のゲート電極層とソース電極層またはドレイン電極層のいずれかとが電氣的に接続される。

【0033】

なお、本実施の形態においては、トランジスタ 114 およびトランジスタ 115 は n チャネル型として説明を行うが、これに限られず p チャネル型としてもよい。p チャネル型とする場合、第 1 の配線 102 と第 2 の配線 103 に与えられる電位を逆にする。

【0034】

半導体素子 101 は、トランジスタに限られず、駆動回路を形成する半導体素子ならばどのような素子でも対象となる。また、半導体素子 101 の端子としては、当該半導体素子に接続された配線も含むものとする。また、駆動回路内の複数の半導体素子 101 それぞれに対して、図 1 に示すように第 1 の保護回路 104 および第 2 の保護回路 105 を設けることもできる。

【0035】

第 1 の保護回路 104 は、第 1 の配線 102 と半導体素子 101 の端子間に印加される電圧の大小により順方向バイアスまたは逆方向バイアスをとる非線形素子を形成していれば良く、図 1 に示す駆動回路においては、ゲート電極層とソース電極層またはドレイン電極層のいずれかとが電氣的に接続されたトランジスタ 114 とした。ここで、トランジスタ 114 が n チャネル型の場合、トランジスタ 114 のゲート電極層はソース電極層またはドレイン電極層の一方 (ここでは、ソース電極層) と電氣的に接続される。

【0036】

また、第 1 の保護回路 104 は、少なくとも一つ以上の、ゲート電極層とソース電極層またはドレイン電極層のいずれかとが電氣的に接続されたトランジスタ 114 を有していればよく、他の半導体素子を含んでも良い。例えば、図 2 に示すように、ゲート電極層とソース電極層またはドレイン電極層のいずれかとが電氣的に接続されたトランジスタ 114 a およびトランジスタ 114 b を直列に接続して第 1 の保護回路 104 を形成しても良い。もちろん三つ以上のトランジスタを直列に接続しても良い。

【0037】

第 2 の保護回路 105 は、第 2 の配線 103 と半導体素子 101 の端子間に印加される電圧の大小により順方向バイアスまたは逆方向バイアスをとる非線形素子を形成していれば良く、図 1 に示す駆動回路においては、ゲート電極層とソース電極層またはドレイン電極層のいずれかとが電氣的に接続されたトランジスタ 115 とした。ここで、トランジスタ 115 が n チャネル型の場合、トランジスタ 115 のゲート電極層はソース電極層またはドレイン電極層の他方 (ここでは、ソース電極層) と電氣的に接続される。

【0038】

また、第 2 の保護回路 105 も第 1 の保護回路 104 と同様に、少なくとも一つ以上の

、ゲート電極層とソース電極層またはドレイン電極層のいずれかとは電氣的に接続されたトランジスタ 115 を有していればよく、他の半導体素子を含んでいても良い。例えば、図 2 に示すように、ゲート電極層とソース電極層またはドレイン電極層のいずれかとは電氣的に接続されたトランジスタ 115 a およびトランジスタ 115 b を直列に接続して第 2 の保護回路 105 を形成しても良い。もちろん三つ以上のトランジスタを直列に接続しても良い。

【0039】

ここで、トランジスタ 114 およびトランジスタ 115 は、逆方向バイアスが印加される際のオフ電流が極めて小さいことが好ましい。オフ電流が極めて小さいトランジスタとしては、シリコンよりも広いバンドギャップを有する半導体（ワイドバンドギャップ半導体）をチャンネル形成領域に用いたトランジスタが挙げられる。

10

【0040】

具体的には、非常に高いオフ抵抗を得るためには、シリコン（バンドギャップ 1.1 eV）では不十分であり、バンドギャップが 2.5 eV 以上 4 eV 以下、好ましくは 3 eV 以上 3.8 eV 以下のワイドバンドギャップ半導体を使用すると良い。ワイドバンドギャップ半導体の一例として、炭化珪素（SiC）、窒化ガリウム（GaN）などの化合物半導体、In-Ga-Zn-O 系酸化物半導体などの金属酸化物でなる酸化物半導体などを適用することができる。

【0041】

トランジスタのオフ抵抗は、チャンネルが形成される半導体層において、熱的に励起されるキャリアの濃度に反比例する。ドナーやアクセプタによるキャリアが全く存在しない状態（真性半導体）であっても、シリコンの場合にはバンドギャップが 1.1 eV なので、室温（300 K）での熱励起キャリアの濃度は $1 \times 10^{11} \text{ cm}^{-3}$ 程度である。

20

【0042】

一方、バンドギャップ 3.2 eV のワイドバンドギャップ半導体では熱励起キャリアの濃度は $1 \times 10^{-7} \text{ cm}^{-3}$ 程度となる。電子移動度が同じ場合、オフ抵抗は、キャリア濃度に反比例するので、バンドギャップ 3.2 eV の半導体のオフ抵抗は、シリコンより 18 桁も大きくなる。このような化合物半導体としては、例えば In-Ga-Zn-O 系や In-Sn-Zn-O 系の酸化物半導体が知られている。

【0043】

30

従って、トランジスタ 114 およびトランジスタ 115 に酸化物半導体に代表されるワイドバンドギャップ半導体を用いれば、逆方向バイアスが印加される際のオフ電流を極めて小さくすることができる。また、駆動回路を形成するトランジスタ 111 も同様に、酸化物半導体に代表されるワイドバンドギャップ半導体を用いることが好ましい。これにより、トランジスタ 111 のオフ電流を低減し、駆動回路の消費電力の低減を図ることができる。

【0044】

上述のように駆動回路において、第 1 の保護回路 104 および第 2 の保護回路 105 を、駆動回路を形成する半導体素子 101 の端子の一に接続することで、ESD などの高いサージ電圧が半導体素子 101 の端子の一に印加された場合でも、第 1 の保護回路 104 または第 2 の保護回路 105 が放電経路となり、サージ電流が半導体素子 101 に流れることを防ぐことができる。

40

【0045】

例えば、正のサージ電圧が半導体素子 101 の端子の一に印加された場合、第 1 の保護回路 104 が順方向バイアスとなるため、半導体素子 101 の端子の一から第 1 の配線 102 へ電流が流れる。また、負のサージ電圧が半導体素子 101 の端子の一に印加された場合、第 2 の保護回路 105 が順方向バイアスとなるため、第 2 の配線 103 から半導体素子 101 の端子の一へ電流が流れる。このようにして ESD 等で半導体素子 101 の端子の一に供給された電荷を打ち消し、半導体素子 101 への不要な電荷の流入を防ぐことができる。特に半導体素子 101 としてトランジスタ 111 を用いる場合、第 1 の保護回

50

路 104 および第 2 の保護回路 105 がなければ、サージ電圧により過剰な電流がトランジスタ 111 のゲート絶縁膜を通過してトランジスタ 111 が絶縁破壊を引き起こす恐れがあるが、第 1 の保護回路 104 および第 2 の保護回路 105 を設けることによりその危険性を排除することができる。

【0046】

また、上述の第 1 の保護回路 104 および第 2 の保護回路 105 の機能は、第 1 の配線 102 に高電位が与えられ、第 2 の配線 103 に低電位が与えられる場合だけではなく、第 1 の配線 102 および第 2 の配線 103 にこれらの電位が与えられていない場合、すなわち駆動回路の作製工程の途中、もしくは駆動回路を表示装置に取り付けている途中についても同様のことが言える。正のサージ電圧は電圧の絶対値が十分に大きいため、第 1 の配線 102 に高電位が与えられていなくとも第 1 の保護回路 104 は順方向バイアスとなる。また、負のサージ電圧も電圧の絶対値が十分に大きいため、第 2 の配線 103 に低電位が与えられていなくとも第 2 の保護回路 105 は順方向バイアスとなる。

【0047】

ただし、駆動回路の作製工程の途中において、第 1 の保護回路 104 および第 2 の保護回路 105 を動作させるには、第 1 の保護回路 104 および第 2 の保護回路 105 と半導体素子 101 を同時に作製することが必要である。よって、トランジスタ 114、トランジスタ 115 およびトランジスタ 111 は同様の構成で同時に作製することが好ましい。

【0048】

なお、駆動回路の通常動作時においては、第 1 の保護回路 104 または第 2 の保護回路 105 に用いられるトランジスタ 114 またはトランジスタ 115 が逆方向バイアス状態か、または第 1 の配線 102 または第 2 の配線 103 と半導体素子 101 の端子の一との間の電位差がトランジスタ 114 またはトランジスタ 115 の動作電圧を超えない状態であるため、第 1 の保護回路 104 または第 2 の保護回路 105 は基本的には動作しない。

【0049】

このとき、トランジスタ 114 およびトランジスタ 115 にシリコンなどのバンドギャップの狭い半導体を用いると、逆方向バイアスでも僅かな電流が流れるため、第 1 の配線 102 または第 2 の配線 103 と半導体素子 101 の端子の一との間でリーク電流が流れ、第 1 の配線 102 または第 2 の配線 103 の電位、または半導体素子 101 の端子の一の電位に変化が生じてしまう。

【0050】

しかし、上述のようにトランジスタ 114 およびトランジスタ 115 に酸化物半導体に代表されるワイドバンドギャップ半導体を用いることにより、逆方向バイアスが印加される際のトランジスタ 114 およびトランジスタ 115 のオフ電流を極めて小さくすることができるので、第 1 の保護回路 104 および第 2 の保護回路 105 のリーク電流を低減することができる。

【0051】

また、図 2 に示すように、トランジスタ 114 またはトランジスタ 115 を直列に接続して、第 1 の保護回路 104 または第 2 の保護回路 105 を形成することで、第 1 の保護回路 104 または第 2 の保護回路 105 に順方向バイアスが掛かって電流が流れるために必要な、半導体素子 101 の端子の一と第 1 の配線 102 との電位差、または半導体素子 101 の端子の一と第 2 の配線 103 との電位差を大きくすることができる。例えば、トランジスタ 114 が n 個直列に接続されている場合には、半導体素子 101 の端子の一と第 1 の配線 102 との電位差が $n \times V_{th}$ (V_{th} はトランジスタ 114 のしきい値電圧) 以上にならないと、第 1 の保護回路 104 に順方向バイアスの電流は流れない。よって、少量のノイズなどが半導体素子 101 の端子に入ることによって第 1 の保護回路 104 または第 2 の保護回路 105 が動作してしまうのを防ぐことができる。

【0052】

図 1 または図 2 に示す保護回路を用いることができる駆動回路および当該駆動回路を用いたアクティブマトリクス表示装置の一例を以下に示す。

【0053】

アクティブマトリクス型表示装置のブロック図の一例を図3(A)に示す。表示装置の基板5300上には、画素部5301、第1の走査線駆動回路5302、第2の走査線駆動回路5303、信号線駆動回路5304が設けられる。画素部5301には、複数の信号線が信号線駆動回路5304から延伸して配置され、複数の走査線が第1の走査線駆動回路5302、及び第2の走査線駆動回路5303から延伸して配置されている。なお走査線と信号線との交差領域には、各々、表示素子を有する画素がマトリクス状に配置されている。また、表示装置の基板5300はFPC(Flexible Printed Circuit)等の接続部を介して、タイミング制御回路5305(コントローラ、制御ICともいう)に接続されている。

10

【0054】

図3(A)に示す、第1の走査線駆動回路5302、第2の走査線駆動回路5303、信号線駆動回路5304には、図1または図2で示した駆動回路を用いることができる。また、第1の走査線駆動回路5302、第2の走査線駆動回路5303、信号線駆動回路5304は、画素部5301と同じ基板5300上に形成される。そのため、外部に設ける駆動回路等の部品の数が減るので、コストの低減を図ることができる。また、基板5300と外部の駆動回路との接続部(FPCなど)を減らすことができるため、信頼性の向上、又は歩留まりの向上を図ることができる。

【0055】

なお、タイミング制御回路5305は、第1の走査線駆動回路5302に対し、一例として、第1の走査線駆動回路用スタート信号(GSP1)、走査線駆動回路用クロック信号(GCK1)を供給する。また、タイミング制御回路5305は、第2の走査線駆動回路5303に対し、一例として、第2の走査線駆動回路用スタート信号(GSP2)(スタートパルスともいう)、走査線駆動回路用クロック信号(GCK2)を供給する。信号線駆動回路5304に、信号線駆動回路用スタート信号(SSP)、信号線駆動回路用クロック信号(SCK)、ビデオ信号用データ(DATA)(単にビデオ信号ともいう)、ラッチ信号(LAT)を供給するものとする。なお各クロック信号は、周期のずれた複数のクロック信号でもよいし、クロック信号を反転させた信号(CKB)とともに供給されるものであってもよい。なお、第1の走査線駆動回路5302と第2の走査線駆動回路5303との一方を省略することが可能である。

20

30

【0056】

図3(B)では、駆動周波数が低い回路(例えば、第1の走査線駆動回路5302、第2の走査線駆動回路5303)を画素部5301と同じ基板5300に形成し、信号線駆動回路5304を画素部5301とは別の基板に形成する構成について示している。当該構成により、単結晶半導体を用いたトランジスタと比較すると電界効果移動度が小さい薄膜トランジスタによって、基板5300に形成する駆動回路を構成することができる。したがって、表示装置の大型化、工程数の削減、コストの低減、又は歩留まりの向上などを図ることができる。

【0057】

また、図3(A)および図3(B)に示す、第1の走査線駆動回路5302、第2の走査線駆動回路5303または信号線駆動回路5304、および当該駆動回路の一部は、LSIで形成してもよい。

40

【0058】

また、図4(A)、図4(B)ではnチャネル型TFTで構成する信号線駆動回路の構成、動作について一例を示し説明する。

【0059】

信号線駆動回路は、シフトレジスタ5601、及びスイッチング回路5602を有する。スイッチング回路5602は、スイッチング回路5602_1~5602_N(Nは自然数)という複数の回路を有する。スイッチング回路5602_1~5602_Nは、各々、薄膜トランジスタ5603_1~5603_k(kは自然数)という複数のトランジ

50

スタを有する。薄膜トランジスタ 5603__1 ~ 5603__k は、nチャネル型 TFT である例を説明する。

【0060】

信号線駆動回路の接続関係について、スイッチング回路 5602__1 を例にして説明する。薄膜トランジスタ 5603__1 ~ 5603__k の第1端子は、各々、配線 5604__1 ~ 5604__k と接続される。薄膜トランジスタ 5603__1 ~ 5603__k の第2端子は、各々、信号線 S1 ~ Sk と接続される。薄膜トランジスタ 5603__1 ~ 5603__k のゲートは、配線 5605__1 と接続される。

【0061】

シフトレジスタ 5601 は、配線 5605__1 ~ 5605__N に順番に H レベル (H 信号、高電源電位レベル、ともいう) の信号を出力し、スイッチング回路 5602__1 ~ 5602__N を順番に選択する機能を有する。

【0062】

例えば、スイッチング回路 5602__1 は、配線 5604__1 ~ 5604__k と信号線 S1 ~ Sk との導通状態 (第1端子と第2端子との間の導通) を制御する機能、即ち配線 5604__1 ~ 5604__k の電位を信号線 S1 ~ Sk に供給するか否かを制御する機能を有する。このように、スイッチング回路 5602__1 は、セクタとしての機能を有する。また薄膜トランジスタ 5603__1 ~ 5603__k は、各々、配線 5604__1 ~ 5604__k と信号線 S1 ~ Sk との導通状態を制御する機能、即ち配線 5604__1 ~ 5604__k の電位を信号線 S1 ~ Sk に供給する機能を有する。このように、薄膜トランジスタ 5603__1 ~ 5603__k は、各々、スイッチとしての機能を有する。

【0063】

なお、配線 5604__1 ~ 5604__k には、各々、ビデオ信号用データ (DATA) が入力される。ビデオ信号用データ (DATA) は、画像情報又は画像信号に応じたアナログ信号である場合が多い。

【0064】

次に、図4(A)の信号線駆動回路の動作について、図4(B)のタイミングチャートを参照して説明する。図4(B)には、信号 Sout__1 ~ Sout__N、及び信号 Vdata__1 ~ Vdata__k の一例を示す。信号 Sout__1 ~ Sout__N は、各々、シフトレジスタ 5601 の出力信号の一例であり、信号 Vdata__1 ~ Vdata__k は、各々、配線 5604__1 ~ 5604__k に入力される信号の一例である。なお、信号線駆動回路の1動作期間は、表示装置における1ゲート選択期間に対応する。1ゲート選択期間は、一例として、期間 T1 ~ 期間 TN に分割される。期間 T1 ~ TN は、各々、選択された行に属する画素にビデオ信号用データ (DATA) を書き込むための期間である。

【0065】

なお、本実施の形態の図面等において示す各構成の、信号波形のなまり等は、明瞭化のために誇張して表記している場合がある。よって、必ずしもそのスケールに限定されないものであることを付記する。

【0066】

期間 T1 ~ 期間 TN において、シフトレジスタ 5601 は、H レベルの信号を配線 5605__1 ~ 5605__N に順番に出力する。例えば、期間 T1 において、シフトレジスタ 5601 は、ハイレベルの信号を配線 5605__1 に出力する。すると、薄膜トランジスタ 5603__1 ~ 5603__k はオンになるので、配線 5604__1 ~ 5604__k と、信号線 S1 ~ Sk とが導通状態になる。このとき、配線 5604__1 ~ 5604__k には、Data (S1) ~ Data (Sk) が入力される。Data (S1) ~ Data (Sk) は、各々、薄膜トランジスタ 5603__1 ~ 5603__k を介して、選択される行に属する画素のうち、1列目 ~ k列目の画素に書き込まれる。こうして、期間 T1 ~ TN において、選択された行に属する画素に、k列ずつ順番にビデオ信号用データ (DATA) が書き込まれる。

10

20

30

40

50

【 0 0 6 7 】

以上のように、ビデオ信号用データ (DATA) が複数の列ずつ画素に書き込まれることによって、ビデオ信号用データ (DATA) の数、又は配線の数減らすことができる。よって、外部回路との接続数を減らすことができる。また、ビデオ信号用データ (DATA) が複数の列ずつ画素に書き込まれることによって、書き込み時間を長くすることができ、ビデオ信号用データ (DATA) の書き込み不足を防止することができる。

【 0 0 6 8 】

走査線駆動回路及び/または信号線駆動回路の一部に用いることができ、図 1 または図 2 に示す保護回路を用いたシフトレジスタの一形態について図 5 乃至図 7 を用いて説明する。

10

【 0 0 6 9 】

走査線駆動回路は、シフトレジスタを有している。また場合によってはレベルシフタやバッファなどを有していても良い。走査線駆動回路において、シフトレジスタにクロック信号 (CK) 及びスタートパルス信号 (SP) が入力されることによって、選択信号が生成される。生成された選択信号はバッファにおいて緩衝増幅され、対応する走査線に供給される。走査線には、1 ライン分の画素のトランジスタのゲート電極が接続されている。そして、1 ライン分の画素のトランジスタを一斉に ON にしなくてはならないので、バッファは大きな電流を流すことが可能なものが用いられる。

【 0 0 7 0 】

シフトレジスタは、第 1 のパルス出力回路 10 __ 1 乃至第 N のパルス出力回路 10 __ N (N は 3 以上の自然数) を有している (図 5 (A) 参照)。図 5 (A) に示すシフトレジスタの第 1 のパルス出力回路 10 __ 1 乃至第 N のパルス出力回路 10 __ N には、第 1 の配線 11 より第 1 のクロック信号 CK 1、第 2 の配線 12 より第 2 のクロック信号 CK 2、第 3 の配線 13 より第 3 のクロック信号 CK 3、第 4 の配線 14 より第 4 のクロック信号 CK 4 が供給される。また第 1 のパルス出力回路 10 __ 1 では、第 5 の配線 15 からのスタートパルス SP 1 (第 1 のスタートパルス) が入力される。また 2 段目以降の第 n のパルス出力回路 10 __ n (n は、2 以上、N 以下の自然数) では、一段前段のパルス出力回路からの信号 (前段信号 OUT (n - 1) という) (n は 2 以上の自然数) が入力される。また第 1 のパルス出力回路 10 __ 1 では、2 段後段の第 3 のパルス出力回路 10 __ 3 からの信号が入力される。同様に、2 段目以降の第 n のパルス出力回路 10 __ n では、2 段後段の第 (n + 2) のパルス出力回路 10 __ (n + 2) からの信号 (後段信号 OUT (n + 2) という) が入力される。従って、各段のパルス出力回路からは、後段及び/または二つ前段のパルス出力回路に入力するための第 1 の出力信号 (OUT (1) (SR) ~ OUT (N) (SR))、別の配線等に入力される第 2 の出力信号 (OUT (1) ~ OUT (N)) が出力される。なお、図 5 (A) に示すように、シフトレジスタの最終段の 2 つの段には、後段信号 OUT (n + 2) が入力されないが、一例としては、別途第 6 の配線 16 より第 2 のスタートパルス SP 2、第 7 の配線 17 より第 3 のスタートパルス SP 3 をそれぞれ入力する構成とすればよい。または、別途シフトレジスタの内部で生成された信号であってもよい。例えば、画素部へのパルス出力に寄与しない第 (N + 1) のパルス出力回路 10 __ (N + 1)、第 (N + 2) のパルス出力回路 10 __ (N + 2) を設け (ダミー段ともいう)、当該ダミー段より第 2 のスタートパルス (SP 2) 及び第 3 のスタートパルス (SP 3) に相当する信号を生成する構成としてもよい。

20

30

40

【 0 0 7 1 】

なお、クロック信号 (CK) は、一定の間隔で H レベルと L レベル (L 信号、低電源電位レベル、ともいう) を繰り返す信号である。ここで、第 1 のクロック信号 (CK 1) ~ 第 4 のクロック信号 (CK 4) は、順に 1 / 4 周期分遅延している。本実施の形態では、第 1 のクロック信号 (CK 1) ~ 第 4 のクロック信号 (CK 4) を利用して、パルス出力回路の駆動の制御等を行う。なお、クロック信号は、入力される駆動回路に応じて、GCK、SCK ということもあるが、ここでは CK として説明を行う。

【 0 0 7 2 】

50

第 1 の入力端子 2 1、第 2 の入力端子 2 2 及び第 3 の入力端子 2 3 は、第 1 の配線 1 1 ~ 第 4 の配線 1 4 のいずれかと電氣的に接続されている。例えば、図 5 (A) において、第 1 のパルス出力回路 1 0 _ 1 は、第 1 の入力端子 2 1 が第 1 の配線 1 1 と電氣的に接続され、第 2 の入力端子 2 2 が第 2 の配線 1 2 と電氣的に接続され、第 3 の入力端子 2 3 が第 3 の配線 1 3 と電氣的に接続されている。また、第 2 のパルス出力回路 1 0 _ 2 は、第 1 の入力端子 2 1 が第 2 の配線 1 2 と電氣的に接続され、第 2 の入力端子 2 2 が第 3 の配線 1 3 と電氣的に接続され、第 3 の入力端子 2 3 が第 4 の配線 1 4 と電氣的に接続されている。

【 0 0 7 3 】

第 1 のパルス出力回路 1 0 _ 1 ~ 第 N のパルス出力回路 1 0 _ N の各々は、第 1 の入力端子 2 1、第 2 の入力端子 2 2、第 3 の入力端子 2 3、第 4 の入力端子 2 4、第 5 の入力端子 2 5、第 1 の出力端子 2 6、第 2 の出力端子 2 7 を有しているとする (図 5 (B) 参照)。第 1 のパルス出力回路 1 0 _ 1 において、第 1 の入力端子 2 1 に第 1 のクロック信号 C K 1 が入力され、第 2 の入力端子 2 2 に第 2 のクロック信号 C K 2 が入力され、第 3 の入力端子 2 3 に第 3 のクロック信号 C K 3 が入力され、第 4 の入力端子 2 4 にスタートパルスが入力され、第 5 の入力端子 2 5 に後段信号 O U T (3) が入力され、第 1 の出力端子 2 6 より第 1 の出力信号 O U T (1) (S R) が出力され、第 2 の出力端子 2 7 より第 2 の出力信号 O U T (1) が出力されていることとなる。

【 0 0 7 4 】

次に、図 5 (A) に示したパルス出力回路に図 1 または図 2 に示す保護回路を用いた具体的な回路構成の一例について、図 6 を用いて説明する。

【 0 0 7 5 】

図 6 に示すパルス出力回路は、第 1 のトランジスタ 3 1 ~ 第 1 1 のトランジスタ 4 1 を有している。また、第 1 の保護回路 1 0 4 a ~ 第 1 の保護回路 1 0 4 h、第 2 の保護回路 1 0 5 a ~ 第 2 の保護回路 1 0 5 h を有している。ここで、第 1 の保護回路 1 0 4 a ~ 第 1 の保護回路 1 0 4 h は図 1 または図 2 に示す第 1 の保護回路 1 0 4 と対応しており、第 2 の保護回路 1 0 5 a ~ 第 2 の保護回路 1 0 5 h は図 1 または図 2 に示す第 2 の保護回路 1 0 5 と対応している。また、上述した第 1 の入力端子 2 1 ~ 第 5 の入力端子 2 5、及び第 1 の出力端子 2 6、第 2 の出力端子 2 7 に加え、第 1 の高電源電位 V D D が供給される電源線 5 1、低電源電位 V S S が供給される電源線 5 3 から、第 1 のトランジスタ 3 1 ~ 第 1 1 のトランジスタ 4 1 に信号、または電源電位が供給される。ここで図 6 における各電源線の電源電位の大小関係は、電源電位 V D D は電源電位 V S S より大きい電位とする。なお、第 1 のクロック信号 (C K 1) ~ 第 4 のクロック信号 (C K 4) は、一定の間隔で H レベルと L レベルを繰り返す信号であるが、H レベルのときは V D D、L レベルのときは V S S であるとする。なお、電源電位 V D D より小さく、電源電位 V S S より大きい電源電位 V C C を有する電源線を設けても良い。当該電源線の電位 V C C を、電源線 5 1 の電位 V D D より低くすることにより、動作に影響を与えることなく、トランジスタのゲート電極に印加される電位を低く抑えることができ、トランジスタのしきい値のシフトを低減し、劣化を抑制することができる。

【 0 0 7 6 】

なお、トランジスタのソースとドレインとは、薄膜トランジスタの構造や動作条件等によって変わるため、いずれがソースまたはドレインであるかを限定することが困難である。そこで、ソース及びドレインとして機能する領域を、ソースもしくはドレインと呼ばない場合がある。その場合、一例としては、それぞれを第 1 端子、第 2 端子と表記する場合がある。

【 0 0 7 7 】

図 6 において第 1 のトランジスタ 3 1 は、第 1 端子が電源線 5 1 に電氣的に接続され、第 2 端子が第 9 のトランジスタ 3 9 の第 1 端子に電氣的に接続され、ゲート電極が第 4 の入力端子 2 4 に電氣的に接続されている。第 2 のトランジスタ 3 2 は、第 1 端子が電源線 5 3 に電氣的に接続され、第 2 端子が第 9 のトランジスタ 3 9 の第 1 端子に電氣的に接続

され、ゲート電極が第4のトランジスタ34のゲート電極に電氣的に接続されている。第3のトランジスタ33は、第1端子が第1の入力端子21に電氣的に接続され、第2端子が第1の出力端子26に電氣的に接続されている。第4のトランジスタ34は、第1端子が電源線53に電氣的に接続され、第2端子が第1の出力端子26に電氣的に接続されている。第5のトランジスタ35は、第1端子が電源線53に電氣的に接続され、第2端子が第2のトランジスタ32のゲート電極及び第4のトランジスタ34のゲート電極に電氣的に接続され、ゲート電極が第4の入力端子24に電氣的に接続されている。第6のトランジスタ36は、第1端子が電源線51に電氣的に接続され、第2端子が第2のトランジスタ32のゲート電極及び第4のトランジスタ34のゲート電極に電氣的に接続され、ゲート電極が第5の入力端子25に電氣的に接続されている。第7のトランジスタ37は、第1端子が電源線51に電氣的に接続され、第2端子が第8のトランジスタ38の第2端子に電氣的に接続され、ゲート電極が第3の入力端子23に電氣的に接続されている。第8のトランジスタ38は、第1端子が第2のトランジスタ32のゲート電極及び第4のトランジスタ34のゲート電極に電氣的に接続され、ゲート電極が第2の入力端子22に電氣的に接続されている。第9のトランジスタ39は、第1端子が第1のトランジスタ31の第2端子及び第2のトランジスタ32の第2端子に電氣的に接続され、第2端子が第3のトランジスタ33のゲート電極及び第10のトランジスタ40のゲート電極に電氣的に接続され、ゲート電極が電源線51に電氣的に接続されている。第10のトランジスタ40は、第1端子が第1の入力端子21に電氣的に接続され、第2端子が第2の出力端子27に電氣的に接続され、ゲート電極が第9のトランジスタ39の第2端子に電氣的に接続されている。第11のトランジスタ41は、第1端子が電源線53に電氣的に接続され、第2端子が第2の出力端子27に電氣的に接続され、ゲート電極が第2のトランジスタ32のゲート電極及び第4のトランジスタ34のゲート電極に電氣的に接続されている。

【0078】

なお、電源電位VCCを有する電源線を設ける場合、第6のトランジスタ36の第1端子、第7のトランジスタ37の第1端子および第9のトランジスタ39のゲート電極に電源線51の代わりに、電源電位VCCを有する電源線を電氣的に接続すればよい。

【0079】

図6において、電源線51と電氣的に接続された第1の保護回路104aと電源線53と電氣的に接続された第2の保護回路105aの間に第1のトランジスタ31のゲート電極が電氣的に接続されている。また、電源線51と電氣的に接続された第1の保護回路104bと電源線53と電氣的に接続された第2の保護回路105bの間に第8のトランジスタ38のゲート電極が電氣的に接続されている。また、電源線51と電氣的に接続された第1の保護回路104cと電源線53と電氣的に接続された第2の保護回路105cの間に第7のトランジスタ37のゲート電極が電氣的に接続されている。また、電源線51と電氣的に接続された第1の保護回路104dと電源線53と電氣的に接続された第2の保護回路105dの間に第6のトランジスタ36のゲート電極が電氣的に接続されている。また、電源線51と電氣的に接続された第1の保護回路104eと電源線53と電氣的に接続された第2の保護回路105eの間に第4のトランジスタ34のゲート電極が電氣的に接続されている。また、電源線51と電氣的に接続された第1の保護回路104fと電源線53と電氣的に接続された第2の保護回路105fの間に第1の出力端子26が電氣的に接続されている。また、電源線51と電氣的に接続された第1の保護回路104gと電源線53と電氣的に接続された第2の保護回路105gの間に第1の入力端子21が電氣的に接続されている。また、電源線51と電氣的に接続された第1の保護回路104hと電源線53と電氣的に接続された第2の保護回路105hの間に第2の出力端子27が電氣的に接続されている。

【0080】

図1および図2を用いて説明したように、電源線51と接続された第1の保護回路104a乃至第1の保護回路104hと電源線53と接続された第2の保護回路105a乃至第2の保護回路105hの間に設けられた電極または端子を有する半導体素子、および当

10

20

30

40

50

該電極や端子と接続された半導体素子において、ESDなどの高いサージ電圧が印加された場合でも、第1の保護回路104a乃至第1の保護回路104hまたは第2の保護回路105a乃至第2の保護回路105hが放電経路となり、当該半導体素子にサージ電流が流れることを防ぐことができる。

【0081】

ただし、第1の保護回路104a乃至第1の保護回路104hおよび第2の保護回路105a乃至第2の保護回路105hは、全てが必須というわけではなく、必要に応じて適宜設ければよい。

【0082】

図6において、第3のトランジスタ33のゲート電極、第10のトランジスタ40のゲート電極、及び第9のトランジスタ39の第2端子の接続箇所をノードAとする。また、第2のトランジスタ32のゲート電極、第4のトランジスタ34のゲート電極、第5のトランジスタ35の第2端子、第6のトランジスタ36の第2端子、第8のトランジスタ38の第1端子、及び第11のトランジスタ41のゲート電極の接続箇所をノードBとする。

10

【0083】

ここで、図6に示したパルス出力回路を複数具備するシフトレジスタのタイミングチャートについて図7に示す。なおシフトレジスタが走査線駆動回路である場合、図7中の期間61は垂直帰線期間であり、期間62はゲート選択期間に相当する。

【0084】

20

なお、図6に示すように、ゲートに電源電位VDDが印加される第9のトランジスタ39を設けておくことにより、ブートストラップ動作の前後において、以下のような利点がある。

【0085】

ゲート電極に電源電位VDDが印加される第9のトランジスタ39がない場合、ブートストラップ動作によりノードAの電位が上昇すると、第1のトランジスタ31の第2端子であるソースの電位が上昇していき、電源電位VDDより大きくなる。そして、第1のトランジスタ31のソースが第1端子側、即ち電源線51側に切り替わる。そのため、第1のトランジスタ31においては、ゲートとソースの間、ゲートとドレインの間ともに、大きな電圧が印加されるために大きなストレスがかかり、トランジスタの劣化の要因となる。そこで、ゲート電極に電源電位VDDが印加される第9のトランジスタ39を設けておくことにより、ブートストラップ動作によりノードAの電位は上昇するものの、第1のトランジスタ31の第2端子の電位の上昇を生じないようにすることができる。つまり、第9のトランジスタ39を設けることにより、第1のトランジスタ31のゲートとソースの間に印加される負の電圧の値を小さくすることができる。よって、本実施の形態の回路構成とすることにより、第1のトランジスタ31のゲートとソースの間に印加される負の電圧も小さくできるため、ストレスによる第1のトランジスタ31の劣化を抑制することができる。

30

【0086】

なお、第9のトランジスタ39を設ける箇所については、第1のトランジスタ31の第2端子と第3のトランジスタ33のゲートとの間に第1端子と第2端子を介して接続されるように設ける構成であればよい。なお、本実施形態でのパルス出力回路を複数具備するシフトレジスタの場合、走査線駆動回路より段数の多い信号線駆動回路では、第9のトランジスタ39を省略してもよく、トランジスタ数を削減することができる利点がある。

40

【0087】

なお第1のトランジスタ31乃至第11のトランジスタ41の半導体層として、酸化物半導体を用いることにより、薄膜トランジスタのオフ電流を低減すると共に、オン電流及び電界効果移動度を高めることが出来ると共に、劣化の度合いを低減することが出来るため、回路内の誤動作を低減することができる。

【0088】

50

なお、第7のトランジスタ37のゲート電極に第3の入力端子23によって供給されるクロック信号、第8のトランジスタ38のゲート電極に第2の入力端子22によって供給されるクロック信号は、第7のトランジスタ37のゲート電極に第2の入力端子22によって供給されるクロック信号、第8のトランジスタ38のゲート電極に第3の入力端子23によって供給されるクロック信号となるように、結線関係を入れ替えても同様の作用を奏する。この時、図6に示すシフトレジスタにおいて、第7のトランジスタ37及び第8のトランジスタ38が共にオンの状態から、第7のトランジスタ37がオフ、第8のトランジスタ38がオンの状態、次いで第7のトランジスタ37がオフ、第8のトランジスタ38がオフの状態とすることによって、第2の入力端子22及び第3の入力端子23の電位が低下することで生じる、ノードBの電位の低下が第7のトランジスタ37のゲート電極の電位の低下、及び第8のトランジスタ38のゲート電極の電位の低下に起因して2回生じることとなる。一方、図6に示すシフトレジスタにおいて、第7のトランジスタ37及び第8のトランジスタ38が共にオンの状態から、第7のトランジスタ37がオン、第8のトランジスタ38がオフの状態、次いで、第7のトランジスタ37がオフ、第8のトランジスタ38がオフの状態とすることによって、第2の入力端子22及び第3の入力端子23の電位が低下することで生じるノードBの電位の低下を、第8のトランジスタ38のゲート電極の電位の低下による一回に低減することができる。そのため、第7のトランジスタ37のゲート電極に第3の入力端子23からクロック信号CK3が供給され、第8のトランジスタ38のゲート電極に第2の入力端子22からクロック信号CK2が供給される結線関係とすることが好適である。なぜなら、ノードBの電位の変動回数が低減され、またノイズを低減することが出来るからである。

【0089】

このように、第1の出力端子26及び第2の出力端子27の電位をLレベルに保持する期間に、ノードBに定期的にHレベルの信号が供給される構成とすることにより、パルス出力回路の誤動作を抑制することができる。

【0090】

以上のような構成とすることにより、作製中にESDにより半導体素子が破壊されることを抑制する駆動回路を提供することができる。また、リーク電流の小さい保護回路が設けられた駆動回路を提供することができる。

【0091】

以上、本実施の形態に示す構成、方法などは、本実施の形態に示す構成どうして組み合わせ用いることもできるし、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることもできる。

【0092】

(実施の形態2)

本実施の形態においては、実施の形態1に示す駆動回路の作製方法について、図8および図9を用いて説明する。例として図8に示す、トランジスタ440およびトランジスタ450を同時に作製する方法について説明する。ここで、トランジスタ440は、先の実施の形態に示す第1の保護回路104を形成するトランジスタ114に対応し、トランジスタ450は、半導体素子101として機能するトランジスタ111に対応する。なお、本実施の形態では、直接図示しないが、先の実施の形態に示す第2の保護回路105を形成するトランジスタ115もトランジスタ440と同様の方法で形成することができる。また、図3に示すように駆動回路部と表示部を同一基板上に作製する場合、表示部のトランジスタも同様の方法で作製することができる。

【0093】

図8(F)に示すように、トランジスタ440は、絶縁膜420が設けられた絶縁表面を有する基板400上に、チャネル形成領域409、ソース領域404a、ドレイン領域404bを含む酸化物半導体膜403、ソース電極層405a、ドレイン電極層405b、ゲート絶縁膜402、ゲート電極層401を有する。また、トランジスタ450は、絶縁膜420が設けられた絶縁表面を有する基板400上に、チャネル形成領域419、ソ

ース領域 4 1 4 a、ドレイン領域 4 1 4 bを含む酸化物半導体膜 4 1 3、ソース電極層 4 1 5 a、ドレイン電極層 4 1 5 b、配線層 4 1 5 c、ゲート絶縁膜 4 1 2、ゲート電極層 4 1 1を有する。

【0094】

以下、図 8 (A)乃至図 8 (F)を用いてトランジスタ 4 4 0およびトランジスタ 4 5 0の作製工程について説明する。

【0095】

まず、絶縁表面を有する基板 4 0 0上に絶縁膜 4 2 0を形成する。

【0096】

絶縁表面を有する基板 4 0 0に使用することができる基板に大きな制限はないが、少なくとも、後の熱処理に耐えうる程度の耐熱性を有していることが必要となる。例えば、バリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板、セラミック基板、石英基板、サファイア基板などを用いることができる。また、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI基板などを適用することもでき、これらの基板上に半導体素子が設けられたものを、基板 4 0 0として用いてもよい。

【0097】

絶縁膜 4 2 0としては、プラズマCVD法又はスパッタリング法等により、酸化シリコン、酸化窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、酸化ハフニウム、酸化ガリウム、窒化シリコン、窒化酸化シリコン、窒化アルミニウム、窒化酸化アルミニウム、又はこれらの混合材料を用いて形成することができる。

【0098】

絶縁膜 4 2 0は、単層でも積層でもよいが、酸化物半導体膜 4 0 3に接する膜には酸化物絶縁膜を用いることが好ましい。本実施の形態では絶縁膜 4 2 0としてスパッタリング法を用いて形成する酸化シリコン膜を用いる。

【0099】

次に、絶縁膜 4 2 0上に酸化物半導体膜を成膜し、当該酸化物半導体膜を島状にパターニングして酸化物半導体膜 4 0 3および酸化物半導体膜 4 1 3を形成する。

【0100】

絶縁膜 4 2 0は、酸化物半導体膜 4 0 3および酸化物半導体膜 4 1 3と接するため、膜中(バルク中)に少なくとも化学量論比を超える量の酸素が存在することが好ましい。例えば、絶縁膜 4 2 0として、酸化シリコン膜を用いる場合には、 $\text{SiO}_2 +$ (ただし、 > 0)とする。このような絶縁膜 4 2 0を用いることで、酸化物半導体膜 4 0 3および酸化物半導体膜 4 1 3に酸素を供給することができ、特性を良好にすることができる。酸化物半導体膜 4 0 3および酸化物半導体膜 4 1 3へ酸素を供給することにより、膜中の酸素欠損を補填することができる。

【0101】

例えば、酸素の供給源となる酸素を多く(過剰に)含む絶縁膜 4 2 0を酸化物半導体膜 4 0 3および酸化物半導体膜 4 1 3と接して設けることによって、該絶縁膜 4 2 0から酸化物半導体膜 4 0 3および酸化物半導体膜 4 1 3へ酸素を供給することができる。酸化物半導体膜 4 0 3および酸化物半導体膜 4 1 3と絶縁膜 4 2 0を少なくとも一部が接した状態で加熱処理を行うことによって酸化物半導体膜 4 0 3および酸化物半導体膜 4 1 3への酸素の供給を行ってもよい。

【0102】

酸化物半導体膜 4 0 3および酸化物半導体膜 4 1 3の形成工程において、酸化物半導体膜 4 0 3および酸化物半導体膜 4 1 3に水素、又は水がなるべく含まれないようにするために、酸化物半導体膜 4 0 3および酸化物半導体膜 4 1 3の成膜の前処理として、スパッタリング装置の予備加熱室で絶縁膜 4 2 0が形成された基板を予備加熱し、基板及び絶縁膜 4 2 0に吸着した水素、水分などの不純物を脱離し排気することが好ましい。なお、予備加熱室に設ける排気手段はクライオポンプが好ましい。

【0103】

酸化物半導体膜403および酸化物半導体膜413に用いる酸化物半導体としては、少なくともインジウム(In)あるいは亜鉛(Zn)を含むことが好ましい。特にInとZnを含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム(Ga)を有することが好ましい。また、スタビライザーとしてスズ(Sn)を有することが好ましい。また、スタビライザーとしてハフニウム(Hf)を有することが好ましい。また、スタビライザーとしてアルミニウム(Al)を有することが好ましい。

【0104】

また、他のスタビライザーとして、ランタノイドである、ランタン(La)、セリウム(Ce)、プラセオジウム(Pr)、ネオジウム(Nd)、サマリウム(Sm)、ユウロピウム(Eu)、ガドリニウム(Gd)、テルビウム(Tb)、ジスプロシウム(Dy)、ホルミウム(Ho)、エルビウム(Er)、ツリウム(Tm)、イッテルビウム(Yb)、ルテチウム(Lu)のいずれか一種あるいは複数種を有してもよい。

【0105】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物であるIn-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Ga系酸化物、三元系金属の酸化物であるIn-Ga-Zn系酸化物(IGZOとも表記する)、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物、In-Hf-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、四元系金属の酸化物であるIn-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物を用いることができる。本実施の形態では、酸化物半導体としてIGZOを用いるものとする。

【0106】

なお、ここで、例えば、In-Ga-Zn系酸化物とは、InとGaとZnを主成分として有する酸化物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属元素が入っていてもよい。

【0107】

また、酸化物半導体として、 $InMO_3(ZnO)_m$ ($m > 0$ 、且つ、 m は整数でない)で表記される材料を用いてもよい。なお、 M は、Ga、Fe、Mn及びCoから選ばれた一の金属元素または複数の金属元素を示す。また、酸化物半導体として、 $In_2SnO_5(ZnO)_n$ ($n > 0$ 、且つ、 n は整数)で表記される材料を用いてもよい。

【0108】

例えば、 $In:Ga:Zn = 1:1:1 (= 1/3:1/3:1/3)$ 、 $In:Ga:Zn = 1:3:2 (= 1/6:1/2:1/3)$ 、 $In:Ga:Zn = 3:1:2 (= 1/2:1/6:1/3)$ あるいは $In:Ga:Zn = 2:2:1 (= 2/5:2/5:1/5)$ の原子数比のIn-Ga-Zn系酸化物やその組成の近傍の酸化物を用いることができる。または、 $In:Sn:Zn = 1:1:1 (= 1/3:1/3:1/3)$ 、 $In:Sn:Zn = 2:1:3 (= 1/3:1/6:1/2)$ あるいは $In:Sn:Zn = 2:1:5 (= 1/4:1/8:5/8)$ の原子数比のIn-Sn-Zn系酸化物やその組成の近傍の酸化物を用いるとよい。

【0109】

しかし、これらに限られず、必要とする半導体特性(移動度、しきい値、ばらつき等)

10

20

30

40

50

に応じて適切な組成のものをいれればよい。また、必要とする半導体特性を得るために、キャリア濃度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間結合距離、密度等を適切なものとするのが好ましい。

【0110】

例えば、In-Sn-Zn系酸化物では比較的容易に高い移動度を得られる。しかしながら、In-Ga-Zn系酸化物でも、バルク内欠陥密度を低くすることにより移動度を上げることができる。

【0111】

なお、例えば、In、Ga、Znの原子数比がIn:Ga:Zn=a:b:c(a+b+c=1)である酸化物の組成が、原子数比がIn:Ga:Zn=A:B:C(A+B+C=1)の酸化物の組成の近傍であるとは、a、b、cが、 $(a-A)^2 + (b-B)^2 + (c-C)^2 \leq r^2$ を満たすことをいい、rは、例えば、0.05とすればよい。他の酸化物でも同様である。

10

【0112】

また、酸化物半導体膜は、単層だけでなく、2層以上の積層構造としても良い。このとき、酸化物半導体膜を構成するそれぞれの酸化物半導体層どうしは、異なるエネルギーギャップを有する構造でも良いし、ほぼ同等のエネルギーギャップを有する構造であっても良い。例えば、酸化物半導体膜が、第1の酸化物半導体層、第2の酸化物半導体層、第3の酸化物半導体層の順番で積層された構造の場合、エネルギーギャップの小さい第2の酸化物半導体層を、エネルギーギャップの大きい第1の酸化物半導体層及び第3の酸化物半導体層により挟む構造とすることによって、よりトランジスタのオフ電流(リーク電流)を低減する効果が得られる。

20

【0113】

酸化物半導体は単結晶でも、非単結晶でもよい。後者の場合、アモルファスでも、多結晶でもよい。また、アモルファス中に結晶性を有する部分を含む構造でも、非アモルファスでもよい。

【0114】

アモルファス状態の酸化物半導体は、比較的容易に平坦な表面を得ることができるため、これを用いてトランジスタを作製した際の界面散乱を低減でき、比較的容易に、比較的高い移動度を得ることができる。

30

【0115】

また、結晶性を有する酸化物半導体では、よりバルク内欠陥を低減することができ、表面の平坦性を高めればアモルファス状態の酸化物半導体以上の移動度を得ることができる。表面の平坦性を高めるためには、平坦な表面上に酸化物半導体を形成することが好ましく、具体的には、平均面粗さ(Ra)が1nm以下、好ましくは0.3nm以下、より好ましくは0.1nm以下の表面上に形成するとよい。

【0116】

なお、Raは、JIS B0601:2001(ISO4287:1997)で定義されている算術平均粗さを曲面に対して適用できるよう三次元に拡張したものであり、「基準面から指定面までの偏差の絶対値を平均した値」で表現でき、以下の式にて定義される。

40

【0117】

【数1】

$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy$$

【0118】

ここで、指定面とは、粗さ計測の対象となる面であり、座標(x₁, y₁, f(x₁, y₁))(x₁, y₂, f(x₁, y₂))(x₂, y₁, f(x₂, y₁))(x₂, y₂, f(x₂, y₂))の4点で表される四角形の領域とし、指定面をxy平面に投影した長方形の面積をS₀、基準面の高さ(指定面の平均の高さ)をZ₀とする。Raは原

50

子間力顕微鏡 (AFM: Atomic Force Microscope) にて測定可能である。

【0119】

よって、絶縁膜420において酸化物半導体膜403および酸化物半導体膜413が接して形成される領域に、平坦化処理を行ってもよい。平坦化処理としては、特に限定されないが、研磨処理(例えば、化学的機械研磨(Chemical Mechanical Polishing: CMP)法)、ドライエッチング処理、プラズマ処理を用いることができる。

【0120】

プラズマ処理としては、例えば、アルゴンガスを導入してプラズマを発生させる逆スパッタリングを行うことができる。逆スパッタリングとは、アルゴン雰囲気下で基板側にRF電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などを用いてもよい。逆スパッタリングを行うと、絶縁膜420の表面に付着している粉状物質(パーティクル、ごみともいう)を除去することができる。

【0121】

平坦化処理として、研磨処理、ドライエッチング処理、プラズマ処理は複数回行ってもよく、それらを組み合わせて行ってもよい。また、組み合わせて行う場合、工程順も特に限定されず、絶縁膜420表面の凹凸状態に合わせて適宜設定すればよい。

【0122】

酸化物半導体膜403および酸化物半導体膜413として、結晶を含み、結晶性を有する酸化物半導体膜(結晶性酸化物半導体膜)を用いることができる。結晶性酸化物半導体膜における結晶状態は、結晶軸の方向が無秩序な状態でも、一定の配向性を有する状態であってもよい。

【0123】

例えば、結晶性酸化物半導体膜として、表面に概略垂直なc軸を有している結晶を含む、CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)膜を用いることができる。

【0124】

CAAC-OS膜は、完全な単結晶ではなく、完全な非晶質でもない。CAAC-OS膜は、非晶質相に結晶部を有する結晶-非晶質混相構造の酸化物半導体膜である。なお、当該結晶部は、一辺が100nm未満の立方体内に収まる大きさであることが多い。また、透過型電子顕微鏡(TEM: Transmission Electron Microscope)による観察像では、CAAC-OS膜に含まれる非晶質部と結晶部との境界は明確ではない。また、TEMによってCAAC-OS膜には粒界(グレインバウンダリーともいう。)は確認できない。そのため、CAAC-OS膜は、粒界に起因する電子移動度の低下が抑制される。

【0125】

CAAC-OS膜に含まれる結晶部は、c軸がCAAC-OS膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃い、かつab面に垂直な方向から見て三角形または六角形状の原子配列を有し、c軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれa軸およびb軸の向きが異なってもよい。本明細書において、単に垂直と記載する場合、85°以上95°以下の範囲も含まれることとする。また、単に平行と記載する場合、-5°以上5°以下の範囲も含まれることとする。

【0126】

なお、CAAC-OS膜において、結晶部の分布が一様でなくてもよい。例えば、CAAC-OS膜の形成過程において、酸化物半導体膜の表面側から結晶成長させる場合、被形成面の近傍に対し表面の近傍では結晶部の占める割合が高くなることもある。また、CAAC-OS膜へ不純物を添加することにより、当該不純物添加領域において結晶部が非

10

20

30

40

50

晶質化することもある。

【0127】

C A A C - O S 膜に含まれる結晶部の c 軸は、C A A C - O S 膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃うため、C A A C - O S 膜の形状（被形成面の断面形状または表面の断面形状）によっては互いに異なる方向を向くことがある。なお、結晶部の c 軸の方向は、C A A C - O S 膜が形成されたときの被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向となる。結晶部は、成膜することにより、または成膜後に加熱処理などの結晶化処理を行うことにより形成される。

【0128】

C A A C - O S 膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動を低減することが可能である。よって、当該トランジスタは、信頼性が高い。

10

【0129】

なお、酸化物半導体膜を構成する酸素の一部は窒素で置換されてもよい。

【0130】

また、C A A C - O S のように結晶部を有する酸化物半導体では、よりバルク内欠陥を低減することができ、表面の平坦性を高めればアモルファス状態の酸化物半導体以上の移動度を得ることができる。表面の平坦性を高めるためには、平坦な表面上に酸化物半導体を形成することが好ましく、具体的には、平均面粗さ（R a）が 1 n m 以下、好ましくは 0 . 3 n m 以下、より好ましくは 0 . 1 n m 以下の表面上に形成するとよい。

20

【0131】

酸化物半導体膜 4 0 3 および酸化物半導体膜 4 1 3 の膜厚は、1 n m 以上 2 0 0 n m 以下（好ましくは 5 n m 以上 3 0 n m 以下）とし、スパッタリング法、M B E（M o l e c u l a r B e a m E p i t a x y）法、C V D 法、パルスレーザ堆積法、A L D（A t o m i c L a y e r D e p o s i t i o n）法等を適宜用いることができる。また、酸化物半導体膜 4 0 3 および酸化物半導体膜 4 1 3 は、スパッタリングターゲット表面に対し、概略垂直に複数の基板表面がセットされた状態で成膜を行うスパッタ装置、所謂 C P スパッタ装置（C o l u m n a r P l a s m a S p u t t e r i n g s y s t e m）を用いて成膜してもよい。

【0132】

なお、酸化物半導体膜は、成膜時に酸素が多く含まれるような条件（例えば、酸素 1 0 0 % の雰囲気下でスパッタリング法により成膜を行うなど）で成膜して、酸素を多く含む（好ましくは酸化物半導体が結晶状態における化学量論比に対し、酸素の含有量が過剰な領域が含まれている）膜とすることが好ましい。

30

【0133】

酸化物半導体膜をスパッタリング法で作製するためのターゲットとしては、例えば、組成比として、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ [mol 比] の金属酸化物ターゲットを用い、In - Ga - Zn 系酸化物膜を成膜する。また、このターゲットの材料及び組成に限定されず、例えば、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ [mol 比] などの金属酸化物ターゲットを用いてもよい。

【0134】

また、金属酸化物ターゲットの充填率は 9 0 % 以上 1 0 0 % 以下、好ましくは 9 5 % 以上 9 9 . 9 % 以下である。充填率の高い金属酸化物ターゲットを用いることにより、成膜した酸化物半導体膜は緻密な膜とすることができる。

40

【0135】

酸化物半導体膜を、成膜する際に用いるスパッタリングガスは水素、水、水酸基又は水素化物などの不純物が除去された高純度ガスを用いることが好ましい。

【0136】

減圧状態に保持された成膜室内に基板を保持する。そして、成膜室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、上記ターゲットを用いて基板 4 0 0 上に酸化物半導体膜を成膜する。成膜室内の残留水分を除去するためには、吸着型の

50

真空ポンプ、例えば、クライオポンプ、イオンポンプ、チタンサブリーションポンプを用いることが好ましい。また、排気手段としては、ターボ分子ポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子、水 (H_2O) など水素原子を含む化合物 (より好ましくは炭素原子を含む化合物も) 等が排気されるため、当該成膜室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減できる。

【0137】

また、絶縁膜 420 と酸化物半導体膜とを大気に解放せずに連続的に形成することが好ましい。絶縁膜 420 と酸化物半導体膜とを大気に曝露せずに連続して形成すると、絶縁膜 420 表面に水素や水分などの不純物が吸着することを防止することができる。

10

【0138】

酸化物半導体膜 403 および酸化物半導体膜 413 として $\text{CAAC}-\text{OS}$ 膜を用いる場合、 $\text{CAAC}-\text{OS}$ 膜は、例えば、多結晶である酸化物半導体スパッタリング用ターゲットを用い、スパッタリング法によって成膜する。当該スパッタリング用ターゲットにイオンが衝突すると、スパッタリング用ターゲットに含まれる結晶領域が $a-b$ 面から劈開し、 $a-b$ 面に平行な面を有する平板状またはペレット状のスパッタリング粒子として剥離することがある。この場合、当該平板状のスパッタリング粒子が、結晶状態を維持したまま基板に到達することで、 $\text{CAAC}-\text{OS}$ 膜を成膜することができる。

【0139】

また、 $\text{CAAC}-\text{OS}$ 膜を成膜するために、以下の条件を適用することが好ましい。

20

【0140】

成膜時の不純物混入を低減することで、不純物によって結晶状態が崩れることを抑制できる。例えば、成膜室内に存在する不純物 (水素、水、二酸化炭素および窒素など) の濃度を低減すればよい。また、成膜ガス中の不純物濃度を低減すればよい。具体的には、露点が -80 以下、好ましくは -100 以下である成膜ガスを用いる。

【0141】

また、成膜時の基板加熱温度を高めることで、基板到達後にスパッタリング粒子のマイグレーションが起こる。具体的には、基板加熱温度を 100 以上 740 以下、好ましくは 200 以上 500 以下として成膜する。成膜時の基板加熱温度を高めることで、平板状のスパッタリング粒子が基板に到達した場合、基板上でマイグレーションが起こり、スパッタリング粒子の平らな面が基板に付着する。

30

【0142】

また、成膜ガス中の酸素割合を高め、電力を最適化することで成膜時のプラズマダメージを軽減すると好ましい。成膜ガス中の酸素割合は、 30 体積%以上、好ましくは 100 体積%とする。

【0143】

スパッタリング用ターゲットの一例として、 $\text{In}-\text{Ga}-\text{Zn}-\text{O}$ 化合物ターゲットについて以下に示す。

【0144】

InO_x 粉末、 GaO_y 粉末および ZnO_z 粉末を所定の mol 数比で混合し、加圧処理後、 1000 以上 1500 以下の温度で加熱処理をすることで多結晶である $\text{In}-\text{Ga}-\text{Zn}-\text{O}$ 化合物ターゲットとする。なお、 x 、 y および z は任意の正数である。ここで、所定の mol 数比は、例えば、 InO_x 粉末、 GaO_y 粉末および ZnO_z 粉末が、 $2:2:1$ 、 $8:4:3$ 、 $3:1:1$ 、 $1:1:1$ 、 $4:2:3$ または $3:1:2$ の mol 数比である。なお、粉末の種類、およびその混合する比率は、作製するスパッタリング用ターゲットによって適宜変更すればよい。

40

【0145】

また、酸化物半導体膜に、過剰な水素 (水や水酸基を含む) を除去 (脱水化または脱水素化) するための加熱処理を行ってもよい。加熱処理の温度は、 300 以上 700 以下、または基板の歪み点未満とする。加熱処理は減圧下又は窒素雰囲気下などで行うこと

50

ができる。例えば、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体膜に対して窒素雰囲気下450において1時間の加熱処理を行う。

【0146】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を用いてもよい。例えば、GRTA (Gas Rapid Thermal Anneal) 装置、LRTA (Lamp Rapid Thermal Anneal) 装置等のRTA (Rapid Thermal Anneal) 装置を用いることができる。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。高温のガスには、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物と反応しない不活性気体を用いられる。LRTA装置は、ハロゲンランプ、10
メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。

【0147】

例えば、加熱処理として、650～700の高温に加熱した不活性ガス中に基板を入れ、数分間加熱した後、基板を不活性ガス中から出すGRTAを行ってもよい。

【0148】

なお、脱水化又は脱水素化のための加熱処理は、酸化物半導体膜403および酸化物半導体膜413の形成後、金属元素を含む膜が形成されている間、及び酸化物半導体膜403および酸化物半導体膜413への酸素の導入工程前などであれば、トランジスタ440
20
およびトランジスタ450の作製工程においてどのタイミングで行ってもよい。

【0149】

脱水化又は脱水素化のための加熱処理を、酸化物半導体膜が島状に加工される前に行うと、絶縁膜420に含まれる酸素が加熱処理によって放出されるのを防止することができるため好ましい。

【0150】

なお、加熱処理においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。または、熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上好ましくは7N(99.99999%)以上(即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。
30

【0151】

また、加熱処理で酸化物半導体膜を加熱した後、同じ炉に高純度の酸素ガス、高純度の一酸化二窒素ガス、又は超乾燥エア(CRDS(キャビティリングダウンレーザー分光法)方式の露点計を用いて測定した場合の水分量が20ppm(露点換算で-55)以下、好ましくは1ppm以下、より好ましくは10ppb以下の空気)を導入してもよい。酸素ガスまたは一酸化二窒素ガスに、水、水素などが含まれないことが好ましい。または、熱処理装置に導入する酸素ガスまたは一酸化二窒素ガスの純度を、6N以上好ましくは7N以上(即ち、酸素ガスまたは一酸化二窒素ガス中の不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。酸素ガス又は一酸化二窒素ガスの作用
40
により、脱水化または脱水素化処理による不純物の排除工程によって同時に減少してしまった酸化物半導体を構成する主成分材料である酸素を供給することによって、酸化物半導体膜を高純度化及びi型(真性)化することができる。

【0152】

酸化物半導体膜403および酸化物半導体膜413は、成膜された酸化物半導体膜をフォトリソグラフィ工程により島状に加工して形成する。また、島状の酸化物半導体膜403および酸化物半導体膜413を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0153】

10

20

30

40

50

なお、酸化物半導体膜のエッチングは、ドライエッチングでもウェットエッチングでもよく、両方を用いてもよい。例えば、酸化物半導体膜のウェットエッチングに用いるエッチング液としては、燐酸と酢酸と硝酸を混ぜた溶液などを用いることができる。また、ITO07N（関東化学社製）を用いてもよい。

【0154】

また、酸化物半導体膜を素子ごとに分離する絶縁膜からなる素子分離領域を設けてもよい。

【0155】

次いで、酸化物半導体膜403および酸化物半導体膜413上にゲート絶縁膜422を形成する。

【0156】

なお、ゲート絶縁膜422の被覆性を向上させるために、酸化物半導体膜403および酸化物半導体膜413表面にも上記平坦化処理を行ってもよい。特にゲート絶縁膜422として膜厚の薄い絶縁膜を用いる場合、酸化物半導体膜403および酸化物半導体膜413表面の平坦性が良好であることが好ましい。

【0157】

ゲート絶縁膜422の膜厚は、1nm以上100nm以下とし、スパッタリング法、MBE法、CVD法、パルスレーザ堆積法、ALD法等を適宜用いることができる。また、ゲート絶縁膜422は、スパッタリングターゲット表面に対し、概略垂直に複数の基板表面がセットされた状態で成膜を行うスパッタ装置、所謂CPSパッタ装置を用いて成膜してもよい。

【0158】

ゲート絶縁膜422の材料としては、酸化シリコン膜、酸化ガリウム膜、酸化アルミニウム膜、窒化シリコン膜、酸化窒化シリコン膜、酸化窒化アルミニウム膜、または窒化酸化シリコン膜を用いて形成することができる。ゲート絶縁膜422は、酸化物半導体膜403および酸化物半導体膜413と接する部分において酸素を含むことが好ましい。特に、ゲート絶縁膜422は、膜中（バルク中）に少なくとも化学量論比を超える量の酸素が存在することが好ましく、例えば、ゲート絶縁膜422として、酸化シリコン膜を用いる場合には、 $\text{SiO}_2 +$ （ただし、 > 0 ）とする。本実施の形態では、ゲート絶縁膜422として、 $\text{SiO}_2 +$ （ただし、 > 0 ）である酸化シリコン膜を用いる。この酸化シリコン膜をゲート絶縁膜422として用いることで、酸化物半導体膜403および酸化物半導体膜413に酸素を供給することができ、特性を良好にすることができる。さらに、ゲート絶縁膜422は、作製するトランジスタのサイズやゲート絶縁膜422の段差被覆性を考慮して形成することが好ましい。

【0159】

また、ゲート絶縁膜422の材料として酸化ハフニウム、酸化イットリウム、ハフニウムシリケート（ HfSi_xO_y （ $x > 0$ 、 $y > 0$ ））、窒素が添加されたハフニウムシリケート（ HfSiO_xN_y （ $x > 0$ 、 $y > 0$ ））、ハフニウムアルミネート（ HfAl_xO_y （ $x > 0$ 、 $y > 0$ ））、酸化ランタンなどのhigh-k材料を用いることでゲートリーク電流を低減できる。さらに、ゲート絶縁膜422は、単層構造としても良いし、積層構造としても良い。

【0160】

それから、プラズマCVD法又はスパッタリング法等を用いて導電膜を成膜し、当該導電膜を選択的にパターニングしてゲート電極層401およびゲート電極層411をゲート絶縁膜422上に形成する（図8（A）参照）。ゲート電極層401およびゲート電極層411は、モリブデン、チタン、タンタル、タングステン、銅、クロム、ネオジム、スカンジウム等の金属材料またはこれらを主成分とする合金材料を用いて形成することができる。また、ゲート電極層401およびゲート電極層411としてリン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜、ニッケルシリサイドなどのシリサイド膜を用いてもよい。ゲート電極層401およびゲート電極層411は、単層構造とし

10

20

30

40

50

てもよいし、積層構造としてもよい。本実施の形態では、ゲート電極層 4 0 1 およびゲート電極層 4 1 1 としてタングステンをを用いる。

【 0 1 6 1 】

また、ゲート電極層 4 0 1 およびゲート電極層 4 1 1 の材料は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの導電性材料を適用することもできる。また、上記導電性材料と、上記金属材料の積層構造とすることもできる。

【 0 1 6 2 】

また、ゲート絶縁膜 4 2 2 と接するゲート電極層 4 0 1 およびゲート電極層 4 1 1 を積層とする場合その一層として、窒素を含む金属酸化物、具体的には、窒素を含む In-Ga-Zn-O 膜や、窒素を含む In-Sn-O 膜や、窒素を含む In-Ga-O 膜や、窒素を含む In-Zn-O 膜や、窒素を含む Sn-O 膜や、窒素を含む In-O 膜や、金属窒化膜 (InN 、 SnN など) を用いることができる。これらの膜は 5 電子ボルト、好ましくは 5 . 5 電子ボルト以上の仕事関数を有し、ゲート電極層として用いた場合、トランジスタの電気特性のしきい値電圧をプラスにすることができ、所謂ノーマリーオフのスイッチング素子を実現できる。

【 0 1 6 3 】

次に、ゲート電極層 4 0 1 およびゲート電極層 4 1 1 をマスクとしてゲート絶縁膜 4 2 2 をエッチングして、酸化物半導体膜 4 0 3 および酸化物半導体膜 4 1 3 の一部を露出させ、ゲート絶縁膜 4 0 2 およびゲート絶縁膜 4 1 2 を形成する (図 8 (B) 参照) 。

【 0 1 6 4 】

次いで、酸化物半導体膜 4 0 3、酸化物半導体膜 4 1 3、ゲート絶縁膜 4 0 2、ゲート絶縁膜 4 1 2、ゲート電極層 4 0 1 およびゲート電極層 4 1 1 上に、酸化物半導体膜 4 0 3 および酸化物半導体膜 4 1 3 の一部と接して、金属元素を含む膜 4 2 4 を基板 4 0 0 を加熱しながら成膜する (図 8 (C) 参照) 。金属元素を含む膜 4 2 4 の加熱成膜の温度は 1 0 0 以上 7 0 0 以下、好ましくは 2 0 0 以上 4 0 0 以下とすればよい。

【 0 1 6 5 】

金属元素を含む膜 4 2 4 としては、金属膜、金属酸化物膜、金属窒化物膜等が挙げられる。なお、金属元素を含む膜 4 2 4 は、酸化物半導体膜 4 0 3 のチャネル形成領域 4 0 9 および酸化物半導体膜 4 1 3 のチャネル形成領域 4 1 9 に含まれる金属元素とは異なる金属元素を含むものとする。

【 0 1 6 6 】

金属元素を含む膜 4 2 4 中の金属元素としては、アルミニウム (Al)、チタン (Ti)、モリブデン (Mo)、タングステン (W)、ハフニウム (Hf)、タンタル (Ta)、ランタン (La)、バリウム (Ba)、マグネシウム (Mg)、ジルコニウム (Zr)、及びニッケル (Ni) のいずれかから選択される一以上を用いることができる。金属元素を含む膜 4 2 4 として、上記金属元素のいずれかから選択される一以上を含む金属膜、金属酸化物膜、又は金属窒化物膜 (例えば、窒化チタン膜、窒化モリブデン膜、窒化タングステン膜) を用いることができる。また、金属元素を含む膜 4 2 4 にリン (P)、ホウ素 (B) などのドーパントを含ませてもよい。本実施の形態において金属元素を含む膜 4 2 4 は導電性を有する。

【 0 1 6 7 】

金属元素を含む膜 4 2 4 は、プラズマ CVD 法、スパッタリング法、又は蒸着法等により成膜することができる。金属元素を含む膜 4 2 4 の膜厚は 5 nm 以上 3 0 nm 以下とすればよい。

【 0 1 6 8 】

本実施の形態では、金属元素を含む膜 4 2 4 として膜厚 1 0 nm のアルミニウム膜をスパッタリング法によって形成する。

【 0 1 6 9 】

10

20

30

40

50

なお、加熱成膜は、窒素、超乾燥空気（水の含有量が20ppm以下、好ましくは1ppm以下、好ましくは10ppb以下の空気）、または希ガス（アルゴン、ヘリウムなど）の雰囲気下で行えばよいが、上記窒素、超乾燥空気、または希ガス等の雰囲気に水、水素などが含まれないことが好ましい。また、加熱処理装置に導入する窒素、または希ガスの純度を、6N（99.9999%）以上好ましくは7N（99.99999%）以上（即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下）とすることが好ましい。また、減圧下または真空中で行っても良い。

【0170】

金属元素を含む膜424の加熱成膜により、金属元素を含む膜424から酸化物半導体膜403および酸化物半導体膜413へ金属元素が導入される。これにより、酸化物半導体膜403のゲート電極層401と重畳する領域にチャネル形成領域409が形成され、当該チャネル形成領域をチャネル長方向に挟む領域に、金属元素を含み、当該チャネル形成領域409より抵抗が低いソース領域404aおよびドレイン領域404bが形成される。また同様に、酸化物半導体膜413にチャネル形成領域419と、金属元素を含み、当該チャネル形成領域419より抵抗が低いソース領域414aおよびドレイン領域414bが形成される。

【0171】

なお、図8（C）においては、酸化物半導体膜403の膜厚方向全域に、チャネル形成領域409より抵抗が低いソース領域404aおよびドレイン領域404bが形成されているが、必ずしもこのように形成されるとは限らない。ソース領域404aおよびドレイン領域404bが酸化物半導体膜403の一部、つまり表面近傍に形成される場合もある。また、酸化物半導体膜413に形成されるソース領域414aおよびドレイン領域414bについても同様である。

【0172】

次に、ゲート絶縁膜402、ゲート電極層401、ゲート絶縁膜412およびゲート電極層411をマスクとして、酸化物半導体膜403および酸化物半導体膜413に金属元素を含む膜424を通過してドーパント421を選択的に導入し、ソース領域404a、ドレイン領域404b、ソース領域414aおよびドレイン領域414bのさらなる低抵抗化を図っても良い（図8（D）参照）。

【0173】

ドーパント421は、酸化物半導体膜403および酸化物半導体膜413の導電率を変化させる不純物である。ドーパント421としては、15族元素（代表的にはリン（P）、砒素（As）、およびアンチモン（Sb））、ホウ素（B）、アルミニウム（Al）、窒素（N）、アルゴン（Ar）、ヘリウム（He）、ネオン（Ne）、インジウム（In）、フッ素（F）、塩素（Cl）、チタン（Ti）、及び亜鉛（Zn）のいずれかから選択される一以上を用いることができる。

【0174】

上記ドーパントは金属元素を含む膜424に含ませてもよい。

【0175】

ドーパント421は、注入法により、金属元素を含む膜424を通過して、酸化物半導体膜403および酸化物半導体膜413に導入される。ドーパント421の導入方法としては、イオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法などを用いることができる。その際には、ドーパント421の単体のイオンあるいは水素化物やフッ化物、塩化物のイオンを用いると好ましい。

【0176】

ドーパント421の導入工程は、加速電圧、ドーズ量などの注入条件、また通過させる金属元素を含む膜424の膜厚を適宜設定して制御すればよい。例えば、ホウ素を用いて、イオン注入法でホウ素イオンの注入を行う場合、加速電圧15kV、ドーズ量を $1 \times 10^{15} \text{ ions/cm}^2$ とすればよい。ドーズ量は、 $1 \times 10^{13} \text{ ions/cm}^2$ 以上 $5 \times 10^{16} \text{ ions/cm}^2$ 以下とすればよい。

10

20

30

40

50

【0177】

ソース領域またはドレイン領域におけるドーパント421の濃度は、 $5 \times 10^{18} / \text{cm}^3$ 以上 $1 \times 10^{22} / \text{cm}^3$ 以下であることが好ましい。

【0178】

なお、酸化物半導体膜403および酸化物半導体膜413にドーパント421を導入する処理は、複数回行ってよく、ドーパントの種類も複数種用いてもよい。

【0179】

また、ドーパント421の導入処理後、加熱処理を行ってもよい。加熱条件としては、温度300 以上700 以下、好ましくは300 以上450 以下とし、窒素雰囲気下、減圧下、大気（超乾燥エア）下で加熱処理を行ってもよい。

10

【0180】

酸化物半導体膜403および酸化物半導体膜413を結晶性酸化物半導体膜とした場合、ドーパント421の導入により、一部非晶質化する場合がある。この場合、ドーパント421の導入後に加熱処理を行うことによって、酸化物半導体膜403および酸化物半導体膜413の結晶性を回復することができる。

【0181】

なお、上記のドーパントの導入は、ソース領域404a、ドレイン領域404b、ソース領域414aおよびドレイン領域414bのさらなる低抵抗化を図るために行うが、トランジスタ440およびトランジスタ450の作製において必ずしも行う必要はない。

【0182】

20

次に、金属元素を含む膜424をウェットエッチングを用いて除去する（図8（E）参照）。本実施の形態に示すように、ゲート電極層401およびゲート電極層411としてタングステンを用い、酸化物半導体膜403および酸化物半導体膜413としてIGZOを用い、金属元素を含む膜424としてアルミニウムを用いる場合、TMAH（Tetra Methyl Ammonium Hydroxide、テトラメチルアンモニウムヒドロキシド）を0.2～5.0%含む有機アルカリ水溶液（例えば、東京応化工業株式会社製、商品名：NMD3）を用いるのが好ましい。このようにウェットエッチングを行うことにより、ゲート電極層401、ゲート電極層411、酸化物半導体膜403および酸化物半導体膜413に対して高いエッチング選択比で金属元素を含む膜424を除去することができる。

30

【0183】

もちろんウェットエッチングの条件はこれに限られるものではなく、ゲート電極層401、ゲート電極層411、酸化物半導体膜403、酸化物半導体膜413および金属元素を含む膜424の種類などに合わせて適宜設定すればよい。

【0184】

このように、ウェットエッチングで金属元素を含む膜424を除去することにより、プラズマ処理を行うことなく、金属元素を含む膜424を除去できるので、第1の保護回路104および第2の保護回路105が形成される前に、プラズマのダメージでESDが発生して駆動回路を形成するトランジスタ450が破壊されるのを防ぐことができる。

【0185】

40

そして、トランジスタ440およびトランジスタ450を覆うように絶縁膜425を形成する。

【0186】

絶縁膜425は、スパッタリング法など、絶縁膜425に水、水素等の不純物を混入させない方法を適宜用いて形成することが好ましい。また、絶縁膜425としては酸素を過剰に含む膜とすると、酸化物半導体膜403および酸化物半導体膜413への酸素の供給源となるために好ましい。

【0187】

本実施の形態では、絶縁膜425として膜厚100nmの酸化シリコン膜を、スパッタリング法を用いて成膜する。酸化シリコン膜のスパッタリング法による成膜は、希ガス（

50

代表的にはアルゴン）雰囲気下、酸素雰囲気下、または希ガスと酸素の混合雰囲気下において行うことができる。

【0188】

酸化物半導体膜の成膜時と同様に、絶縁膜425の成膜室内の残留水分を除去するためには、吸着型の真空ポンプ（クライオポンプなど）を用いることが好ましい。クライオポンプを用いて排気した成膜室で成膜した絶縁膜425に含まれる不純物の濃度を低減できる。また、絶縁膜425の成膜室内の残留水分を除去するための排気手段としては、ターボ分子ポンプにコールドトラップを加えたものであってもよい。

【0189】

絶縁膜425を、成膜する際に用いるスパッタガスとしては、水素、水、水酸基又は水素化物などの不純物が除去された高純度ガスを用いることが好ましい。

10

【0190】

絶縁膜425を積層する場合、酸化シリコン膜の他に、代表的に酸化アルミニウム膜、酸化窒化シリコン膜、酸化窒化アルミニウム膜、又は酸化ガリウム膜などの無機絶縁膜を用いることができる。例えば、絶縁膜425として酸化シリコン膜と酸化アルミニウム膜との積層を用いることができる。

【0191】

さらに、トランジスタ起因の表面凹凸を低減するために平坦化絶縁膜として機能する絶縁膜426を形成してもよい。絶縁膜426としては、ポリイミド、アクリル、ベンゾシクロブテン系樹脂、等の有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low-k材料）等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、絶縁膜426を形成してもよい。

20

【0192】

また、絶縁膜425の形成後、不活性ガス雰囲気下、または酸素雰囲気下で熱処理を行ってもよい。熱処理の温度は、200 以上450 以下とするのが好ましく、250 以上350 以下とするのがより好ましい。このような熱処理を行うことによって、トランジスタ440およびトランジスタ450の電気的特性のばらつきを軽減することができる。また、絶縁膜420、ゲート絶縁膜402、ゲート絶縁膜412または絶縁膜425が酸素を含む場合、酸化物半導体膜403および酸化物半導体膜413に酸素を供給し、該酸化物半導体膜403および酸化物半導体膜413の酸素欠損を補填することもできる。このように、上述の熱処理には酸素を供給する効果があるため、当該熱処理を、加酸化（加酸素化）などと呼ぶこともできる。また、加酸化は、上記の金属元素を含む膜424の加熱処理や、ドーパント421の添加後の熱処理で兼ねることもできる。

30

【0193】

最後に、絶縁膜425および絶縁膜426にゲート電極層401、ゲート電極層411、ソース領域404a、ドレイン領域404b、ソース領域414aおよびドレイン領域414bに達する開口を形成し、絶縁膜425および絶縁膜426上に当該開口を介して、ソース領域404aおよびゲート電極層401と接するようにソース電極層405aを、ドレイン領域404bと接するようにドレイン電極層405bを、ソース領域414aと接するようにソース電極層415aを、ドレイン領域414bと接するようにドレイン電極層415bを、ゲート電極層411と接するように配線層415cを形成する（図8（F）参照）。

40

【0194】

ソース電極層405a、ドレイン電極層405b、ソース電極層415a、ドレイン電極層415bおよび配線層415cに用いる導電膜としては、例えば、Al、Cr、Cu、Ta、Ti、Mo、Wから選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜（窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等を用いることができる。また、Al、Cuなどの金属膜の下側又は上側の一方または双方にTi、Mo、Wなどの高融点金属膜またはそれらの金属窒化物膜（窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）を積層させた構成としても良い。

50

【0195】

ソース電極層405a、ドレイン電極層405b、ソース電極層415a、ドレイン電極層415bおよび配線層415cの作製の際に、ESDなどの高いサージ電圧がトランジスタ111(トランジスタ450)に印加されたとしても、先の実施の形態で示したように、トランジスタ114からなる第1の保護回路104またはトランジスタ115からなる第2の保護回路105が放電経路となるため、サージ電流がトランジスタ111に流れることを防ぐことができる。

【0196】

フォトリソグラフィ工程により当該導電膜上にレジストマスクを形成し、選択的にエッチングを行ってソース電極層405a、ドレイン電極層405b、ソース電極層415a、ドレイン電極層415bおよび配線層415cを形成することができる。

10

【0197】

このようにして、チャンネル形成領域409、ソース領域404a、ドレイン領域404bを含む酸化物半導体膜403、ソース電極層405a、ドレイン電極層405b、ゲート絶縁膜402、ゲート電極層401を有するトランジスタ440と、チャンネル形成領域419、ソース領域414a、ドレイン領域414bを含む酸化物半導体膜413、ソース電極層415a、ドレイン電極層415b、配線層415c、ゲート絶縁膜412、ゲート電極層411を有するトランジスタ450と、を同時に形成することができる。

【0198】

ここで、図1に示したように、ソース電極層405aと配線層415cとは電氣的に接続され、ドレイン電極層405bは、図1に示す第1の配線102と電氣的に接続される。また、図8(A)乃至図8(F)に示す方法でトランジスタ114ではなく、図1に示す第2の保護回路105を形成するトランジスタ115を作製した場合には、ドレイン電極層405bと配線層415cとは電氣的に接続され、ソース電極層405aは、図1に示す第2の配線103と電氣的に接続される。

20

【0199】

また、図8に示す方法とは異なる方法で、実施の形態1に示す駆動回路を形成することもできる。図9を用いて、図8に示す方法とは異なる方法でトランジスタ440およびトランジスタ450を同時に作製する一例を示す。

【0200】

まず、図8(B)に示す状態と同様に、基板400上に、絶縁膜420、酸化物半導体膜403、酸化物半導体膜413、ゲート絶縁膜402、ゲート絶縁膜412、ゲート電極層401およびゲート電極層411を形成する。これらの詳細については、上述の記載を参酌することができる。

30

【0201】

それから、酸化物半導体膜403、酸化物半導体膜413、ゲート絶縁膜402、ゲート絶縁膜412、ゲート電極層401およびゲート電極層411上に、酸化物半導体膜403および酸化物半導体膜413の一部と接して、金属元素を含む膜424を成膜する(図9(A)参照)。ここで、図8(C)に示す工程では、金属元素を含む膜424を基板400を加熱しながら成膜したが、本工程においては、基板400の加熱は行わない、または金属元素を含む膜424から酸化物半導体膜403および酸化物半導体膜413に金属元素が導入されない程度の温度、例えば100 未満の温度で加熱する。

40

【0202】

ここで、金属元素を含む膜424としては、図8(C)の説明で挙げたものと同様のものを用いることができ、成膜方法も同様のものを用いることができる。

【0203】

次に、酸化物半導体膜403および酸化物半導体膜413の一部と金属元素を含む膜424が接した状態で加熱処理を行う(図9(B)参照)。ここで、加熱温度は100 以上700 以下、好ましくは200 以上400 以下とすればよい。

【0204】

50

例えば、加熱処理装置の一つである電気炉に基板を導入し、金属元素を含む膜 4 2 4、酸化物半導体膜 4 0 3 および酸化物半導体膜 4 1 3 に対して不活性ガス雰囲気下 3 0 0 において 1 時間の加熱処理を行う。

【 0 2 0 5 】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を用いてもよい。例えば、GRTA (Gas Rapid Thermal Anneal) 装置、LRTA (Lamp Rapid Thermal Anneal) 装置等の RTA (Rapid Thermal Anneal) 装置を用いることができる。LRTA 装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光 (電磁波) の輻射により、被処理物を加熱する装置である。GRTA 装置は、高温のガスを用いて加熱処理を行う装置である。高温のガスには、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物と反応しない不活性気体が用いられる。

10

【 0 2 0 6 】

例えば、加熱処理として、650 ~ 700 の高温に加熱した不活性ガス中に基板を入れ、数分間加熱した後、基板を不活性ガス中から出す GRTA を行ってもよい。

【 0 2 0 7 】

なお、加熱処理は、窒素、超乾燥空気 (水の含有量が 20 ppm 以下、好ましくは 1 ppm 以下、好ましくは 10 ppb 以下の空気)、または希ガス (アルゴン、ヘリウムなど) の雰囲気下で行えばよいが、上記窒素、超乾燥空気、または希ガス等の雰囲気に水、水素などが含まれないことが好ましい。また、加熱処理装置に導入する窒素、または希ガスの純度を、6N (99.9999%) 以上好ましくは 7N (99.99999%) 以上 (即ち不純物濃度を 1 ppm 以下、好ましくは 0.1 ppm 以下) とすることが好ましい。また、減圧下または真空中で行っても良い。

20

【 0 2 0 8 】

金属元素を含む膜 4 2 4 の加熱処理により、金属元素を含む膜 4 2 4 から酸化物半導体膜 4 0 3 および酸化物半導体膜 4 1 3 へ金属元素が導入される。これにより、酸化物半導体膜 4 0 3 のゲート電極層 4 0 1 と重畳する領域にチャネル形成領域 4 0 9 が形成され、当該チャネル形成領域をチャネル長方向に挟む領域に、金属元素を含み、当該チャネル形成領域 4 0 9 より抵抗が低いソース領域 4 0 4 a およびドレイン領域 4 0 4 b が形成される。また同様に、酸化物半導体膜 4 1 3 にチャネル形成領域 4 1 9 と、金属元素を含み、当該チャネル形成領域 4 1 9 より抵抗が低いソース領域 4 1 4 a およびドレイン領域 4 1 4 b が形成される。

30

【 0 2 0 9 】

なお、図 9 (B) においては、酸化物半導体膜 4 0 3 の膜厚方向全域に、チャネル形成領域 4 0 9 より抵抗が低いソース領域 4 0 4 a およびドレイン領域 4 0 4 b が形成されているが、必ずしもこのように形成されとは限らない。ソース領域 4 0 4 a およびドレイン領域 4 0 4 b が酸化物半導体膜 4 0 3 の一部、つまり表面近傍に形成される場合もある。また、酸化物半導体膜 4 1 3 に形成されるソース領域 4 1 4 a およびドレイン領域 4 1 4 b についても同様である。

40

【 0 2 1 0 】

なお、当該加熱処理の前後において、図 8 (D) で示したように、ゲート絶縁膜 4 0 2、ゲート電極層 4 0 1、ゲート絶縁膜 4 1 2 およびゲート電極層 4 1 1 をマスクとして、酸化物半導体膜 4 0 3 および酸化物半導体膜 4 1 3 に金属元素を含む膜 4 2 4 を通過してドーパント 4 2 1 を選択的に導入してもよい。ドーパント 4 2 1 の導入の詳細については、図 8 (D) に関する記載を参酌することができる。

【 0 2 1 1 】

以下、図 8 (E) および図 8 (F) で示した方法と同様に、金属元素を含む膜 4 2 4 をウェットエッチングを用いて除去し (図 9 (C) 参照)、トランジスタ 4 4 0 およびトラ

50

ンジスタ450を覆うように絶縁膜425および絶縁膜426を形成し、ソース領域404aおよびゲート電極層401と接するようにソース電極層405aを、ドレイン領域404bと接するようにドレイン電極層405bを、ソース領域414aと接するようにソース電極層415aを、ドレイン領域414bと接するようにドレイン電極層415bを、ゲート電極層411と接するように配線層415cを形成する(図9(D)参照)。これらの詳細については、図8(E)および図8(F)に関する記載を参酌することができる。

【0212】

以上のようにして、トランジスタ440の酸化物半導体膜403に金属元素とドーパント421を含ませて、チャネル形成領域409より抵抗の低いソース領域404aおよびドレイン領域404bを形成することができる。これにより、トランジスタ440はオン特性(例えば、オン電流及び電界効果移動度)が高く、高速動作、高速応答が可能となる。また、ソース領域404aとドレイン領域404bの間に形成されるチャネル形成領域409に加わる電界を緩和させることができる。また、ソース領域404aとドレイン領域404bにおいて酸化物半導体膜403とソース電極層405a及びドレイン電極層405bとを電氣的に接続させることによって、酸化物半導体膜403とソース電極層405a及びドレイン電極層405bとの接触抵抗を低減することができる。このようなトランジスタ440を、第1の保護回路104のトランジスタ114または第2の保護回路105のトランジスタ115に用いることによって、トランジスタ111のサージ電流の放電経路となってもトランジスタ114およびトランジスタ115が破壊される危険性を低減することができる。

【0213】

また、トランジスタ450の酸化物半導体膜413に金属元素とドーパント421を含ませて、チャネル形成領域419より抵抗の低いソース領域414aおよびドレイン領域414bを形成することができる。これにより、トランジスタ450はオン特性(例えば、オン電流及び電界効果移動度)が高く、高速動作、高速応答が可能となる。また、ソース領域414aとドレイン領域414bの間に形成されるチャネル形成領域419に加わる電界を緩和させることができる。また、ソース領域414aとドレイン領域414bにおいて酸化物半導体膜413とソース電極層415a及びドレイン電極層415bとを電氣的に接続させることによって、酸化物半導体膜413とソース電極層415a及びドレイン電極層415bとの接触抵抗を低減することができる。

【0214】

高純度化され、酸素欠損が補填された酸化物半導体膜403および酸化物半導体膜413は、水素、水などの不純物が十分に除去されており、酸化物半導体膜403および酸化物半導体膜413中の水素濃度は $5 \times 10^{19} / \text{cm}^3$ 以下、好ましくは $5 \times 10^{18} / \text{cm}^3$ 以下である。なお、酸化物半導体膜403および酸化物半導体膜413中の水素濃度は、二次イオン質量分析法(SIMS: Secondary Ion Mass Spectrometry)で測定されるものである。

【0215】

このような酸化物半導体膜403および酸化物半導体膜413中にはキャリアが極めて少なく(ゼロに近い)、キャリア濃度は $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満である。

【0216】

本実施の形態を用いて作製した、高純度化し、酸素欠損を補填する酸素を過剰に含む酸化物半導体膜403および酸化物半導体膜413を用いたトランジスタ440およびトランジスタ450は、オフ状態における電流値(オフ電流値)を、チャネル幅 $1 \mu\text{m}$ 当たり室温にて $100 \text{ zA} / \mu\text{m}$ (1 zA (zeptoアンペア)は $1 \times 10^{-21} \text{ A}$)以下、好ましくは $10 \text{ zA} / \mu\text{m}$ 以下、より好ましくは $1 \text{ zA} / \mu\text{m}$ 以下、さらに好ましくは $100 \text{ yA} / \mu\text{m}$ 以下レベルにまで低くすることができる。

【0217】

このようなトランジスタ４４０を第１の保護回路１０４のトランジスタ１１４に用いることによって、第１の保護回路１０４におけるリーク電流を低減することができる。また、このようなトランジスタ４４０を第２の保護回路１０５のトランジスタ１１５に用いることによって、第２の保護回路１０５におけるリーク電流を低減することができる。また、このように電気特性の高いトランジスタ４４０およびトランジスタ４５０を用いることで高性能及び高信頼性の駆動回路を提供することができる。

【０２１８】

以上のような構成とすることにより、作製中にＥＳＤにより半導体素子が破壊されることを抑制する駆動回路および当該駆動回路の作製方法を提供することができる。また、リーク電流の小さい保護回路が設けられた駆動回路および当該駆動回路の作製方法を提供す

10

【０２１９】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることもできる。

【０２２０】

（実施の形態３）

本実施の形態においては、実施の形態２に示すトランジスタとは、異なる形状のトランジスタからなる駆動回路を作製する方法について、図１０を用いて説明する。例として図１０に示す、トランジスタ４６０およびトランジスタ４７０を同時に作製する方法について示す。ここで、トランジスタ４６０は、先の実施の形態に示すトランジスタ４４０、つまり第１の保護回路１０４を形成するトランジスタ１１４に対応し、トランジスタ４７０は、トランジスタ４５０、つまり半導体素子１０１として機能するトランジスタ１１１に対応する。なお、本実施の形態においても、直接図示しないが、先の実施の形態に示す第２の保護回路１０５を形成するトランジスタ１１５もトランジスタ４６０と同様の方法で形成することができる。また、図３に示すように駆動回路部と表示部を同一基板上に作製する場合、表示部のトランジスタも同様の方法で作製することができる。

20

【０２２１】

図１０（Ｃ）に示すように、トランジスタ４６０は、絶縁膜４２０が設けられた絶縁表面を有する基板４００上に、チャネル形成領域４０９、ソース領域４０４ａ、ドレイン領域４０４ｂを含む酸化半導体膜４０３、電極層４２４ａ、電極層４２４ｂ、ソース電極層４０５ａ、ドレイン電極層４０５ｂ、ゲート絶縁膜４０２、ゲート電極層４０１を有する。また、トランジスタ４７０は、絶縁膜４２０が設けられた絶縁表面を有する基板４００上に、チャネル形成領域４１９、ソース領域４１４ａ、ドレイン領域４１４ｂを含む酸化半導体膜４１３、電極層４２４ｃ、電極層４２４ｄ、ソース電極層４１５ａ、ドレイン電極層４１５ｂ、配線層４１５ｃ、ゲート絶縁膜４１２、ゲート電極層４１１を有する。

30

【０２２２】

つまり、トランジスタ４６０は、ソース領域４０４ａとソース電極層４０５ａとが電極層４２４ａを介して接続され、ドレイン領域４０４ｂとドレイン電極層４０５ｂとが電極層４２４ｂを介して接続される点においてトランジスタ４４０と異なる。また、トランジスタ４７０は、ソース領域４１４ａとソース電極層４１５ａとが電極層４２４ｃを介して接続され、ドレイン領域４１４ｂとドレイン電極層４１５ｂとが電極層４２４ｄを介して接続される点においてトランジスタ４５０と異なる。

40

【０２２３】

以下、図１０（Ａ）乃至図１０（Ｃ）を用いてトランジスタ４６０およびトランジスタ４７０の作製工程について説明する。

【０２２４】

まず、図８（Ｄ）または図９（Ｂ）に示す状態と同様に、基板４００上に、絶縁膜４２０、酸化半導体膜４０３（ソース領域４０４ａ、ドレイン領域４０４ｂおよびチャネル形成領域４０９を有する。）、酸化半導体膜４１３（ソース領域４１４ａ、ドレイン領

50

域 4 1 4 b およびチャネル形成領域 4 1 9 を有する。)、ゲート絶縁膜 4 0 2、ゲート絶縁膜 4 1 2、ゲート電極層 4 0 1 およびゲート電極層 4 1 1、並びに金属元素を含む膜 4 2 4 を形成する(図 1 0 (A) 参照)。これらの詳細については、実施の形態 2 の記載を参酌することができる。

【 0 2 2 5 】

次に、フォトリソグラフィ工程により金属元素を含む膜 4 2 4 上にレジストマスクを形成し、当該金属元素を含む膜 4 2 4 の一部をウェットエッチングを用いて選択的に除去し、ソース領域 4 0 4 a と接するように電極層 4 2 4 a を、ドレイン領域 4 0 4 b と接するように電極層 4 2 4 b を、ソース領域 4 1 4 a と接するように電極層 4 2 4 c を、ドレイン領域 4 1 4 b と接するように電極層 4 2 4 d を形成する(図 1 0 (B) 参照。)。ここで当該ウェットエッチの詳細については、図 8 (E) に関する記載を参酌することができる。

10

【 0 2 2 6 】

ここで、電極層 4 2 4 a および電極層 4 2 4 b は、ゲート電極層 4 0 1 およびゲート絶縁膜 4 0 2 と接しないように形成され、電極層 4 2 4 c および電極層 4 2 4 d は、ゲート電極層 4 1 1 およびゲート絶縁膜 4 1 2 と接しないように形成される。

【 0 2 2 7 】

次に、トランジスタ 4 6 0 およびトランジスタ 4 7 0 を覆うように絶縁膜 4 2 5 および絶縁膜 4 2 6 を形成する(図 1 0 (C) 参照)。絶縁膜 4 2 5 および絶縁膜 4 2 6 の詳細については、先の実施の形態を参酌することができる。

20

【 0 2 2 8 】

なお、電極層 4 2 4 a 乃至電極層 4 2 4 d の形成後、例えば絶縁膜 4 2 5 の形成後に、図 8 (D) で示したように、ゲート絶縁膜 4 0 2、ゲート電極層 4 0 1、ゲート絶縁膜 4 1 2、ゲート電極層 4 1 1 および電極層 4 2 4 a 乃至電極層 4 2 4 d をマスクとして、酸化物半導体膜 4 0 3 および酸化物半導体膜 4 1 3 に金属元素を含む膜 4 2 4 を通過してドーパント 4 2 1 を選択的に導入してもよい。ドーパント 4 2 1 の導入の詳細については、図 8 (D) に関する記載を参酌することができる。これにより、ソース領域 4 0 4 a の電極層 4 2 4 a と重畳していない領域、ドレイン領域 4 0 4 b の電極層 4 2 4 b と重畳していない領域、ソース領域 4 1 4 a の電極層 4 2 4 c と重畳していない領域、ドレイン領域 4 1 4 b の電極層 4 2 4 d と重畳していない領域をより低抵抗にすることができるので、トランジスタ 4 6 0 およびトランジスタ 4 7 0 のオン特性(例えば、オン電流及び電界効果移動度)の向上を図ることができる。

30

【 0 2 2 9 】

最後に、絶縁膜 4 2 5 および絶縁膜 4 2 6 にゲート電極層 4 0 1、ゲート電極層 4 1 1 および電極層 4 2 4 a 乃至電極層 4 2 4 d に達する開口を形成し、絶縁膜 4 2 5 および絶縁膜 4 2 6 上に当該開口を介して、電極層 4 2 4 a およびゲート電極層 4 0 1 と接するようにソース電極層 4 0 5 a を、電極層 4 2 4 b と接するようにドレイン電極層 4 0 5 b を、電極層 4 2 4 c と接するようにソース電極層 4 1 5 a を、電極層 4 2 4 d と接するようにドレイン電極層 4 1 5 b を、ゲート電極層 4 1 1 と接するように配線層 4 1 5 c を形成する(図 1 0 (C) 参照)。ここで、ソース電極層 4 0 5 a、ドレイン電極層 4 0 5 b、ソース電極層 4 1 5 a、ドレイン電極層 4 1 5 b および配線層 4 1 5 c に用いる導電膜、当該導電膜の成膜方法および当該導電膜のエッチング方法については、先の実施の形態を参酌することができる。

40

【 0 2 3 0 】

このようにして、チャネル形成領域 4 0 9、ソース領域 4 0 4 a、ドレイン領域 4 0 4 b を含む酸化物半導体膜 4 0 3、電極層 4 2 4 a、電極層 4 2 4 b、ソース電極層 4 0 5 a、ドレイン電極層 4 0 5 b、ゲート絶縁膜 4 0 2、ゲート電極層 4 0 1 を有するトランジスタ 4 6 0 と、チャネル形成領域 4 1 9、ソース領域 4 1 4 a、ドレイン領域 4 1 4 b を含む酸化物半導体膜 4 1 3、電極層 4 2 4 c、電極層 4 2 4 d、ソース電極層 4 1 5 a、ドレイン電極層 4 1 5 b、配線層 4 1 5 c、ゲート絶縁膜 4 1 2、ゲート電極層 4 1 1

50

を有するトランジスタ４７０と、を同時に形成することができる。

【０２３１】

このように、ソース領域４０４ａとソース電極層４０５ａとが電極層４２４ａを介して接続され、ドレイン領域４０４ｂとドレイン電極層４０５ｂとが電極層４２４ｂを介して接続され、ソース領域４１４ａとソース電極層４１５ａとが電極層４２４ｃを介して接続され、ドレイン領域４１４ｂとドレイン電極層４１５ｂとが電極層４２４ｄを介して接続されることにより、各々の接続部分における接触抵抗を低減することができる。

【０２３２】

ソース電極層４０５ａ、ドレイン電極層４０５ｂ、ソース電極層４１５ａ、ドレイン電極層４１５ｂおよび配線層４１５ｃの作製の際に、ＥＳＤなどの高いサージ電圧をトランジスタ１１１（トランジスタ４７０）に印加されたとしても、先の実施の形態で示したように、トランジスタ１１４（トランジスタ４６０）からなる第１の保護回路１０４またはトランジスタ１１５（トランジスタ４６０）からなる第２の保護回路１０５が放電経路となるため、サージ電流がトランジスタ１１１に流れることを防ぐことができる。このとき、ソース領域４０４ａとソース電極層４０５ａとが電極層４２４ａを介して接続され、ドレイン領域４０４ｂとドレイン電極層４０５ｂとが電極層４２４ｂを介して接続されて接続部分における接触抵抗が低減されているので、トランジスタ１１１のサージ電流の放電経路となってもトランジスタ１１４およびトランジスタ１１５が破壊される危険性を低減することができる。

【０２３３】

このようなトランジスタ４６０を第１の保護回路１０４のトランジスタ１１４に用いることによって、第１の保護回路１０４におけるリーク電流を低減することができる。また、このようなトランジスタ４６０を第２の保護回路１０５のトランジスタ１１５に用いることによって、第２の保護回路１０５におけるリーク電流を低減することができる。また、このように電気特性の高いトランジスタ４６０およびトランジスタ４７０を用いることで高性能及び高信頼性の駆動回路を提供することができる。

【０２３４】

また、図１０に示すトランジスタ４６０およびトランジスタ４７０とも異なる、トランジスタ４８０およびトランジスタ４９０からなる駆動回路を作製する方法について、図１１を用いて説明する。ここで、トランジスタ４８０は、先の実施の形態に示すトランジスタ４４０、つまり第１の保護回路１０４を形成するトランジスタ１１４に対応し、トランジスタ４９０は、トランジスタ４５０、つまり半導体素子１０１として機能するトランジスタ１１１に対応する。なお、本実施の形態においても、直接図示しないが、先の実施の形態に示す第２の保護回路１０５を形成するトランジスタ１１５もトランジスタ４８０と同様の方法で形成することができる。また、図３に示すように駆動回路部と表示部を同一基板上に作製する場合、表示部のトランジスタも同様の方法で作製することができる。

【０２３５】

図１１（Ｅ）に示すように、トランジスタ４８０は、絶縁膜４２０が設けられた絶縁表面を有する基板４００上に、チャネル形成領域４０９、ソース領域４０４ａ、ドレイン領域４０４ｂ、低濃度不純物領域４３４ａおよび低濃度不純物領域４３４ｂを含む酸化物半導体膜４０３、ソース電極層４０５ａ、ドレイン電極層４０５ｂ、ゲート絶縁膜４０２、ゲート電極層４０１、サイドウォール絶縁膜４２９ａを有する。また、トランジスタ４９０は、絶縁膜４２０が設けられた絶縁表面を有する基板４００上に、チャネル形成領域４１９、ソース領域４１４ａ、ドレイン領域４１４ｂ、低濃度不純物領域４４４ａおよび低濃度不純物領域４４４ｂを含む酸化物半導体膜４１３、ソース電極層４１５ａ、ドレイン電極層４１５ｂ、配線層４１５ｃ、ゲート絶縁膜４１２、ゲート電極層４１１、サイドウォール絶縁膜４２９ｂを有する。

【０２３６】

つまり、トランジスタ４８０は、ゲート電極層４０１の側面にサイドウォール絶縁膜４２９ａが設けられ、酸化物半導体膜４０３のサイドウォール絶縁膜４２９ａと重畳する領

10

20

30

40

50

域において、ソース領域404aとチャネル形成領域409に挟まれるように低濃度不純物領域434aが、ドレイン領域404bとチャネル形成領域409に挟まれるように低濃度不純物領域434bが設けられる点においてトランジスタ440と異なる。また、トランジスタ490は、ゲート電極層411の側面にサイドウォール絶縁膜429bが設けられ、酸化物半導体膜413のサイドウォール絶縁膜429bと重畳する領域において、ソース領域414aとチャネル形成領域419に挟まれるように低濃度不純物領域444aが、ドレイン領域414bとチャネル形成領域419に挟まれるように低濃度不純物領域444bが設けられる点においてトランジスタ450と異なる。

【0237】

以下、図11(A)乃至図11(E)を用いてトランジスタ480およびトランジスタ490の作製工程について説明する。

【0238】

まず、図8(B)に示す状態と同様に、基板400上に、絶縁膜420、酸化物半導体膜403、酸化物半導体膜413、ゲート絶縁膜402、ゲート絶縁膜412、ゲート電極層401およびゲート電極層411を形成する。これらの詳細については、実施の形態2の記載を参酌することができる。

【0239】

次に、酸化物半導体膜403、酸化物半導体膜413、ゲート絶縁膜402、ゲート絶縁膜412、ゲート電極層401およびゲート電極層411を覆うように絶縁膜429を成膜し、ゲート絶縁膜402、ゲート電極層401、ゲート絶縁膜412およびゲート電極層411をマスクとして、酸化物半導体膜403および酸化物半導体膜413に絶縁膜429を通過してドーパント423を選択的に導入する(図11(A)参照)。これにより、酸化物半導体膜403のゲート電極層401と重畳する領域にチャネル形成領域409が形成され、当該チャネル形成領域をチャネル長方向に挟む領域に、当該チャネル形成領域409より抵抗が低い低濃度不純物領域434aおよび低濃度不純物領域434bが形成される。また同様に、酸化物半導体膜413にチャネル形成領域419と、当該チャネル形成領域419より抵抗が低い低濃度不純物領域444aおよび低濃度不純物領域444bが形成される。

【0240】

ここで、絶縁膜429について特に限定はないが、例えば、TEOS(Tetraethyl-Ortho-Silicate)若しくはシラン等と、酸素若しくは亜酸化窒素等とを反応させて形成した段差被覆性のよい酸化シリコンを用いることができる。絶縁膜429は熱CVD、プラズマCVD、常圧CVD、バイアスECRCVD、スパッタリング等の方法によって形成することができる。また、低温酸化(LTO: Low Temperature Oxidation)法により形成する酸化シリコンを用いてもよい。

【0241】

また、ドーパント423の導入は、図8(D)に示すドーパント421の導入と同様の方法で行うことができる。ただし、低濃度不純物領域434a、低濃度不純物領域434b、低濃度不純物領域444aおよび低濃度不純物領域444bは、後の工程で形成する、ソース領域404a、ドレイン領域404b、ソース領域414aおよびドレイン領域414bより不純物濃度が低くなるので、後の工程で行うドーパント421の導入よりドーパント量を小さくすることが好ましい。

【0242】

次に、絶縁膜429に異方性のエッチングを行って、ゲート電極層401の側面に接してサイドウォール絶縁膜429aを、ゲート電極層411の側面に接してサイドウォール絶縁膜429bを、それぞれ自己整合的に形成する(図11(B)参照)。ここで、絶縁膜429のエッチングは、例えば、RIE(Reactive ion etching: 反応性イオンエッチング)法を用いて行うことができる。

【0243】

次に、図8(C)で示したのと同様に、酸化物半導体膜403、酸化物半導体膜413

10

20

30

40

50

、ゲート絶縁膜 4 0 2、ゲート絶縁膜 4 1 2、ゲート電極層 4 0 1 およびゲート電極層 4 1 1 上に、酸化物半導体膜 4 0 3 および酸化物半導体膜 4 1 3 の一部と接して、金属元素を含む膜 4 2 4 を基板 4 0 0 を加熱しながら成膜する（図 1 1 (C) 参照）。これにより、金属元素を含む膜 4 2 4 から酸化物半導体膜 4 0 3 および酸化物半導体膜 4 1 3 へ金属元素が導入される。

【 0 2 4 4 】

よって、低濃度不純物領域 4 3 4 a のサイドウォール絶縁膜 4 2 9 a と重畳していない領域にソース領域 4 0 4 a が、低濃度不純物領域 4 3 4 b のサイドウォール絶縁膜 4 2 9 a と重畳していない領域にドレイン領域 4 0 4 b が形成される。また、低濃度不純物領域 4 4 4 a のサイドウォール絶縁膜 4 2 9 b と重畳していない領域にソース領域 4 1 4 a が、低濃度不純物領域 4 4 4 b のサイドウォール絶縁膜 4 2 9 b と重畳していない領域にドレイン領域 4 1 4 b が形成される。ここで、ソース領域 4 0 4 a、ドレイン領域 4 0 4 b、ソース領域 4 1 4 a およびドレイン領域 4 1 4 b は、低濃度不純物領域 4 3 4 a、低濃度不純物領域 4 3 4 b、低濃度不純物領域 4 4 4 a および低濃度不純物領域 4 4 4 b より抵抗が低くなる。

【 0 2 4 5 】

ここで、金属元素を含む膜 4 2 4 の成膜は、図 8 (D) で示した方法と同様の方法で行うことができる。また、図 9 (A) および図 9 (B) で示したように、金属元素を含む膜 4 2 4 を成膜した後で加熱処理を行うようにしても良い。

【 0 2 4 6 】

次に、ゲート絶縁膜 4 0 2、ゲート電極層 4 0 1、サイドウォール絶縁膜 4 2 9 a、ゲート絶縁膜 4 1 2、ゲート電極層 4 1 1 およびサイドウォール絶縁膜 4 2 9 b をマスクとして、酸化物半導体膜 4 0 3 および酸化物半導体膜 4 1 3 に金属元素を含む膜 4 2 4 を通過してドーパント 4 2 1 を選択的に導入し、ソース領域 4 0 4 a、ドレイン領域 4 0 4 b、ソース領域 4 1 4 a およびドレイン領域 4 1 4 b のさらなる低抵抗化を図っても良い（図 1 1 (D) 参照）。

【 0 2 4 7 】

ここで、ドーパント 4 2 1 の導入は、図 8 (D) に示すドーパント 4 2 1 の導入と同様の方法で行うことができる。

【 0 2 4 8 】

以下、図 8 (E) および図 8 (F) で示した方法と同様に、金属元素を含む膜 4 2 4 をウェットエッチングを用いて除去し、トランジスタ 4 8 0 およびトランジスタ 4 9 0 を覆うように絶縁膜 4 2 5 および絶縁膜 4 2 6 を形成し、ソース領域 4 0 4 a およびゲート電極層 4 0 1 と接するようにソース電極層 4 0 5 a を、ドレイン領域 4 0 4 b と接するようにドレイン電極層 4 0 5 b を、ソース領域 4 1 4 a と接するようにソース電極層 4 1 5 a を、ドレイン領域 4 1 4 b と接するようにドレイン電極層 4 1 5 b を、ゲート電極層 4 1 1 と接するように配線層 4 1 5 c を形成する（図 1 1 (E) 参照）。これらの詳細については、図 8 (E) および図 8 (F) に関する記載を参酌することができる。

【 0 2 4 9 】

このようにして、チャンネル形成領域 4 0 9、ソース領域 4 0 4 a、ドレイン領域 4 0 4 b、低濃度不純物領域 4 3 4 a および低濃度不純物領域 4 3 4 b を含む酸化物半導体膜 4 0 3、ソース電極層 4 0 5 a、ドレイン電極層 4 0 5 b、ゲート絶縁膜 4 0 2、ゲート電極層 4 0 1、サイドウォール絶縁膜 4 2 9 a を有するトランジスタ 4 8 0 と、チャンネル形成領域 4 1 9、ソース領域 4 1 4 a、ドレイン領域 4 1 4 b、低濃度不純物領域 4 4 4 a および低濃度不純物領域 4 4 4 b を含む酸化物半導体膜 4 1 3、ソース電極層 4 1 5 a、ドレイン電極層 4 1 5 b、配線層 4 1 5 c、ゲート絶縁膜 4 1 2、ゲート電極層 4 1 1、サイドウォール絶縁膜 4 2 9 b を有するトランジスタ 4 9 0 と、を同時に形成することができる。

【 0 2 5 0 】

このように、トランジスタ 4 8 0 の酸化物半導体膜 4 0 3 において、チャンネル形成領域

10

20

30

40

50

409を挟み込むように、低濃度不純物領域434aおよび低濃度不純物領域434bを設け、さらにそれらを挟み込むようにソース領域404aおよびドレイン領域404bを設けることにより、チャネル形成領域に加わる電界を緩和させることができ、短チャネル効果の抑制を図ることができる。このことはトランジスタ490についても同様である。

【0251】

ソース電極層405a、ドレイン電極層405b、ソース電極層415a、ドレイン電極層415bおよび配線層415cの作製の際に、ESDなどの高いサージ電圧をトランジスタ111（トランジスタ490）に印加されたとしても、先の実施の形態で示したように、トランジスタ114（トランジスタ480）からなる第1の保護回路104またはトランジスタ115（トランジスタ480）からなる第2の保護回路105が放電経路となるため、サージ電流がトランジスタ111に流れることを防ぐことができる。

10

【0252】

このようなトランジスタ480を第1の保護回路104のトランジスタ114に用いることによって、第1の保護回路104におけるリーク電流を低減することができる。また、このようなトランジスタ480を第2の保護回路105のトランジスタ115に用いることによって、第2の保護回路105におけるリーク電流を低減することができる。また、このように電気特性の高いトランジスタ480およびトランジスタ490を用いることで高性能及び高信頼性の駆動回路を提供することができる。

【0253】

また、図11に示すトランジスタ480およびトランジスタ490とも異なる、トランジスタ481およびトランジスタ491からなる駆動回路を作製する方法について、図15を用いて説明する。ここで、トランジスタ481は、先の実施の形態に示すトランジスタ440、つまり第1の保護回路104を形成するトランジスタ114に対応し、トランジスタ491は、トランジスタ450、つまり半導体素子101として機能するトランジスタ111に対応する。

20

【0254】

図15(E)に示すように、トランジスタ481は、絶縁膜420が設けられた絶縁表面を有する基板400上に、チャネル形成領域409、ソース領域404a、ドレイン領域404bを含む酸化物半導体膜403、ソース電極層405a、ドレイン電極層405b、ゲート絶縁膜402、ゲート電極層401、サイドウォール絶縁膜431aを有する。また、トランジスタ491は、絶縁膜420が設けられた絶縁表面を有する基板400上に、チャネル形成領域419、ソース領域414a、ドレイン領域414bを含む酸化物半導体膜413、ソース電極層415a、ドレイン電極層415b、配線層415c、ゲート絶縁膜412、ゲート電極層411、サイドウォール絶縁膜431bを有する。

30

【0255】

つまり、トランジスタ481は、1～10nm程度の薄い膜厚のサイドウォール絶縁膜431aが形成され、実質的に低濃度不純物領域が形成されていない点において、トランジスタ480と異なる。また、トランジスタ491は、1～10nm程度の薄い膜厚のサイドウォール絶縁膜431bが形成され、実質的に低濃度不純物領域が形成されていない点において、トランジスタ490と異なる。

40

【0256】

以下、図15(A)乃至図15(E)を用いてトランジスタ481およびトランジスタ491の作製工程について説明する。

【0257】

まず、図8(B)に示す状態と同様に、基板400上に、絶縁膜420、酸化物半導体膜403、酸化物半導体膜413、ゲート絶縁膜402、ゲート絶縁膜412、ゲート電極層401およびゲート電極層411を形成する。これらの詳細については、実施の形態2の記載を参照することができる。

【0258】

次に、酸化物半導体膜403、酸化物半導体膜413、ゲート絶縁膜402、ゲート絶

50

縁膜 4 1 2、ゲート電極層 4 0 1 およびゲート電極層 4 1 1 を覆うように膜厚の薄い絶縁膜 4 3 1 を成膜し、ゲート絶縁膜 4 0 2、ゲート電極層 4 0 1、ゲート絶縁膜 4 1 2 およびゲート電極層 4 1 1 をマスクとして、酸化物半導体膜 4 0 3 および酸化物半導体膜 4 1 3 に絶縁膜 4 3 1 を通過してドーパント 4 2 3 を選択的に導入する（図 1 5（A）参照）。これにより、酸化物半導体膜 4 0 3 のゲート電極層 4 0 1 と重畳する領域にチャネル形成領域 4 0 9 が形成され、当該チャネル形成領域をチャネル長方向に挟む領域に、当該チャネル形成領域 4 0 9 より抵抗が低い低濃度不純物領域 4 3 4 a および低濃度不純物領域 4 3 4 b が形成される。また同様に、酸化物半導体膜 4 1 3 にチャネル形成領域 4 1 9 と、当該チャネル形成領域 4 1 9 より抵抗が低い低濃度不純物領域 4 4 4 a および低濃度不純物領域 4 4 4 b が形成される。

10

【0259】

ここで、絶縁膜 4 3 1 の膜厚は、好ましくは 1 nm 乃至 10 nm とし、より好ましくは 3 nm 乃至 5 nm とする。なお、絶縁膜 4 3 1 は、図 1 1（A）に示す絶縁膜 4 2 9 と同様の材料および方法で形成することができる。また、ドーパント 4 2 3 の導入は、図 1 1（A）に示すドーパント 4 2 3 の導入と同様の方法で行うことができる。

【0260】

次に、絶縁膜 4 3 1 に異方性のエッチングを行って、ゲート電極層 4 0 1 の側面に接してサイドウォール絶縁膜 4 3 1 a を、ゲート電極層 4 1 1 の側面に接してサイドウォール絶縁膜 4 3 1 b を、それぞれ自己整合的に形成する（図 1 5（B）参照）。

20

【0261】

このように膜厚の薄いサイドウォール絶縁膜 4 3 1 a を設けることにより、トランジスタ 4 8 1 において、ゲートと、ソースまたはドレインのいずれかが短絡することを防ぐことができる。また、膜厚の薄いサイドウォール絶縁膜 4 3 1 b を設けることにより、トランジスタ 4 9 1 において、ゲートと、ソースまたはドレインが短絡することを防ぐことができる。

【0262】

ここで、絶縁膜 4 3 1 のエッチングは、図 1 1（B）に示す絶縁膜 4 2 9 のエッチングと同様の方法を用いて行うことができる。

【0263】

次に、図 8（C）で示したのと同様に、酸化物半導体膜 4 0 3、酸化物半導体膜 4 1 3、ゲート絶縁膜 4 0 2、ゲート絶縁膜 4 1 2、ゲート電極層 4 0 1 およびゲート電極層 4 1 1 上に、酸化物半導体膜 4 0 3 および酸化物半導体膜 4 1 3 の一部と接して、金属元素を含む膜 4 2 4 を基板 4 0 0 を加熱しながら成膜する（図 1 5（C）参照）。これにより、金属元素を含む膜 4 2 4 から酸化物半導体膜 4 0 3 および酸化物半導体膜 4 1 3 へ金属元素が導入される。

30

【0264】

よって、低濃度不純物領域 4 3 4 a、低濃度不純物領域 4 3 4 b、低濃度不純物領域 4 4 4 a および低濃度不純物領域 4 4 4 b に金属元素が導入されてより抵抗が低くなる。ここで、図 1 1（C）に示す工程においては、サイドウォール絶縁膜が酸化物半導体膜に重畳した部分には金属元素が導入されず、低濃度不純物領域が維持されたが、図 1 5（C）に示す工程においては、サイドウォール絶縁膜 4 3 1 a およびサイドウォール絶縁膜 4 3 1 b の膜厚が十分に小さいため、低濃度不純物領域 4 3 4 a、低濃度不純物領域 4 3 4 b、低濃度不純物領域 4 4 4 a および低濃度不純物領域 4 4 4 b 全体に金属元素が導入される。よって、低濃度不純物領域 4 3 4 a がソース領域 4 0 4 a に、低濃度不純物領域 4 3 4 b がドレイン領域 4 0 4 b に、低濃度不純物領域 4 4 4 a がソース領域 4 1 4 a に、低濃度不純物領域 4 4 4 b がドレイン領域 4 1 4 b になり、トランジスタ 4 8 1 およびトランジスタ 4 9 1 はシングルドレイン構造となる。

40

【0265】

ここで、金属元素を含む膜 4 2 4 の成膜は、図 8（D）で示した方法と同様の方法で行うことができる。また、図 9（A）および図 9（B）で示したように、金属元素を含む膜

50

4 2 4 を成膜した後で加熱処理を行うようにしても良い。

【0 2 6 6】

次に、ゲート絶縁膜 4 0 2、ゲート電極層 4 0 1、ゲート絶縁膜 4 1 2 およびゲート電極層 4 1 1 をマスクとして、酸化物半導体膜 4 0 3 および酸化物半導体膜 4 1 3 に金属元素を含む膜 4 2 4 を通過してドーパント 4 2 1 を選択的に導入し、ソース領域 4 0 4 a、ドレイン領域 4 0 4 b、ソース領域 4 1 4 a およびドレイン領域 4 1 4 b のさらなる低抵抗化を図っても良い（図 1 5（D）参照）。もちろんドーパント 4 2 1 も、ソース領域 4 0 4 a、ドレイン領域 4 0 4 b、ソース領域 4 1 4 a およびドレイン領域 4 1 4 b 全体に導入され、トランジスタ 4 8 1 およびトランジスタ 4 9 1 は、シングルドレイン構造となる。

10

【0 2 6 7】

ここで、ドーパント 4 2 1 の導入は、図 1 1（D）に示すドーパント 4 2 1 の導入と同様の方法で行うことができる。

【0 2 6 8】

以下、図 8（E）および図 8（F）で示した方法と同様に、金属元素を含む膜 4 2 4 をウェットエッチングを用いて除去し、トランジスタ 4 8 1 およびトランジスタ 4 9 1 を覆うように絶縁膜 4 2 5 および絶縁膜 4 2 6 を形成し、ソース領域 4 0 4 a およびゲート電極層 4 0 1 と接するようにソース電極層 4 0 5 a を、ドレイン領域 4 0 4 b と接するようにドレイン電極層 4 0 5 b を、ソース領域 4 1 4 a と接するようにソース電極層 4 1 5 a を、ドレイン領域 4 1 4 b と接するようにドレイン電極層 4 1 5 b を、ゲート電極層 4 1 1 と接するように配線層 4 1 5 c を形成する（図 1 5（E）参照）。これらの詳細については、図 8（E）および図 8（F）に関する記載を参照することができる。

20

【0 2 6 9】

このようにして、チャネル形成領域 4 0 9、ソース領域 4 0 4 a、ドレイン領域 4 0 4 b を含む酸化物半導体膜 4 0 3、ソース電極層 4 0 5 a、ドレイン電極層 4 0 5 b、ゲート絶縁膜 4 0 2、ゲート電極層 4 0 1、サイドウォール絶縁膜 4 3 1 a を有するトランジスタ 4 8 1 と、チャネル形成領域 4 1 9、ソース領域 4 1 4 a、ドレイン領域 4 1 4 b を含む酸化物半導体膜 4 1 3、ソース電極層 4 1 5 a、ドレイン電極層 4 1 5 b、配線層 4 1 5 c、ゲート絶縁膜 4 1 2、ゲート電極層 4 1 1、サイドウォール絶縁膜 4 3 1 b を有するトランジスタ 4 9 1 と、を同時に形成することができる。

30

【0 2 7 0】

なお、図 1 5 に示すトランジスタ 4 8 1 およびトランジスタ 4 9 1 の作製工程においては、ゲート絶縁膜 4 0 2 およびゲート絶縁膜 4 1 2 を形成した後で、サイドウォール絶縁膜 4 3 1 a およびサイドウォール絶縁膜 4 3 1 b を形成したが、これに限られるものではない。サイドウォール絶縁膜 4 3 1 a およびサイドウォール絶縁膜 4 3 1 b と、ゲート絶縁膜 4 0 2 およびゲート絶縁膜 4 1 2 とを同時にエッチングして形成しても良いし、形成したサイドウォール絶縁膜 4 3 1 a およびサイドウォール絶縁膜 4 3 1 b をマスクとしてゲート絶縁膜 4 0 2 およびゲート絶縁膜 4 1 2 とをエッチングで形成してもよい。このようにトランジスタ 4 8 1 およびトランジスタ 4 9 1 を作製した場合、図 1 6 に示すように、ゲート絶縁膜 4 0 2 上に接してサイドウォール絶縁膜 4 3 1 a が形成され、ゲート絶縁膜 4 1 2 上に接してサイドウォール絶縁膜 4 3 1 b が形成される。

40

【0 2 7 1】

以上のような構成とすることにより、作製中に ESD により半導体素子が破壊されることを抑制する駆動回路および当該駆動回路の作製方法を提供することができる。また、リーク電流の小さい保護回路が設けられた駆動回路および当該駆動回路の作製方法を提供することができる。

【0 2 7 2】

以上、本実施の形態に示す構成、方法などは、本実施の形態に示す構成どうしで組み合わせることもできるし、他の実施の形態に示す構成、方法などと適宜組み合わせることもできる。

50

【 0 2 7 3 】

(実施の形態 4)

先の実施の形態に示したトランジスタおよび当該トランジスタを用いた駆動回路を用いて表示機能を有する半導体装置（表示装置ともいう）を作製することができる。また、トランジスタを含む駆動回路の一部または全体を、画素部と同じ基板上に一体形成し、システムオンパネルを形成する場合、当該駆動回路に用いたトランジスタと同時に表示部のトランジスタを形成することもできる。

【 0 2 7 4 】

図 1 2 (A) において、第 1 の基板 4 0 0 1 上に設けられた画素部 4 0 0 2 を囲むようにして、シール材 4 0 0 5 が設けられ、第 2 の基板 4 0 0 6 によって封止されている。図 1 2 (A) においては、第 1 の基板 4 0 0 1 上のシール材 4 0 0 5 によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜で形成された走査線駆動回路 4 0 0 4、信号線駆動回路 4 0 0 3 が実装されている。また別途形成された信号線駆動回路 4 0 0 3 と、走査線駆動回路 4 0 0 4 または画素部 4 0 0 2 に与えられる各種信号及び電位は、FPC (Flexible printed circuit) 4 0 1 8 a、4 0 1 8 b から供給されている。

10

【 0 2 7 5 】

図 1 2 (B) (C) において、第 1 の基板 4 0 0 1 上に設けられた画素部 4 0 0 2 と、走査線駆動回路 4 0 0 4 とを囲むようにして、シール材 4 0 0 5 が設けられている。また画素部 4 0 0 2 と、走査線駆動回路 4 0 0 4 の上に第 2 の基板 4 0 0 6 が設けられている。よって画素部 4 0 0 2 と、走査線駆動回路 4 0 0 4 とは、第 1 の基板 4 0 0 1 とシール材 4 0 0 5 と第 2 の基板 4 0 0 6 とによって、表示素子と共に封止されている。図 1 2 (B) (C) においては、第 1 の基板 4 0 0 1 上のシール材 4 0 0 5 によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜で形成された信号線駆動回路 4 0 0 3 が実装されている。図 1 2 (B) (C) においては、別途形成された信号線駆動回路 4 0 0 3 と、走査線駆動回路 4 0 0 4 または画素部 4 0 0 2 に与えられる各種信号及び電位は、FPC 4 0 1 8 から供給されている。

20

【 0 2 7 6 】

また図 1 2 (B) (C) においては、信号線駆動回路 4 0 0 3 を別途形成し、第 1 の基板 4 0 0 1 に実装している例を示しているが、この構成に限定されない。走査線駆動回路を別途形成して実装してもよいし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成して実装してもよい。

30

【 0 2 7 7 】

なお、別途形成した駆動回路の接続方法は、特に限定されるものではなく、COG (Chip On Glass) 方法、ワイヤボンディング方法、或いはTAB (Tape Automated Bonding) 方法などを用いることができる。図 1 2 (A) は、COG 方法により信号線駆動回路 4 0 0 3、走査線駆動回路 4 0 0 4 を実装する例であり、図 1 2 (B) は、COG 方法により信号線駆動回路 4 0 0 3 を実装する例であり、図 1 2 (C) は、TAB 方法により信号線駆動回路 4 0 0 3 を実装する例である。

40

【 0 2 7 8 】

また、表示装置は、表示素子が封止された状態にあるパネルと、該パネルにコントローラを含む IC 等を実装した状態にあるモジュールとを含む。

【 0 2 7 9 】

なお、本明細書中における表示装置とは、画像表示デバイス、表示デバイス、もしくは光源（照明装置含む）を指す。また、コネクタ、例えば FPC もしくは TAB テープもしくは TCB が取り付けられたモジュール、TAB テープや TCB の先にプリント配線板が設けられたモジュール、または表示素子に COG 方式により IC（集積回路）が直接実装されたモジュールも全て表示装置に含むものとする。

【 0 2 8 0 】

また第 1 の基板上に設けられた画素部は、トランジスタを複数有しており、先の実施の

50

形態で示した駆動回路と同様に、先の実施の形態のいずれかで一例を示したトランジスタを適用することができる。

【0281】

表示装置に設けられる表示素子としては液晶素子（液晶表示素子ともいう）、発光素子（発光表示素子ともいう）、を用いることができる。発光素子は、電流または電圧によって輝度が制御される素子とその範疇に含んでおり、具体的には無機EL（Electro Luminescence）素子、有機EL素子等が含まれる。また、電子インクなど、電気的作用によりコントラストが変化する表示媒体も適用することができる。

【0282】

表示装置の一形態について、図12及び図13を用いて説明する。図13は、図12（B）のM-Nにおける断面図に相当する。

10

【0283】

図12及び図13で示すように、表示装置は接続端子電極4015及び端子電極4016を有しており、接続端子電極4015及び端子電極4016はFPC4018が有する端子と異方性導電膜4019を介して、電氣的に接続されている。

【0284】

接続端子電極4015は、第1の電極層4030と同じ導電膜から形成され、端子電極4016は、トランジスタ4010、4011のソース電極層及びドレイン電極層と同じ導電膜で形成されている。

【0285】

20

また第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004は、トランジスタを複数有しており、図13では、画素部4002に含まれるトランジスタ4010と、走査線駆動回路4004に含まれるトランジスタ4011とを例示している。図13（A）では、トランジスタ4010、4011上には絶縁膜4020が設けられ、図13（B）ではさらに、絶縁膜4021が設けられている。ここで、絶縁膜4020は、図8乃至図11に示す絶縁膜425と対応し、絶縁膜4021は、図8乃至図11に示す絶縁膜426と対応する。なお、絶縁膜4023は下地膜として機能する絶縁膜である。

【0286】

トランジスタ4010、トランジスタ4011としては、先の実施の形態のいずれかで示した半導体素子として機能するトランジスタを適用することができる。本実施の形態では、実施の形態2で示したトランジスタ450と同様な構造を有するトランジスタを適用する例を示す。

30

【0287】

先の実施の形態で示したように、トランジスタ4010及びトランジスタ4011はチャネル長方向にチャネル形成領域を挟んで低抵抗領域を含む酸化物半導体膜を有するトランジスタを用いることができる。よって、トランジスタ4010及びトランジスタ4011は、オン特性（例えば、オン電流及び電界効果移動度）が高く、高速動作、高速応答が可能である。また、微細化も達成できる。

【0288】

40

本実施の形態に係る表示装置の駆動回路は、先の実施の形態で示したように、作製中にESDにより半導体素子が破壊されることを抑制し、且つリーク電流の小さい保護回路が設けられている。これにより大変信頼性の高い駆動回路を提供することができる。

【0289】

よって、図12及び図13で示す本実施の形態の表示装置として高性能及び高信頼性の表示装置を提供することができる。

【0290】

画素部4002に設けられたトランジスタ4010は表示素子と電氣的に接続し、表示パネルを構成する。表示素子は表示を行うことができれば特に限定されず、様々な表示素子を用いることができる。

50

【0291】

図13(A)に表示素子として液晶素子を用いた液晶表示装置の例を示す。図13(A)において、表示素子である液晶素子4013は、第1の電極層4030、第2の電極層4031、及び液晶層4008を含む。なお、液晶層4008を挟持するように配向膜として機能する絶縁膜4032、4033が設けられている。第2の電極層4031は第2の基板4006側に設けられ、第1の電極層4030と第2の電極層4031とは液晶層4008を介して積層する構成となっている。

【0292】

また4035は絶縁膜を選択的にエッチングすることで得られる柱状のスペーサであり、液晶層4008の膜厚(セルギャップ)を制御するために設けられている。なお球状のスペーサを用いてもよい。

10

【0293】

表示素子として、液晶素子を用いる場合、サーモトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶、強誘電性液晶、反強誘電性液晶等を用いることができる。これらの液晶材料(液晶組成物)は、条件により、コレステリック相、スメクチック相、キュービック相、カイラルネマチック相、等方相等を示す。

【0294】

また、液晶層4008に、配向膜を用いないブルー相を発現する液晶組成物を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は、液晶及びカイラル剤を混合させた液晶組成物を用いて発現させることができる。また、ブルー相が発現する温度範囲を広げるために、ブルー相を発現する液晶組成物に重合性モノマー及び重合開始剤などを添加し、高分子安定化させる処理を行って液晶層を形成することもできる。ブルー相を発現する液晶組成物は、応答速度が短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さい。また配向膜を設けなくてもよいのでラビング処理も不要となるため、ラビング処理によって引き起こされる静電破壊を防止することができ、作製工程中の液晶表示装置の不良や破損を軽減することができる。よって液晶表示装置の生産性を向上させることが可能となる。酸化物半導体膜を用いるトランジスタは、静電気の影響によりトランジスタの電氣的な特性が著しく変動して設計範囲を逸脱する恐れがある。よって酸化物半導体膜を用いるトランジスタを有する液晶表示装置にブルー相を発現する液晶組成物を用いることはより効果的である。

20

30

【0295】

また、液晶材料の固有抵抗は、 $1 \times 10^9 \sim 1 \times 10^{11} \text{ } \Omega \cdot \text{cm}$ 以上であり、好ましくは $1 \times 10^{11} \sim 1 \times 10^{12} \text{ } \Omega \cdot \text{cm}$ 以上であり、さらに好ましくは $1 \times 10^{12} \sim 1 \times 10^{13} \text{ } \Omega \cdot \text{cm}$ 以上である。なお、本明細書における固有抵抗の値は、20で測定した値とする。

【0296】

液晶表示装置に設けられる保持容量の大きさは、画素部に配置されるトランジスタのリーク電流等を考慮して、所定の期間の間電荷を保持できるように設定される。保持容量の大きさは、トランジスタのオフ電流等を考慮して設定すればよい。本明細書に開示する酸化物半導体膜を有するトランジスタを用いることにより、各画素における液晶容量に対して1/3以下、好ましくは1/5以下の容量の大きさを有する保持容量を設ければ充分である。

40

【0297】

本明細書に開示する酸化物半導体膜を用いたトランジスタは、オフ状態における電流値(オフ電流値)を低くすることができる。よって、画像信号等の電気信号の保持時間を長くすることができ、電源オン状態では書き込み間隔も長く設定できる。よって、リフレッシュ動作の頻度を少なくすることができるため、消費電力を抑制する効果を奏する。

【0298】

また、本明細書に開示する酸化物半導体膜を用いたトランジスタは、高い電界効果移動度が得られるため、高速駆動が可能である。例えば、このような高速駆動が可能なトラン

50

ジスタを液晶表示装置に用いることで、画素部のスイッチングトランジスタと、駆動回路部に使用するドライバートランジスタを同一基板上に形成することができる。すなわち、別途駆動回路として、シリコンウェハ等により形成された半導体装置を用いる必要がないため、半導体装置の部品点数を削減することができる。また、画素部においても、高速駆動が可能なトランジスタを用いることで、高画質な画像を提供することができる。よって、半導体装置として高信頼化も達成できる。

【0299】

液晶表示装置には、TN (Twisted Nematic) モード、IPS (In-Plane-Switching) モード、FFS (Fringe Field Switching) モード、ASM (Axially Symmetric aligned Micro-cell) モード、OCB (Optical Compensated Birefringence) モード、FLC (Ferroelectric Liquid Crystal) モード、AFLC (Anti Ferroelectric Liquid Crystal) モードなどを用いることができる。

10

【0300】

また、ノーマリーブラック型の液晶表示装置、例えば垂直配向 (VA) モードを採用した透過型の液晶表示装置としてもよい。垂直配向モードとしては、いくつか挙げられるが、例えば、MVA (Multi-Domain Vertical Alignment) モード、PVA (Patterned Vertical Alignment) モード、ASV (Advanced Super View) モードなどを用いることができる。また、VA型の液晶表示装置にも適用することができる。VA型の液晶表示装置とは、液晶表示パネルの液晶分子の配列を制御する方式の一種である。VA型の液晶表示装置は、電圧が印加されていないときにパネル面に対して液晶分子が垂直方向を向く方式である。また、画素 (ピクセル) をいくつかの領域 (サブピクセル) に分け、それぞれ別の方向に分子を倒すよう工夫されているマルチドメイン化あるいはマルチドメイン設計といわれる方法を用いることができる。

20

【0301】

また、表示装置において、ブラックマトリクス (遮光層)、偏光部材、位相差部材、反射防止部材などの光学部材 (光学基板) などは適宜設ける。例えば、偏光基板及び位相差基板による円偏光を用いてもよい。また、光源としてバックライト、サイドライトなどを用いてもよい。

30

【0302】

また、画素部における表示方式は、プログレッシブ方式やインターレース方式等を用いることができる。また、カラー表示する際に画素で制御する色要素としては、RGB (Rは赤、Gは緑、Bは青を表す) の三色に限定されない。例えば、RGBW (Wは白を表す)、又はRGBに、イエロー、シアン、マゼンタ等を一色以上追加したものがある。なお、色要素のドット毎にその表示領域の大きさが異なってもよい。ただし、開示する発明はカラー表示の表示装置に限定されるものではなく、モノクロ表示の表示装置に適用することもできる。

【0303】

また、表示装置に含まれる表示素子として、エレクトロルミネッセンスを利用する発光素子を適用することができる。エレクトロルミネッセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機EL素子、後者は無機EL素子と呼ばれている。

40

【0304】

有機EL素子は、発光素子に電圧を印加することにより、一对の電極から電子および正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、それらキャリア (電子および正孔) が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

50

【0305】

無機EL素子は、その素子構成により、分散型無機EL素子と薄膜型無機EL素子とに分類される。分散型無機EL素子は、発光材料の粒子をバインダ中に分散させた発光層を有するものであり、発光メカニズムはドナー準位とアクセプター準位を利用するドナー-アクセプター再結合型発光である。薄膜型無機EL素子は、発光層を誘電体層で挟み込み、さらにそれを電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。なお、ここでは、発光素子として有機EL素子を用いて説明する。

【0306】

発光素子は発光を取り出すために少なくとも一対の電極の一方が透光性であればよい。そして、基板上にトランジスタ及び発光素子を形成し、基板とは逆側の面から発光を取り出す上面射出や、基板側の面から発光を取り出す下面射出や、基板側及び基板とは反対側の面から発光を取り出す両面射出構造の発光素子があり、どの射出構造の発光素子も適用することができる。

10

【0307】

図13(B)に表示素子として発光素子を用いた発光装置の例を示す。表示素子である発光素子4513は、画素部4002に設けられたトランジスタ4010と電氣的に接続している。なお発光素子4513の構成は、第1の電極層4030、電界発光層4511、第2の電極層4031の積層構造であるが、示した構成に限定されない。発光素子4513から取り出す光の方向などに合わせて、発光素子4513の構成は適宜変えることができる。

20

【0308】

隔壁4510は、有機絶縁材料、又は無機絶縁材料を用いて形成する。特に感光性の樹脂材料を用い、第1の電極層4030上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。

【0309】

電界発光層4511は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでもよい。

【0310】

発光素子4513に酸素、水素、水分、二酸化炭素等が侵入しないように、第2の電極層4031及び隔壁4510上に保護膜を形成してもよい。保護膜としては、窒化シリコン膜、窒化酸化シリコン膜、DLC膜等を形成することができる。また、第1の基板4001、第2の基板4006、及びシール材4005によって封止された空間には充填材4514が設けられ密封されている。このように外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム（貼り合わせフィルム、紫外線硬化樹脂フィルム等）やカバー材でパッケージング（封入）することが好ましい。

30

【0311】

充填材4514としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。例えば充填材として窒素を用いればよい。

40

【0312】

また、必要であれば、発光素子の射出面に偏光板、又は円偏光板（楕円偏光板を含む）、位相差板（ $\lambda/4$ 板、 $\lambda/2$ 板）、カラーフィルタなどの光学フィルムを適宜設けてもよい。また、偏光板又は円偏光板に反射防止膜を設けてもよい。例えば、表面の凹凸により反射光を拡散し、映り込みを低減できるアンチグレア処理を施すことができる。

【0313】

また、表示装置として、電子インクを駆動させる電子ペーパーを提供することも可能である。電子ペーパーは、電気泳動表示装置（電気泳動ディスプレイ）とも呼ばれており、

50

紙と同じ読みやすさ、他の表示装置に比べ低消費電力、薄くて軽い形状とすることが可能という利点を有している。

【0314】

電気泳動表示装置は、様々な形態が考えられ得るが、プラスの電荷を有する第1の粒子と、マイナスの電荷を有する第2の粒子とを含むマイクロカプセルが溶媒または溶質に複数分散されたものであり、マイクロカプセルに電界を印加することによって、マイクロカプセル中の粒子を互いに反対方向に移動させて一方側に集合した粒子の色のみを表示するものである。なお、第1の粒子または第2の粒子は染料を含み、電界がない場合において移動しないものである。また、第1の粒子の色と第2の粒子の色は異なるもの（無色を含む）とする。

10

【0315】

このように、電気泳動表示装置は、誘電定数の高い物質が高い電界領域に移動する、いわゆる誘電泳動的効果を利用したディスプレイである。

【0316】

上記マイクロカプセルを溶媒中に分散させたものが電子インクと呼ばれるものであり、この電子インクはガラス、プラスチック、布、紙などの表面に印刷することができる。また、カラーフィルタや色素を有する粒子を用いることによってカラー表示も可能である。

【0317】

なお、マイクロカプセル中の第1の粒子および第2の粒子は、導電体材料、絶縁体材料、半導体材料、磁性材料、液晶材料、強誘電性材料、エレクトロルミネセント材料、エレクトロクロミック材料、磁気泳動材料から選ばれた一種の材料、またはこれらの複合材料を用いればよい。

20

【0318】

また、電子ペーパーとして、ツイストボール表示方式を用いる表示装置も適用することができる。ツイストボール表示方式とは、白と黒に塗り分けられた球形粒子を表示素子に用いる電極層である第1の電極層及び第2の電極層の間に配置し、第1の電極層及び第2の電極層に電位差を生じさせて球形粒子の向きを制御することにより、表示を行う方法である。

【0319】

なお、図12及び図13において、第1の基板4001、第2の基板4006としては、ガラス基板の他、可撓性を有する基板も用いることができ、例えば透光性を有するプラスチック基板などを用いることができる。プラスチックとしては、FRP(Fiber glass-Reinforced Plastics)板、PVF(ポリビニルフルオライド)フィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、透光性が必要でなければ、アルミニウムやステンレスなどの金属基板(金属フィルム)を用いてもよい。例えば、アルミニウムホイルをPVFフィルムやポリエステルフィルムで挟んだ構造のシートを用いることもできる。

30

【0320】

表示装置は光源又は表示素子からの光を透過させて表示を行う。よって光が透過する画素部に設けられる基板、絶縁膜、導電膜などの薄膜はすべて可視光の波長領域の光に対して透光性とする。

40

【0321】

表示素子に電圧を印加する第1の電極層及び第2の電極層(画素電極層、共通電極層、対向電極層などともいう)においては、取り出す光の方向、電極層が設けられる場所、及び電極層のパターン構造によって透光性、反射性を選択すればよい。

【0322】

第1の電極層4030、第2の電極層4031は、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物(以下、ITOと示す。)、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物、グラフェンな

50

どの透光性を有する導電性材料を用いることができる。

【0323】

また、第1の電極層4030、第2の電極層4031はタングステン(W)、モリブデン(Mo)、ジルコニウム(Zr)、ハフニウム(Hf)、バナジウム(V)、ニオブ(Nb)、タンタル(Ta)、クロム(Cr)、コバルト(Co)、ニッケル(Ni)、チタン(Ti)、白金(Pt)、アルミニウム(Al)、銅(Cu)、銀(Ag)等の金属、又はその合金、若しくはその金属窒化物から一つ、又は複数種を用いて形成することができる。

【0324】

また、第1の電極層4030、第2の電極層4031として、導電性高分子(導電性ポリマーともいう)を含む導電性組成物を用いて形成することができる。導電性高分子としては、いわゆる電子共役系導電性高分子を用いることができる。例えば、ポリアニリンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、若しくはアニリン、ピロールおよびチオフェンの2種以上からなる共重合体若しくはその誘導体などがあげられる。

【0325】

以上のように先の実施の形態に示したトランジスタおよび当該トランジスタを用いた駆動回路を適用することで、様々な機能を有する表示装置を提供することができる。

【0326】

(実施の形態5)

本明細書に開示する駆動回路は、さまざまな電子機器(遊技機も含む)の表示装置として適用することができる。電子機器としては、例えば、テレビジョン装置(テレビ、またはテレビジョン受信機ともいう)、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ等のカメラ、デジタルフォトフレーム、携帯電話機(携帯電話、携帯電話装置ともいう)、携帯型ゲーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機などが挙げられる。上記実施の形態で説明した駆動回路を具備する表示装置を有する電子機器の例について説明する。

【0327】

図14(A)は、ノート型のパーソナルコンピュータであり、本体3001、筐体3002、表示部3003、キーボード3004などによって構成されている。先の実施の形態のいずれかで示した駆動回路を表示部3003に適用することにより、高性能及び高信頼性なノート型のパーソナルコンピュータとすることができる。

【0328】

図14(B)は、携帯情報端末(PDA)であり、本体3021には表示部3023と、外部インターフェイス3025と、操作ボタン3024等が設けられている。また操作用の付属品としてスタイラス3022がある。先の実施の形態のいずれかで示した駆動回路を表示部3023に適用することにより、より高性能及び高信頼性な携帯情報端末(PDA)とすることができる。

【0329】

図14(C)は、電子書籍の一例を示している。例えば、電子書籍は、筐体2701および筐体2703の2つの筐体で構成されている。筐体2701および筐体2703は、軸部2711により一体とされており、該軸部2711を軸として開閉動作を行うことができる。このような構成により、紙の書籍のような動作を行うことが可能となる。

【0330】

筐体2701には表示部2705が組み込まれ、筐体2703には表示部2707が組み込まれている。表示部2705および表示部2707は、続き画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成とすることで、例えば右側の表示部(図14(C)では表示部2705)に文章を表示し、左側の表示部(図14(C)では表示部2707)に画像を表示することができる。先の実施の形態のいずれかで示した駆動回路を表示部2705、表示部2707に適用することに

10

20

30

40

50

より、高性能及び高信頼性な電子書籍とすることができる。表示部 2705 として半透過型、又は反射型の液晶表示装置を用いる場合、比較的明るい状況下での使用も予想されるため、太陽電池を設け、太陽電池による発電、及びバッテリーでの充電を行えるようにしてもよい。なおバッテリーとしては、リチウムイオン電池を用いると、小型化を図れる等の利点がある。

【0331】

また、図 14 (C) では、筐体 2701 に操作部などを備えた例を示している。例えば、筐体 2701 において、電源 2721、操作キー 2723、スピーカー 2725 などを備えている。操作キー 2723 により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子（イヤホン端子、USB 端子など）、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍は、電子辞書としての機能を持たせた構成としてもよい。

10

【0332】

また、電子書籍は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

【0333】

図 14 (D) は、携帯電話であり、筐体 2800 及び筐体 2801 の二つの筐体で構成されている。筐体 2801 には、表示パネル 2802、スピーカー 2803、マイクロフォン 2804、ポインティングデバイス 2806、カメラ用レンズ 2807、外部接続端子 2808 などを備えている。また、筐体 2800 には、携帯電話の充電を行う太陽電池セル 2810、外部メモリスロット 2811 などを備えている。また、アンテナは筐体 2801 内部に内蔵されている。先の実施の形態のいずれかで示した駆動回路を表示パネル 2802 に適用することにより、高性能及び高信頼性な携帯電話とすることができる。

20

【0334】

また、表示パネル 2802 はタッチパネルを備えており、図 14 (D) には映像表示されている複数の操作キー 2805 を点線で示している。なお、太陽電池セル 2810 で出力される電圧を各回路に必要な電圧に昇圧するための昇圧回路も実装している。

【0335】

表示パネル 2802 は、使用形態に応じて表示の方向が適宜変化する。また、表示パネル 2802 と同一面上にカメラ用レンズ 2807 を備えているため、テレビ電話が可能である。スピーカー 2803 及びマイクロフォン 2804 は音声通話に限らず、テレビ電話、録音、再生などが可能である。さらに、筐体 2800 と筐体 2801 は、スライドし、図 14 (D) のように展開している状態から重なり合った状態とすることができ、携帯に適した小型化が可能である。

30

【0336】

外部接続端子 2808 は AC アダプタ及び USB ケーブルなどの各種ケーブルと接続可能であり、充電及びパーソナルコンピュータなどとのデータ通信が可能である。また、外部メモリスロット 2811 に記録媒体を挿入し、より大量のデータ保存及び移動に対応できる。

40

【0337】

また、上記機能に加えて、赤外線通信機能、テレビ受信機能などを備えたものであってもよい。

【0338】

図 14 (E) は、デジタルビデオカメラであり、本体 3051、表示部 3057、接眼部 3053、操作スイッチ 3054、表示部 3055、バッテリー 3056 などによって構成されている。先の実施の形態のいずれかで示した駆動回路を表示部 3057、表示部 3055 に適用することにより、高性能及び高信頼性なデジタルビデオカメラとすることができる。

50

【 0 3 3 9 】

図 1 4 (F) は、テレビジョン装置の一例を示している。テレビジョン装置は、筐体 9 6 0 1 に表示部 9 6 0 3 が組み込まれている。表示部 9 6 0 3 により、映像を表示することが可能である。また、ここでは、スタンド 9 6 0 5 により筐体 9 6 0 1 を支持した構成を示している。先の実施の形態のいずれかで示した駆動回路を表示部 9 6 0 3 に適用することにより、高性能及び高信頼性なテレビジョン装置とすることができる。

【 0 3 4 0 】

テレビジョン装置の操作は、筐体 9 6 0 1 が備える操作スイッチや、別体のリモコン操作機により行うことができる。また、リモコン操作機に、当該リモコン操作機から出力する情報を表示する表示部を設ける構成としてもよい。

10

【 0 3 4 1 】

なお、テレビジョン装置は、受信機やモデムなどを備えた構成とする。受信機により一般のテレビ放送の受信を行うことができ、さらにモデムを介して有線または無線による通信ネットワークに接続することにより、一方向（送信者から受信者）または双方向（送信者と受信者間、あるいは受信者間同士など）の情報通信を行うことも可能である。

【 0 3 4 2 】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【 符号の説明 】

【 0 3 4 3 】

20

1 0 パルス出力回路

1 1 配線

1 2 配線

1 3 配線

1 4 配線

1 5 配線

1 6 配線

1 7 配線

2 1 入力端子

2 2 入力端子

2 3 入力端子

2 4 入力端子

2 5 入力端子

2 6 出力端子

2 7 出力端子

3 1 トランジスタ

3 2 トランジスタ

3 3 トランジスタ

3 4 トランジスタ

3 5 トランジスタ

3 6 トランジスタ

3 7 トランジスタ

3 8 トランジスタ

3 9 トランジスタ

4 0 トランジスタ

4 1 トランジスタ

5 1 電源線

5 3 電源線

6 1 期間

6 2 期間

30

40

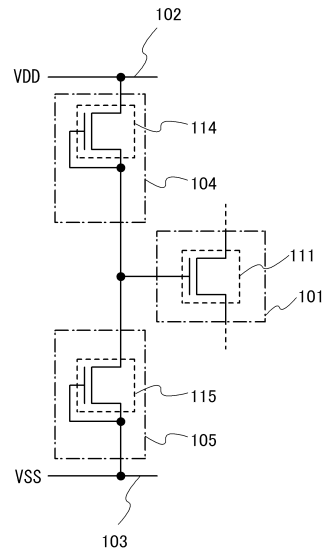
50

1 0 1	半導体素子	
1 0 2	配線	
1 0 3	配線	
1 0 4	第 1 の保護回路	
1 0 5	第 2 の保護回路	
1 1 1	トランジスタ	
1 1 4	トランジスタ	
1 1 5	トランジスタ	
4 0 0	基板	
4 0 1	ゲート電極層	10
4 0 2	ゲート絶縁膜	
4 0 3	酸化物半導体膜	
4 0 9	チャネル形成領域	
4 1 1	ゲート電極層	
4 1 2	ゲート絶縁膜	
4 1 3	酸化物半導体膜	
4 1 9	チャネル形成領域	
4 2 0	絶縁膜	
4 2 1	ドーパント	
4 2 2	ゲート絶縁膜	20
4 2 3	ドーパント	
4 2 4	金属元素を含む膜	
4 2 5	絶縁膜	
4 2 6	絶縁膜	
4 2 9	絶縁膜	
4 3 1	絶縁膜	
4 4 0	トランジスタ	
4 5 0	トランジスタ	
4 6 0	トランジスタ	
4 7 0	トランジスタ	30
4 8 0	トランジスタ	
4 8 1	トランジスタ	
4 9 0	トランジスタ	
4 9 1	トランジスタ	
1 0 4 a	第 1 の保護回路	
1 0 4 b	第 1 の保護回路	
1 0 4 c	第 1 の保護回路	
1 0 4 d	第 1 の保護回路	
1 0 4 e	第 1 の保護回路	
1 0 4 f	第 1 の保護回路	40
1 0 4 g	第 1 の保護回路	
1 0 4 h	第 1 の保護回路	
1 0 5 a	第 2 の保護回路	
1 0 5 b	第 2 の保護回路	
1 0 5 c	第 2 の保護回路	
1 0 5 d	第 2 の保護回路	
1 0 5 e	第 2 の保護回路	
1 0 5 f	第 2 の保護回路	
1 0 5 g	第 2 の保護回路	
1 0 5 h	第 2 の保護回路	50

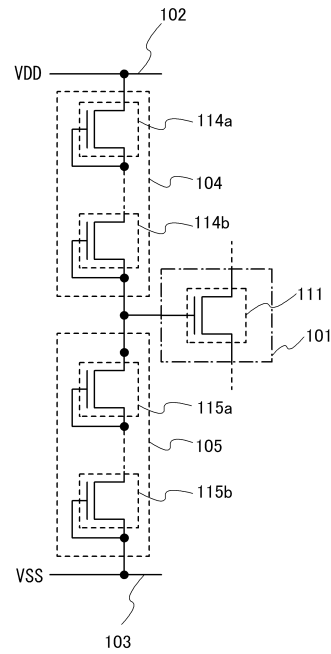
1 1 4 a	トランジスタ	
1 1 4 b	トランジスタ	
1 1 5 a	トランジスタ	
1 1 5 b	トランジスタ	
2 7 0 1	筐体	
2 7 0 3	筐体	
2 7 0 5	表示部	
2 7 0 7	表示部	
2 7 1 1	軸部	
2 7 2 1	電源	10
2 7 2 3	操作キー	
2 7 2 5	スピーカー	
2 8 0 0	筐体	
2 8 0 1	筐体	
2 8 0 2	表示パネル	
2 8 0 3	スピーカー	
2 8 0 4	マイクロフォン	
2 8 0 5	操作キー	
2 8 0 6	ポインティングデバイス	
2 8 0 7	カメラ用レンズ	20
2 8 0 8	外部接続端子	
2 8 1 0	太陽電池セル	
2 8 1 1	外部メモリスロット	
3 0 0 1	本体	
3 0 0 2	筐体	
3 0 0 3	表示部	
3 0 0 4	キーボード	
3 0 2 1	本体	
3 0 2 2	スタイラス	
3 0 2 3	表示部	30
3 0 2 4	操作ボタン	
3 0 2 5	外部インターフェイス	
3 0 5 1	本体	
3 0 5 3	接眼部	
3 0 5 4	操作スイッチ	
3 0 5 5	表示部	
3 0 5 6	バッテリー	
3 0 5 7	表示部	
4 0 0 1	基板	
4 0 0 2	画素部	40
4 0 0 3	信号線駆動回路	
4 0 0 4	走査線駆動回路	
4 0 0 5	シール材	
4 0 0 6	基板	
4 0 0 8	液晶層	
4 0 1 0	トランジスタ	
4 0 1 1	トランジスタ	
4 0 1 3	液晶素子	
4 0 1 5	接続端子電極	
4 0 1 6	端子電極	50

4 0 1 8	F P C	
4 0 1 9	異方性導電膜	
4 0 2 0	絶縁膜	
4 0 2 1	絶縁膜	
4 0 2 3	絶縁膜	
4 0 3 0	電極層	
4 0 3 1	電極層	
4 0 3 2	絶縁膜	
4 0 4 a	ソース領域	
4 0 4 b	ドレイン領域	10
4 0 5 a	ソース電極層	
4 0 5 b	ドレイン電極層	
4 1 4 a	ソース領域	
4 1 4 b	ドレイン領域	
4 1 5 a	ソース電極層	
4 1 5 b	ドレイン電極層	
4 1 5 c	配線層	
4 2 4 a	電極層	
4 2 4 b	電極層	
4 2 4 c	電極層	20
4 2 4 d	電極層	
4 2 9 a	サイドウォール絶縁膜	
4 2 9 b	サイドウォール絶縁膜	
4 3 1 a	サイドウォール絶縁膜	
4 3 1 b	サイドウォール絶縁膜	
4 3 4 a	低濃度不純物領域	
4 3 4 b	低濃度不純物領域	
4 4 4 a	低濃度不純物領域	
4 4 4 b	低濃度不純物領域	
4 5 1 0	隔壁	30
4 5 1 1	電界発光層	
4 5 1 3	発光素子	
4 5 1 4	充填材	
5 3 0 0	基板	
5 3 0 1	画素部	
5 3 0 2	走査線駆動回路	
5 3 0 3	走査線駆動回路	
5 3 0 4	信号線駆動回路	
5 3 0 5	タイミング制御回路	
5 6 0 1	シフトレジスタ	40
5 6 0 2	スイッチング回路	
5 6 0 3	薄膜トランジスタ	
5 6 0 4	配線	
5 6 0 5	配線	
9 6 0 1	筐体	
9 6 0 3	表示部	
9 6 0 5	スタンド	

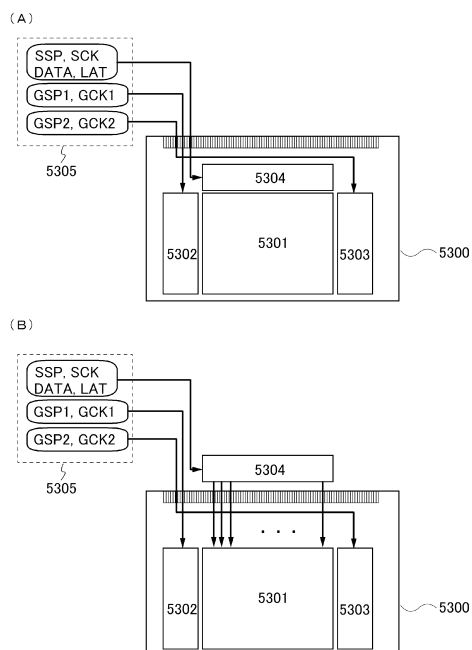
【図 1】



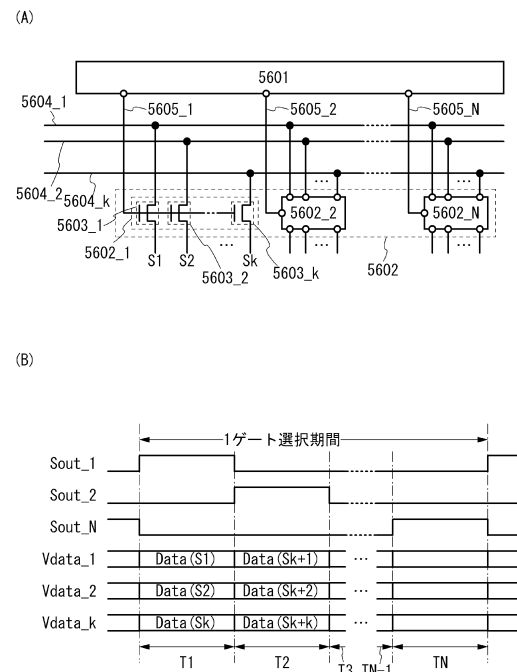
【図 2】



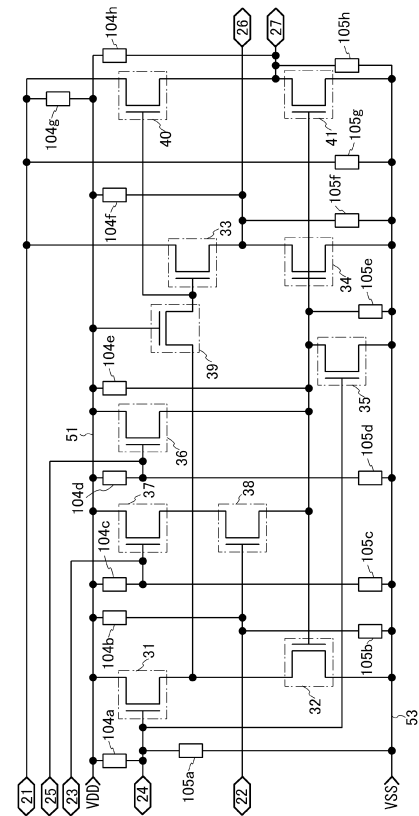
【図 3】



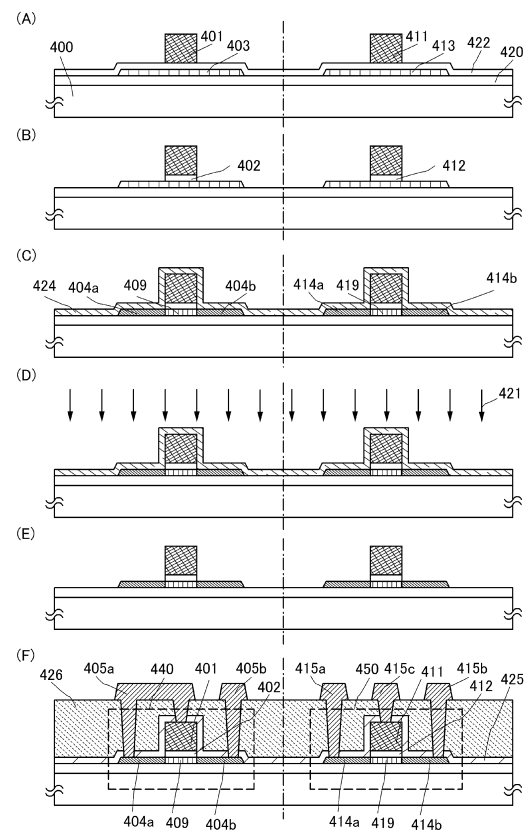
【図 4】



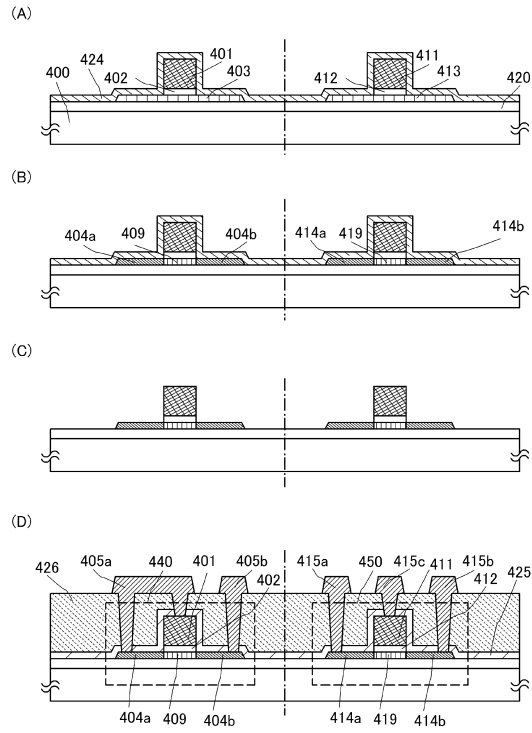
【 図 6 】



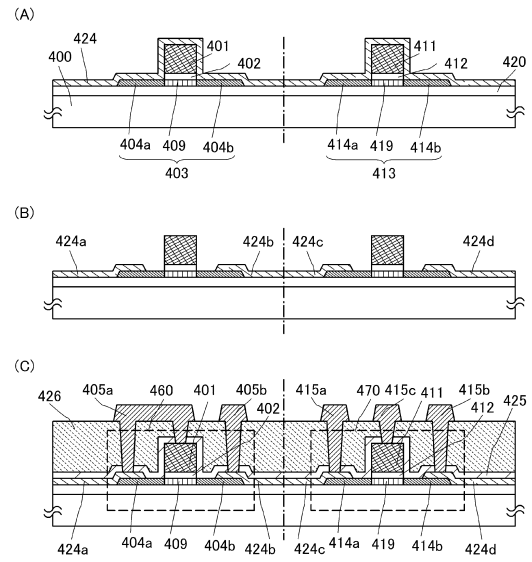
【 図 8 】



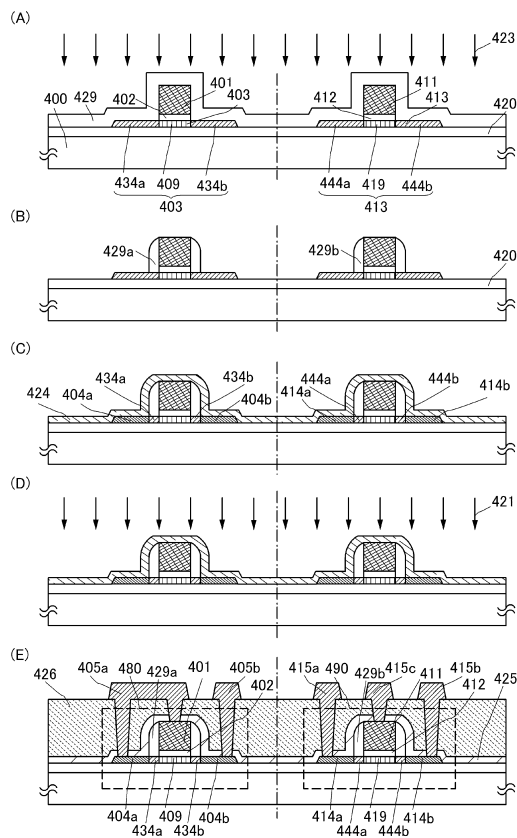
【図 9】



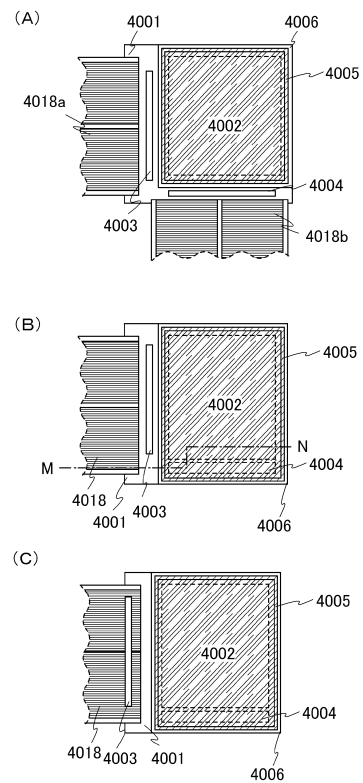
【図 10】



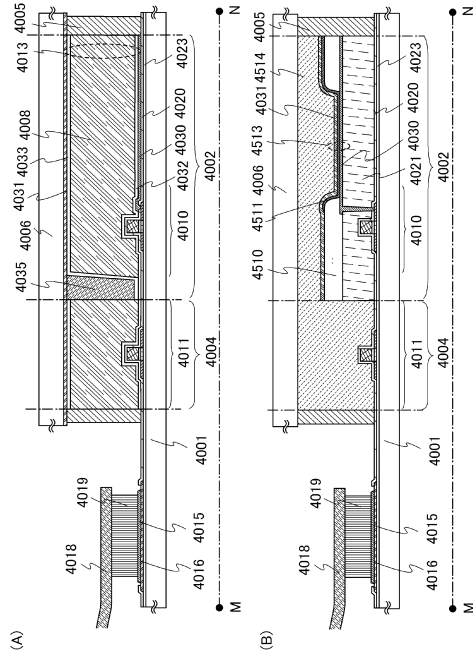
【図 11】



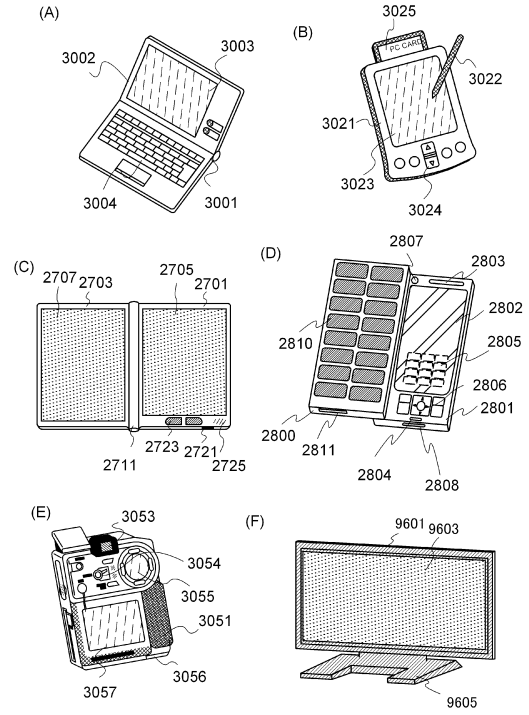
【図 12】



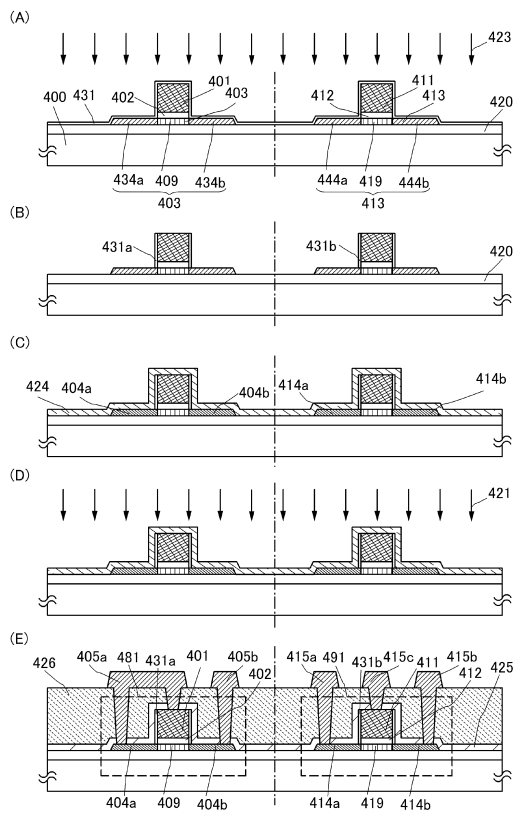
【図 13】



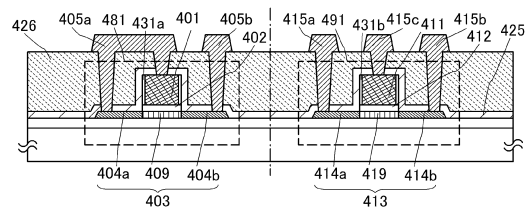
【図 14】



【図 15】



【図 16】



フロントページの続き

(51)Int.Cl.			F I		
<i>H 0 1 L</i>	<i>51/50</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	29/78	6 1 6 M
<i>H 0 5 B</i>	<i>33/14</i>	<i>(2006.01)</i>	<i>G 0 9 G</i>	3/20	6 7 0 Z
			<i>G 0 9 G</i>	3/20	6 7 0 M
			<i>G 0 9 G</i>	3/36	
			<i>G 0 9 G</i>	3/30	Z
			<i>H 0 5 B</i>	33/14	A
			<i>H 0 5 B</i>	33/14	Z

(56)参考文献 特開2007-220816(JP,A)
 特開2005-093974(JP,A)
 特開2009-246362(JP,A)
 特開2011-124532(JP,A)
 米国特許出願公開第2011/0147738(US,A1)
 特開2008-040343(JP,A)
 特表2009-528670(JP,A)
 特開2010-050434(JP,A)
 特開2010-056539(JP,A)
 特開2011-100995(JP,A)
 特開2011-124557(JP,A)
 特開2011-124360(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 9 / 7 8 6