

⑫

DEMANDE DE BREVET D'INVENTION

A1

②② Date de dépôt : 08.09.11.

③③ Priorité :

④③ Date de mise à la disposition du public de la
demande : 15.03.13 Bulletin 13/11.

⑤⑥ Liste des documents cités dans le rapport de
recherche préliminaire : *Se reporter à la fin du
présent fascicule*

⑥③ Références à d'autres documents nationaux
apparentés :

⑦① Demandeur(s) : COMMISSARIAT A L'ENERGIE ATO-
MIQUE ET AUX ENERGIES ALTERNATIVES Etablis-
sement public — FR et STMICROELECTRONICS
CROLLES 2 SAS — FR.

⑦② Inventeur(s) : THOMAS OLIVIER, MAZURIER
JEROME, PLANES NICOLAS et WEBER OLIVIER.

⑦③ Titulaire(s) : COMMISSARIAT A L'ENERGIE ATO-
MIQUE ET AUX ENERGIES ALTERNATIVES Etablis-
sement public, STMICROELECTRONICS CROLLES 2
SAS.

⑦④ Mandataire(s) : OPILEX Société à responsabilité limi-
tée.

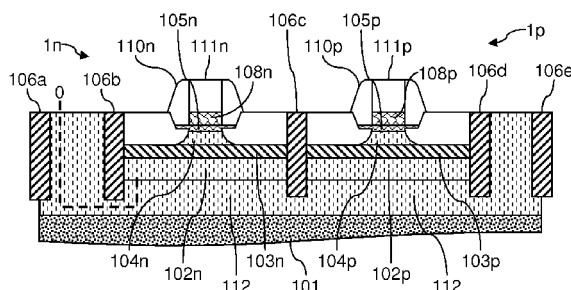
⑤④ CIRCUIT INTEGRE REALISE EN SOI COMPRENANT DES CELLULES ADJACENTES DE DIFFERENTS
TYPES.

⑤⑦ L'invention concerne un circuit intégré (2) comprenant
un substrat semi-conducteur (101), et comprenant :

-des portes logiques comportant des transistors FDSOI
sur ledit substrat (101) dont un transistor comportant une
grille comportant un premier travail de sortie et dont un tran-
sistor comportant une grille comportant un deuxième travail
de sortie ;

-une mémoire incluant des cellules mémoires, chacune
(4) comportant des transistors FDSOI dont :

-au moins un troisième transistor nMOS avec une grille
présentant un troisième travail de sortie, le troisième tran-
sistor comportant une couche isolante enterrée (103n) et un
plan de masse (102n), -au moins un quatrième transistor
pMOS avec une grille présentant ledit troisième travail de
sortie, le quatrième transistor comportant une couche iso-
lante enterrée (103p) et un plan de masse (102p), les plans
de masse des troisième et quatrième transistors étant mén-
agés dans un même caisson séparant ces plans de masse
dudit substrat.



CIRCUIT INTEGRE REALISE EN SOI COMPRENANT DES CELLULES ADJACENTES DE DIFFERENTS TYPES

L'invention concerne les circuits intégrés, et en particulier les circuits
5 intégrés réalisés sur un substrat de type silicium sur isolant (SOI). La
technologie SOI consiste à séparer une fine couche de silicium (quelques
nanomètres) sur un substrat en silicium par une couche d'isolant relativement
épaisse (quelques dizaines de nanomètres en règle générale).

10 Dans la plupart des circuits intégrés avancés, les blocs mémoire
embarqués représentent plus de la moitié de la surface totale du circuit. Dans le
futur, il est attendu que les blocs mémoire dépassent plus de 70% de la surface
totale du circuit. La surface de la cellule mémoire joue donc un rôle primordial
dans la course à la miniaturisation. Pendant de nombreuses années, le gain en
15 densité d'intégration a été obtenu en réduisant les différentes dimensions des
transistors (dits Front End en langue anglaise), des contacts (dits Middle End en
langue anglaise) et des métaux (dits Back End en langue anglaise), ce qui a
permis d'intégrer de plus en plus de cellules mémoires sur une surface donnée
de substrat.

20 La diminution de certaines dimensions au niveau des transistors a
entraîné l'apparition d'effets physiques parasites qui deviennent non
négligeables (variation de dopants, effets canaux courts...) et affectent la
miniaturisation. De nouveaux matériaux ont donc fait leur apparition ainsi que de
nouvelles architectures de transistors afin de compenser ces effets parasites.

25 Cependant, l'utilisation de nouveaux matériaux et/ou de nouvelles
architectures se traduit généralement par des difficultés de réalisation et/ou des
problèmes de fiabilité du circuit intégré. De la même manière, l'utilisation d'un
nouveau type de transistor entraîne des problèmes en termes de portabilité et
de compatibilité des circuits déjà existants ainsi que des techniques circuits
30 utilisées pour améliorer les performances.

Les circuits intégrés réalisés en technologie SOI présentent un certain
nombre d'avantages. De tels circuits présentent généralement une plus faible
consommation électrique en statique et en dynamique pour des performances
35 équivalentes, grâce à un meilleur contrôle électrostatique du canal par la grille.
Du fait d'un canal non dopé, les dispersions des caractéristiques électriques
sont également plus faibles. De tels circuits induisent également des capacités
parasites plus faibles, qui permettent d'améliorer la vitesse de commutation. De
plus, le phénomène de déclenchement parasite (latchup en langue anglaise)
40 rencontré par les transistors CMOS en technologie Bulk peut être évité au profit
de la robustesse de fonctionnement, du fait de la présence de la couche d'oxyde

isolante. De tels circuits s'avèrent donc particulièrement adaptés pour des applications de type SOC. On constate également que les circuits intégrés SOI sont moins sensibles aux effets des radiations ionisantes et s'avèrent ainsi plus fiables dans des applications où de telles radiations peuvent induire des problèmes de fonctionnement, notamment dans des applications spatiales. Les circuits intégrés SOI peuvent notamment comprendre des mémoires vives de type SRAM ou des portes logiques. La réalisation des circuits intégrés SOI reste en outre relativement semblable à celle de la technologie Bulk.

La réduction de la consommation statique de portes logiques tout en augmentant leur vitesse de basculement fait l'objet de nombreuses recherches. Certains circuits intégrés en cours de développement intègrent à la fois des portes logiques à faible consommation et des portes logiques à vitesse de basculement élevée. Pour générer ces deux types de portes logiques sur un même circuit intégré, on choisit des portes logiques à accès rapide ou des portes logiques à faible consommation dans des bibliothèques de portes logiques. En technologie Bulk, la modulation du niveau de tension de seuil de transistors de même type est effectuée en différenciant le niveau de dopage de leur canal. Cependant, en technologie FDSOI (pour Fully Depleted Silicium On Insulator en langue anglaise, désignant du silicium sur isolant totalement déplété), le dopage du canal est quasiment nul. Ainsi, le niveau de dopage du canal des transistors ne peut donc pas présenter de variations importantes sans perdre les avantages associés, ce qui empêche de différencier les tensions de seuil en jouant sur ce dopage. Les tensions de seuils en technologie FDSOI à canal non dopé sont ainsi déterminées essentiellement par le travail de sortie de la grille. Un travail de sortie légèrement en dessous du milieu de la bande interdite (midgap), dit de type N, pour les nMOS, est généralement souhaité pour obtenir des tensions de seuil entre 0.2 et 0.5V. De manière symétrique, un travail de sortie légèrement au dessus du milieu de la bande interdite (midgap), dit de type P, pour les pMOS, est généralement souhaité pour obtenir des tensions de seuil entre -0.2 et -0.5V.

Afin de disposer de tensions de seuil distinctes pour différents transistors en technologie FDSOI, il est également connu d'utiliser un plan de masse polarisé disposé entre une couche d'oxyde isolante mince et le substrat de silicium. En jouant sur le dopage des plans de masse et sur leur polarisation, on peut définir une gamme de tensions de seuil pour les différents transistors. On pourra ainsi disposer de transistors à faible tension de seuil dits LVT, de transistors à haute tension de seuil dits HVT et de transistors à tension de seuil moyenne dits SVT.

Pour certaines fonctions du circuit, il est possible de réunir dans une même zone des transistors d'un même type, par exemple des transistors LVT ou des transistors HVT. Cependant, certaines fonctions du circuit nécessitent d'accoler des transistors de types différents, avec des plans de masse
 5 présentant des polarisations différentes. La conception de telles fonctions du circuit s'avère alors relativement délicate, car des contraintes de conception supplémentaires doivent être prises en compte. Les figures 1a à 1c fournissent un exemple de couples de transistors nMOS et pMOS de différents types, respectivement HVT, SVT et LVT.

10 La figure 1a représente un exemple d'un couple de transistors nMOS 1nH et pMOS 1pH de type HVT. Les transistors 1nH et 1pH sont réalisés en technologie SOI. Les transistors 1nH et 1pH sont réalisés sur une couche de substrat de silicium 101H. Les transistors 1nH et 1pH comprennent des couches isolantes enterrées respectives 103nH et 103pH, séparées de la couche de
 15 substrat 101H par l'intermédiaire de plans de masse respectifs 102nH et 102pH et de caissons 112nH et 112pH. Les couches isolantes 103nH et 103pH sont surmontées par une couche active de silicium. La couche active de silicium du transistor 1nH comporte une source, un canal 104nH et un drain. La couche active de silicium du transistor 1pH comporte une source, un canal 104pH et un
 20 drain. Les plans de masse 102nH et 102pH permettent d'améliorer le contrôle électrostatique du transistor en limitant la pénétration des champs électriques générés par le drain et la source sous le canal 104nH ou 104pH. La réduction du couplage électrostatique latéral réduit les effets canaux courts et limite l'effet de déplétion par le drain DIBL. Les canaux 104nH et 104pH sont recouverts
 25 respectivement par des couches d'oxyde de grille 105nH et 105pH. Les oxydes de grille 105nH et 105pH sont surmontés par des empilements de grille respectifs comprenant des couches métalliques 108nH et 108pH et des couches de polysilicium 111nH et 111pH. Les empilements sont délimités latéralement par des espaceurs 110nH et 110pH. Des tranchées d'isolation 106H, 107H et
 30 109H sont placées autour des transistors 1nH et 1pH.

Pour obtenir des transistors de type HVT, le plan de masse 102nH présente un dopage de type P et une polarisation à la masse, et le plan de masse 102pH présente un dopage de type N et une polarisation à Vdd et on utilise des couches isolantes BOX 103nH et 103pH fines (d'une épaisseur
 35 typiquement comprise entre 10 et 50nm). Le plan de masse 102nH pourra également être polarisé à une tension comprise entre Gnds (avec Gnds une tension inférieure à la tension de masse Gnd) et Vdd/2. Le plan de masse 102pH pourra également être polarisé à une tension comprise entre Vdd/2 (avec Vdd une tension de niveau haut) et VddH (avec VddH>Vdd). Les caissons
 40 112nH et 112pH présentent des dopages respectifs de type P et de type N. La

polarisation des plans de masse 102nH et 102pH se fait par l'intermédiaire des caissons 112nH et 112pH respectivement.

La figure 1b représente un exemple d'un couple de transistors nMOS 1nS et pMOS 1pS de type SVT. Les transistors 1nS et 1pS présentent sensiblement la même structure que les transistors 1nH et 1pH : ils sont réalisés sur une couche de substrat de silicium 101S, comprennent des couches isolantes enterrées respectives 103nS et 103pS, séparées de la couche de substrat 101H par l'intermédiaire de plans de masse respectifs 102nS et 102pS et de caissons 112nS et 112pS. Les couches isolantes 103nS et 103pS sont surmontées par une couche active de silicium. La couche active de silicium du transistor 1nS comporte une source, un canal 104nS et un drain. La couche active de silicium du transistor 1pS comporte une source, un canal 104pS et un drain. Les canaux 104nS et 104pS sont recouverts respectivement par des couches d'oxyde de grille 105nS et 105pS. Les oxydes de grille 105nS et 105pS sont surmontés par des empilements de grille respectifs comprenant des couches métalliques 108nS et 108pS et des couches de polysilicium 111nS et 111pS. Les empilements sont délimités latéralement par des espaceurs 110nS et 110pS. Des tranchées d'isolation 106S, 107S et 109S sont placées autour des transistors 1nS et 1pS.

Pour obtenir des transistors de type SVT, le plan de masse 102nS présente un dopage de type N et une polarisation à la masse, et le plan de masse 102pS présente un dopage de type P et une polarisation à Vdd, et on utilise des couches isolantes BOX 103nS et 103pS fines. Le plan de masse 102nH pourra également être polarisé à une tension comprise entre Gnds (avec $Gnds < Gnd$) et Vdd/2. Le plan de masse 102pH pourra également être polarisé à une tension comprise entre Vdd/2 et VddH. Les caissons 112nS et 112pS présentent des dopages respectifs de type P et de type N. La polarisation des plans de masse 102nS et 102pS se fait par l'intermédiaire des caissons 112nS et 112pS respectivement.

La figure 1c représente un exemple d'un couple de transistors nMOS 1nL et pMOS 1pL de type LVT. Les transistors 1nL et 1pL présentent sensiblement la même structure que les transistors 1nH et 1pH : ils sont réalisés sur une couche de substrat de silicium 101L, comprennent des couches isolantes enterrées respectives 103nL et 103pL, séparées de la couche de substrat 101H par l'intermédiaire de plans de masse respectifs 102nL et 102pL et de caissons 112nL et 112pL. Les couches isolantes 103nL et 103pL sont surmontées par une couche active de silicium. La couche active de silicium du transistor 1nL comporte une source, un canal 104nL et un drain. La couche active de silicium du transistor 1pL comporte une source, un canal 104pL et un drain. Les canaux 104nL et 104pL sont recouverts respectivement par des couches d'oxyde de grille 105nL et 105pL. Les oxydes de grille 105nL et 105pL sont surmontés par

des empilements de grille respectifs comprenant des couches métalliques 108nL et 108pL et des couches de polysilicium 111nL et 111pL. Les empilements sont délimités latéralement par des espaceurs 110nL et 110pL. Des tranchées d'isolation 106L, 107L et 109L sont placées autour des transistors 1nL et 1pL.

Pour obtenir des transistors de type LVT, le plan de masse 102nL présente un dopage de type N et une polarisation à Vdd, et le plan de masse 102pL présente un dopage de type P et une polarisation à la masse, et on utilise des couches isolantes BOX 103nL et 103pL fines. Le plan de masse 102nH pourra également être polarisé à une tension comprise entre $V_{dd}/2$ et V_{ddH} . Le plan de masse 102pH pourra également être polarisé à une tension comprise entre Gnds et $V_{dd}/2$. Les caissons 112nL et 112pL présentent des dopages respectifs de type N et de type P. La polarisation des plans de masse 102nL et 102pL se fait par l'intermédiaire des caissons 112nL et 112pL respectivement.

On peut également intégrer différents matériaux de grille pour ces transistors pour moduler les tensions de seuil des différents transistors. On peut pour cela utiliser différents types de dopage dans les couches de polysilicium, réaliser différents types de couches de polysilicium ou utiliser différents matériaux dans les couches métalliques de façon à obtenir des grilles avec des travaux de sortie distincts.

Ces solutions techniques permettent de réaliser une spécialisation des transistors dans les portes logiques et les cellules mémoire du circuit intégré. Les caractéristiques des circuits intégrés conçus peuvent ainsi être plus spécifiquement définies.

Le processus d'implantation des dopants dans le substrat aboutit à des variations indésirables de concentration en bordure d'implantations, induisant un dopage indésirable du canal des transistors. Aux échelles des circuits intégrés utilisés, ces variations se manifestent par des effets dits WPE (well proximity effect) non négligeables qui affectent la fiabilité et le rendement de fabrication de tels circuits. L'utilisation de différents matériaux de grille a par ailleurs des conséquences non négligeables sur la complexité du processus de fabrication et sur son rendement, et ce d'autant plus que le circuit intégré présente une densité importante.

L'invention vise à résoudre un ou plusieurs de ces inconvénients. L'invention porte ainsi sur un circuit intégré comprenant un substrat semiconducteur, et comprenant :

- des portes logiques comportant des transistors de type FDSOI ménagés sur ledit substrat dont au moins un premier transistor comportant une grille comportant un premier travail de sortie et dont au moins un deuxième transistor

comporte une grille comportant un deuxième travail de sortie distinct du premier ;

-une mémoire incluant des cellules mémoires, chaque cellule mémoire comportant des transistors de type FDSOI dont :

5 -au moins un troisième transistor est de type nMOS et comporte une grille présentant un troisième travail de sortie, le troisième transistor comportant une couche isolante enterrée et un plan de masse séparant la couche isolante enterrée dudit substrat, et

10 -au moins un quatrième transistor est de type pMOS et comporte une grille présentant ledit troisième travail de sortie, le quatrième transistor comportant une couche isolante enterrée et un plan de masse séparant la couche isolante enterrée dudit substrat, les plans de masse des troisième et quatrième transistors présentant un même dopage et les plans de masse des troisième et quatrième transistors étant ménagés dans un même caisson
15 séparant ces plans de masse dudit substrat, les plan de masse des troisième et quatrième transistors étant adaptés à être polarisés de la même manière.

Selon une variante, ledit caisson est un caisson à dopage de type P, ledit caisson étant séparé du substrat par l'intermédiaire d'un caisson enterré profond à dopage de type N.

20 Selon encore une variante, les premier et deuxième transistors comportent une couche isolante enterrée et un plan de masse respectif séparant la couche isolante enterrée dudit substrat, le type de dopage des plans de masse des premier et deuxième transistors étant distinct.

25 Selon une autre variante, les premier et deuxième transistors comportent une couche isolante enterrée et un plan de masse respectif séparant la couche isolante enterrée dudit substrat, la polarisation des plans de masse des premier et deuxième transistors étant distincte.

Selon encore une autre variante, la couche isolante enterrée des troisième et quatrième transistors présente une épaisseur inférieure à 50nm.

30 Selon une variante, le troisième travail de sortie est sensiblement identique au premier ou au deuxième travail de sortie.

35 Selon une variante, les grilles respectives des premier à quatrième transistors incluent une couche de polysilicium, la grille présentant le premier travail de sortie ayant un dopage d'un premier type, la grille présentant le deuxième travail de sortie ayant un dopage d'un deuxième type opposé au premier type, et la grille présentant le troisième travail de sortie ayant un dopage du premier ou du deuxième type.

Selon encore une variante, chaque cellule mémoire comporte en outre des cinquième et sixième transistors FDSOI :

40 -le cinquième transistor étant de type nMOS et comportant une grille présentant le troisième travail de sortie, le cinquième transistor comportant une

couche isolante enterrée et un plan de masse séparant la couche isolante enterrée dudit substrat ;

- le sixième transistor étant de type pMOS et comportant une grille présentant le troisième travail de sortie, le sixième transistor comportant une couche isolante enterrée et un plan de masse séparant la couche isolante enterrée dudit substrat.

Selon une variante, la mémoire est de type SRAM.

- Selon encore une variante, le circuit intégré comprend un circuit de polarisation des plans de masse des troisième et quatrième transistors, ledit circuit de polarisation étant configuré pour modifier dynamiquement la polarisation appliquée sur les plans de masse des troisième et quatrième transistors.

Selon encore une autre variante, les plans de masse de l'ensemble des transistors des cellules mémoire sont réalisés dans un même caisson.

15

D'autres caractéristiques et avantages de l'invention ressortiront clairement de la description qui en est faite ci-après, à titre indicatif et nullement limitatif, en référence aux dessins annexés, dans lesquels :

- les figures 1a à 1c sont des vues en coupe de couples de transistors FDSOI de différents types selon l'art antérieur ;
- la figure 2 est une représentation schématique d'une cellule mémoire ;
- la figure 3 est un schéma électrique d'un premier exemple de cellule mémoire de type 6T ;
- la figure 4 est une vue en coupe d'un transistor nMOS et d'un transistor pMOS accolés dans une première variante de mémoire 6T ;
- la figure 5 est une vue en coupe d'un transistor nMOS et d'un transistor pMOS accolés dans une deuxième variante de mémoire 6T ;
- la figure 6 est une vue en coupe d'un transistor nMOS et d'un transistor pMOS accolés dans une troisième variante de mémoire 6T ;
- la figure 7 est une vue en coupe d'un transistor nMOS et d'un transistor pMOS accolés dans une quatrième variante de mémoire 6T ;
- la figure 8 est une vue en coupe d'un transistor nMOS et d'un transistor pMOS accolés dans une cinquième variante de mémoire 6T ;
- les figures 9 à 11 illustrent un exemple de disposition de transistors de portes logiques présentant différentes tensions de seuil, en jouant sur les travaux de sortie de leur grille ;
- les figures 12 à 14 sont des diagrammes illustrant les performances d'une cellule mémoire en fonction de la polarisation du plan de masse ;
- la figure 15 est un diagramme illustrant les possibilités de contrôle d'une cellule mémoire en mode lecture/écriture ;

40

-la figure 16 est un diagramme illustrant l'accroissement des courants de lecture par ajustement des tensions de seuil par polarisation des plans de masse, dans un cas particulier ;

-la figure 17 est un schéma électrique d'un exemple de cellule mémoire de type 8T.

Comme illustré à la figure 2, une cellule mémoire SRAM se compose de deux inverseurs Inv1 et Inv2 connectés en configuration bascule bistable et de deux transistors d'accès MAT et MAF connectés à des lignes de bits BLT et BLF. Les transistors d'accès MAT et MAF sont commandés par une ligne de mot WL. Les exigences auxquelles doit répondre la cellule mémoire sont :

une stabilité suffisante garantissant le fonctionnement de la cellule lors des opérations de lecture, écriture ou rétention ;

un courant de conduction maximal pour accroître la rapidité d'accès à la cellule;

une taille de cellule minimale pour accroître la densité d'intégration ; et

un courant de rétention minimal pour réduire la consommation électrique en statique.

La figure 3 est un schéma électrique d'un exemple de cellule mémoire 4 de type 6T d'un circuit intégré selon l'invention. La cellule mémoire 4 de la figure 3 est destinée à optimiser la consommation électrique, avec un rendement et des fonctionnalités améliorés en diminuant les sources de dispersions, en permettant un contrôle dynamique simplifié des tensions de polarisation, sur une large plage. De façon connue en soi, la cellule mémoire 4 comprend deux transistors d'accès MA_L et MA_R de type nMOS, deux transistors de conduction MD_L et MD_R de type nMOS et deux transistors de charge ML_L et ML_R de type pMOS. Les transistors de conduction MD_L et MD_R et les transistors de charge ML_L et ML_R sont connectés de façon connue en soi pour former une bascule bistable présentant des nœuds de stockage L et R. Les noeuds de stockage L et R sont sélectivement raccordés à la tension V_{dd} respectivement par l'intermédiaire des transistors de charge ML_L et ML_R . Les noeuds de stockage L et R sont sélectivement raccordés à la masse respectivement par l'intermédiaire des transistors de conduction MD_L et MD_R . Les noeuds de stockage L et R sont sélectivement raccordés aux lignes de bit BL_L et BL_R respectivement par l'intermédiaire des transistors d'accès MA_L et MA_R . La grille des transistors d'accès MA_L et MA_R est connectée à une ligne de mot WL. La grille du transistor de charge ML_L et la grille du transistor de conduction MD_L sont connectées au noeud de stockage R. La grille du transistor de charge ML_R et la grille du transistor de conduction MD_R sont connectées au noeud de stockage L. L'utilisation des transistors d'accès MA_L et MA_R de type nMOS permet

théoriquement un accès rapide aux noeuds de stockage de la cellule mémoire 4 par comparaison à des transistors pMOS de surface identique.

Les transistors nMOS MA_L et MD_L sont réalisés sur une couche isolante BOX et surplombent un plan de masse. Les transistors nMOS MA_R et MD_R sont
 5 réalisés sur une couche isolante BOX fine surplombant un autre plan de masse. Les transistors de charge ML_L et ML_R de type pMOS sont réalisés sur la couche isolante BOX et surplombent un plan de masse. Le dopage des plans de masse des transistors de la cellule mémoire 4 est identique. La polarisation de ces plans de masse est également identique. Dans cet exemple, les plans de masse
 10 des transistors sont tous connectés au potentiel de masse. Dans les différentes variantes illustrées par la suite, différents dopages et différentes polarisations de ces plans de masse vont être détaillés.

La figure 4 représente un exemple d'un transistor nMOS 1n et d'un
 15 transistor pMOS 1p accolés dans la cellule mémoire 4 de la figure 3. Les transistors 1n et 1p sont réalisés en technologie FDSOI. Les transistors 1n et 1p sont réalisés sur une couche de substrat de silicium 101. Les transistors 1n et 1p comprennent des couches isolantes enterrées respectives 103n et 103p, séparées de la couche de substrat 101 par l'intermédiaire de plans de masse
 20 respectifs 102n et 102p dopés P et d'un caisson 112 dopé P. Les couches isolantes enterrées 103n et 103p sont en pratique formées dans une même couche isolante s'étendant à l'aplomb du substrat 101. Les couches isolantes 103n et 103p sont surmontées par une couche active de silicium. La couche active de silicium du transistor 1n comporte une source dopée N, un canal 104n
 25 et un drain dopé N. La couche active de silicium du transistor 1p comporte une source dopée P, un canal 104p et un drain dopé P. Les plans de masse 102n et 102p permettent d'améliorer le contrôle électrostatique du transistor en limitant la pénétration des champs électriques générés par le drain et la source sous le canal 104n ou 104p. La réduction du couplage électrostatique latéral réduit les
 30 effets canaux courts et limite l'effet de déplétion par le drain DIBL. Les canaux 104n et 104p sont recouverts respectivement par des couches d'oxyde de grille 105n et 105p. Les oxydes de grille 105n et 105p sont surmontés par des empilements de grille respectifs comprenant des couches métalliques 108n et 108p et des couches de polysilicium 111n et 111p. Les empilements sont
 35 délimités latéralement par des espaceurs 110n et 110p. Des tranchées d'isolation 106a à 106e sont placées autour des transistors 1n et 1p.

Les couches isolantes enterrées 103n et 103p présentent une épaisseur dite ultra-fine, typiquement comprise entre 10 et 50nm. Les plans de masse 102n et 102p présentent un même dopage de type P. Les plans de masse 102n
 40 et 102p sont polarisés à la masse par l'intermédiaire du caisson 112. Bien que tous les transistors de la cellule 4 ne soient pas illustrés, tous ces transistors

comportent des plans de masse à dopage de type P, et à polarisation à la masse (cette polarisation pouvant cependant être ajustée sur une très large plage par exemple entre $-v_{dd}$ et v_{dd}). De plus, tous les transistors de la cellule 4 sont ménagés à l'aplomb du même caisson 112. Par ailleurs, tous les

5 transistors de la cellule 4 comportent une même composition de grille. En l'occurrence, la composition des couches métalliques, des couches de polysilicium et des couches d'oxydes de grille des transistors de la cellule 4 est identique.

Pour des grilles configurées pour présenter un travail de sortie de type N

10 (c'est-à-dire un travail de sortie plus bas que le travail de sortie du silicium, par exemple 4,45eV) :

- les transistors nMOS sont de type VTL (c'est-à-dire que leur tension de seuil est plus faible par rapport à un même transistor pourvu d'une grille mid-gap) ;
- 15 -les transistors pMOS sont de type VTH (c'est-à-dire que leur tension de seuil est plus élevée par rapport à un même transistor pourvu d'une grille mid-gap),

Du fait de l'utilisation d'une même composition de grille et d'un même

20 dopage de plan de masse des transistors de la cellule mémoire 4, le rendement de fabrication de telles cellules avec une très grande densité peut être très élevé, les effets de proximité (WPE) et le facteur de défaillance du aux processus doubles grilles étant éliminés dans ces cellules (suppression des coins croisés : nMOS lent / pMOS rapide ou nMOS rapide / pMOS lent).

25 Par ailleurs, du fait d'une polarisation unique des plans de masse de ces transistors, le contrôle de la tension de seuil par la variation de cette polarisation s'avère particulièrement simple.

La cellule 4 présente en outre :

- une grande stabilité en rétention car les tensions de seuil des transistors
- 30 sont ajustables par la polarisation des plans de masse, ce qui permet d'équilibrer les tensions de seuil ;
- un meilleur compromis SNM-WM (pour Static Noise Margin et Write Margin en langue anglaise) car les tensions de seuil des transistors sont ajustables par la polarisation des plans de masse ;
- 35 -une plage de fonctionnement augmentée grâce à l'ajustement des tensions de seuil par les plans de masse.

Sur le même substrat de silicium 101, un bloc logique comporte des portes logiques ménagées dans le circuit intégré selon l'invention. Ces portes

40 logiques sont avantageusement conçues pour satisfaire aux exigences de

conception de pouvoir disposer de différentes caractéristiques électriques (vitesse de consommation ou faible consommation électrique par exemple).

Les transistors de ces portes logiques sont également de type FDSOI et comportent différents travaux de sortie pour permettre de disposer de tensions
5 de seuil à des niveaux souhaités. Certains transistors des portes logiques pourront ainsi comporter des grilles présentant un travail de sortie de type midgap en langue anglaise (dont le travail de sortie se situe au milieu du travail de sortie du silicium, soit environ 4,65 eV), des grilles présentant un travail de sortie de type P (travail de sortie supérieur au travail de sortie du silicium, soit
10 par exemple de 4,85 eV) et/ou des grilles présentant un travail de sortie de type N (travail de sortie inférieur au travail de sortie du silicium, soit par exemple de 4,45 eV). Une porte logique comportera généralement des transistors présentant des tensions de seuil similaires, par exemple pour favoriser une faible consommation ou favoriser une commutation rapide. Différentes portes
15 logiques pourront présenter des transistors à tensions de seuil distinctes en fonction des propriétés électriques souhaitées.

Pour un nMOS :

-l'utilisation d'une grille présentant un travail de sortie de type P permet
20 d'augmenter la valeur minimale et la valeur maximale de la plage de tension de seuil en fonction de la polarisation, par rapport à un même transistor à grille de type midgap ;

-l'utilisation d'une grille présentant un travail de sortie de type N permet de réduire la valeur minimale et la valeur maximale de la plage de tension de
25 seuil en fonction de la polarisation du plan de masse, par rapport à un même transistor à grille de type midgap.

Pour un pMOS :

-l'utilisation d'une grille présentant un travail de sortie de type N permet
30 d'augmenter la valeur minimale et la valeur maximale de la plage de tension de seuil en fonction de la polarisation, par rapport à un même transistor à grille de type midgap ;

-l'utilisation d'une grille présentant un travail de sortie de type P permet de réduire la valeur minimale et la valeur maximale de la plage de tension de
35 seuil en fonction de la polarisation du plan de masse, par rapport à un même transistor à grille de type midgap.

De tels transistors sont avantageusement combinés pour former des circuits intégrant des portes logiques avec une très grande densité. La formation
40 de portes logiques implique l'association de nMOS et de pMOS accolés. Lorsque l'on souhaite accoler des portes logiques munies de transistors à

tensions de seuil distinctes, on dispose les nMOS et les pMOS selon des rangées alternées. Pour accoler un couple nMOS/pMOS à tension de seuil V_{TH} à un couple nMOS/pMOS à tension de seuil V_{TL} avec des couches isolantes ultra-minces et des plans de masse polarisés, on peut réaliser des caissons n et p selon un motif en damier pour appliquer une polarisation appropriée sur chaque plan de masse.

La figure 9 illustre schématiquement une partie de circuit intégré comprenant des transistors à différentes tensions de seuil pour la formation de portes logiques. A titre d'exemple, si l'on considère que le matériau de grille a plus d'incidence que le dopage du plan de masse sur la tension de seuil, dans cette structure, les transistors nMOS sont disposés selon une rangée, et les transistors pMOS sont disposés selon une rangée accolée. Les transistors nMOS correspondent aux références 203 (HVT), 207 (VTS), 219 (VTL) et 223 (SHVT pour tension de seuil fortement relevée), illustrés en coupe à la figure 10. Les transistors pMOS correspondent aux références 205 (HVT), 213 (VTS), 221 (VTL) et 224 (SHVT), illustrés en coupe à la figure 11. Une telle structure permet de réaliser un même caisson dopé P (P-w) sous forme de bande sous une rangée de nMOS et de lui appliquer une polarisation commune, par exemple à la masse. Une telle structure permet également de réaliser un même caisson dopé N (N-w) sous forme de bande sous une rangée de pMOS et de lui appliquer une polarisation commune, par exemple à V_{dd} . La densité d'intégration des transistors peut ainsi être optimisée en limitant l'utilisation des tranchées d'isolation. Gp-p désigne un plan de masse à dopage de type P. Gp-n désigne un plan de masse à dopage de type N. Ga-n désigne une grille à travail de sortie de type N. Ga-p désigne une grille à travail de sortie de type P.

La contrainte de densité d'intégration étant généralement moindre sur les portes logiques, l'utilisation d'un plus grand nombre de paramètres technologiques, tels que la composition de grille ou le dopage des plans de masse, induit des effets WPE relativement réduits et les portes logiques sont donc plus robustes et donc moins sensibles.

Ainsi, l'invention permet étonnamment de réaliser les choix de performances souhaités pour les portes logiques et d'obtenir en outre des cellules mémoires à la fois fiables et performantes malgré l'abandon de certains facteurs de modulation de la tension de seuil, sans altérer le rendement de production du circuit intégré.

Pour simplifier le processus de fabrication, la composition des grilles de transistors des cellules mémoire 4 sera avantageusement identique à la composition de la grille de certains transistors des portes logiques.

La figure 5 représente une deuxième variante des transistors de la cellule mémoire 4. Un transistor nMOS 1n et un transistor pMOS 1p sont accolés dans la cellule mémoire 4. Les transistors 1n et 1p sont réalisés en technologie FDSOI.

5 Les transistors 1n et 1p présentent sensiblement la même structure que les transistors de la cellule mémoire de la figure 4. Dans cette variante, le caisson dopé P 112 est séparé du substrat 101 par l'intermédiaire d'un caisson enterré profond 121 de type N (désigné par le terme deep N-well en langue anglaise). Le caisson 121 est polarisé à Vdd. Des tranchées de séparation 106a
10 et 106f délimitent latéralement ce caisson 121.

Le caisson 121 et sa polarisation permettent d'assurer une isolation du caisson 112 par rapport à d'autres caissons dopés P. Ainsi, une polarisation spécifique peut être appliqué au caisson 112 de la cellule mémoire 4, indépendamment de la polarisation d'autres caissons dopés P adjacents. Le
15 caisson 112 pourra par exemple être polarisé à une tension souhaitée comprise entre $-V_{dd}$ et la tension du caisson 121 ($+V_{dd}$ en l'occurrence).

Du fait de l'utilisation d'une même composition de grille et d'un même dopage de plan de masse des transistors de la cellule mémoire 4, le rendement
20 de fabrication de telles cellules avec une très grande densité peut être très élevé, le facteur de défaillance du aux processus doubles grilles étant éliminé dans ces cellules ainsi que la suppression des effets de proximité des caissons (WPE).

Par ailleurs, du fait d'une polarisation unique des plans de masse de ces
25 transistors, le contrôle de la tension de seuil par la variation de cette polarisation s'avère particulièrement simple.

La cellule 4 présente en outre :

- une grande stabilité en rétention car les tensions de seuil des transistors sont ajustables par la polarisation des plans de masse, ce qui permet
30 d'équilibrer les tensions de seuil ;
- un meilleur compromis SNM-WM car les tensions de seuil des transistors sont ajustables par la polarisation des plans de masse ;
- une plage de fonctionnement augmentée grâce à l'ajustement des tensions de seuil par les plans de masse.

35

La figure 6 représente une troisième variante des transistors de la cellule mémoire 4. Un transistor nMOS 1n et un transistor pMOS 1p sont accolés dans la cellule mémoire 4. Les transistors 1n et 1p sont réalisés en technologie FDSOI. Les transistors 1n et 1p comprennent des couches isolantes enterrées
40 respectives 103n et 103p, séparées de la couche de substrat 101 par l'intermédiaire de plans de masse respectifs 102n et 102p dopés P et d'un

caisson 112 dopé N. Les couches isolantes 103n et 103p sont surmontées par une couche active de silicium, de structure identique à celle des première et deuxième variantes.

Les couches isolantes enterrées 103n et 103p présentent une épaisseur dite ultra-fine, typiquement comprise entre 10 et 50nm. Les plans de masse 102n et 102p présentent un même dopage de type P. Les plans de masse 102n et 102p sont polarisés par l'intermédiaire du caisson 112. Bien que tous les transistors de la cellule 4 ne soient pas illustrés, tous ces transistors comportent des plans de masse à dopage de type P, présentant une même polarisation. De plus, tous les transistors de la cellule 4 sont ménagés à l'aplomb du même caisson 112. Par ailleurs, tous les transistors de la cellule 4 comportent une même composition de grille. En l'occurrence, la composition des couches métalliques, des couches de polysilicium et des couches d'oxydes de grille des transistors de la cellule 4 est identique.

Le caisson 112 dopé N étant naturellement isolé du substrat 101, une tension comprise entre la tension du substrat 101 et la tension Vdd peut être appliquée sur ce caisson 112 afin de polariser les plans de masse 102n et 102p.

La figure 7 représente une quatrième variante des transistors de la cellule mémoire 4. Un transistor nMOS 1n et un transistor pMOS 1p sont accolés dans la cellule mémoire 4. Les transistors 1n et 1p sont réalisés en technologie FDSOI. Les transistors 1n et 1p comprennent des couches isolantes enterrées respectives 103n et 103p ménagées sur des plans de masse respectifs 102n et 102p. Les plans de masse 102n et 102p sont dopés N et ménagés dans un caisson 112 dopé P. Le caisson 112 est séparé du substrat 101 par l'intermédiaire d'un caisson profondément enterré 121 dopé N. Les couches isolantes 103n et 103p sont surmontées par une couche active de silicium, de structure identique à celle des première à troisième variantes. Le caisson 121 est polarisé à Vdd. Des tranchées de séparation 106a et 106f délimitent latéralement ce caisson 121. Cette quatrième variante diffère de la deuxième variante uniquement par un dopage de type N des plans de masse de la cellule mémoire 4.

Une telle cellule mémoire 4 est destinée à optimiser le temps de commutation de ses transistors et la marge en écriture de la cellule, au détriment de sa stabilité. En effet, par rapport aux transistors de la deuxième variante, les nMOS de cette quatrième variante présentent une tension de seuil plus basse et les pMOS de cette quatrième variante présentent une tension de seuil plus élevée.

La figure 8 représente une cinquième variante des transistors de la cellule mémoire 4. Un transistor nMOS 1n et un transistor pMOS 1p sont accolés dans la cellule mémoire 4. Les transistors 1n et 1p sont réalisés en technologie FDSOI. Cette cinquième variante diffère de la troisième variante
 5 uniquement par un dopage de type N des plans de masse de la cellule mémoire 4. Comparativement à cette troisième variante, les transistors nMOS présentent une tension de seuil plus basse et les pMOS présentent une tension de seuil plus élevée.

10 Pour les première à cinquième variantes illustrées aux figures 4 à 8, les transistors 1n et 1p dont les grilles présentent un travail de sortie de type N. Bien entendu, on peut plutôt former des transistors 1n et 1p dont les grilles présentent un travail de sortie de type P pour pouvoir moduler les tensions de seuil.

15 Dans les première à cinquième variantes, un bloc de cellules mémoires inclut une multitude de cellules mémoires comportant un caisson commun et pour lesquelles les grilles de transistor présentent un même travail de sortie. Ce bloc s'étend sur une zone présentant un caisson commun. Ce caisson commun est isolé du bloc logique.

20 Pour les deuxième et quatrième variantes, une matrice de cellules mémoire peut être entourée d'un caisson enterré profond polarisé à Vdd, afin d'assurer une séparation adéquate des transistors des portes logiques adjacentes. Cela permet d'accroître la plage d'ajustement de tension et d'isoler
 25 les transistors des bruits de substrat.

Les diagrammes des figures 12 à 14 permettent d'illustrer l'influence de la tension de polarisation des plans de masse sur une cellule mémoire 4 de type 6T, réalisés selon les quatrième ou cinquième variantes, avec une grille à travail
 30 de sortie de type P. Le diagramme de la figure 12 illustre la variation de HSNM (Hold Static Noise Margin en langue anglaise, valeurs normalisées par rapport à une cellule à $V_B=0$) de la cellule en fonction de la tension de polarisation V_b des plans de masse. Le diagramme de la figure 13 illustre la distribution de HSNM en fonction de la tension de polarisation V_b . On constate que la variation de
 35 HSNM présente un optimum pour une valeur de V_b de 0,5V correspondant à une valeur de dispersion HSNM minimale et valeur moyenne maximale. On peut donc trouver une valeur de V_b pour laquelle la cellule mémoire présente une plus grande stabilité en rétention, ce qui permet d'adapter son alimentation pour réduire sa consommation électrique. L'invention s'avère donc particulièrement
 40 avantageuse puisqu'elle permet d'adapter aisément la valeur de V_b .

Le diagramme de la figure 14 illustre le courant de fuite (valeurs normalisées par rapport à une cellule à $V_B=0$) d'une cellule 4 en veille. On constate que ce courant de fuite présente un minimum pour une valeur de V_b de 0,5V. On peut donc trouver une valeur de V_b pour laquelle la cellule mémoire
5 présente une consommation électrique réduite en veille. L'invention s'avère donc particulièrement avantageuse puisqu'elle permet d'adapter aisément la valeur de V_b . Une telle baisse du courant de fuite en veille s'explique par une bonne répartition des courants de fuite entre les nMOS et les pMOS pour une telle valeur de V_b , ce qui réduit l'influence des dispersions de fabrication sur le
10 courant de fuite.

Le diagramme de la figure 15 illustre l'influence du contrôle de la tension des plans de masse sur la stabilité en lecture (RSNM) et sur la marge en écriture (WM), pour différentes tensions d'alimentation (comprises entre 0,4V et
15 1V sur le diagramme). On constate que la tension V_B permet d'ajuster la valeur de RSNM et WM sur grande plage pour obtenir le meilleur compromis en fonction de la tension d'alimentation appliquée. On dispose ainsi d'un paramètre supplémentaire pour configurer la cellule 4 avec une grande gamme de compromis entre stabilité en lecture et stabilité en écriture.

20

La figure 16 est un diagramme illustrant l'accroissement potentiel des courants de lecture I_{cell} (valeurs normalisées par rapport à une cellule mémoire en technologie Bulk équivalente) d'une cellule mémoire 4 de type 6T par ajustement des tensions de seuil en polarisant ses plans de masse de façon
25 appropriée. Cet exemple correspond à un cas où les transistors de la cellule mémoire 4 présentent un travail de sortie de type N, avec un plan de masse à dopage de type P.

On constate que par rapport à une polarisation de plan de masse nulle (en trait plein), une polarisation de plan de masse avec un V_b choisi de façon
30 (en trait discontinu) appropriée permet d'augmenter sensiblement le courant de lecture.

Par un contrôle dynamique de la tension de polarisation de plan de masse V_b , on peut basculer le fonctionnement d'un transistor entre une recherche de moindre consommation et une recherche de plus grande vitesse
35 de commutation.

Bien qu'on ait illustré uniquement l'application de l'invention à des cellules mémoires de type 6T selon la figure 3, l'invention s'applique également toute autre cellule mémoire, telle qu'une cellule de type 4T ou une cellule mémoire de
40 type 8T.

La figure 17 illustre un exemple d'une telle cellule mémoire 4 de type 8T. La cellule mémoire 4 comprend deux transistors d'accès MA_L et MA_R de type nMOS, deux transistors de conduction MD_L et MD_R de type nMOS et deux transistors de charge ML_L et ML_R de type pMOS. Les transistors de conduction MD_L et MD_R et les transistors de charge ML_L et ML_R sont connectés de façon connue en soi pour former une bascule bistable présentant des nœuds de stockage L et R. Les nœuds de stockage L et R sont sélectivement raccordés à la tension V_{dd} respectivement par l'intermédiaire des transistors de charge ML_L et ML_R . Les nœuds de stockage L et R sont sélectivement raccordés à la masse respectivement par l'intermédiaire des transistors de conduction MD_L et MD_R . Les nœuds de stockage L et R sont sélectivement raccordés aux lignes de bit d'écriture WBL_L et WBL_R respectivement par l'intermédiaire des transistors d'accès MA_L et MA_R . La grille des transistors d'accès MA_L et MA_R est connectée à une ligne d'écriture de mot WWL. La grille du transistor de charge ML_L et la grille du transistor de conduction MD_L sont connectées au nœud de stockage R. La grille du transistor de charge ML_R et la grille du transistor de conduction MD_R sont connectées au nœud de stockage L. La cellule mémoire 4 comporte en outre des transistors nMOS M_s et M_t connectés en série entre la masse et une ligne de bit de lecture RBL. La grille du transistor M_t est connectée à la grille du transistor M_{ll} . La grille du transistor M_s est connectée à la ligne de lecture de mot RWL.

Les transistors nMOS sont réalisés sur une couche isolante BOX fine et surplombent un plan de masse. Les transistors pMOS sont réalisés sur la couche isolante BOX et surplombent un plan de masse. Les grilles des transistors de la cellule mémoire 4 présentent toutes un même travail de sortie. Le dopage des plans de masse des transistors de la cellule mémoire 4 est identique. La polarisation de ces plans de masse est également identique. Dans cet exemple, les plans de masse des transistors sont tous connectés au potentiel de masse. Les plans de masse de ces transistors sont tous ménagés sur un même caisson.

Quel que soit le nombre de transistors de la cellule mémoire 4, les grilles de ses transistors présenteront un même travail de sortie. Ses transistors disposeront avantageusement d'un même dopage de ses plans de masse, d'une même polarisation de ses plans de masse et d'un même caisson dans lequel ces plans de masse sont ménagés.

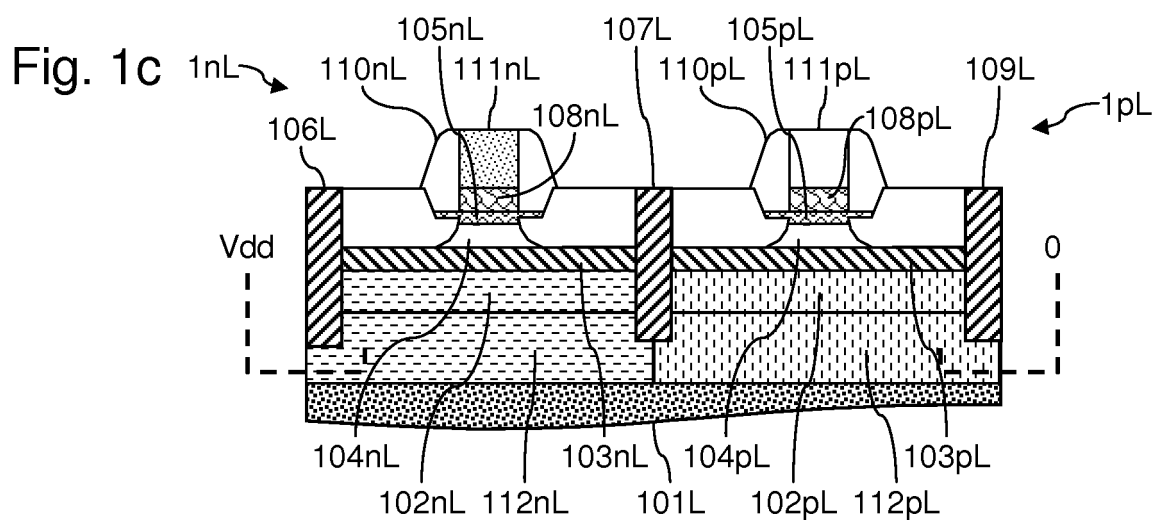
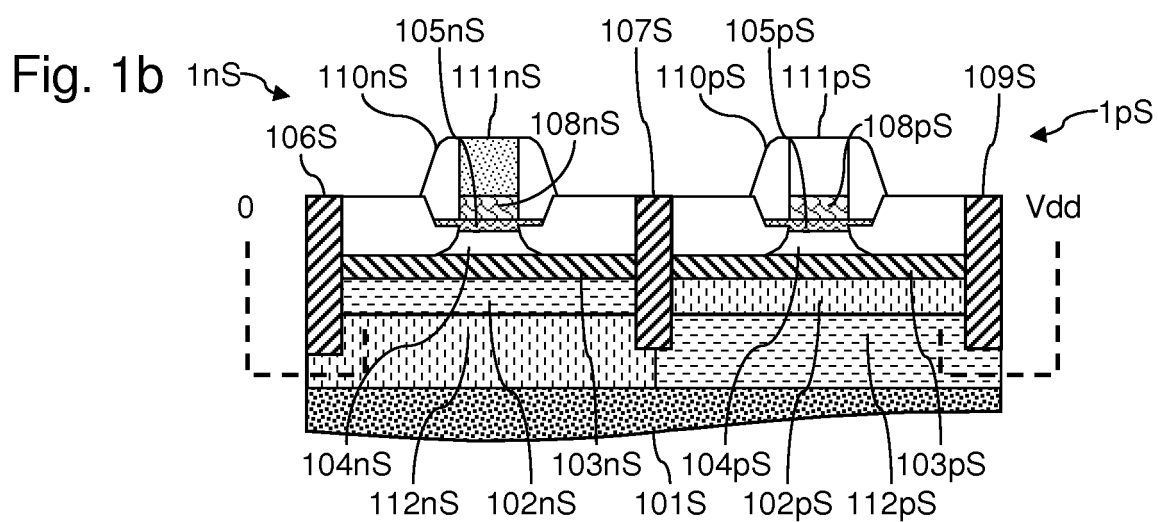
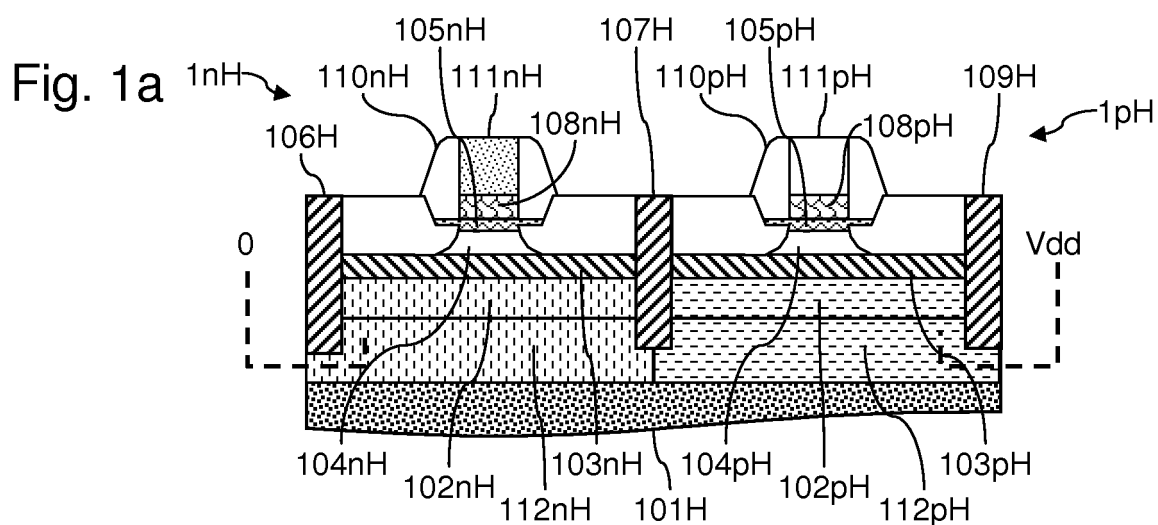
REVENDICATIONS

1. Circuit intégré (2) comprenant un substrat semiconducteur (101), et caractérisé en ce qu'il comprend :
 - 5 -des portes logiques comportant des transistors de type FDSOI ménagés sur ledit substrat (101) dont au moins un premier transistor comportant une grille comportant un premier travail de sortie et dont au moins un deuxième transistor comporte une grille comportant un deuxième travail de sortie distinct du premier ;
 - 10 -une mémoire incluant des cellules mémoires, chaque cellule mémoire (4) comportant des transistors de type FDSOI dont :
 - 15 -au moins un troisième transistor est de type nMOS et comporte une grille présentant un troisième travail de sortie, le troisième transistor comportant une couche isolante enterrée (103n) et un plan de masse (102n) séparant la couche isolante enterrée dudit substrat, et
 - 20 -au moins un quatrième transistor est de type pMOS et comporte une grille présentant ledit troisième travail de sortie, le quatrième transistor comportant une couche isolante enterrée (103p) et un plan de masse (102p) séparant la couche isolante enterrée dudit substrat, les plans de masse des troisième et quatrième transistors présentant un même dopage et les plans de masse des troisième et quatrième transistors étant ménagés dans un même caisson séparant ces plans de masse dudit substrat, les plan de masse des
 - 25 troisième et quatrième transistors étant adaptés à être polarisés de la même manière.
2. Circuit selon la revendication 1, dans lequel ledit caisson (112) est un caisson à dopage de type P, et dans lequel ledit caisson (112) est séparé du substrat (101) par l'intermédiaire d'un caisson enterré profond (121) à dopage de type N.
3. Circuit intégré selon l'une quelconque des revendications précédentes, dans lequel les premier et deuxième transistors comportent une couche isolante enterrée et un plan de masse respectif séparant la couche isolante enterrée dudit substrat (101), le type de dopage des plans de masse des premier et deuxième transistors étant distinct.
4. Circuit intégré selon l'une quelconque des revendications précédentes, dans lequel les premier et deuxième transistors comportent une couche isolante enterrée et un plan de masse respectif séparant la couche isolante enterrée

dudit substrat (101), la polarisation des plans de masse des premier et deuxième transistors étant distincte.

- 5 5. Circuit intégré selon l'une quelconque des revendications précédentes, dans lequel la couche isolante enterrée des troisième et quatrième transistors présente une épaisseur inférieure à 50nm.
- 10 6. Circuit intégré selon l'une quelconque des revendications précédentes, dans lequel le troisième travail de sortie est sensiblement identique au premier ou au deuxième travail de sortie.
- 15 7. Circuit intégré dans lequel les grilles respectives des premier à quatrième transistors incluent une couche de polysilicium, la grille présentant le premier travail de sortie ayant un dopage d'un premier type, la grille présentant le deuxième travail de sortie ayant un dopage d'un deuxième type opposé au premier type, et la grille présentant le troisième travail de sortie ayant un dopage du premier ou du deuxième type.
- 20 8. Circuit intégré (2) selon l'une quelconque des revendications précédentes, dans lequel chaque cellule mémoire (4) comporte en outre des cinquième et sixième transistors FDSOI :
 - le cinquième transistor étant de type nMOS et comportant une grille présentant le troisième travail de sortie, le cinquième transistor comportant une couche isolante enterrée et un plan de masse séparant la couche isolante enterrée dudit substrat ;
 - le sixième transistor étant de type pMOS et comportant une grille présentant le troisième travail de sortie, le sixième transistor comportant une couche isolante enterrée et un plan de masse séparant la couche isolante enterrée dudit substrat.
- 30 9. Circuit intégré selon la revendication 8, dans lequel la mémoire (4) est de type SRAM.
- 35 10. Circuit intégré selon l'une quelconque des revendications précédentes, comprenant un circuit de polarisation des plans de masse des troisième et quatrième transistors, ledit circuit de polarisation étant configuré pour modifier dynamiquement la polarisation appliquée sur les plans de masse des troisième et quatrième transistors.
- 40 11. Circuit intégré selon l'une quelconque des revendications précédentes, dans lequel les plans de masse de l'ensemble des transistors des cellules mémoire sont réalisés dans un même caisson.

1/7



2/7

Fig. 2

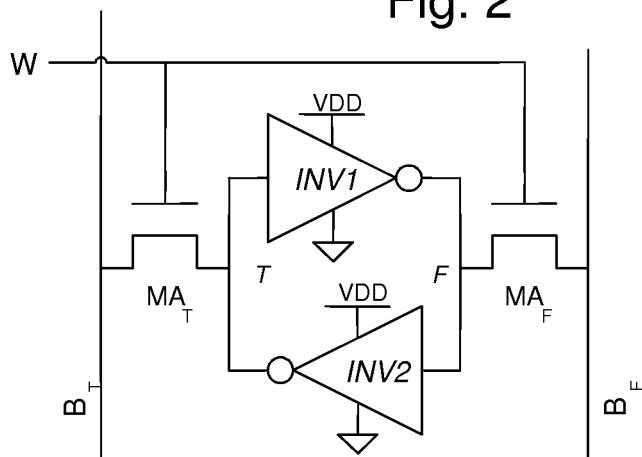


Fig. 3

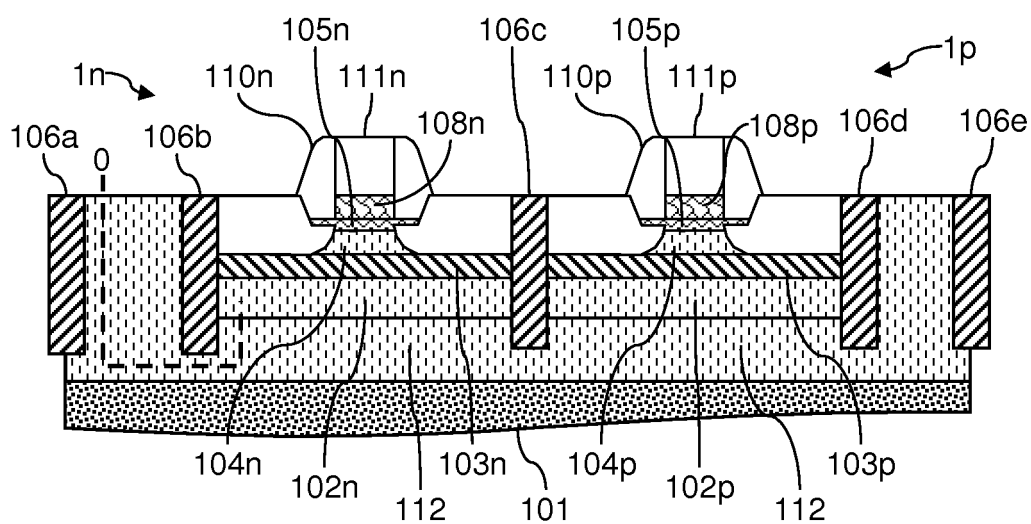
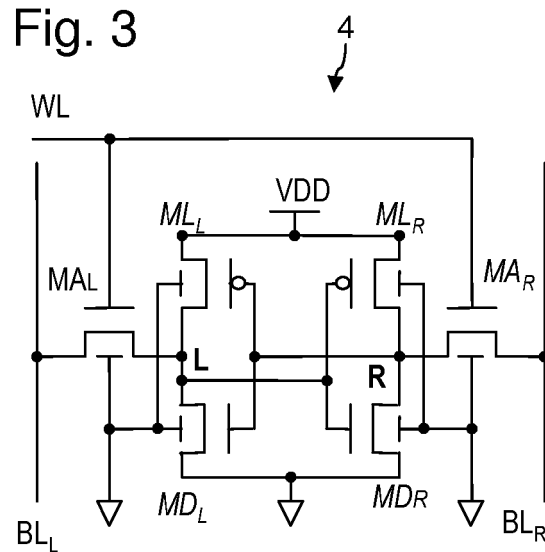


Fig. 4

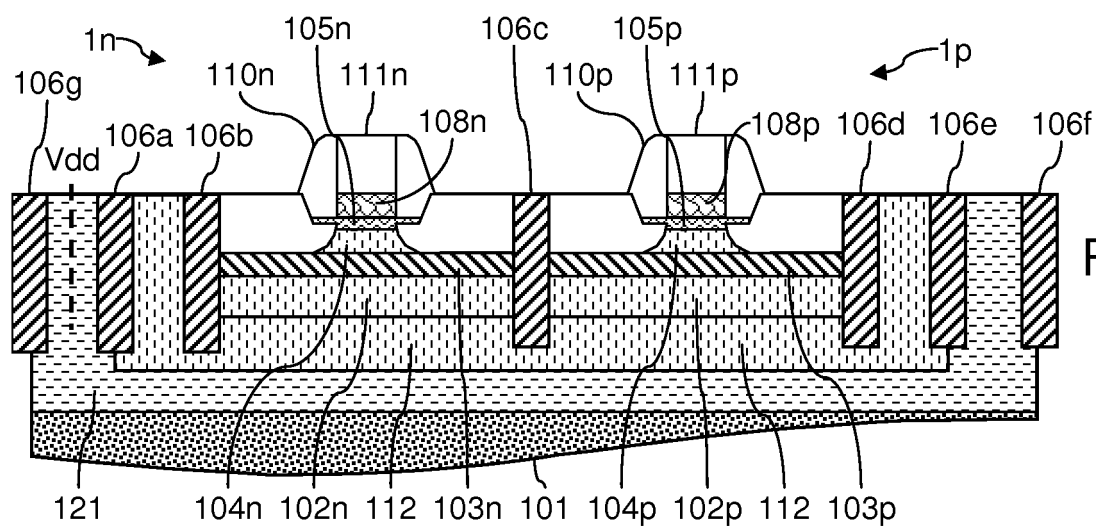


Fig. 5

3/7

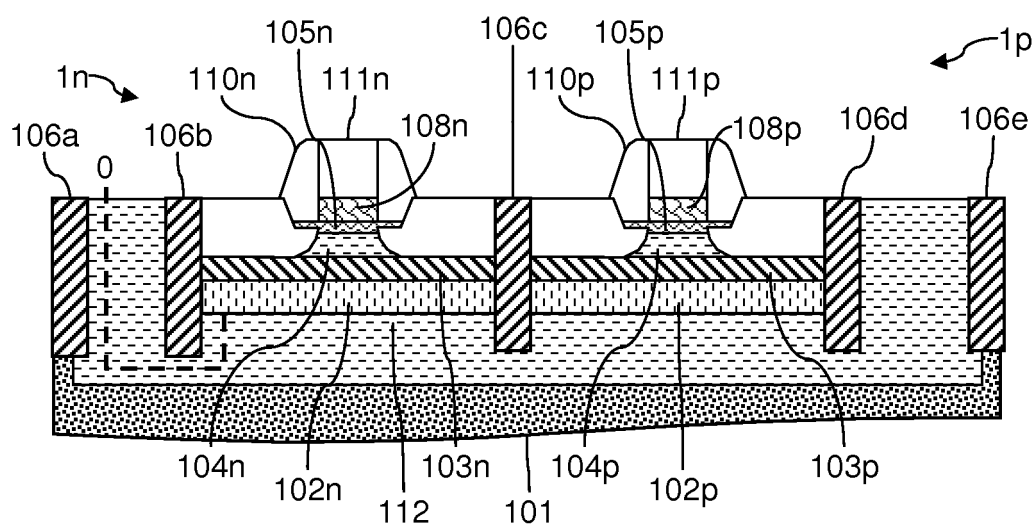


Fig. 6

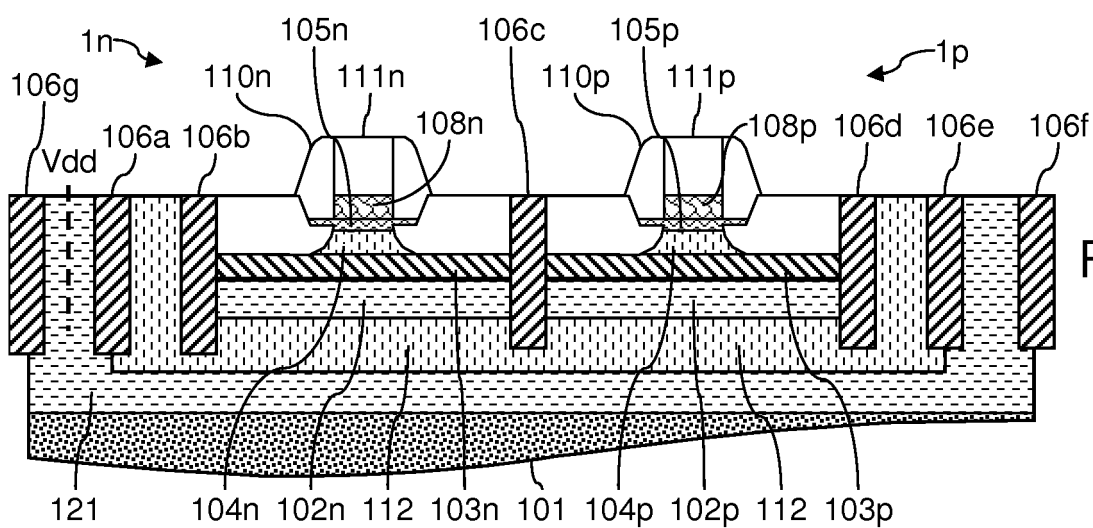


Fig. 7

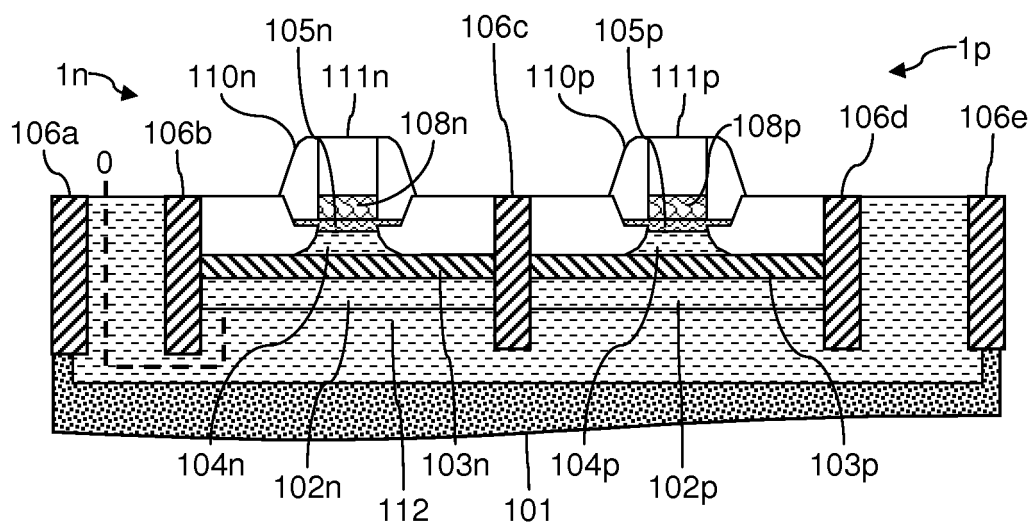
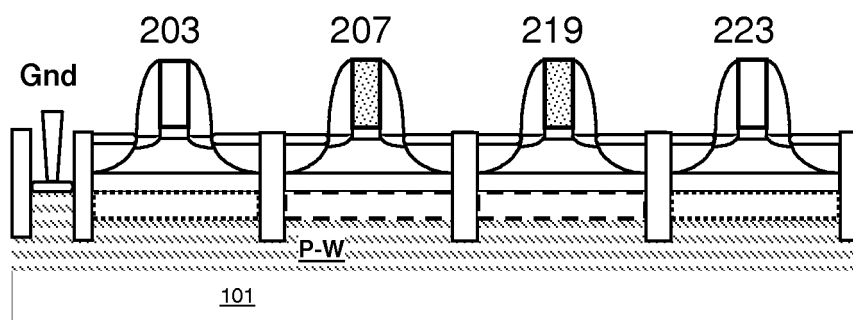
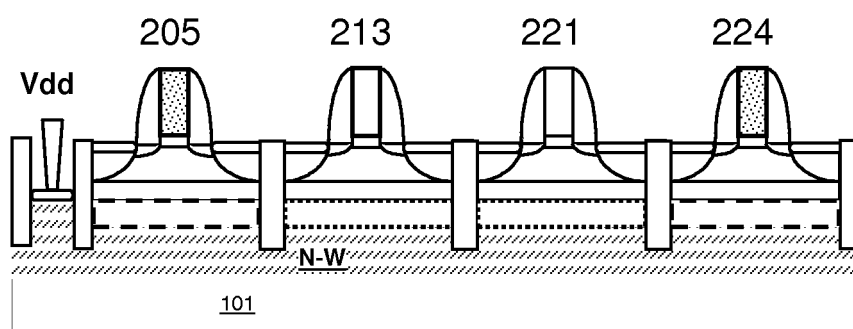
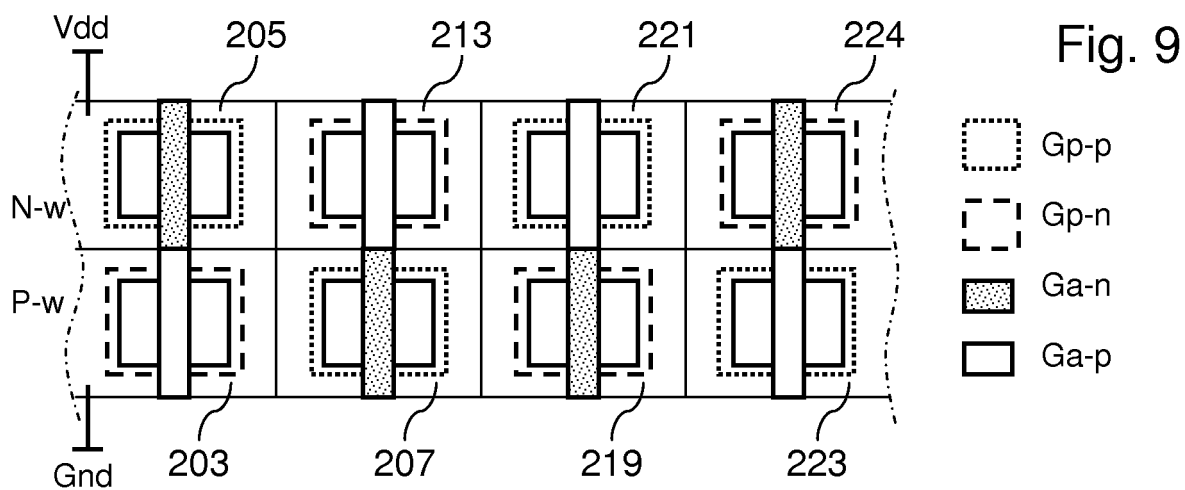


Fig. 8

4/7



5/7

Fig. 12

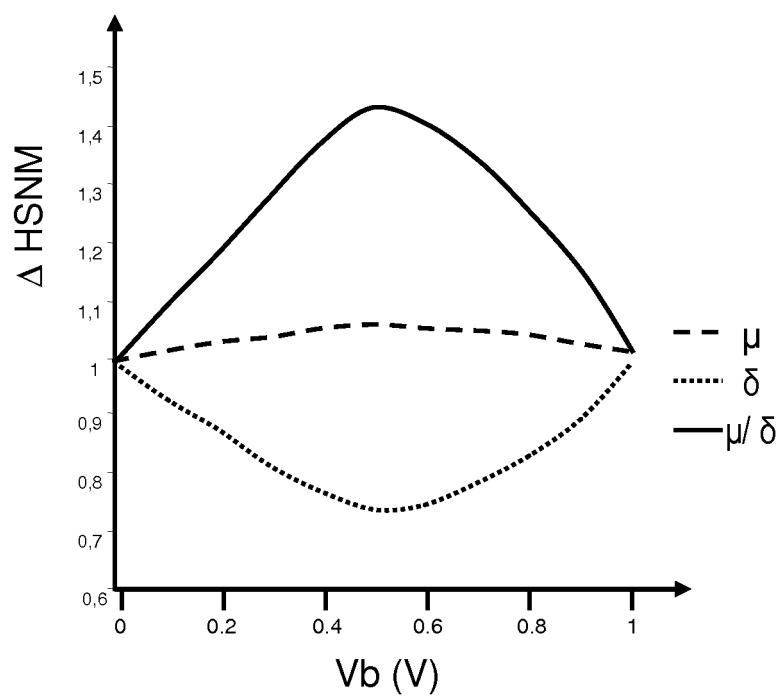
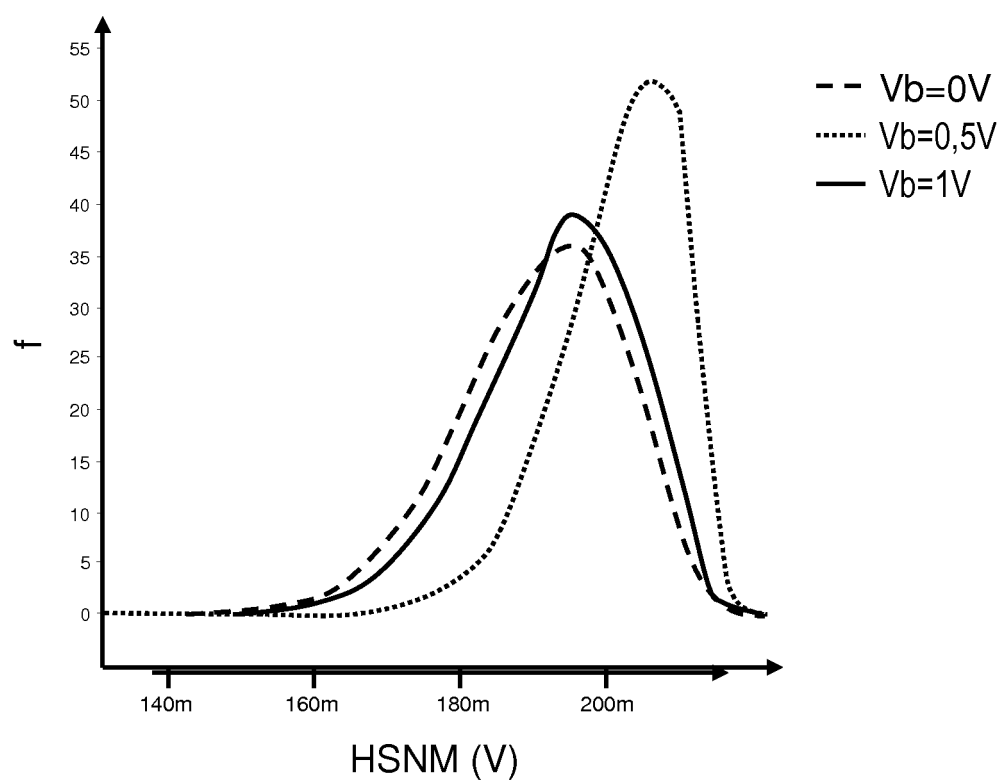


Fig. 13



6/7

Fig. 14

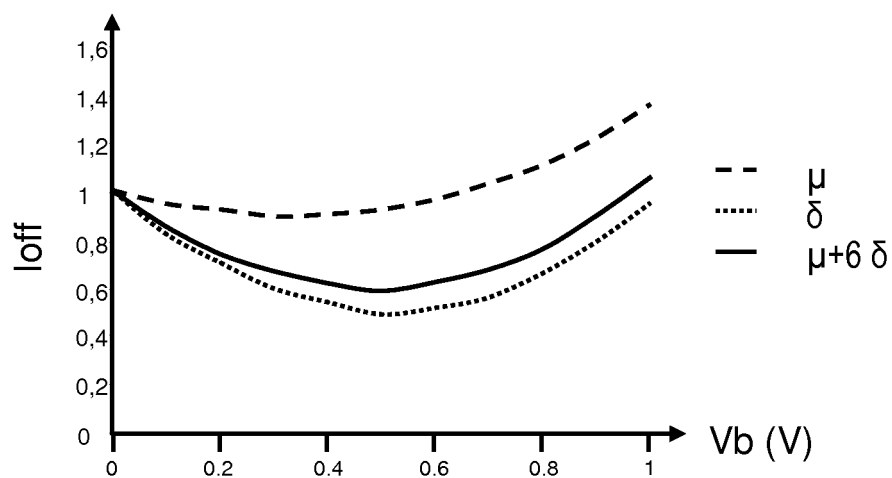


Fig. 15

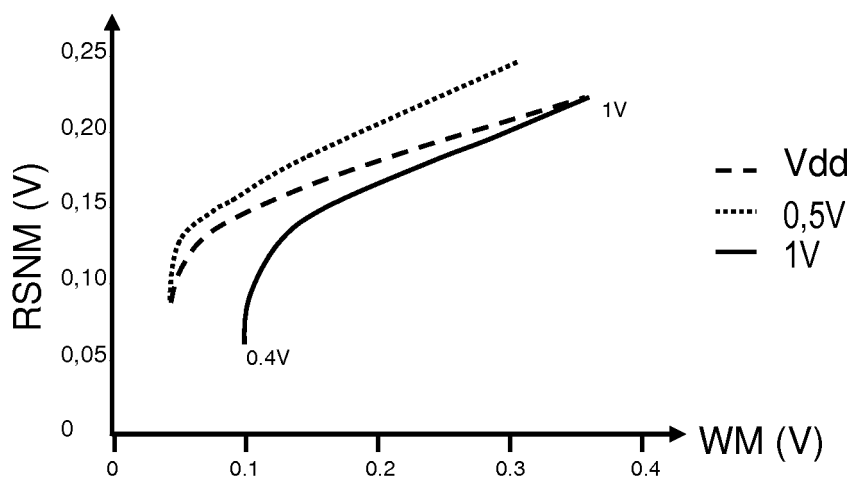
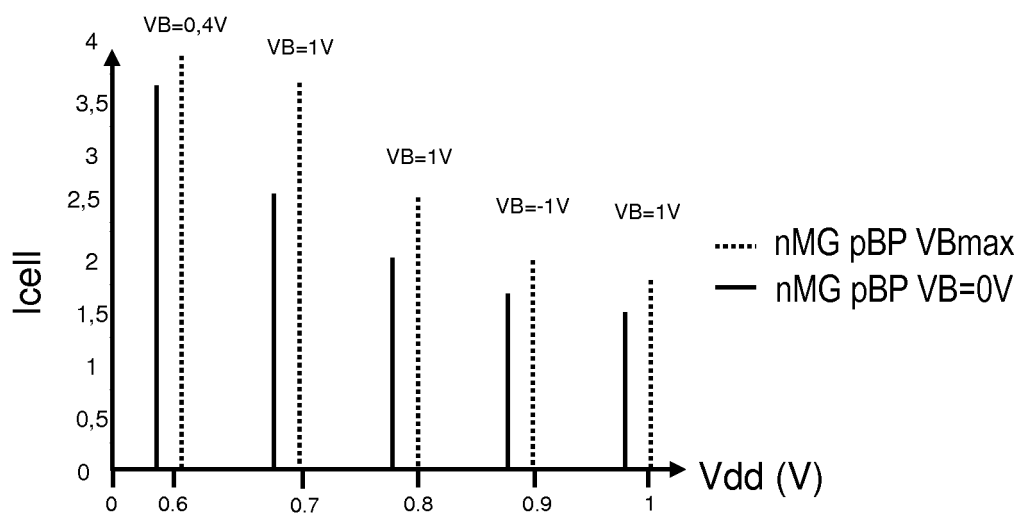


Fig. 16





RAPPORT DE RECHERCHE PRÉLIMINAIRE

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

N° d'enregistrement
national

FA 754662
FR 1157997

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X	US 2007/063284 A1 (KAWAHARA TAKAYUKI [JP] ET AL) 22 mars 2007 (2007-03-22)	1,8,9	H01L21/8244
Y	* abrégé *; revendications 3,4; figures 22,25,26,29 *	2-7,10,11	
	* alinéa [0091] *		
Y	JP 2004 006985 A (TOSHIBA CORP) 8 janvier 2004 (2004-01-08)	5-7,10	
	* abrégé *; figures 13,14 *		
Y	JP 2006 080549 A (TOSHIBA CORP) 23 mars 2006 (2006-03-23)	5-7,10	
	* abrégé *; revendications; figure 1 *		
Y	US 2006/046408 A1 (OHSAWA TAKASHI [JP]) 2 mars 2006 (2006-03-02)	3-7,10	
	* abrégé *; revendications; figures 3-5 *		
Y	US 2009/003105 A1 (ITOH KIYOO [JP] ET AL) 1 janvier 2009 (2009-01-01)	5-7,10,11	
	* abrégé *; revendications; figure 1 *		
Y	US 2009/134468 A1 (TSUCHIYA RYUTA [JP] ET AL) 28 mai 2009 (2009-05-28)	2-7,10	
	* abrégé *; revendications; figure 5 *		
A	US 2003/207504 A1 (FUSELIER MARK B [US] ET AL) 6 novembre 2003 (2003-11-06)	1-11	
	* abrégé *; revendications; figures *		
A	US 2005/047196 A1 (BHAVNAGARWALA AZEEZ [US] ET AL) 3 mars 2005 (2005-03-03)	1-11	
	* abrégé *; revendications; figures *		
			DOMAINES TECHNIQUES RECHERCHÉS (IPC)
			H01L
Date d'achèvement de la recherche		Examineur	
27 avril 2012		Wirner, Christoph	
CATÉGORIE DES DOCUMENTS CITÉS			
X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire		T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant	

ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 1157997 FA 754662

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.
 Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du **27-04-2012**
 Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 2007063284	A1	22-03-2007	CN 1909231 A	07-02-2007
			CN 101901815 A	01-12-2010
			JP 4800700 B2	26-10-2011
			JP 2007042730 A	15-02-2007
			US 2007063284 A1	22-03-2007
			US 2010201429 A1	12-08-2010
			US 2010327356 A1	30-12-2010
			US 2011181319 A1	28-07-2011

JP 2004006985	A	08-01-2004	JP 4046337 B2	13-02-2008
			JP 2004006985 A	08-01-2004

JP 2006080549	A	23-03-2006	AUCUN	

US 2006046408	A1	02-03-2006	CN 1744321 A	08-03-2006
			JP 2006073627 A	16-03-2006
			US 2006046408 A1	02-03-2006

US 2009003105	A1	01-01-2009	US 2009003105 A1	01-01-2009
			US 2010271864 A1	28-10-2010

US 2009134468	A1	28-05-2009	JP 2009135140 A	18-06-2009
			US 2009134468 A1	28-05-2009

US 2003207504	A1	06-11-2003	AU 2002360626 A1	11-11-2003
			US 2003207504 A1	06-11-2003
			WO 03096430 A1	20-11-2003

US 2005047196	A1	03-03-2005	JP 4558410 B2	06-10-2010
			JP 2005072599 A	17-03-2005
			TW 1308754 B	11-04-2009
			US 2005047196 A1	03-03-2005
