



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0079109
 (43) 공개일자 2017년07월10일

(51) 국제특허분류(Int. Cl.)
G11C 11/406 (2006.01) **G11C 5/00** (2006.01)
G11C 5/14 (2006.01)

(52) CPC특허분류
G11C 11/40615 (2013.01)
G11C 11/40626 (2013.01)

(21) 출원번호 10-2015-0189312

(22) 출원일자 2015년12월30일

심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
 경기도 이천시 부발읍 경충대로 2091

(72) 발명자
김승찬
 경기도 용인시 수지구 정평로 116 한국아파트 104동 503호

김생환
 경기도 수원시 영통구 매영로310번길 27 신원아파트 643동 604호

이상훈
 서울특별시 송파구 가락로 192 한양2차아파트 27동 1005호

(74) 대리인
특허법인신성

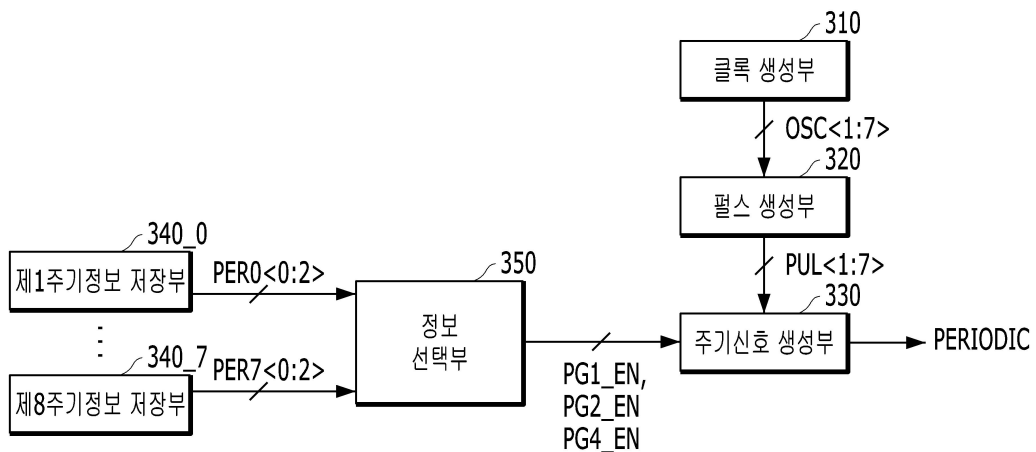
전체 청구항 수 : 총 30 항

(54) 발명의 명칭 **주기신호 생성회로 및 이를 포함하는 메모리 장치**

(57) 요약

주기신호 생성회로는 기본 주기를 가지고, 차례대로 상기 기본 주기를 N으로 나눈 시간만큼씩 위상이 차이 나는 제1 내지 제N클럭을 생성하는 클럭 생성부; 상기 제1 내지 제N클럭 중 둘 이상의 클럭을 조합하여 펄스폭은 같고, 차례대로 상기 기본 주기를 N으로 나눈 시간만큼씩 위상이 차이 나는 제1 내지 제N주기 펄스를 생성하는 펄스 생성부; 및 조합정보에 따라 상기 제1 내지 제N주기 펄스 중 하나 이상의 주기 펄스를 조합하여 주기신호를 생성하는 주기신호 생성부를 포함할 수 있다.

대표도 - 도3



(52) CPC특허분류

G11C 5/005 (2013.01)

G11C 5/147 (2013.01)

명세서

청구범위

청구항 1

기본 주기를 가지고, 차례대로 상기 기본 주기를 N으로 나눈 시간만큼씩 위상이 차이 나는 제1 내지 제N클록을 생성하는 클록 생성부;

상기 제1 내지 제N클록 중 둘 이상의 클록을 조합하여 펄스폭은 같고, 차례대로 상기 기본 주기를 N으로 나눈 시간만큼씩 위상이 차이 나는 제1 내지 제N주기 펄스를 생성하는 펄스 생성부; 및

조합정보에 따라 상기 제1 내지 제N주기 펄스 중 하나 이상의 주기 펄스를 조합하여 주기신호를 생성하는 주기 신호 생성부

를 포함하는 주기신호 생성회로.

청구항 2

제 1항에 있어서,

제1 내지 제M주기정보 중 대응하는 주기정보를 저장하는 제1 내지 제M주기정보 저장부; 및

구간정보에 응답하여 상기 제1 내지 제M주기정보 중 하나를 선택하여 상기 조합정보로 출력하는 정보 선택부

를 더 포함하는 주기신호 생성회로.

청구항 3

제 2항에 있어서,

상기 제1 내지 제M주기정보는

소정의 팩터의 값에 따라 나뉘어진 제1 내지 제M동작구간 중 하나의 동작구간에 대응하고,

상기 구간정보는

상기 주기신호 생성회로가 상기 제1 내지 제M동작구간 중 어떤 동작구간에서 동작하는지 나타내는 주기신호 생성회로.

청구항 4

제 3항에 있어서,

상기 소정의 팩터는

온도인 주기신호 생성회로.

청구항 5

제 1항에 있어서,

상기 클록 생성부는

제1 내지 제N인버터를 포함하고, 상기 제1 내지 제N인버터 중 제K(K는 $1 \leq K < N$ 인 자연수)인버터의 출력은 제K+1인버터의 입력과 연결되고, 상기 제N인버터의 출력은 상기 제1인버터의 입력과 연결된 주기신호 생성회로.

청구항 6

제 5항에 있어서,
 상기 기본 주기는
 상기 제1 내지 제N인버터의 지연값을 다 합한 시간의 2배인 주기신호 생성회로.

청구항 7

제 5항에 있어서,
 상기 제1 내지 제N클록은
 각각 상기 제1 내지 제N인버터 중 하나의 인버터의 출력인 주기신호 생성회로.

청구항 8

제 1항에 있어서,
 상기 조합정보는
 상기 제1 내지 제N주기 펄스 중 서로 다른 주기 펄스에 각각 대응하는 제1 내지 제L조합신호 - 상기 제1 내지 제L조합신호 중 제K조합신호는 상기 제1 내지 제N주기 펄스 중 2^{K-1} 개의 주기 펄스에 대응함 - 를 포함하고,
 상기 주기신호 생성부는
 상기 제1 내지 제L조합신호 중 활성화된 조합신호에 대응하는 주기 펄스를 조합하여 상기 주기신호로 출력하는 주기신호 생성회로.

청구항 9

제 8항에 있어서,
 N은 7이고, L은 3이고,
 상기 제1주기 펄스는 상기 제1클록 및 상기 제5클록을 조합한 신호이고, 상기 제2주기 펄스는 상기 제5클록 및 상기 제2클록을 조합한 신호이고, 상기 제3주기 펄스는 상기 제2클록 및 상기 제6클록을 조합한 신호이고, 상기 제4주기 펄스는 상기 제6클록 및 상기 제3클록을 조합한 신호이고, 상기 제5주기 펄스는 상기 제3클록 및 상기 제7클록을 조합한 신호이고, 상기 제6주기 펄스는 상기 제7클록 및 상기 제4클록을 조합한 신호이고, 상기 제7주기 펄스는 상기 제4클록 및 상기 제1클록을 조합한 신호인 주기신호 생성회로.

청구항 10

제 9항에 있어서,
 상기 주기신호 생성부는
 상기 제1조합신호가 활성화된 경우 상기 제4주기 펄스를 조합하고, 상기 제2조합신호가 활성화된 경우 상기 제2 및 제6주기 펄스를 조합하고, 상기 제3조합신호가 활성화된 경우 상기 제1주기 펄스, 상기 제3주기 펄스, 상기 제5주기 펄스 및 상기 제7주기 펄스를 조합하여 상기 주기신호를 생성하는 주기신호 생성회로.

청구항 11

기본 주기를 가지는 기본 클록을 각각 제1 내지 제N회 분주하여 제1 내지 제N분주 클록을 생성하는 클록 생성부; 및

상기 제1 내지 제N분주 클록의 논리값과 조합정보의 값이 같으면 상기 기본 주기를 갖는 주기 펄스를 주기신호로 전달하는 주기신호 생성부를 포함하고,

상기 주기 펄스가 상기 주기신호로 전달되면 상기 클록 생성부는 초기화되는 주기신호 생성회로.

청구항 12

제 11항에 있어서,

제1 내지 제M주기정보 중 대응하는 주기정보를 저장하는 제1 내지 제M주기정보 저장부; 및 구간정보에 응답하여 상기 제1 내지 제M주기정보 중 하나를 선택하여 출력하는 정보 선택부를 더 포함하는 주기신호 생성회로.

청구항 13

제 12항에 있어서,

상기 제1 내지 제M주기정보는

소정의 팩터의 값에 따라 나뉘어진 제1 내지 제M동작구간 중 하나의 동작구간에 대응하고,

상기 구간정보는

상기 주기신호 생성회로가 상기 제1 내지 제M동작구간 중 어떤 동작구간에서 동작하는지 나타내는 주기신호 생성회로.

청구항 14

제 13항에 있어서,

상기 소정의 팩터는

온도인 주기신호 생성회로.

청구항 15

제 11항에 있어서,

상기 주기신호 생성부는

상기 정보 선택부의 출력이 상기 조합정보인 경우 상기 제1 내지 제N분주 클록의 논리값과 상기 조합정보를 비교하는 비교부; 및

상기 비교부의 비교결과 상기 제1 내지 제N분주 클록의 논리값과 상기 조합정보가 같으면 상기 주기 펄스를 상기 주기신호로 전달하고, 상기 비교부의 비교결과 상기 제1 내지 제N분주 클록의 논리값과 상기 조합정보가 다르면 상기 주기 펄스를 상기 주기신호로 전달하지 않는 신호 전달부

를 포함하는 주기신호 생성회로.

청구항 16

제 11항에 있어서,

상기 주기신호 생성부는

상기 정보 선택부의 출력에 소정의 연산을 수행하여 상기 조합정보를 생성하는 연산부;

상기 제1 내지 제N분주 클록의 논리값과 상기 조합 정보를 비교하는 비교부; 및

상기 비교부의 비교결과 상기 제1 내지 제N분주 클록의 논리값과 상기 조합정보가 같으면 상기 주기 펄스를 상기 주기신호로 전달하고, 상기 비교부의 비교결과 상기 제1 내지 제N분주 클록의 논리값과 상기 조합정보가 다르면 상기 주기 펄스를 상기 주기신호로 전달하지 않는 신호 전달부

를 포함하는 주기신호 생성회로.

청구항 17

각각 소정의 주기를 가지는 다수의 클록을 생성하는 클록 생성부;

제1 내지 제M주기정보 중 대응하는 주기정보를 저장하는 제1 내지 제M주기정보 저장부;

구간정보에 응답하여 상기 제1 내지 제M주기정보 중 하나를 선택하여 출력하는 정보 선택부; 및

상기 정보 선택부의 출력을 이용해 생성된 조합정보 및 상기 다수의 클록에 응답하여 소정의 주기를 가지는 주기신호를 생성하는 신호 생성부

를 포함하는 주기신호 생성회로.

청구항 18

제 17항에 있어서,

상기 제1 내지 제M주기정보는

소정의 팩터의 값에 따라 나뉘어진 제1 내지 제M동작구간 중 하나의 동작구간에 대응하고,

상기 구간정보는

상기 주기신호 생성회로가 상기 제1 내지 제M동작구간 중 어떤 동작구간에서 동작하는지 나타내는 주기신호 생성회로.

청구항 19

제 18항에 있어서,

상기 소정의 팩터는

온도인 주기신호 생성회로.

청구항 20

제 17항에 있어서,

상기 클록 생성부는

기본 주기를 가지고, 차례대로 상기 기본 주기를 N으로 나눈 시간만큼씩 위상이 차이 나는 제1 내지 제N클록을 생성하는 주기신호 생성회로.

청구항 21

제 20항에 있어서,

상기 신호 생성부는

상기 제1 내지 제N클럭 중 둘 이상의 클럭을 조합하여 펄스폭은 같고, 차례대로 상기 기본 주기를 N으로 나눈 시간만큼씩 위상이 차이 나는 제1 내지 제N주기 펄스를 생성하는 펄스 생성부; 및

조합정보에 따라 상기 제1 내지 제N주기 펄스 중 하나 이상의 주기 펄스를 조합하여 주기신호를 생성하는 주기 신호 생성부

를 포함하는 주기신호 생성회로.

청구항 22

제 21항에 있어서,

상기 조합정보는

상기 제1 내지 제N주기 펄스 중 서로 다른 주기 펄스에 각각 대응하는 제1 내지 제L조합신호 - 상기 제1 내지 제L조합신호 중 제K조합신호는 상기 제1 내지 제N주기 펄스 중 2^{k-1} 개의 주기 펄스에 대응함 - 를 포함하고,

상기 주기신호 생성부는

상기 제1 내지 제L조합신호 중 활성화된 조합신호에 대응하는 주기 펄스를 조합하여 상기 주기신호로 출력하는 주기신호 생성회로.

청구항 23

제 17항에 있어서,

상기 클럭 생성부는

기본 주기를 가지는 기본 클럭을 각각 제1 내지 제N회 분주하여 제1 내지 제N분주 클럭을 생성하고,

상기 신호 생성부는

상기 제1 내지 제N분주 클럭의 논리값과 상기 조합정보의 값이 같으면 상기 기본 주기를 갖는 주기 펄스를 주기 신호로 전달하고,

상기 주기 펄스가 상기 주기신호로 전달되면 상기 클럭 생성부는 초기화되는 주기신호 생성회로.

청구항 24

다수의 메모리 셀을 포함하는 셀 어레이;

각각 소정의 주기를 가지는 다수의 클럭을 생성하는 클럭 생성부;

제1 내지 제M주기정보 중 대응하는 주기정보를 저장하는 제1 내지 제M주기정보 저장부;

구간정보에 응답하여 상기 제1 내지 제M주기정보 중 하나를 선택하여 출력하는 정보 선택부;

상기 정보 선택부의 출력을 이용해 생성된 상기 조합정보 및 상기 다수의 클럭을 이용해 상기 조합정보에 대응하는 주기를 가지는 주기신호를 생성하는 신호 생성부; 및

셀프 리프레시 모드에서 상기 주기신호에 대응하는 주기로 상기 셀 어레이가 리프레시되도록 제어하는 리프레시 제어부

를 포함하는 메모리 장치.

청구항 25

제 24항에 있어서,

상기 리프레시 제어부는

상기 셀프 리프레시 모드 이외의 모드에서 리프레시 커맨드가 인가되면 상기 셀 어레이가 1회 이상 리프레시되도록 제어하는 메모리 장치.

청구항 26

제 24항에 있어서,

상기 제1 내지 제M주기정보는

소정의 팩터의 값에 따라 나뉘어진 제1 내지 제M동작구간 중 하나의 동작구간에 대응하고,

상기 구간정보는

상기 메모리 장치가 상기 제1 내지 제M동작구간 중 어떤 동작구간에서 동작하는지 나타내는 메모리 장치.

청구항 27

제 26항에 있어서,

상기 소정의 팩터는

온도인 메모리 장치.

청구항 28

제 24항에 있어서,

상기 클록 생성부는

기본 주기를 가지고, 차례대로 상기 기본 주기를 N으로 나눈 시간만큼씩 위상이 차이 나는 제1 내지 제N클록을 생성하고,

상기 신호 생성부는

상기 제1 내지 제N클록 중 둘 이상의 클록을 조합하여 펄스폭은 같고, 차례대로 상기 기본 주기를 N으로 나눈 시간만큼씩 위상이 차이 나는 제1 내지 제N주기 펄스를 생성하는 펄스 생성부; 및

조합정보에 따라 상기 제1 내지 제N주기 펄스 중 하나 이상의 주기 펄스를 조합하여 주기신호를 생성하는 주기 신호 생성부

를 포함하는 메모리 장치.

청구항 29

제 28항에 있어서,

상기 조합정보는

상기 제1 내지 제N주기 펄스 중 서로 다른 주기 펄스에 각각 대응하는 제1 내지 제L조합신호 - 상기 제1 내지

제L조합신호 중 제K조합신호는 상기 제1 내지 제N주기 펄스 중 2^{k-1} 개의 주기 펄스에 대응함 - 를 포함하고,
상기 주기신호 생성부는

상기 제1 내지 제L조합신호 중 활성화된 조합신호에 대응하는 주기 펄스를 조합하여 상기 주기신호로 출력하는 메모리 장치.

청구항 30

제 24항에 있어서,

상기 클록 생성부는

기본 주기를 가지는 기본 클록을 각각 제1 내지 제N회 분주하여 제1 내지 제N분주 클록을 생성하고,

상기 신호 생성부는

상기 제1 내지 제N분주 클록의 논리값을 이용하여 생성된 클록 정보의 값과 조합정보의 값이 같으면 상기 기본 주기를 갖는 주기 펄스를 상기 주기신호로 전달하고,

상기 주기 펄스가 상기 주기신호로 전달되면 상기 클록 생성부는 초기화되는 메모리 장치.

발명의 설명

기술 분야

[0001] 본 특허문헌은 주기신호 생성회로 및 메모리 장치에 관한 것이다.

배경 기술

[0003] 메모리 장치의 메모리셀은 스위치역할을 하는 트랜지스터와 전하(데이터)를 저장하는 캐패시터로 구성되어 있다. 메모리 셀 내의 캐패시터에 전하가 있는가 없는가에 따라, 즉 캐패시터의 단자 전압이 높은가 낮은가에 따라 데이터의 '하이'(논리 1), '로우'(논리 0)를 구분한다.

[0004] 데이터의 보관은 캐패시터에 전하가 축적된 형태로 되어 있는 것이므로 원리적으로는 전력의 소비가 없다. 그러나 MOS트랜지스터의 PN결합 등에 의한 누설 전류가 있어서 캐패시터에 저장된 초기의 전하량이 소멸 되므로 데이터가 소실될 수 있다. 이를 방지하기 위해서 데이터를 잃어버리기 전에 메모리 셀 내의 데이터를 읽어서 그 읽어낸 정보에 맞추어 다시금 정상적인 전하량을 재충전해 주어야 한다. 이러한 동작은 주기적으로 반복되어야만 데이터의 기억이 유지되는데, 이러한 셀 전하의 재충전 과정을 리프레시(refresh)라 한다.

[0005] 리프레시 중에서도 셀프 리프레시(self refresh)는 메모리 장치의 내부에서 자체적으로 수행되는 리프레시이며, 그 주기는 메모리 셀의 리텐션 타임(retention time)에 따라 최적화될 수 있다. 예를 들어 리텐션 타임이 긴 경우(저온) 리프레시 주기를 길게하여 소모 전류를 줄이고, 리텐션 타임이 짧은 경우(고온) 리프레시 주기를 짧게 하여 데이터 소실의 가능성을 최소화할 수 있다.

[0006] 메모리 장치가 셀프 리프레시를 수행할 때 리프레시 주기를 조절하기 위해 이용되는 것이 온도에 따라 가변되는 주기를 갖는 주기신호를 생성하는 오실레이터이다. 여기서, 데이터의 소실 방지와 소모 전력의 최소화를 위해서는 온도에 따라 주기신호의 주기를 설계자가 의도한 값으로 정확하게 조절하는 기술이 필요하다.

발명의 내용

해결하려는 과제

[0008] 본 발명의 일 실시예는 사이즈는 감소하면서도 다양한 주기를 가지는 주기신호를 생성할 수 있는 주기신호 생성 회로를 제공할 수 있다.

[0009] 또한 본 발명의 일 실시예에 상술한 주기신호 생성회로를 이용해 면적은 줄이면서도 온도에 따라 다양한 주기로 셀프 리프레시를 수행하는 메모리 장치를 제공할 수 있다.

과제의 해결 수단

[0011] 본 발명의 일 실시예에 따른 주기신호 생성회로는 기본 주기를 가지고, 차례대로 상기 기본 주기를 N으로 나눈 시간만큼씩 위상이 차이 나는 제1 내지 제N클록을 생성하는 클록 생성부; 상기 제1 내지 제N클록 중 둘 이상의 클록을 조합하여 펄스폭은 같고, 차례대로 상기 기본 주기를 N으로 나눈 시간만큼씩 위상이 차이 나는 제1 내지 제N주기 펄스를 생성하는 펄스 생성부; 및 조합정보에 따라 상기 제1 내지 제N주기 펄스 중 하나 이상의 주기 펄스를 조합하여 주기신호를 생성하는 주기신호 생성부를 포함할 수 있다.

[0012] 본 발명의 일 실시예에 따른 주기신호 생성회로는 기본 주기를 가지는 기본 클록을 각각 제1 내지 제N회 분주하여 제1 내지 제N분주 클록을 생성하는 클록 생성부; 및 상기 제1 내지 제N분주 클록의 논리값과 조합정보의 값이 같으면 상기 기본 주기를 갖는 주기 펄스를 주기신호로 전달하는 주기신호 생성부를 포함하고, 상기 주기 펄스가 상기 주기신호로 전달되면 상기 클록 생성부는 초기화될 수 있다.

[0013] 본 발명의 일 실시예에 따른 주기신호 생성회로는 각각 소정의 주기를 가지는 다수의 클록을 생성하는 클록 생성부; 제1 내지 제M주기정보 중 대응하는 주기정보를 저장하는 제1 내지 제M주기정보 저장부; 구간정보에 응답하여 상기 제1 내지 제M주기정보 중 하나를 선택하여 조합정보로 출력하는 정보 선택부; 및 상기 조합정보 및 상기 다수의 클록을 이용해 상기 조합정보에 대응하는 주기를 가지는 주기신호를 생성하는 신호 생성부를 포함할 수 있다.

[0014] 본 발명의 일 실시예에 따른 메모리 장치는 다수의 메모리 셀을 포함하는 셀 어레이; 각각 소정의 주기를 가지는 다수의 클록을 생성하는 클록 생성부; 제1 내지 제M주기정보 중 대응하는 주기정보를 저장하는 제1 내지 제M주기정보 저장부; 구간정보에 응답하여 상기 제1 내지 제M주기정보 중 하나를 선택하여 조합정보로 출력하는 정보 선택부; 상기 조합정보 및 상기 다수의 클록을 이용해 상기 조합정보에 대응하는 주기를 가지는 주기신호를 생성하는 신호 생성부; 및 셀프 리프레시 모드에서 상기 주기신호에 대응하는 주기로 상기 셀 어레이가 리프레시되도록 제어하는 리프레시 제어부를 포함할 수 있다.

발명의 효과

[0016] 본 기술에 따르면 주기신호 생성회로의 사이즈를 줄이면서도 다양한 주기를 가지는 주기신호를 생성할 수 있다.

[0017] 또한 본 기술에 따르면 메모리 장치의 사이즈를 줄이면서도 온도에 따라 최적화된 주기로 셀프 리프레시를 수행할 수 있다.

도면의 간단한 설명

- [0019] 도 1은 주기신호 생성회로의 일 예,
- 도 2는 도 1의 주기신호 생성회로의 동작을 설명하기 위한 파형도,
- 도 3은 본 발명의 일 실시예에 따른 주기신호 생성회로의 구성도,
- 도 4는 클록 생성부(310)의 구성도,
- 도 5는 클록 생성부(310)의 동작을 설명하기 위한 파형도,
- 도 6는 펄스 생성부(320)의 구성도,
- 도 7는 펄스 생성부(320)의 동작을 설명하기 위한 파형도,
- 도 8은 주기신호 생성부(330)의 구성도,
- 도 9는 주기신호(PERIODIC)가 가질 수 있는 가능한 파형들(P1 - P7)을 나타낸 도면,

- 도 10은 본 발명의 일 실시예에 따른 주기신호 생성회로의 구성도,
- 도 11은 비교부(1021)의 구성도,
- 도 12는 도 10의 주기신호 생성회로의 동작을 설명하기 위한 파형도,
- 도 13은 본 발명의 일 실시예에 따른 주기신호 생성회로의 구성도,
- 도 14은 본 발명의 일 실시예에 따른 메모리 장치의 구성도.

발명을 실시하기 위한 구체적인 내용

- [0020] 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있도록 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.
- [0022] 도 1은 주기신호 생성회로의 일 예이다. 도 2는 도 1의 주기신호 생성회로의 동작을 설명하기 위한 파형도이다.
- [0023] 도 1을 참조하면, 주기신호 생성회로는 오실레이터(110), 분주부(120), 제1펄스 생성부(130), 제2펄스 생성부(140) 및 선택부(150)를 포함할 수 있다.
- [0024] 오실레이터(110)는 기본 주기를 가지는 기본 주기신호(PER)를 생성한다.
- [0025] 분주부(120)는 다수의 분주기(121 - 124)를 포함하며, 기본 주기신호(PER)의 주파수를 다양한 분주비로 분주한 제1 내지 제4주기신호(PER1 - PER4)를 생성할 수 있다. 각각의 분주기(121 - 124)는 입력된 신호의 주파수를 2 분주하여 출력신호를 생성할 수 있다. 따라서 제1주기신호(PER1)의 주파수는 기본 주기신호(PER)의 1/2이고, 제2주기신호(PER2)의 주파수는 제1주기신호(PER1)의 1/2이고, 제3주기신호(PER3)의 주파수는 제2주기신호(PER2)의 1/2이고, 제4주기신호(PER4)의 주파수는 제3주기신호(PER3)의 1/2이다. 각 주기신호들(PER, PER1 - PER4)의 주기의 관계는 주파수의 관계에 반비례한다. 참고로 지연부(101)는 기본 주기신호(PER)를 기본 주기신호(PER)의 주기의 1/2만큼 지연시켜 지연신호(PER_D)를 생성할 수 있다. 지연신호(PER_D)는 분주기(121)로 입력될 수 있다.
- [0026] 제1펄스 생성부(130)는 기본 주기신호(PER)의 폴링 엣지에서 소정의 펄스폭을 가지는 주기 펄스(PUL)를 생성할 수 있다. 제2펄스 생성부(140)는 주기 펄스(PUL)와 제1 내지 제4주기신호(PER1 - PER4) 중 하나 이상의 주기신호를 조합하여 제4주기신호(PER4)와 동일한 주기를 가지고 차례대로 제4주기신호(PER4)의 주기를 8로 나눈 시간만큼씩 위상이 차이나는 제1 내지 제8주기 펄스(PUL1 - PUL8)를 생성할 수 있다. 선택부(150)는 온도 정보(TEMP<0:2>)에 따라 제1 내지 제8주기 펄스(PUL1 - PUL8) 중 하나 이상의 펄스를 조합하여 주기신호(OUT)를 생성할 수 있다.
- [0027] 도 1의 주기신호 생성회로는 다수의 분주기(121 - 124)를 포함하고, 선택부(150)의 크기가 생성하려고 하는 주기신호(OUT)의 주기에 비례하여 증가하기 때문에 면적이 크고, 주기신호(OUT)의 주기에 따라 면적이 크게 증가한다. 또한 온도정보(TEMP<0:2>)에 따라 제1 내지 제8주기 펄스(PUL1 - PUL8) 중 하나 이상의 펄스가 조합되도록 선택부(150)의 면적도 클 수밖에 없다.
- [0029] 도 3은 본 발명의 일 실시예에 따른 주기신호 생성회로의 구성도이다.
- [0030] 도 3을 참조하면, 주기신호 생성회로는 클록 생성부(310), 펄스 생성부(320), 주기신호 생성부(330), 제1 내지 제M주기정보 저장부(340_0 - 340_7) 및 정보 선택부(350)를 포함할 수 있다.
- [0031] 클록 생성부(310)는 기본 주기를 가지고, 차례대로 기본 주기를 N으로 나눈 시간만큼씩 위상이 차이 나는 제1 내지 제N클록(OSC<1:7>)을 생성할 수 있다. 이하에서는 N이 7인 경우에 대해 설명한다. 도 3에서 클록 생성부(310)는 기본 주기를 가지고, 차례대로 기본 주기를 7로 나눈 시간만큼씩 위상 차이 나는 제1 내지 제N클록(OSC<1:7>)을 생성할 수 있다. 제1 내지 제N클록(OSC<1:7>)의 기본 주기가 T라고 하면, 제2 내지 제N클록(OSC<2:7>)의 위상은 각각 제1클록(OSC<1>)의 위상을 0이라고 했을 때 각각 +T/7, +2T/7, +3T/7, +4T/7, +5T/7, +6T/7의 위상을 가질 수 있다.
- [0032] 펄스 생성부(320)는 제1 내지 제N클록(OSC<1:7>) 중 둘 이상의 클록을 조합하여 펄스폭은 같고, 차례대로 기본

주기(T)를 N으로 나눈 시간만큼 위상이 차이 나는 제1 내지 제N주기 펄스(PUL<1:7>)를 생성할 수 있다.

[0033] 예를 들어, 펄스 생성부(320)는 제1클록(OSC<1>) 및 제5클록(OSC<5>)를 조합하여 제1주기 펄스(PUL<1>)를 생성하고, 제5클록(OSC<5>) 및 제2클록(OSC<2>)를 조합하여 제2주기 펄스(PUL<2>)를 생성하고, 제2클록(OSC<2>) 및 제6클록(OSC<6>)를 조합하여 제3주기 펄스(PUL<3>)를 생성하고, 제6클록(OSC<6>) 및 제3클록(OSC<3>)를 조합하여 제4주기 펄스(PUL<4>)를 생성하고, 제3클록(OSC<3>) 및 제7클록(OSC<7>)를 조합하여 제5주기 펄스(PUL<5>)를 생성하고, 제7클록(OSC<7>) 및 제4클록(OSC<4>)를 조합하여 제6주기 펄스(PUL<6>)를 생성하고, 제4클록(OSC<4>) 및 제1클록(OSC<1>)를 조합하여 제7주기 펄스(PUL<7>)를 생성할 수 있다.

[0034] 주기신호 생성부(330)는 조합정보(PG1_EN, PG2_EN, PG4_EN)에 따라 제1 내지 제N주기 펄스(PUL<1:7>) 중 하나 이상의 주기 펄스를 조합하여 주기신호(PERIODIC)을 생성할 수 있다. 주기신호 생성부(330)는 제1 내지 제N주기 펄스(PUL<1:7>) 중 조합정보(PG1_EN, PG2_EN, PG4_EN)에 대응하는 개수의 주기 펄스를 조합하여 주기신호(PERIODIC)를 생성할 수 있다.

[0035] 주기신호 생성부(330)는 조합정보(PG1_EN, PG2_EN, PG4_EN)에 포함된 제1 내지 제L조합신호(PG1_EN, PG2_EN, PG4_EN) 중 활성화된 조합신호에 대응하는 주기 펄스들을 조합하여 주기신호(PERIODIC)로 출력할 수 있다. 제1 내지 제3조합신호(PG1_EN, PG2_EN, PG4_EN)는 각각 제1 내지 제7주기펄스(PUL<1:7>) 중 서로 다른 하나 이상의 주기 펄스에 대응할 수 있다.

[0036] 제K(K는 1≤K≤3인 자연수)조합신호는 2^{K-1}개의 주기 펄스에 대응할 수 있다. 예를 들어, 제1조합신호(PG1_EN)는 1개의 주기 펄스(PUL<4>)에 대응하고, 제2조합신호(PG2_EN)는 2개의 주기 펄스(PUL<2>, PUL<6>)에 대응하고, 제3조합신호(PG4_EN)는 4개의 주기 펄스(PUL<1>, PUL<3>, PUL<5>, PUL<7>)에 대응할 수 있다.

[0037] 제1 내지 제M주기정보 저장부(340_0 - 340_7)는 제1 내지 제M주기정보(PER0<0:2> - PER7<0:2>) 중 대응하는 주기정보를 저장하고, 저장된 주기정보를 출력할 수 있다. 제1 내지 제M주기정보 저장부(340_0 - 340_7)는 각각 멀티비트의 정보를 프로그램할 수 있는 퓨즈셋일 수 있다. 제1 내지 제M주기정보 저장부(340_0 - 340_7)에 프로그램되는 주기정보의 값은 설계에 따라 자유롭게 설정될 수 있다.

[0038] 제1 내지 제M주기정보(PER0<0:2> - PER7<0:2>)는 소정의 팩터의 값에 따라 나뉘어진 제1 내지 제M동작구간 중 하나의 동작구간에 대응할 수 있다. 여기서 소정의 팩터란 주기신호 생성회로를 포함하는 반도체 장치가 동작하는 환경을 정의하기 위한 요소들 중 하나로서 예를 들어 온도일 수 있다.

[0039] 이하에서는 소정의 팩터가 온도인 경우의 예를 들어 동작구간 및 주기정보에 대해 설명한다. 주기신호 생성회로를 포함하는 반도체 장치가 0 - 80℃에서 동작하는 경우 이러한 온도 범위를 제1 내지 제M동작구간으로 나눌 수 있다. M=8이고 각 구간의 크기가 10℃이면 제1 내지 제8동작구간은 각각 0 - 10℃ 내지 70 - 80℃일 수 있다. 제1 내지 제M주기정보(PER0<0:2> - PER7<0:2>)는 각각 제1 내지 제M동작구간에서 주기신호(PERIODIC)의 주기를 결정하며, 각 주기정보의 값은 각 구간별로 다른 구간에 대응하는 주기정보의 값과 관계 없이 자유롭게 설정될 수 있다.

[0040] 정보 선택부(350)는 구간정보(SEC<0:2>)에 응답하여 제1 내지 제M주기정보(PER0<0:2> - PER7<0:2>) 중 하나를 선택하여 조합정보(PG1_EN, PG2_EN, PG4_EN)로 출력할 수 있다. 이때 선택된 주기정보의 제1비트(PER0<0> - PER7<0>)는 제1조합신호(PG1_EN)로 출력되고, 제2비트(PER0<1> - PER7<1>)는 제2조합신호(PG2_EN)로 출력되고, 제3비트(PER0<2> - PER7<2>)는 제3조합신호(PG4_EN)로 출력될 수 있다. 구간정보(SEC<0:2>)는 주기신호 생성회로를 포함하는 반도체 장치가 어떤 동작구간에서 동작하는지 나타내는 정보일 수 있다. 예를 들어, 구간정보(SEC<0:2>)는 반도체 장치가 0 - 10℃ 내지 70 - 80℃의 동작구간 중 동작구간에서 동작하는지 나타내는 정보일 수 있다. 구간정보(SEC<0:2>)는 온도의 측정된 결과를 이용하여 생성될 수 있다.

[0041] [표 1]은 구간정보(SEC<0:2>)의 값에 따라 대응하는 동작구간 및 정보 선택부(350)가 선택하는 주기정보(PER0<0:2> - PER7<0:2>)를 나타낸 것이다.

표 1

[0042]

구간정보 (SEC<2>, SEC<1>, SEC<0>)	동작구간	선택되는 주기정보
(0, 0, 0)	제1동작구간(0 - 10℃)	제1주기정보(PER0<0:2>)
(0, 0, 1)	제2동작구간(10 - 20℃)	제2주기정보(PER1<0:2>)
(0, 1, 0)	제3동작구간(20 - 30℃)	제3주기정보(PER2<0:2>)

(0, 1, 1)	제4동작구간(30 - 40℃)	제4주기정보(PER3<0:2>)
(1, 1, 0)	제5동작구간(40 - 50℃)	제5주기정보(PER4<0:2>)
(1, 0, 1)	제6동작구간(50 - 60℃)	제6주기정보(PER5<0:2>)
(1, 1, 0)	제7동작구간(60 - 70℃)	제7주기정보(PER6<0:2>)
(1, 1, 1)	제8동작구간(70 - 80℃)	제8주기정보(PER7<0:2>)

[0043] 도 3의 주기신호 생성회로는 분주기를 사용하지 않음으로써 회로 면적은 최소화하면서 다양한 주기를 가지는 주기신호를 생성할 수 있다. 또한 퓨즈셋 등에 미리 각 동작구간에 맞는 주기정보를 저장해놓고, 구간정보에 따라 주기정보를 선택하여 주기신호(PERIODIC)의 주기를 결정하는데 사용하기 때문에 비교적 간단한 회로를 이용하여 구간별로 주기신호(PERIODIC)의 주기를 자유롭게 설정할 수 있다.

[0044] 도 4는 클록 생성부(310)의 구성도이다. 도 5는 클록 생성부(310)의 동작을 설명하기 위한 파형도이다.

[0045] 도 4를 참조하면, 클록 생성부(310)는 제1 내지 제N인버터(INV1 - INV7)를 포함하고, 제1 내지 제N인버터(INV1 - INV7) 중 제K(K는 1≤K≤N인 자연수)인버터(INVK)의 출력은 제K+1인버터(INVK+1)의 입력과 연결되고, 제N인버터(INV7)의 출력은 제1인버터(INV1)의 입력과 연결될 수 있다. 즉, 제1 내지 제6인버터(INV1 - INV6)의 출력은 각각 제2 내지 제7인버터(INV2 - INV7)의 입력과 연결되고, 제7인버터(INV7)의 출력은 제1인버터(INV1)의 입력과 연결될 수 있다. 기본 주기(T)는 제1 내지 제N인버터(INV1 - INV7)의 지연값(D)을 다 합한 시간의 2배일 수 있다.

[0046] 제1 내지 제N클록(OSC<1:7>)은 각각 제1 내지 제N인버터(INV1 - INV7) 중 하나의 인버터의 출력일 수 있다. 도 4에서 제1클록(OSC<1>)는 제1인버터(INV1)의 출력이고, 제2클록(OSC<2>)는 제3인버터(INV3)의 출력이고, 제3클록(OSC<3>)는 제5인버터(INV5)의 출력이고, 제4클록(OSC<4>)는 제7인버터(INV7)의 출력이고, 제5클록(OSC<5>)는 제2인버터(INV2)의 출력이고, 제6클록(OSC<6>)는 제4인버터(INV4)의 출력이고, 제7클록(OSC<7>)는 제6인버터(INV6)의 출력일 수 있다.

[0048] 도 6는 펄스 생성부(320)의 구성도이다. 도 7는 펄스 생성부(320)의 동작을 설명하기 위한 파형도이다.

[0049] 도 6을 참조하면, 펄스 생성부(320)는 앤드 게이트들(AND1 - AND7)을 포함할 수 있다.

[0050] 앤드 게이트(AND1)는 제1클록(OSC<1>) 및 제5클록(OSC<5>)를 앤드 조합하여 제1주기 펄스(PUL<1>)를 생성할 수 있다. 앤드 게이트(AND2)는 제5클록(OSC<5>) 및 제2클록(OSC<2>)를 앤드 조합하여 제2주기 펄스(PUL<2>)를 생성할 수 있다. 앤드 게이트(AND3)는 제2클록(OSC<2>) 및 제6클록(OSC<6>)를 앤드 조합하여 제3주기 펄스(PUL<3>)를 생성할 수 있다. 앤드 게이트(AND4)는 제6클록(OSC<6>) 및 제3클록(OSC<3>)를 조합하여 제4주기 펄스(PUL<4>)를 생성할 수 있다. 앤드 게이트(AND5)는 제3클록(OSC<3>) 및 제7클록(OSC<7>)를 조합하여 제5주기 펄스(PUL<5>)를 생성할 수 있다. 앤드 게이트(AND6)는 제7클록(OSC<7>) 및 제4클록(OSC<4>)를 앤드 조합하여 제6주기 펄스(PUL<6>)를 생성할 수 있다. 앤드 게이트(AND7)는 제4클록(OSC<4>) 및 제1클록(OSC<1>)를 앤드 조합하여 제7주기 펄스(PUL<7>)를 생성할 수 있다.

[0052] 도 8은 주기신호 생성부(330)의 구성도이다.

[0053] 도 8을 참조하면, 주기신호 생성부(330)는 다수의 게이트(AND8 - AND8, OR1 - OR3)를 포함할 수 있다.

[0054] 앤드 게이트(AND8)는 제4주기 펄스(PUL<4>)와 제1조합신호(PG1_EN)을 앤드 조합하고, 앤드 게이트(AND9)는 제2주기 펄스(PUL<2>)와 제2조합신호(PG2_EN)을 앤드 조합하고, 앤드 게이트(AND10)는 제6주기 펄스(PUL<6>)와 제2조합신호(PG2_EN)을 앤드 조합하고, 앤드 게이트(AND11)는 제1주기 펄스(PUL<1>)와 제3조합신호(PG4_EN)을 앤드 조합하고, 앤드 게이트(AND12)는 제3주기 펄스(PUL<3>)와 제3조합신호(PG4_EN)을 앤드 조합하고, 앤드 게이트(AND13)는 제5주기 펄스(PUL<5>)와 제3조합신호(PG4_EN)을 앤드 조합하고, 앤드 게이트(AND14)는 제7주기 펄스(PUL<7>)와 제3조합신호(PG4_EN)을 앤드 조합할 수 있다.

[0055] 오어 게이트(OR1)는 앤드 게이트(AND9) 및 앤드 게이트(AND10)의 출력을 오어 조합할 수 있다. 오어 게이트(OR2)는 앤드 게이트(AND11), 앤드 게이트(AND12), 앤드 게이트(AND13) 및 앤드 게이트(AND14)의 출력을 오어 조합할 수 있다. 오어 게이트(OR3)는 앤드 게이트(AND8), 오어 게이트(OR1) 및 오어 게이트(OR2)의 출력을 오어 조합할 수 있다.

[0057] 도 9는 주기신호(PERIODIC)가 가질 수 있는 가능한 파형들(P1 - P7)을 나타낸 도면이다. [표 2]는 도 9에 도시된 파형들(P1 - P7)과 조합정보(PG1_EN, PG2_EN, PG4_EN)의 관계를 나타낸다.

표 2

[0058]

PG1_EN	PG2_EN	PG4_EN	주기신호의 파형
1	0	0	P1
0	1	0	P2
1	1	0	P3
0	0	1	P4
1	0	1	P5
0	1	1	P6
1	1	1	P7

[0059] [표 2]는 도 9에서 조합정보(PG1_EN, PG2_EN, PG4_EN)의 활성화에 따른 주기신호(PERIODIC)의 파형의 관계를 나타낸다. P1에서 P7으로 갈수록 기본주기(T)에 포함된 펄스의 개수가 증가한다. 따라서 P1에서 P7으로 갈수록 펄스 사이의 간격이 감소한다. 어떤 회로가 펄스에 응답하여 소정의 동작을 수행한다고 하면 펄스 사이의 간격이 줄어든다는 것은 어떤 회로가 소정의 동작을 수행하는 빈도(주파수)가 증가하는 것을 나타낸다. 즉, 어떤 회로가 소정의 동작을 수행하는 주기가 짧아진다는 것을 나타낸다.

[0061] 도 10은 본 발명의 일 실시예에 따른 주기신호 생성회로의 구성도이다.

[0062] 도 10을 참조하면, 주기신호 생성회로는 클록 생성부(1010), 주기신호 생성부(1020), 제1 내지 제M주기정보 저장부(1030_0 - 1030_7) 및 정보 선택부(1040)를 포함할 수 있다.

[0063] 클록 생성부(1010)는 기본 주기를 가지는 기본 클록(CK)을 각각 제1 내지 제N회 분주하여 제1 내지 제N분주 클록(CK1 - CK3)을 생성할 수 있다. 클록 생성부(1010)는 오실레이터(1011), 지연부(1012), 제1 내지 제3분주기(1013 - 1015), 펄스 생성부(1016)를 포함할 수 있다.

[0064] 오실레이터(1011)는 기본 주기를 가지는 기본 클록(CK)을 생성한다. 지연부(1012)는 기본 클록(CK)을 기본 클록(CK)의 주기의 1/2만큼 지연시켜 지연 클록(CK_D)을 생성할 수 있다. 지연 클록(CK_D)은 제1분주기(1013)로 입력될 수 있다.

[0065] 제1 내지 제3분주기(1013 - 1015)는 기본 클록(CK)의 주파수를 다양한 분주비로 분주한 제1 내지 제3분주 클록(CK1 - CK3)을 생성할 수 있다. 각각의 분주기(1013 - 1015)는 입력된 신호의 주파수를 2분주하여 출력할 수 있다. 따라서 제1분주 클록(CK1)의 주파수는 기본 클록(CK)의 1/2이고, 제2분주 클록(CK2)의 주파수는 제1분주 클록(CK1)의 1/2이고, 제3분주 클록(CK3)의 주파수는 제2분주 클록(CK2)의 1/2이다. 각 클록들(CK, CK1 - CK3)의 주기의 관계는 주파수의 관계에 반비례한다. 제1 내지 제3분주기(1013 - 1015)는 초기화 단자(RST)로 입력되는 신호가 활성화되면 초기화되어 처음부터 다시 동작할 수 있다. 초기화 단자(RST)에는 주기신호(PERIODIC)가 입력될 수 있다. 따라서 제1 내지 제3분주기(1013 - 1015)는 주기신호(PERIODIC)가 활성화될 때마다 초기화되어 초기 상태부터 다시 동작할 수 있다.

[0066] 펄스 생성부(1016)는 기본 클록(CK)의 폴링 엣지에서 소정의 펄스폭을 가지는 주기 펄스(PUL)를 생성할 수 있다.

[0067] 주기신호 생성부(1020)는 제1 내지 제N분주 클록(CK1 - CK3)의 논리값을 이용하여 생성된 클록 정보의 값과 조합정보(COM<0:2>)의 값이 같으면 기본 주기를 갖는 주기 펄스(PUL)를 주기신호(PERIODIC)로 전달할 수 있다.

[0068] 분주 클록(CK1 - CK3)으로 구성된 클록 정보는 실질적으로는 기본 주기로 카운팅을 수행하는 카운팅 회로의 출력과 동일하다. 따라서 주기신호(PERIODIC)의 주기는 조합정보(COM<0:2>)의 값에 따라 결정될 수 있다. 예를 들어, 조합정보의 값이 (0, 1, 0)이면 주기신호(PERIODIC)의 주기는 기본 주기의 3배가 되고, 조합정보의 값이 (1, 0, 1)이면 주기신호(PERIODIC)의 주기는 기본 주기의 6배가 될 수 있다.

[0069] 주기신호 생성부(1020)는 비교부(1021) 및 신호 전달부(1022)를 포함할 수 있다. 비교부(1021)는 제1 내지 제N

분주 클럭(CK1 - CK3)의 논리값을 조합한 클럭 정보와 조합정보(COM<0:2>)를 비교하여 그 결과를 출력(DET)할 수 있다. 신호 전달부(1022)는 비교부(1021)의 비교결과(DET) 클럭 정보와 조합정보(COM<0:2>)가 같으면 주기 펄스(PUL)를 주기신호(PERIODIC)로 전달하고, 비교부(1021)의 비교결과(DET) 클럭 정보와 조합정보(COM<0:2>)가 다르면 주기 펄스(PUL)를 주기신호(PERIODIC)로 전달하지 않을 수 있다. 신호 전달부(1022)는 주기 펄스(PUL)와 비교결과(DET)를 입력으로 하는 앤드 게이트(AND15)를 포함할 수 있다.

- [0070] 제1 내지 제M주기정보 저장부(1030_0 - 1030_7)는 제1 내지 제M주기정보(PER0<0:2> - PER7<0:2>) 중 대응하는 주기정보를 저장하고, 저장된 주기정보를 출력할 수 있다. 제1 내지 제M주기정보 저장부(1030_0 - 1030_7)는 각각 멀티비트의 정보를 프로그램할 수 있는 퓨즈셋일 수 있다. 제1 내지 제M주기정보 저장부(1030_0 - 1030_7)에 프로그램되는 주기정보의 값은 설계에 따라 자유롭게 설정될 수 있다.
- [0071] 제1 내지 제M주기정보(PER0<0:2> - PER7<0:2>)는 소정의 팩터의 값에 따라 나뉘어진 제1 내지 제M동작구간 중 하나의 동작구간에 대응할 수 있다. 여기서 소정의 팩터란 주기신호 생성회로를 포함하는 반도체 장치가 동작하는 환경을 정의하기 위한 요소들 중 하나로써 예를 들어 온도일 수 있다.
- [0072] 정보 선택부(1040)는 구간정보(SEC<0:2>)에 응답하여 제1 내지 제M주기정보(PER0<0:2> - PER7<0:2>) 중 하나를 선택하여 조합정보(COM<0:2>)로 출력할 수 있다. 이때 선택된 주기정보의 제1비트(PER0<0> - PER7<0>)는 제1조합신호(COM<0>)로 출력되고, 제2비트(PER0<1> - PER7<1>)는 제2조합신호(COM<1>)로 출력되고, 제3비트(PER0<2> - PER7<2>)는 제3조합신호(COM<2>)로 출력될 수 있다. 구간정보(SEC<0:2>)는 주기신호 생성회로를 포함하는 반도체 장치가 어떤 동작구간에서 동작하는지 나타내는 정보일 수 있다.
- [0073] 도 10의 주기신호 생성회로는 비교부(1021)를 이용하여 비교적 간단한 회로 구성으로 구간별로 주기신호(PERIODIC)의 주기를 자유롭게 설정할 수 있다.
- [0075] 도 11은 비교부(1021)의 구성도이다.
- [0076] 도 11을 참조하면 비교부(1021)는 다수의 게이트(XOR1 - XOR3, NOR)를 포함할 수 있다.
- [0077] 엑스 오어 게이트(XOR1)는 제1분주 클럭(CK1)과 제1조합신호(COM<0>)을 엑스 오어 조합하고, 엑스 오어 게이트(XOR2)는 제2분주 클럭(CK2)과 제2조합신호(COM<1>)을 엑스 오어 조합하고, 엑스 오어 게이트(XOR3)는 제3분주 클럭(CK3)과 제3조합신호(COM<2>)을 엑스 오어 조합할 수 있다. 노어 게이트(NOR)는 엑스 오어 게이트들(XOR1, XOR2, XOR3)의 출력을 노어 조합하여 비교결과(DET)를 생성할 수 있다.
- [0079] 도 12는 도 10의 주기신호 생성회로의 동작을 설명하기 위한 파형도이다.
- [0080] 도 12를 참조하면, 조합정보(COM<0:2>)의 값에 따라 서로 다른 주기로 주기 펄스(PUL)가 주기 신호(PERIODIC)으로 전달될 수 있다. 주기 펄스(PUL)가 주기 신호(PERIODIC)가 전달되면 분주기들(1013 - 1015)가 초기화되기 때문에 각각의 경우에 분주 클럭들(CK1 - CK3)의 파형은 초기화 시점(START)부터 주기 펄스(PUL)가 주기 신호(PERIODIC)로 전달되는 시점(END1 - END8)까지의 구간의 파형이 반복될 수 있다.
- [0081] 조합정보(COM<0:2>)가 (COM<2> = 0, COM<1> = 0, COM<0> = 0)이면 클럭 정보(CK3, CK2, CK1)가 (0, 0, 0)인 경우 주기 펄스(PUL)가 주기 신호(PERIODIC)로 전달될 수 있다. 따라서 이 경우 초기화 시점(START)부터 종료 시점(END1)까지의 파형이 반복되고 주기 신호(PERIODIC)의 주기는 기본 주기와 같다.
- [0082] 조합정보(COM<0:2>)가 (0, 0, 1)이면 클럭 정보가 (0, 0, 1)인 경우 주기 펄스(PUL)가 주기 신호(PERIODIC)로 전달될 수 있다. 따라서 이 경우 초기화 시점(START)부터 종료 시점(END2)까지의 파형이 반복되고 주기 신호(PERIODIC)의 주기는 기본 주기×2가 된다.
- [0083] 조합정보(COM<0:2>)가 각각 (0, 1, 0) 내지 (1, 1, 1)이면 클럭 정보가 각각 (0, 1, 0) 내지 (1, 1, 1)인 경우 주기 펄스(PUL)가 주기 신호(PERIODIC)로 전달될 수 있다. 따라서 이 경우 초기화 시점(START)부터 각각의 종료 시점(END3 - END8)까지의 파형이 반복되고 주기 신호(PERIODIC)의 주기는 기본 주기×3 내지 기본 주기×8가 된다.
- [0085] 도 13은 본 발명의 일 실시예에 따른 주기신호 생성회로의 구성도이다.

- [0086] 도 13을 참조하면, 주기신호 생성회로는 클록 생성부(1310), 주기신호 생성부(1320), 제1 내지 제M주기정보 저장부(1330_0 - 1330_7) 및 정보 선택부(1340)를 포함할 수 있다.
- [0087] 클록 생성부(1310)는 기본 주기를 가지는 기본 클록(CK)을 각각 제1 내지 제N회 분주하여 제1 내지 제N분주 클록(CK1 - CK4)을 생성할 수 있다. 클록 생성부(1310)는 오실레이터(1311), 지연부(1312), 제1 내지 제4분주기(1313 - 1316), 펄스 생성부(1317)를 포함할 수 있다.
- [0088] 오실레이터(1311)는 기본 주기를 가지는 기본 클록(CK)을 생성한다. 지연부(1312)는 기본 클록(CK)을 기본 클록(CK)의 주기의 1/2만큼 지연시켜 지연 클록(CK_D)를 생성할 수 있다. 지연 클록(CK_D)는 제1분주기(1313)로 입력될 수 있다.
- [0089] 제1 내지 제4분주기(1313 - 1316)는 기본 클록(CK)의 주파수를 다양한 분주비로 분주한 제1 내지 제4분주 클록(CK1 - CK4)을 생성할 수 있다. 각각의 분주기(1313 - 1316)는 입력된 신호의 주파수를 2분주하여 출력할 수 있다. 따라서 제1분주 클록(CK1)의 주파수는 기본 클록(CK)의 1/2이고, 제2분주 클록(CK2)의 주파수는 제1분주 클록(CK1)의 1/2이고, 제3분주 클록(CK3)의 주파수는 제2분주 클록(CK2)의 1/2이고, 제4분주 클록(CK4)의 주파수는 제3분주 클록(CK3)의 1/2이다.
- [0090] 제1 내지 제4분주기(1313 - 1316)는 초기화 단자(RST)로 입력되는 신호가 활성화되면 초기화되어 처음부터 다시 동작할 수 있다. 초기화 단자(RST)에는 주기신호(PERIODIC)가 입력될 수 있다. 따라서 제1 내지 제4분주기(1313 - 1316)는 주기신호(PERIODIC)가 활성화될 때마다 초기화되어 초기 상태부터 다시 동작할 수 있다.
- [0091] 펄스 생성부(1317)는 기본 클록(CK)의 폴링 엣지에서 소정의 펄스폭을 가지는 주기 펄스(PUL)를 생성할 수 있다.
- [0092] 주기신호 생성부(1320)는 제1 내지 제N분주 클록(CK1 - CK4)의 논리값을 이용하여 생성된 클록 정보의 값과 조합정보(COM<0:3>)의 값이 같으면 기본 주기를 갖는 주기 펄스(PUL)를 주기신호(PERIODIC)로 전달할 수 있다. 주기신호 생성부(1320)는 연산부(1321), 비교부(1322) 및 신호 전달부(1323)를 포함할 수 있다.
- [0093] 연산부(1321)는 정보 선택부(1340)에서 출력된 정보(SEL<0:2>)에 소정의 연산을 수행하여 조합정보(COM<0:3>)를 생성할 수 있다. 예를 들어, 연산부(1321)는 $2 \times \text{출력된 정보(SEL<0:2>)} - 1 = \text{COM<0:3>}$ 이라는 연산을 통해 조합정보(COM<0:3>)를 생성할 수 있다. 비교부(1322)는 제1 내지 제N분주 클록(CK1 - CK4)의 논리값을 조합한 클록 정보와 조합정보(COM<0:3>)를 비교하여 그 결과를 출력(DET)할 수 있다. 신호 전달부(1323)는 비교부(1322)의 비교결과(DET) 클록 정보와 조합정보(COM<0:3>)가 같으면 주기 펄스(PUL)를 주기신호(PERIODIC)로 전달하고, 비교부(1322)의 비교결과(DET) 클록 정보와 조합정보(COM<0:3>)가 다르면 주기 펄스(PUL)를 주기신호(PERIODIC)로 전달하지 않을 수 있다. 신호 전달부(1323)는 주기 펄스(PUL)와 비교결과(DET)를 입력으로 하는 앤드 게이트(AND16)를 포함할 수 있다.
- [0094] 분주 클록(CK1 - CK4)으로 구성된 클록 정보는 실질적으로는 기본 주기로 카운팅을 수행하는 카운팅 회로의 출력과 동일하다. 따라서 주기신호(PERIODIC)의 주기는 조합정보(COM<0:3>)의 값에 따라 결정될 수 있다. 예를 들어, 조합정보의 값이 (0, 1, 1, 0)이면 주기신호(PERIODIC)의 주기는 기본 주기의 7배가 되고, 조합정보의 값이 (1, 0, 0, 1)이면 주기신호(PERIODIC)의 주기는 기본 주기의 10배가 될 수 있다.
- [0095] 제1 내지 제M주기정보 저장부(1330_0 - 1330_7) 및 정보 선택부(1340)의 구성 및 동작은 도 10의 제1 내지 제M주기정보 저장부(1030_0 - 1030_7) 및 정보 선택부(1040)의 구성 및 동작과 동일하다.
- [0096] 도 13의 주기신호 생성회로는 연산부(1321) 및 비교부(1322)를 이용하여 비교적 간단한 회로 구성으로 구간별로 주기신호(PERIODIC)의 주기를 자유롭게 설정할 수 있다. 도 13의 주기신호 생성회로는 도 10의 주기신호 생성회로와 달리 연산부(1321)를 이용함으로써 주기신호(PERIODIC)의 주기를 더욱 다양화할 수 있다.
- [0097] 참고로 [표 3]은 연산부(1321)가 $2X - 1$ 연산을 수행하는 경우 출력된 정보(SEL<0:2>)와 조합정보(COM<0:3>)의 관계를 나타낸 표이다. 연산부(1321)가 수행하는 연산이나 연산부(1321)를 구성하는 회로는 설계에 따라 달라질 수 있다.

표 3

출력된 정보(SEL<0:2>)	조합정보(COM<0:3>)
(0, 0, 0)	-
(0, 0, 1)	(0, 0, 0, 1)

(0, 1, 0)	(0, 0, 1, 1)
(0, 1, 1)	(0, 1, 0, 1)
(1, 0, 0)	(0, 1, 1, 1)
(1, 0, 1)	(1, 0, 0, 1)
(1, 1, 0)	(1, 0, 1, 1)
(1, 1, 1)	(1, 1, 0, 1)

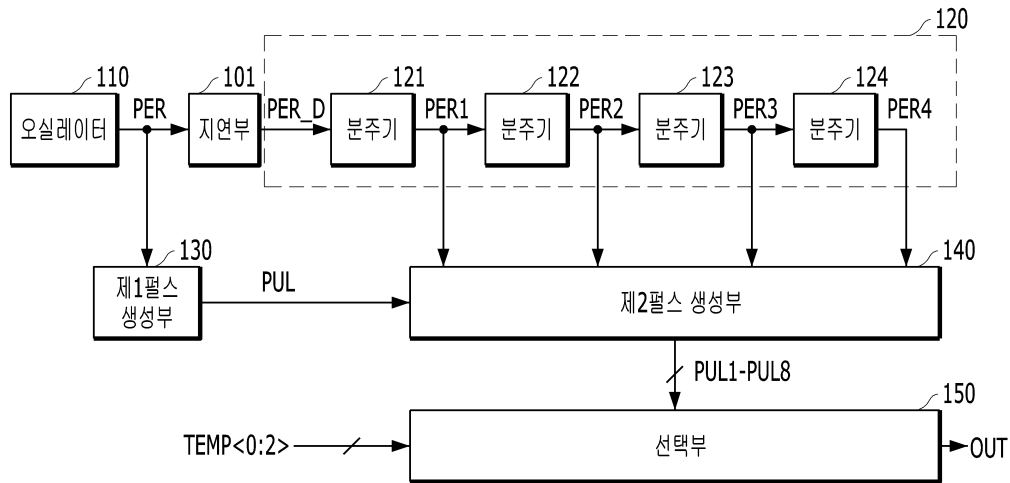
- [0100] 도 14은 본 발명의 일 실시예에 따른 메모리 장치의 구성도이다.
- [0101] 도 14를 참조하면, 메모리 장치는 커맨드 입력부(1410), 커맨드 디코더(1420), 모드 설정부(1430), 주기신호 생성회로(1440), 리프래시 카운터(1450), 제어회로(1460) 및 셀 어레이(1470)를 포함할 수 있다. 셀 어레이(1470)는 각각 하나 이상의 메모리 셀(MC)이 연결된 다수의 워드라인(WL)을 포함할 수 있다.
- [0102] 커맨드 입력부(1410)는 커맨드(CMDs)를 입력받을 수 있다. 커맨드(CMDs)는 멀티 비트의 신호들을 포함할 수 있다. 커맨드 디코더(1420)는 커맨드 입력부(1410)를 통해 입력된 커맨드 신호들(CMDs)을 디코딩해 리프래시 커맨드(REF), 셀프 리프래시 진입 커맨드(ENTRY), 셀프 리프래시 종료 커맨드(EXIT)를 생성할 수 있다. 커맨드 디코더(1420)는 리프래시 커맨드(REF), 셀프 리프래시 진입 커맨드(ENTRY), 셀프 리프래시 종료 커맨드(EXIT) 중 입력된 커맨드 신호들(CMDs)의 조합이 나타내는 커맨드를 활성화할 수 있다.
- [0103] 모드 설정부(1430)는 메모리 장치의 셀프 리프래시 모드를 설정할 수 있다. 모드 설정부(1430)는 셀프 리프래시 진입 커맨드(ENTRY)에 응답하여 메모리 장치가 셀프 리프래시 모드로 진입하도록 하고, 셀프 리프래시 종료 커맨드(EXIT)에 응답하여 메모리 장치가 셀프 리프래시 모드를 종료하도록 할 수 있다. 이를 위해 모드 설정부(1430)는 셀프 리프래시 진입 커맨드(ENTRY)에 응답하여 셀프 리프래시 모드를 나타내는 셀프 리프래시 모드 신호(SELF_MODE)를 활성화하고, 셀프 리프래시 종료 커맨드(EXIT)에 응답하여 셀프 리프래시 모드 신호(SELF_MODE)를 비활성화할 수 있다.
- [0104] 주기신호 생성부(1440)는 셀프 리프래시 모드 신호(SELF_MODE)가 활성화된 경우 주기신호(PERIODIC)를 생성할 수 있다. 이러한 주기신호(PERIODIC)에서 펄스가 활성화되는 간격, 즉 주기는 주기 정보(PER<0:2>)에 따라 달라질 수 있다. 이러한 주기 정보(PER<0:2>)는 온도에 관한 정보로써 온도가 올라갈수록 주기 정보(PER<0:2>)에 대응하는 이진값도 증가하고, 이에 따라 주기신호(PERIODIC)의 주기는 짧아질 수 있다.
- [0105] 제어회로(1460)는 리프래시 커맨드(REF)에 응답하여 셀 어레이(1470)를 리프래시 하되, 셀프 리프래시 모드(셀프 리프래시 모드 신호(SELF_MODE)가 활성화된 구간임)에서 주기신호(PERIODIC)의 주기에 대응하는 주기로 셀 어레이(1470)를 리프래시할 수 있다.
- [0106] 제어회로(1460)는 상술한 동작을 위해 셀프 리프래시 제어부(1461), 리프래시 제어부(1462) 및 워드라인 제어부(1463)를 포함할 수 있다. 셀프 리프래시 제어부(1461)는 셀프 리프래시 모드 신호(SELF_MODE)가 활성화되면, 주기신호(PERIODIC)의 주기에 대응하는 주기로 셀프 리프래시 신호(SELF)를 활성화할 수 있다. 리프래시 제어부(1462)는 리프래시 커맨드(REF)에 응답하여 리프래시 신호(REFP)를 활성화하되, 셀프 리프래시 모드 신호(SELF_MODE)가 활성화된 경우 셀프 리프래시 신호(SELF)에 응답하여 리프래시 신호(REFP)를 활성화할 수 있다. 워드라인 제어부(1463)는 리프래시 신호(REFP)가 활성화되면, 카운팅 어드레스(CNT_ADD)에 대응하는 워드라인(WL)을 리프래시할 수 있다.
- [0107] 어드레스 카운팅부(1450)는 카운팅 어드레스(CNT_ADD)를 생성하되, 리프래시 신호(REFP)가 활성화될 때마다 카운팅 어드레스(CNT_ADD)의 값을 변경할 수 있다. 어드레스 카운팅부(1450)는 리프래시 신호(REFP)가 활성화될 때마다 카운팅 어드레스(CNT_ADD)의 값을 1씩 증가시킬 수 있다. 카운팅 어드레스(CNT_ADD)의 값을 1씩 증가시킨다는 것은 이전에 K번 워드라인(WLK)이 선택되었다면 다음번에는 K+1번 워드라인(WLK+1)이 선택되도록 카운팅 정보를 변화시킨다는 것을 의미할 수 있다.
- [0108] 메모리 장치는 셀프 리프래시 모드가 아닌 경우 리프래시 커맨드(REF)에 응답하여, 셀 어레이(1470)에 포함된 다수의 워드라인(WL)을 차례로 리프래시하고, 셀프 리프래시에서 셀프 리프래시 신호(SELF)에 응답하여 다수의 워드라인(WL)을 차례로 리프래시한다. 이때 셀프 리프래시 주기는 온도에 따라 결정되며, 주기신호 생성회로(1440)로서 도 3의 주기신호 생성회로를 이용하여 면적은 줄이면서 온도에 따라 다양한 주기로 셀프 리프래시를 수행할 수 있다.

[0110] 도 14에서는 본 발명에 따른 주기신호 생성회로를 메모리 장치의 셀프 리프레시 동작에 적용한 경우에 대해 설명하였으나, 본 발명에 따른 주기신호 생성회로는 어떤 정보의 값에 따라 주기를 변경하여 동작하는 모든 집적 회로, 반도체 장치 등에 적용될 수 있다. 예를 들어, 본 발명에 따른 주기신호 생성회로는 동작 환경에 따라 펄핑 주기를 달리해야 하는 전압 펌핑 회로 등에 적용될 수 있다. 또한 주기신호 생성회로에서 이용되는 다양한 클록, 펄스 신호, 분주 클록의 개수는 설계에 따라 달라질 수 있다.

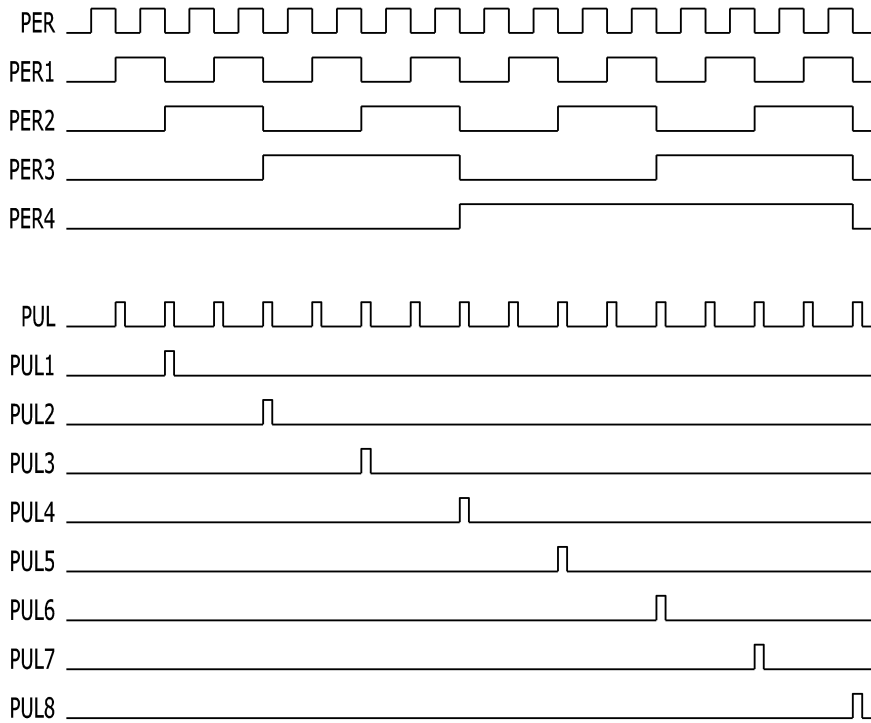
[0112] 본 발명의 기술사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술분야의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 알 수 있을 것이다.

도면

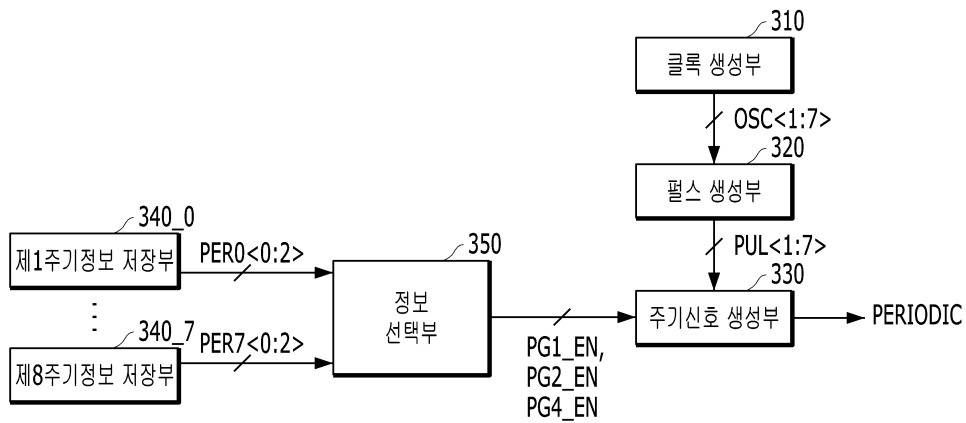
도면1



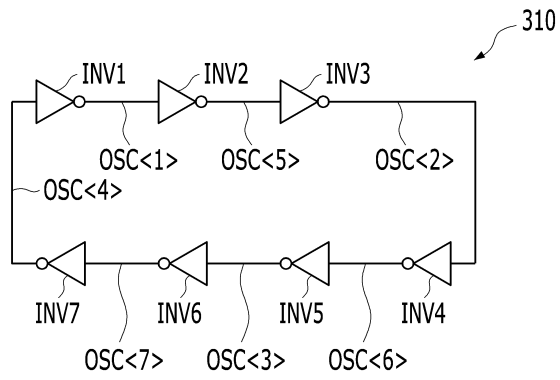
도면2



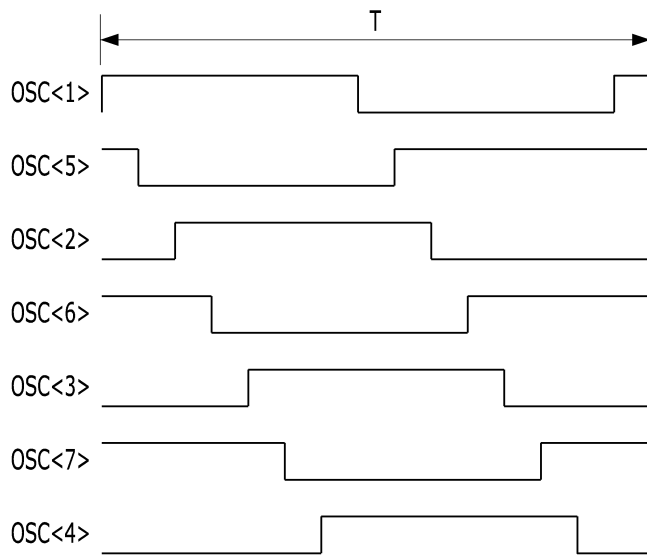
도면3



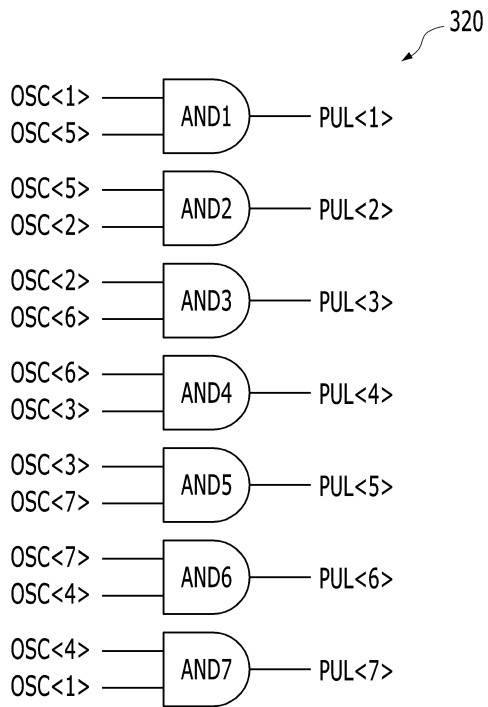
도면4



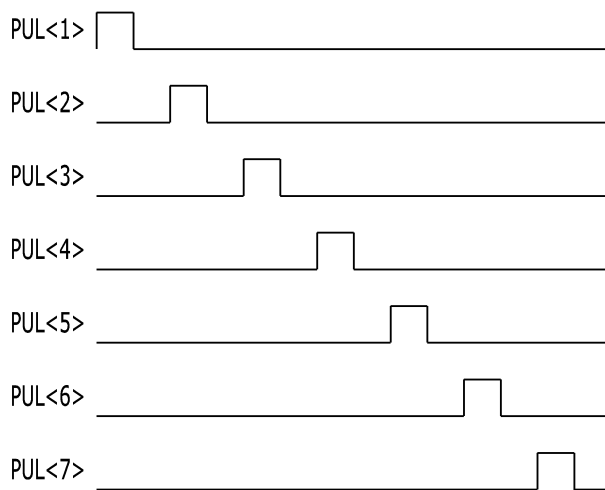
도면5



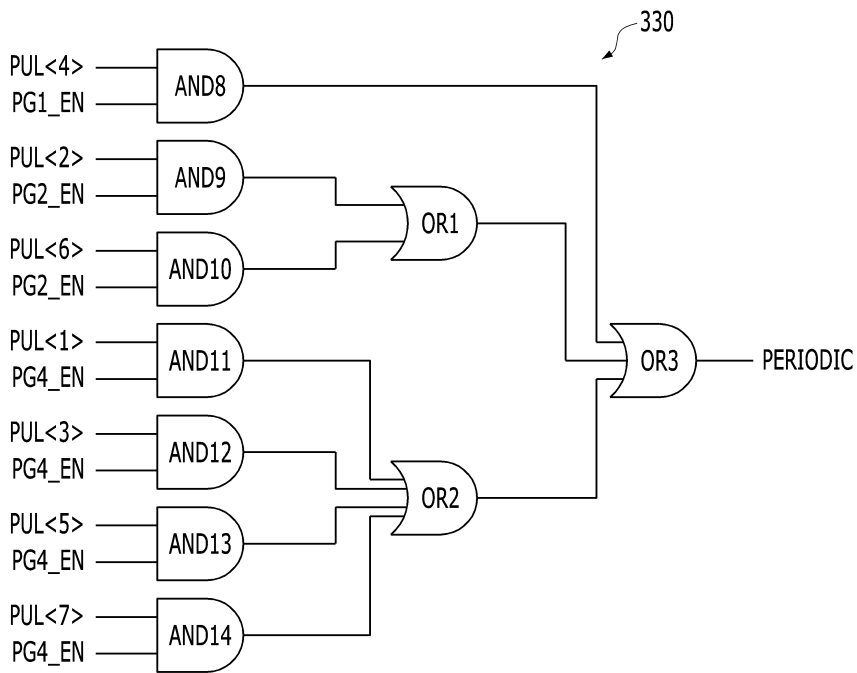
도면6



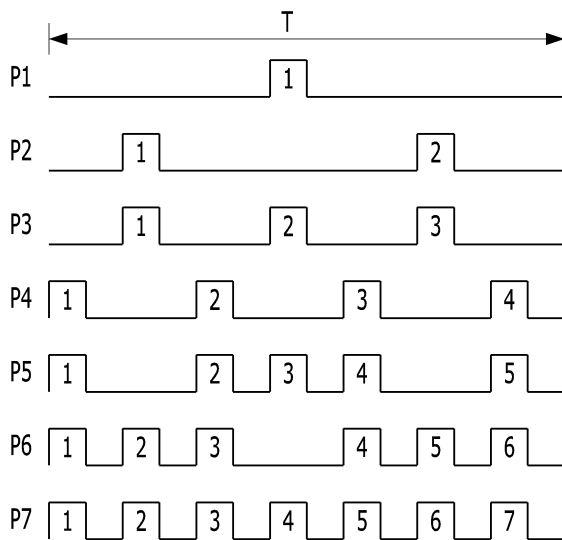
도면7



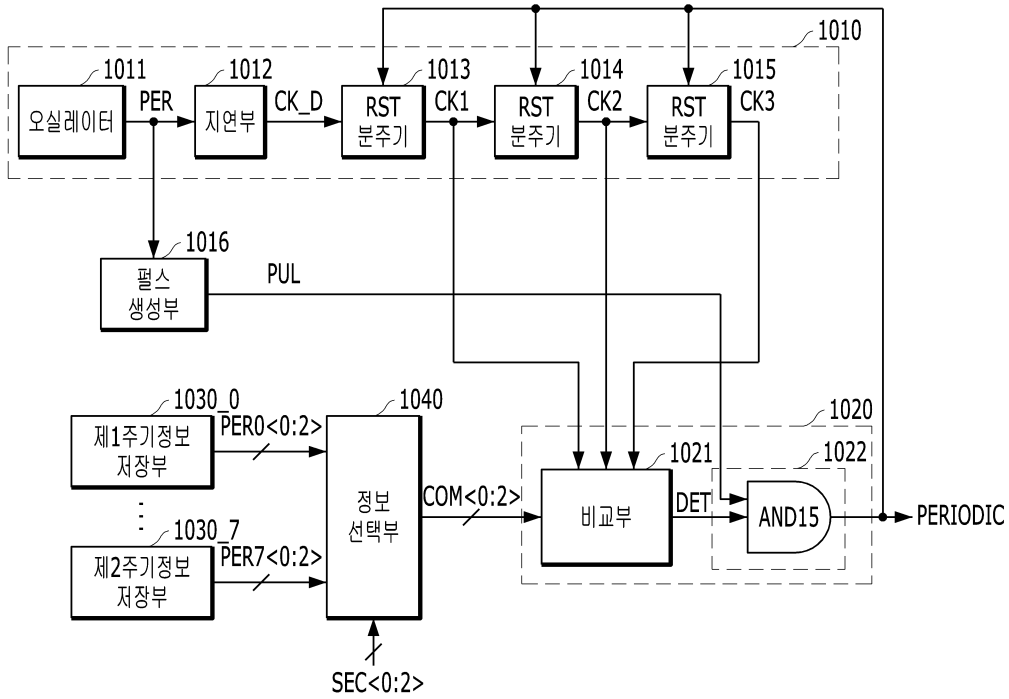
도면8



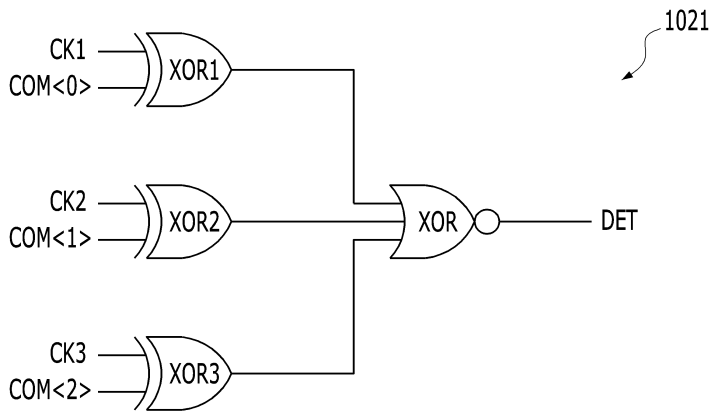
도면9



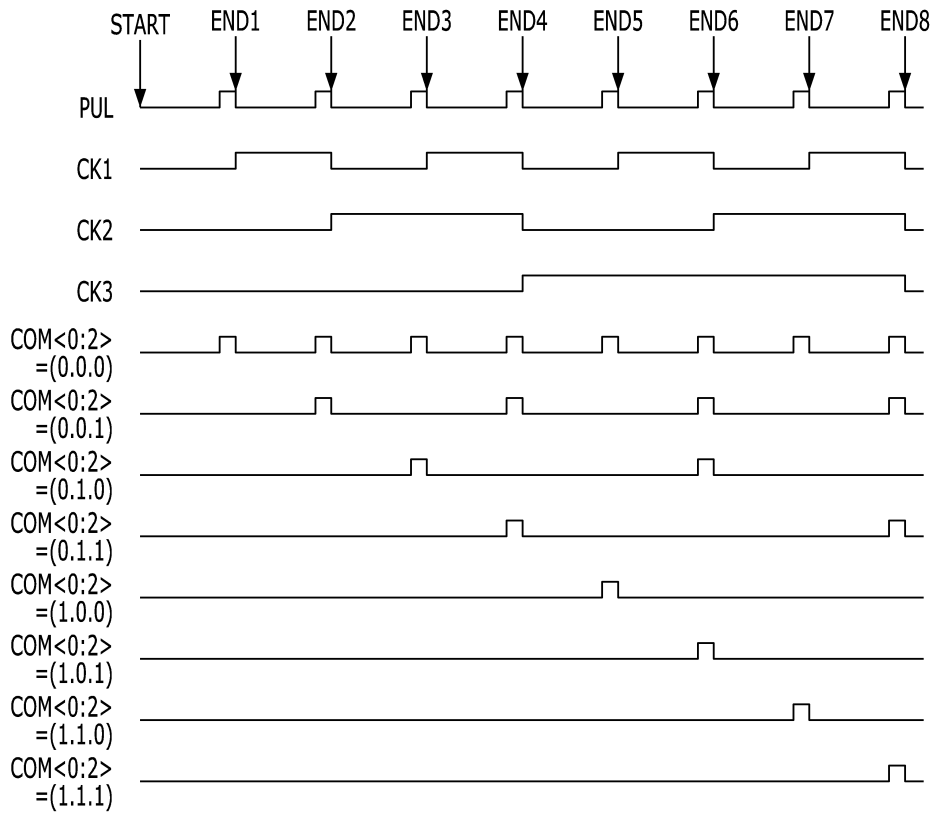
도면10



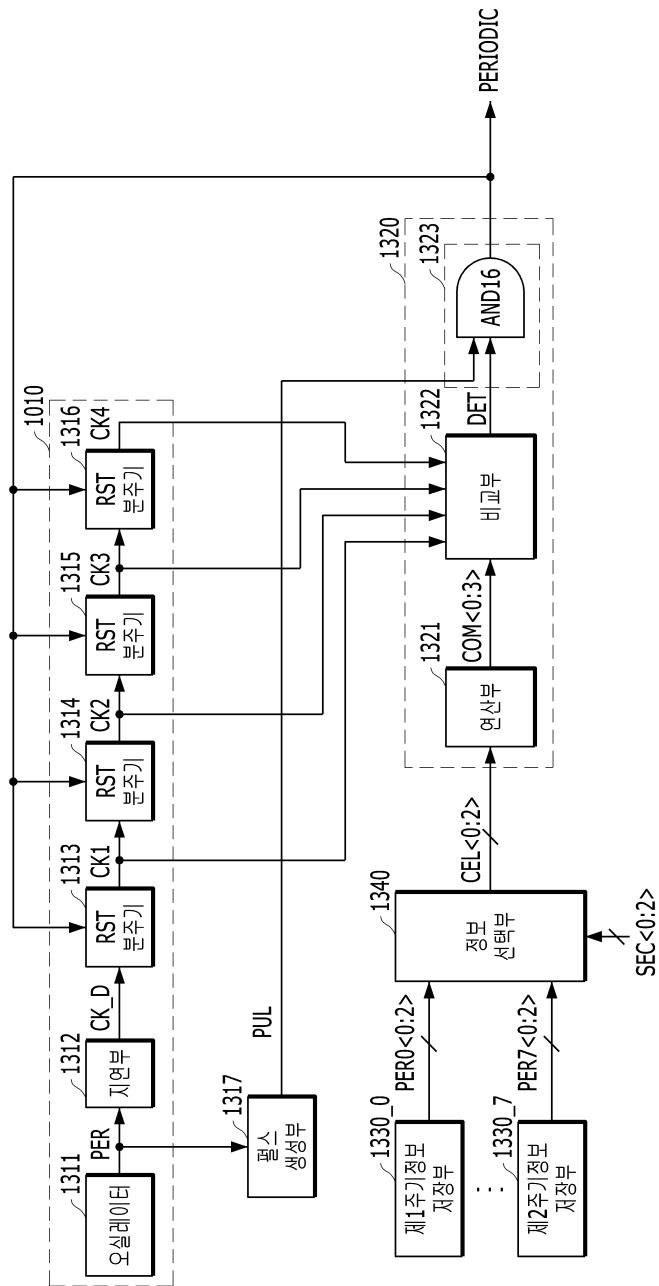
도면11



도면12



도면13



도면14

