

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4491405号
(P4491405)

(45) 発行日 平成22年6月30日 (2010. 6. 30)

(24) 登録日 平成22年4月9日 (2010. 4. 9)

(51) Int. Cl.	F I
G05F 3/24 (2006.01)	G05F 3/24 A
H03F 3/34 (2006.01)	H03F 3/34 C

請求項の数 37 (全 28 頁)

(21) 出願番号	特願2005-324173 (P2005-324173)	(73) 特許権者	390019839
(22) 出願日	平成17年11月8日 (2005. 11. 8)		三星電子株式会社
(65) 公開番号	特開2006-146906 (P2006-146906A)		SAMSUNG ELECTRONICS
(43) 公開日	平成18年6月8日 (2006. 6. 8)		CO., LTD.
審査請求日	平成19年2月20日 (2007. 2. 20)		大韓民国京畿道水原市靈通区梅灘洞416
(31) 優先権主張番号	2004-093100		416, Maetan-dong, Yeongtong-gu, Suwon-si,
(32) 優先日	平成16年11月15日 (2004. 11. 15)		Gyeonggi-do 442-742
(33) 優先権主張国	韓国 (KR)		(KR)
(31) 優先権主張番号	11/225587	(74) 代理人	100086368
(32) 優先日	平成17年8月31日 (2005. 8. 31)		弁理士 萩原 誠
(33) 優先権主張国	米国 (US)	(72) 発明者	チャン ウェイ チェン
			大韓民国京畿道龍仁市器興邑山24 三星
			電子男子寮常緑樹棟302号
			最終頁に続く

(54) 【発明の名称】 抵抗素子のないバイアス電流発生回路

(57) 【特許請求の範囲】

【請求項 1】

動作温度に比例する第1電流を生成する能動回路素子のみからなる温度比例電流生成部と、

前記動作温度に反比例する第2電流を生成する能動回路素子のみからなる温度反比例電流生成部と、

前記第1電流及び前記第2電流を加算してバイアス電流を生成する能動回路素子のみからなる加算部と、を含むバイアス電流発生器であって、

前記バイアス電流は、前記動作温度に対して実質的に依存することなく生成され、

前記温度比例電流生成部は、

第1乃至第4PMOSトランジスタとから構成され、前記第1PMOSトランジスタ及び前記第2PMOSトランジスタは、第1レファレンス電圧と第1ノードとの間に直列に連結され、前記第3PMOSトランジスタ及び前記第4PMOSトランジスタは、前記第1レファレンス電圧と第2ノードとの間に直列に連結され、前記第1PMOSトランジスタ及び第3PMOSトランジスタのゲートは前記第1ノードに連結され、前記第2PMOSトランジスタ及び前記第4PMOSトランジスタのゲートは第1バイアス電圧に連結されるPMOSカスコード電流ミラーと、

第1乃至第4NMOSトランジスタとから構成され、前記第1NMOSトランジスタ及び前記第2NMOSトランジスタは、前記第1ノードと第3ノードとの間に直列に連結され、前記第3NMOSトランジスタ及び前記第4NMOSトランジスタは、前記第2ノード

10

20

ドと第 4 ノードとの間に直列に連結され、前記第 1 N M O S トランジスタ及び前記第 3 N M O S トランジスタのゲートは第 2 バイアス電圧に連結され、前記第 2 N M O S トランジスタ及び第 4 N M O S トランジスタのゲートは前記第 2 ノードに連結される N M O S カスコード電流ミラーと、

前記第 3 ノードと第 2 レファレンス電圧との間に直列に連結される第 1 ダイオードと、前記第 4 ノードと前記第 2 レファレンス電圧との間に直列に連結される第 2 ダイオードと、を含み、

前記温度反比例電流生成部は、

前記第 1 レファレンス電圧と第 5 ノードとの間に直列に連結される第 5 P M O S トランジスタ及び第 6 P O S トランジスタと、

前記第 5 ノードと前記第 2 レファレンス電圧との間に直列に連結される第 5 N M O S トランジスタ及び第 6 N M O S トランジスタと、

前記第 1 レファレンス電圧と第 6 ノードとの間に連結される第 7 P M O S トランジスタと、

前記第 6 ノードと前記第 2 レファレンス電圧との間に直列に連結される第 7 N M O S トランジスタ及び第 8 N M O S トランジスタとから構成され、前記第 5 P M O S トランジスタのゲートは前記第 1 ノードに連結され、前記第 6 P M O S トランジスタのゲートは前記第 1 バイアス電圧に連結され、前記第 5 N M O S トランジスタ及び前記第 6 N M O S トランジスタのゲートはそれぞれダイオードに連結され、前記第 7 P M O S トランジスタのゲートは前記第 6 ノードに連結され、前記第 7 N M O S トランジスタのゲートは前記第 2 ノードに連結され、前記第 8 N M O S トランジスタのゲートは前記第 5 ノードに連結され、

前記加算部は、

前記第 1 レファレンス電圧と第 7 ノードとの間に直列に連結される第 8 P M O S トランジスタ及び第 9 P M O S トランジスタと、

前記第 1 レファレンス電圧と前記第 7 ノードとの間に連結される第 1 0 P M O S トランジスタと、

前記第 7 ノードと前記第 2 レファレンス電圧との間に連結される第 9 N M O S トランジスタと、

前記バイアス電流が生成されるバイアスノードと前記第 2 レファレンス電圧との間に連結される第 1 0 N M O S トランジスタとから構成され、前記第 8 P M O S トランジスタのゲートは前記第 1 ノードに連結され、前記第 9 P M O S トランジスタのゲートは前記第 1 バイアス電圧に連結され、前記第 1 0 P M O S トランジスタのゲートは前記第 6 ノードに連結され、前記第 9 N M O S トランジスタのゲートは前記第 7 ノードに連結され、前記第 1 0 N M O S トランジスタのゲートは前記第 7 ノードに連結されることを特徴とするバイアス電流発生器。

【請求項 2】

前記第 1 レファレンス電圧は電源電圧であり、前記第 2 レファレンス電圧は接地電位であることを特徴とする請求項 1 記載のバイアス電流発生器。

【請求項 3】

前記第 1 ダイオードは、エミッタが前記第 3 ノードに連結され、ベース及びコレクタが前記第 2 レファレンス電圧に連結される P N P 型 B J T であり、前記第 2 ダイオードはエミッタが前記第 4 ノードに連結され、ベース及びコレクタが前記第 2 レファレンス電圧に連結される P N P 型 B J T であることを特徴とする請求項 1 記載のバイアス電流発生器。

【請求項 4】

前記第 1 バイアス電圧は、前記第 2 P M O S トランジスタ及び前記第 4 P M O S トランジスタを飽和させることができる電圧レベルを有し、前記第 2 バイアス電圧は、前記第 1 N M O S トランジスタ及び前記第 3 N M O S トランジスタを飽和させることができる電圧レベルを有することを特徴とする請求項 1 記載のバイアス電流発生器。

【請求項 5】

前記バイアス電流発生器は、

第11乃至第14PMOSトランジスタ及び第11乃至第13NMOSトランジスタを含み、第1バイアス電圧を生成する第1電圧生成部と、第15乃至第16PMOSトランジスタ、第14乃至第16NMOSトランジスタ及び第3ダイオードを含み、第2バイアス電圧を生成する第2電圧生成部を有するバイアス電圧生成部とを更に含み、前記第11PMOSトランジスタ及び前記第11NMOSトランジスタは前記第1レファレンス電圧と前記第2レファレンス電圧との間に直列に連結され、前記第11PMOSトランジスタのゲートは第1ノードに連結され、前記第11NMOSトランジスタのゲートは前記第11PMOSトランジスタと前記第11NMOSトランジスタとの間の接合ノードに連結され、

前記第12PMOSトランジスタ及び前記第12NMOSトランジスタは、前記第1レファレンス電圧と前記第2レファレンス電圧との間に直列に連結され、前記第12PMOSトランジスタのゲートは第12PMOSトランジスタと前記第12NMOSトランジスタとの間の接合ノードに連結され、前記第12NMOSトランジスタのゲートは、前記第11NMOSトランジスタのゲートに連結され、

前記第13乃至第14PMOSトランジスタ及び前記第13NMOSトランジスタは、前記第1レファレンス電圧と前記第2レファレンス電圧との間に直列に連結され、前記第13PMOSトランジスタのゲートは前記第12PMOSトランジスタのゲートに連結され、前記第14PMOSトランジスタのゲートは、前記第14PMOSトランジスタと前記第13NMOSトランジスタとの間の接合ノードに連結され、前記第13NMOSトランジスタのゲートは前記第12NMOSトランジスタのゲートに連結され、

前記第15PMOSトランジスタ及び前記第15NMOSトランジスタは、前記第1レファレンス電圧と第8ノードとの間に直列に連結され、前記第15PMOSトランジスタのゲートは、前記第1ノードに連結され、前記第15NMOSトランジスタのゲートは前記第15PMOSトランジスタと前記第15NMOSトランジスタとの間の接合ノードに連結され、

前記第16PMOSトランジスタ、前記第14NMOSトランジスタ及び前記第16NMOSトランジスタは、前記第1レファレンス電圧と前記第8ノードとの間に直列に連結され、前記第16PMOSトランジスタのゲートは前記第1ノードに連結され、前記第14NMOSトランジスタのゲートは前記第16PMOSトランジスタと前記第14NMOSトランジスタとの間の接合ノードに連結され、前記第16NMOSトランジスタのゲートは前記第15NMOSトランジスタのゲートに連結され、

前記第3ダイオードは、前記第8ノードと前記第2レファレンス電圧との間に直列に連結され、前記第14PMOSトランジスタと前記第13NMOSトランジスタとの間の前記接合ノードは前記第1バイアス電圧を生成し、前記第16PMOSトランジスタと前記第14NMOSトランジスタとの間の前記接合ノードは前記第2バイアス電圧を生成することを特徴とする請求項1記載のバイアス電流発生器。

【請求項6】

前記第3ダイオードは、

エミッタが前記第8ノードに連結され、ベース及びコレクタが前記第2レファレンス電圧に連結されるPNP型BJTであることを特徴とする請求項5記載のバイアス電流発生器。

【請求項7】

前記バイアス電流発生器は、

前記温度比例電流生成部及び前記温度反比例電流生成部の前記トランジスタがデジェネレートバイアスポイントから外れるようにする始動部を更に含むことを特徴とする請求項1記載のバイアス電流発生器。

【請求項8】

前記始動部は、

第17PMOSトランジスタと、

第18PMOSトランジスタと、

10

20

30

40

50

第 19 NMOS トランジスタと、

第 20 NMOS トランジスタと、

前記第 1 ノードと前記 2 レファレンス電圧との間に直列に連結される第 17 NMOS トランジスタと、

前記第 1 バイアス電圧と前記第 2 レファレンス電圧との間に連結される第 18 NMOS トランジスタと、を含み、前記第 17 乃至第 18 PMOS トランジスタ及び前記第 19 乃至第 20 NMOS トランジスタは、前記第 1 レファレンス電圧と前記第 2 レファレンス電圧との間に直列に連結され、前記第 17 乃至第 18 PMOS トランジスタのゲートはそれぞれ前記第 2 レファレンス電圧に連結され、前記第 19 NMOS トランジスタのゲートは前記第 2 バイアス電圧に連結され、前記第 20 NMOS トランジスタのゲートは前記第 2 ノードに連結されることを特徴とする請求項 7 記載のバイアス電流発生器。

10

【請求項 9】

前記加算部は、

前記温度比例電流生成部によって生成される前記第 1 電流に対応する第 1 ミラー電流を生成する第 1 ミラー部と、

前記温度反比例電流生成部によって生成される前記第 2 電流に対応する第 2 ミラー電流を生成する第 2 ミラー部と、

前記第 1 ミラー電流及び第 2 ミラー電流を加算して前記バイアス電流を生成する第 3 ミラー部と、を含むことを特徴とする請求項 1 記載のバイアス電流発生器。

【請求項 10】

20

前記第 1 電流は、

第 1 電流経路にある少なくとも一つのトランジスタの第 1 トランジスタサイズ及び第 2 電流経路にある少なくとも一つのトランジスタの第 2 トランスドサイズに基づいて生成され、前記第 1 電流経路及び前記第 2 電流経路は、電流ミラー形態で構成され、前記第 1 電流経路及び前記第 2 電流経路の前記トランジスタに相応する前記第 1 トランジスタサイズ及び前記第 2 トランジスタサイズは互いに異なることを特徴とする請求項 1 記載のバイアス電流発生器。

【請求項 11】

前記第 2 電流は、

前記温度比例電流生成部で生成される電圧に基づいて生成され、前記電圧が前記温度反比例電流生成部の能動回路素子によって分けられ、前記第 2 電流が生成されることを特徴とする請求項 10 記載のバイアス電流発生器。

30

【請求項 12】

前記温度比例電流生成部は、

複数のトランジスタのみからなる第 1 電流経路と、

複数のトランジスタのみからなる第 2 電流経路と、を含み、前記第 2 電流経路の前記複数のトランジスタのうち、少なくとも一つは前記第 1 電流経路の前記複数のトランジスタより一つと対応し、前記第 1 電流経路及び前記第 2 電流経路の対応される前記トランジスタのうち、少なくとも一対は異なるトランジスタサイズを有し、前記第 1 電流は、前記異なるトランジスタサイズに対応して生成されることを特徴とする請求項 1 記載のバイアス電流発生器。

40

【請求項 13】

前記温度反比例電流生成部は、

複数のトランジスタのみからなる第 3 電流経路を含み、前記第 2 電流は前記温度比例電流生成部で生成される電圧に基づいて生成され、前記電圧が前記第 3 電流経路の前記トランジスタによって分けられ、前記第 2 電流が生成されることを特徴とする請求項 12 記載のバイアス電流発生器。

【請求項 14】

動作温度に比例する第 1 電流を生成する能動回路素子のみからなる温度比例電流生成部と、

50

前記動作温度に反比例する第2電流を生成する能動回路素子のみからなる温度反比例電流生成部と、

前記第1電流及び前記第2電流を加算してバイアス電流を生成する能動回路素子のみからなる加算部と、を含むバイアス電流発生器であって、

前記バイアス電流は、前記動作温度に対して実質的に依存することなく生成され、

前記温度比例電流生成部は、

第1レファレンス電圧と第3ノードとの間に直列に連結される第1ダイオードと、

前記第1レファレンス電圧と第4ノードとの間に直列に連結される第2ダイオードと、

第1乃至第4PMOSトランジスタから構成され、前記第1PMOSトランジスタ及び前記第2PMOSトランジスタは、第3ノードと第1ノードとの間に直列に連結され、前記第3PMOSトランジスタ及び前記第4PMOSトランジスタは前記第4ノードと第2ノードとの間に直列に連結され、前記第1PMOSトランジスタ及び前記第3PMOSトランジスタのゲートは前記第2ノードに連結され、前記第2PMOSトランジスタ及び前記第4PMOSトランジスタのゲートは第1バイアス電圧に連結されるPMOSカスコード電流ミラーと、

第1乃至第4NMOSトランジスタから構成され、前記第1NMOSトランジスタ及び前記第2NMOSトランジスタは前記第1ノードと第2レファレンス電圧との間に直列に連結され、前記第3NMOSトランジスタ及び前記第4NMOSトランジスタは前記第2ノードと前記第2レファレンス電圧との間に直列に連結され、前記第1NMOSトランジスタ及び前記第3NMOSトランジスタのゲートは第2バイアス電圧に連結され、前記第2NMOSトランジスタ及び前記第4NMOSトランジスタのゲートは前記第1ノードに連結されるNMOSカスコード電流ミラーと、を含み、

前記温度反比例電流生成部は、

前記第1レファレンス電圧と第5ノードとの間に直列に連結される第5PMOSトランジスタ及び第6PMOSトランジスタと、

前記第5ノードと前記第2レファレンス電圧との間に直列に連結される第5NMOSトランジスタ及び第6NMOSトランジスタと、

前記第1レファレンス電圧と第6ノードとの間に直列に連結される第7PMOSトランジスタ及び第8PMOSトランジスタと、

前記第6ノードと前記第2レファレンス電圧との間に連結される第7NMOSトランジスタと、を含み、前記第5PMOSトランジスタ及び前記第6PMOSトランジスタはそれぞれダイオード連結され、前記第5NMOSトランジスタのゲートは前記第2バイアス電圧に連結され、前記第6NMOSトランジスタのゲートは前記第1ノードに連結され、第7PMOSトランジスタのゲートは前記第5ノードに連結され、前記第8PMOSトランジスタのゲートは前記第2ノードに連結され、前記第7NMOSトランジスタのゲートは前記第6ノードに連結され、

前記加算部は、

第7ノードと前記第2レファレンス電圧との間に直列に連結される第8NMOSトランジスタ及び第9NMOSトランジスタと、

前記第7ノードと前記第2レファレンス電圧との間に連結される第10NMOSトランジスタと、

前記第1レファレンス電圧と前記第7ノードとの間に連結される第9PMOSトランジスタと、

前記第1レファレンス電圧と前記バイアス電流が生成されるバイアスノードとの間に連結される第10PMOSトランジスタと、を含み、前記第8NMOSトランジスタのゲートは前記第2バイアス電圧に連結され、前記第9NMOSトランジスタのゲートは前記第1ノードに連結され、前記第10NMOSトランジスタのゲートは前記第6ノードに連結され、前記第9PMOSトランジスタのゲートは前記第7ノードに連結され、前記第10PMOSトランジスタのゲートは前記第7ノードに連結されることを特徴とするバイアス電流発生器。

10

20

30

40

50

【請求項 15】

前記第 1 レファレンス電圧は、電源電圧であり、前記第 2 レファレンス電圧は接地電位であることを特徴とする請求項 14 記載のバイアス電流発生器。

【請求項 16】

前記第 1 ダイオードは、エミッタが前記第 3 ノードに連結され、ベース及びコレクタが前記第 1 レファレンス電圧に連結される NPN 型 BJT であり、前記第 2 ダイオードはエミッタが前記第 4 ノードに連結され、ベース及びコレクタが前記第 1 レファレンス電圧に連結される NPN 型 BJT であることを特徴とする請求項 14 記載のバイアス電流発生器。

【請求項 17】

前記第 1 バイアス電圧は、前記第 2 PMOS トランジスタ及び前記第 4 PMOS トランジスタを飽和させることができる電圧レベルを有し、前記第 2 バイアス電圧は、前記第 1 NMOS トランジスタ及び前記第 3 NMOS トランジスタを飽和させることができる電圧レベルを有することを特徴とする請求項 14 記載のバイアス電流発生器。

【請求項 18】

複数のトランジスタのみからなる第 1 電流経路及び複数のトランジスタのみからなる第 2 電流経路を含み、動作温度に比例する第 1 電流を生成する温度比例電流生成部と、

複数のトランジスタのみからなる第 3 電流経路を含み、前記動作温度に反比例する第 2 電流を生成する温度反比例電流生成部と、

前記第 1 電流及び前記第 2 電流を加算してバイアス電流を生成する加算部と、を含み、

前記バイアス電流は、前記動作温度に対して実質的に依存することなく生成され、前記第 2 電流経路の複数のトランジスタのうち、少なくとも一つは前記第 1 電流経路の前記複数のトランジスタの一つと対応し、前記第 1 電流経路及び前記第 2 電流経路の対応される前記トランジスタのうち、少なくとも一対は異なるトランジスタサイズを有し、前記第 1 電流は前記異なるトランジスタサイズに対応して生成され、前記第 2 電流は前記温度比例電流生成部で生成される電圧に基づいて生成され、前記電圧が前記第 3 電流経路の前記トランジスタによって分けられ、前記第 2 電流が生成されることを特徴とするバイアス電流発生器。

【請求項 19】

前記温度比例電流生成部は、

第 1 乃至第 4 PMOS トランジスタとから構成され、前記第 1 PMOS トランジスタ及び前記第 2 PMOS トランジスタは第 1 レファレンス電圧と第 1 ノードとの間に直列に連結され、前記第 3 PMOS トランジスタ及び前記第 4 PMOS トランジスタは、前記第 1 レファレンス電圧と第 2 ノードとの間に直列に連結され、前記第 1 PMOS トランジスタ及び前記第 3 PMOS トランジスタのゲートは前記第 1 ノードに連結され、前記第 2 PMOS トランジスタ及び前記第 4 PMOS トランジスタのゲートは第 1 バイアス電圧に連結される PMOS カスコード電流ミラーと、

第 1 乃至第 4 NMOS トランジスタとから構成され、前記第 1 NMOS トランジスタ及び前記第 2 NMOS トランジスタは、前記第 1 ノードと第 3 ノードとの間に直列に連結され、前記第 3 NMOS トランジスタ及び前記第 4 NMOS トランジスタは、前記第 2 ノードと第 4 ノードとの間に直列に連結され、前記第 1 NMOS トランジスタ及び前記第 3 NMOS トランジスタのゲートは第 2 バイアス電圧に連結され、前記第 2 NMOS トランジスタ及び前記第 4 NMOS トランジスタのゲートは前記第 2 ノードに連結される NMOS カスコード電流ミラーと、

前記第 3 ノードと第 2 レファレンス電圧との間に直列に連結される第 1 ダイオードと、

前記第 4 ノードと前記第 2 レファレンス電圧との間に直列に連結される第 2 ダイオードと、を含むことを特徴とする請求項 18 記載のバイアス電流発生器。

【請求項 20】

前記第 1 レファレンス電圧は電源電圧であり、前記第 2 レファレンス電圧は接地電位であることを特徴とする請求項 19 記載のバイアス電流発生器。

10

20

30

40

50

【請求項 2 1】

前記第 1 ダイオードエミッタが前記第 3 ノードに連結され、ベース及びコレクタが第 2 レファレンス電圧に連結される PNP 型 BJT であり、前記第 2 ダイオードは、エミッタが前記第 4 ノードに連結され、ベース及びコレクタが前記第 2 レファレンス電圧に連結される PNP 型 BJT であることを特徴とする請求項 1 9 記載のバイアス電流発生器。

【請求項 2 2】

前記第 1 バイアス電圧は、前記第 2 PMOS トランジスタ及び前記第 4 PMOS トランジスタを飽和させることができる電圧レベルを有し、前記第 2 バイアス電圧は、前記第 1 NMOS トランジスタ及び第 3 NMOS トランジスタを飽和させることができる電圧レベルを有することを特徴とする請求項 1 9 記載のバイアス電流発生器。

10

【請求項 2 3】

前記温度反比例電流生成部は、

前記第 1 レファレンス電圧と第 5 ノードとの間に直列に連結される第 5 PMOS トランジスタ及び第 6 PMOS トランジスタと、

前記第 5 ノードと前記第 2 レファレンス電圧との間に直列に連結される第 5 NMOS トランジスタ及び第 6 NMOS トランジスタと、

前記第 1 レファレンス電圧と第 6 ノードとの間に連結される第 7 PMOS トランジスタと、

前記第 6 ノードと前記第 2 レファレンス電圧との間に直列に連結される第 7 NMOS トランジスタ及び第 8 NMOS トランジスタと、を含み、前記第 5 PMOS トランジスタのゲートは前記第 1 ノードに連結され、前記第 6 PMOS トランジスタのゲートは前記第 1 バイアス電圧に連結され、前記第 5 NMOS トランジスタ及び前記第 6 NMOS トランジスタはそれぞれダイオードに連結され、前記第 7 PMOS トランジスタのゲートは前記第 6 ノードに連結され、前記第 7 NMOS トランジスタのゲートは前記第 2 ノードに連結され、前記第 8 NMOS トランジスタのゲートは前記第 5 ノードに連結されることを特徴とする請求項 1 9 記載のバイアス電流発生器。

20

【請求項 2 4】

前記加算部は、

前記第 1 レファレンス電圧と第 7 ノードとの間に直列に連結される第 8 PMOS トランジスタ及び第 9 PMOS トランジスタと、

30

前記第 1 レファレンス電圧と前記第 7 ノードとの間に連結される第 10 PMOS トランジスタと、

前記第 7 ノードと前記第 2 レファレンス電圧との間に連結される第 9 NMOS トランジスタと、

前記バイアス電流が生成されるバイアスノードと前記第 2 レファレンス電圧との間に連結される第 10 NMOS トランジスタと、を含み、前記第 8 PMOS トランジスタのゲートは前記第 1 ノードに連結され、前記第 9 PMOS トランジスタのゲートは前記第 1 バイアス電圧に連結され、第 10 PMOS トランジスタのゲートは前記第 6 ノードに連結され、前記第 9 NMOS トランジスタのゲートは前記第 7 ノードに連結され、前記第 10 NMOS トランジスタのゲートは前記第 7 ノードに連結されることを特徴とする請求項 2 3 記載のバイアス電流発生器。

40

【請求項 2 5】

前記バイアス電流発生器は、

第 1 1 乃至第 1 4 PMOS トランジスタ及び第 1 1 乃至第 1 3 NMOS トランジスタを含み、第 1 バイアス電圧を生成する第 1 電圧生成部と第 1 5 乃至第 1 6 PMOS トランジスタ、第 1 4 乃至第 1 6 NMOS トランジスタ及び第 3 ダイオードを含み、第 2 バイアス電圧を生成する第 2 電圧生成部を有するバイアス電圧生成部を含み、前記第 1 1 PMOS トランジスタ及び前記第 1 1 NMOS トランジスタは前記第 1 レファレンス電圧と前記第 2 レファレンス電圧との間に直列に連結され、前記第 1 1 PMOS トランジスタのゲートは第 1 ノードに連結され、前記第 1 1 NMOS トランジスタのゲートは前記第 1 1 PMO

50

Sトランジスタと前記第11NMOSトランジスタとの間の接合ノードに連結され、

前記第12PMOSトランジスタ及び前記第12NMOSトランジスタは、前記第1レファレンス電圧と前記第2レファレンス電圧との間に直列に連結され、前記第12PMOSトランジスタのゲートは前記第12PMOSトランジスタと前記第12NMOSトランジスタとの接合ノードに連結され、前記第12NMOSトランジスタのゲートは前記第11NMOSトランジスタのゲートに連結され、

前記第13乃至第14PMOSトランジスタ及び前記第13NMOSトランジスタは前記第1レファレンス電圧と前記第2レファレンス電圧との間に直列連結され、前記第13PMOSトランジスタのゲートは、前記第12PMOSトランジスタのゲートに連結され、前記第14PMOSトランジスタのゲートは前記第14PMOSトランジスタと前記第13NMOSトランジスタとの間の接合ノードに連結され、前記第13NMOSトランジスタのゲートは前記第12NMOSトランジスタのゲートに連結され、

10

前記第15PMOSトランジスタ及び前記第15NMOSトランジスタは、前記第1レファレンス電圧と第8ノードとの間に直列に連結され、前記第15PMOSトランジスタゲートは、前記第1ノードに連結され、前記第15NMOSトランジスタのゲートは前記第15PMOSトランジスタと前記第15NMOSトランジスタとの間の接合ノードに連結され、

前記第16PMOSトランジスタ、前記第14トランジスタ及び前記第16NMOSトランジスタは前記第1レファレンス電圧と前記第8ノードとの間に直列に連結され、前記第16PMOSトランジスタのゲートは、前記第1ノードに連結され、前記第14NMOSトランジスタのゲートは前記第16PMOSトランジスタと前記第14NMOSトランジスタとの間の接合ノードに連結され、前記第16NMOSトランジスタのゲートは前記第15NMOSトランジスタのゲートに連結され、

20

前記第3ダイオードは、前記第8ノードと前記第2レファレンス電圧との間に直列に連結され、前記第14PMOSトランジスタと前記第13NMOSトランジスタとの間の前記接合ノードは前記第1バイアス電圧を生成し、前記第16PMOSトランジスタと前記第14NMOSトランジスタとの間の前記接合ノードは前記第2バイアス電圧を生成することを特徴とする請求項19記載のバイアス電流発生器。

【請求項26】

前記第3ダイオードは、

30

エミッタが前記第8ノードに連結され、ベース及びコレクタが前記第2レファレンス電圧に連結されるPNP型BJTであることを特徴とする請求項25記載のバイアス電流発生器。

【請求項27】

前記バイアス電流発生器は、

前記温度比例電流生成部及び前記温度反比例電流生成部の前記トランジスタがデジェネレートバイアスポイントから外れるようにする始動部を更に含むことを特徴とする請求項19記載のバイアス電流発生器。

【請求項28】

前記始動部は、

40

第17PMOSトランジスタと、

第18PMOSトランジスタと、

第19NMOSトランジスタと、

第20NMOSトランジスタと、

前記第1ノードと前記2レファレンス電圧との間に直列に連結される第17NMOSトランジスタと、

前記第1バイアス電圧と前記第2レファレンス電圧との間に連結される第18NMOSトランジスタと、を含み、前記第17乃至第18PMOSトランジスタ及び前記第19乃至第20NMOSトランジスタは、前記第1レファレンス電圧と前記第2レファレンス電圧との間に直列に連結され、前記第17乃至第18PMOSトランジスタのゲートはそれ

50

ぞれ前記第 2 レファレンス電圧に連結され、前記第 1 N M O S トランジスタのゲートは前記第 2 バイアス電圧に連結され、前記第 2 N M O S トランジスタのゲートは前記第 2 ノードに連結されることを特徴とする請求項 2 7 記載のバイアス電流発生器。

【請求項 2 9】

前記加算部は、

前記温度比例電流生成部によって生成される前記第 1 電流に対応する第 1 ミラー電流を生成する第 1 ミラー部と、

前記温度反比例電流生成部によって生成される前記第 2 電流に対応する第 2 ミラー電流を生成する第 2 ミラー部と、

前記第 1 ミラー電流及び第 2 ミラー電流を加算して前記バイアス電流を生成する第 3 ミラー部と、を含むことを特徴とする請求項 1 8 記載のバイアス電流発生器。

10

【請求項 3 0】

前記温度比例電流生成部は、

複数のトランジスタの みからなる 第 1 電流経路と、

複数のトランジスタの みからなる 第 2 電流経路と、を含み、前記第 2 電流経路の前記複数のトランジスタのうち、少なくとも一つは前記第 1 電流経路の前記複数のトランジスタより一つと対応し、前記第 1 電流経路及び前記第 2 電流経路の対応される前記トランジスタのうち、少なくとも一対は異なるトランジスタサイズを有し、前記第 1 電流は、前記異なるトランジスタサイズに対応して生成されることを特徴とする請求項 1 8 記載のバイアス電流発生器。

20

【請求項 3 1】

前記温度反比例電流生成部は、

複数のトランジスタの みからなる 第 3 電流経路と、を含み、前記第 2 電流は前記温度比例電流生成部で生成される電圧に基づいて生成され、前記電圧が前記温度反比例電流生成部の能動回路素子によって分けられ、前記第 2 電流が生成されることを特徴とする請求項 3 0 記載のバイアス電流発生器。

【請求項 3 2】

前記温度比例電流生成部は、

第 1 レファレンス電圧と第 3 ノードとの間に直列に連結される第 1 ダイオードと、

前記第 1 レファレンス電圧と第 4 ノードとの間に直列に連結される第 2 ダイオードと、

第 1 乃至第 4 P M O S トランジスタを含み、前記第 1 P M O S トランジスタ及び前記第 2 P M O S トランジスタは、第 3 ノードと第 1 ノードとの間に直列に連結され、前記第 3 P M O S トランジスタ及び前記第 4 P M O S トランジスタは前記第 4 ノードと第 2 ノードとの間に直列に連結され、前記第 1 P M O S トランジスタ及び前記第 3 P M O S トランジスタのゲートは前記第 2 ノードに連結され、前記第 2 P M O S トランジスタ及び前記第 4 P M O S トランジスタのゲートは第 1 バイアス電圧に連結される P M O S カスコード電流ミラーと、

30

第 1 乃至第 4 N M O S トランジスタを含み、前記第 1 N M O S トランジスタ及び前記第 2 N M O S トランジスタは前記第 1 ノードと第 2 レファレンス電圧との間に直列に連結され、前記第 3 N M O S トランジスタ及び前記第 4 N M O S トランジスタは前記第 2 ノードと前記第 2 レファレンス電圧との間に直列に連結され、前記第 1 N M O S トランジスタ及び前記第 3 N M O S トランジスタのゲートは第 2 バイアス電圧に連結され、前記第 2 N M O S トランジスタ及び前記第 4 N M O S トランジスタのゲートは前記第 1 ノードに連結される N M O S カスコード電流ミラーと、を含むことを特徴とする請求項 1 8 記載のバイアス電流発生器。

40

【請求項 3 3】

前記第 1 レファレンス電圧は電源電圧であり、前記第 2 レファレンス電圧は接地電位であることを特徴とする請求項 3 2 記載のバイアス電流発生器。

【請求項 3 4】

前記第 1 ダイオードは、エミッタが前記第 3 ノードに連結され、ベース及びコレクタが

50

前記第 1 レファレンス電圧に連結される NPN 型 BJT であり、前記第 2 ダイオードはエミッタが前記第 4 ノードに連結され、ベース及びコレクタが前記第 1 レファレンス電圧に連結される NPN 型 BJT であることを特徴とする請求項 3 2 記載のバイアス電流発生器。

【請求項 3 5】

前記第 1 バイアス電圧は、前記第 2 PMOS トランジスタ及び前記第 4 PMOS トランジスタを飽和させることができる電圧レベルを有し、前記第 2 バイアス電圧は、前記第 1 NMOS トランジスタ及び前記第 3 NMOS トランジスタを飽和させることができる電圧レベルを有することを特徴とする請求項 3 2 記載のバイアス電流発生器。

【請求項 3 6】

前記温度反比例電流生成部は、

前記第 1 レファレンス電圧と第 5 ノードとの間に直列に連結される第 5 PMOS トランジスタ及び第 6 PMOS トランジスタと、

前記第 5 ノードと前記第 2 レファレンス電圧との間に直列に連結される第 5 NMOS トランジスタ及び第 6 NMOS トランジスタと、

前記第 1 レファレンス電圧と第 6 ノードとの間に直列で連結される第 7 PMOS トランジスタ及び第 8 PMOS トランジスタと、

前記第 6 ノードと前記第 2 レファレンス電圧との間に連結される第 7 NMOS トランジスタと、を含み、前記第 5 PMOS トランジスタ及び前記第 6 PMOS トランジスタはそれぞれダイオード連結され、前記第 5 NMOS トランジスタのゲートは前記第 2 バイアス電圧に連結され、前記第 6 NMOS トランジスタのゲートは前記第 1 ノードに連結され、第 7 PMOS トランジスタのゲートは前記第 5 ノードに連結され、前記第 8 PMOS トランジスタのゲートは前記第 2 ノードに連結され、前記第 7 NMOS トランジスタのゲートは前記第 6 ノードに連結されることを特徴とする請求項 3 2 記載のバイアス電流発生器。

【請求項 3 7】

前記加算部は、

第 7 ノードと前記第 2 レファレンス電圧との間に直列に連結される第 8 NMOS トランジスタ及び第 9 NMOS トランジスタと、

前記第 7 ノードと前記第 2 レファレンス電圧との間に連結される第 10 NMOS トランジスタと、

前記第 1 レファレンス電圧と前記第 7 ノードとの間に連結される第 9 PMOS トランジスタと、

前記第 1 レファレンス電圧と前記バイアス電流が生成されるバイアスノードとの間に連結される第 10 PMOS トランジスタと、を含み、前記第 8 NMOS トランジスタのゲートは前記第 2 バイアス電圧に連結され、前記第 9 NMOS トランジスタのゲートは前記第 1 ノードに連結され、前記第 10 NMOS トランジスタのゲートは前記第 6 ノードに連結され、前記第 9 PMOS トランジスタのゲートは前記第 7 ノードに連結され、第 10 PMOS トランジスタのゲートは前記第 7 ノードに連結されることを特徴とする請求項 3 6 記載のバイアス電流発生器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、集積回路装置に係り、より詳細には、集積回路装置において、バイアス電流を提供する回路に関する。

バイアス電流発生器は、集積回路装置において、外部から印加される電源を用いてバイアス電流を提供する回路である。ここで、理想的なバイアス電流発生器は供給される電源やプロセスパラメータまたは動作温度の変化に独立的に一定のバイアス電流を提供すべきである。

【背景技術】

【0002】

従来技術によるバイアス電流発生器は、特許文献１に開示されている。従来のバイアス電流発生器には動作温度が増加することによって増加する電流を提供する温度比例（ $P T A T$ ）電流提供回路や、動作温度が増加することにより減少する電流を提供する温度反比例（ $I P T A T$ ）電流提供回路及び温度と供給電源の変化に影響の少ない温度比例電流と温度反比例電流とが加算されたバイアス電流を提供する回路がある。

【０００３】

従来技術による温度比例電流提供回路及び温度反比例電流提供回路はそれぞれ温度比例電流及び温度反比例電流を生成するために抵抗素子を用いた。抵抗素子はプロセス変化や温度変化によってその特性の変化が激しいので、従来技術によって生成されたバイアス電流もまたプロセスまたは温度変化に影響を受けるようになる。

10

【特許文献１】米国特許第６、２０１、４３６号

【発明の開示】

【発明が解決しようとする課題】

【０００４】

前記のような問題点を解決するための本発明の目的は、抵抗素子なしに供給される電源や工程プロセス及び動作温度の変化にもかかわらず安定的で一定のバイアス電流を生成する電流発生器を提供することにある。

【課題を解決するための手段】

【０００５】

前記目的を達成するための本発明の一特徴によると、動作温度に比例する第１電流を生成する能動回路素子を含む温度比例電流生成部と、前記動作温度に反比例する第２電流を生成する能動回路素子を含む温度反比例電流生成部と、前記第１電流及び前記第２電流を加算してバイアス電流を生成する加算部と、を含むことを特徴とするバイアス電流発生器が提供される。

20

【０００６】

前記目的を達成するための本発明のまた他の特徴によると、複数のトランジスタを含む第１電流経路及び複数のトランジスタを含む第２電流経路を含み、動作温度に比例する第１電流を生成する温度比例電流生成部と、複数のトランジスタを含む第３電流経路を含み、前記動作温度に反比例する第２電流を生成する温度反比例電流生成部と、前記第１電流及び前記第２電流を加算してバイアス電流を生成する加算部と、を含み、前記第２電流経路の複数のトランジスタのうち、少なくとも一つは前記第１電流経路の前記複数のトランジスタより一つと対応し、前記第１電流経路及び前記第２電流経路の対応される前記トランジスタのうち、少なくとも一対は異なるトランジスタサイズを有し、前記第１電流は前記異なるトランジスタサイズに対応して生成され、前記第２電流は前記温度比例電流生成部で生成される電圧に基づいて生成され、前記電圧が前記第３電流経路の前記トランジスタによって分けられ、前記第２電流が生成されることを特徴とするバイアス電流発生器が提供される。

30

【発明を実施するための最良の形態】

【０００７】

以下、本発明の望ましい実施例を添付した図面を参照して詳細に説明する。まず、各図面の構成要素の参照符号は同一の構成要素に対しては、他の図面に示されても可能な限り同一の符号を付与するようにした。また、本発明の説明において、関連した公知の構成または機能に対する具体的な説明が本発明の要旨を阻害すると判断される場合にはその詳細な説明は省略する。

40

【０００８】

図１は、本発明の一実施例によるバイアス電流発生器の回路図である。

図１を参照すると、バイアス電流発生器は温度比例電流生成部２００、温度反比例電流生成部４００及び加算部５００を含む。

温度比例電流生成部２００及び温度反比例電流生成部４００は、 $N M O S$ または $P M O S$ トランジスタ、バイポーラ接合トランジスタ（ $B J T$ ）などのような能動素子のみで構

50

成され、抵抗のような受動素子は含まない。

【0009】

温度比例電流生成部200は、温度が増加することによって増加し、温度が減少することによって減少する第1サブ電流(I1)を生成する。温度反比例電流生成部400は、温度が増加することによって減少し、温度が減少することによって増加する第2サブ電流(I2)を生成する。加算部500は、第1サブ電流(I1)及び第2サブ電流(I2)を加算して加算電流(I3)を生成する。温度比例電流生成部200及び温度反比例電流生成部400は抵抗のような受動素子を含まないで、図1のバイアス電流発生器は工程プロセスや供給電源及び温度の変化にほぼ影響を受けない。

【0010】

10

温度比例電流生成部200は、PMOSカスコード電流ミラー211、NMOSカスコード電流ミラー220、及び二つのBJT209、210を含む。

PMOSカスコード電流ミラー211は、四つのPMOSTランジスタ205、206、207、208を含む。

【0011】

第1PMOSTランジスタ208と第2PMOSTランジスタ206は、第1レファレンス電圧(VDD)と第1ノード240との間に直列に連結され、第3PMOSTランジスタ207と第4PMOSTランジスタ205は、第1レファレンス電圧(VDD)と第2ノード242との間に直列に連結される。第1PMOSTランジスタ208と第3PMOSTランジスタ207のゲートは第1ノード240に連結され、第2PMOSTランジスタ206と第4PMOSTランジスタ205のゲートは第1バイアス電圧(Vcas p)に連結される。

20

【0012】

NMOSカスコード電流ミラー220は、四つのNMOSTランジスタ201、202、203、204を含む。

第1NMOSTランジスタ204と第2NMOSTランジスタ202は、第1ノード240と第3ノード244との間に直列に連結され、第3NMOSTランジスタ203と第4NMOSTランジスタ201は、第2ノード242と第4ノード246との間に直列に連結される。第1NMOSTランジスタ204と第3NMOSTランジスタのゲートは第2バイアス電圧(Vcas n)に連結され、第2NMOSTランジスタ202と第4NMOSTランジスタ201のゲートは第2ノード242に連結される。

30

【0013】

第1BJT210は、第3ノード244と第2レファレンス電圧(GND)との間にダイオード連結される。第1BJT210のベース及びコレクタは第2レファレンス電圧(GND)に連結され、エミッタは第2NMOSTランジスタ202のソースに連結される。

【0014】

第2BJT209は、第4ノード246と第2レファレンス電圧(GND)との間にダイオード連結される。第2BJT209のベース及びコレクタは第2レファレンス電圧(GND)に連結され、エミッタは第4NMOSTランジスタ201のソースに連結される。

40

【0015】

第3PMOSTランジスタ207及び第1PMOSTランジスタ208は、同一対であり、第4PMOSTランジスタ205及び第2PMOSTランジスタ206は同一対である。したがって、第1サブ電流(I1)及び第1ミラーサブ電流(I1')は実質的に同一になる。

【0016】

NMOSTランジスタ(201、202)のゲートが互いに連結されているので、第2レファレンス電圧(GND)を基準とした第4NMOSTランジスタ201のゲートの電圧と第2レファレンス電圧(GND)を基準とした第2NMOSTランジスタ202のゲ

50

ートの電圧は同一である。したがって、下記の数式 1 のように表現することができる。

【 0 0 1 7 】

【 数 1 】

$$V_{be1} + V_{gs201} = V_{be2} + V_{gs202}$$

数式 1 で V_{be1} 及び V_{be2} は、それぞれ BJT (209、210) のエミッタ・ベース電圧であり、 V_{gs201} 及び V_{gs202} はそれぞれ NMOS トランジスタ (201、202) のゲート・ソース電圧である。

10

BJT のベース・エミッタ電圧は下記の数式 2 のように示される。

【 0 0 1 8 】

【 数 2 】

$$V_{be} = V_T \cdot \ln \frac{I_C}{I_S}$$

数式 2 で V_{be} は BJT のベースエミッタ電圧であり、 V_T は熱電圧であり、 I_C はコレクタ電流であり、 I_S は BJT の飽和電流である。

20

また、MOS トランジスタのゲート・ソース電圧は下記の数式 3 のように示される。

【 0 0 1 9 】

【 数 3 】

$$V_{gs} = \sqrt{\frac{2I_D}{\mu_n C_{ox} (W/L)}} + V_{th}$$

前記数式 3 で V_{gs} は MOS トランジスタのゲート・ソース電圧であり、 I_D は MOS トランジスタのドレイン電流であり、 μ_n は電子移動度であり、 C_{ox} はゲート電極とチャンネルとによって形成されたキャパシタの単位面積当たりキャパシタンスであり、 W/L は MOS トランジスタのトランジスタサイズであり、 V_{th} は MOS トランジスタのしきい電圧である。

30

BJT のベース電流を無視し、数式 2 及び数式 3 を数式 1 に適用すると下記の数式 4 が得られる。

【 0 0 2 0 】

【 数 4 】

$$\begin{aligned} & V_T \cdot \ln \frac{I_1'}{I_{S209}} + \sqrt{\frac{2I_1'}{\mu_n C_{ox} (W/L)_{201}}} + V_{th201} \\ & = V_T \cdot \ln \frac{I_1}{I_{S210}} + \sqrt{\frac{2I_1}{\mu_n C_{ox} (W/L)_{202}}} + V_{th202} \end{aligned}$$

40

【 0 0 2 1 】

数式 4 で I_1' はミラーサブ電流 (I_1') であり、 I_{S209} は第 2 BJT 209 の飽和電流であり、 $(W/L)_{201}$ は第 4 NMOS トランジスタ 201 のトランジスタサイズであり、 V_{th201} は第 4 NMOS トランジスタ 201 のしきい電圧である。また

50

、 I_1 は第1サブ電流 (I_1) であり、 I_{S210} は第1BJT210の飽和電流であり、 $(W/L)_{202}$ は第2NMOSトランジスタ202のトランジスタサイズであり、 V_{th202} は第2NMOSは第2NMOSトランジスタ202のしきい電圧である。数式におけるこのような表現は今後の全ての数式に適用される。

【0022】

ボディ効果を見無視すると、 $V_{th201} = V_{th202}$ にすることができ、第1サブ電流 (I_1) は第1ミラーサブ電流 (I_1') と同一であるので下記の数式5が得られる。

【0023】

【数5】

10

$$V_T \cdot \ln \frac{I_{S210}}{I_{S209}} = \sqrt{\frac{2I_1}{\mu_n C_{ox} (W/L)_{201}}} \left(\sqrt{\frac{(W/L)_{201}}{(W/L)_{202}}} - 1 \right)$$

数式5を第1サブ電流 (I_1) に対して書き直すと下記の数式6が得られる。

【0024】

【数6】

$$I_1 = \frac{\mu_n C_{ox} (W/L)_{201} \left(\frac{kT}{q} \cdot \ln m \right)^2}{2 (\sqrt{n} - 1)^2}$$

20

【0025】

数式6は、 V_T を kT/q (k はボルツマン定数、 T は絶対温度、 q は電子の電荷量) で示したものである。前記の記号は今後の数式にも同一に用いられる。

数式6で I_{S210}/I_{S209} は m で示し、 $(W/L)_{201}/(W/L)_{202}$ は n で示した。この m 及び n は全て1より大きい実数である。例えば、 m は7であり、 n は2であってもよい。

【0026】

30

図1に示した第1BJT210は第2BJT209より m 倍飽和電流を有する一つのトランジスタで実現することもできるが、 m が自然数である場合であれば、第2BJT209 m 個を並列連結する方式で実現することもできる。

MOSTランジスタを用いた回路で $U_n C_{ox}$ は $T^{-1.5}$ に比例する。したがって、数式6で第1サブ電流 (I_1) は $T^{0.5}$ に比例し、 $-55 \sim 125$ のような関心ある温度領域で第1サブ電流 (I_1) はほぼ温度に線形的に比例する。

【0027】

以下、温度比例電流生成部200が、温度が増加することによって減少し、温度が減少することによって増加するバイアス電流を提供する動作を説明する。

ここで、温度比例は温度が増加することによって増加し、温度が減少することによって減少する全ての場合を含む。

40

第2レファレンス電圧 (GND) を基準とした第4NMOSTランジスタ201のゲート電圧 (V_{gn}) は下記の数式7のように示される。

【0028】

【数 7】

$$\begin{aligned}
 V_{gn} &= V_{be1} + V_{gs201} \\
 &= V_{be1} + \sqrt{\frac{2I_1}{\mu_n C_{ox} (W/L)_{201}}} + V_{th} \\
 &= V_{be1} + V_{th} + \frac{kT}{q} \cdot \frac{\ln m}{\sqrt{n-1}}
 \end{aligned}$$

10

【0029】

数式 7 で V_{th} は第 4 NMOS トランジスタ 201 のしきい電圧である。

数式 2 で左 / 右辺を温度 T に対して偏微分すると、下記数式 8 が得られる。

【0030】

【数 8】

$$\frac{\partial V_{be1}}{\partial T} = \frac{\partial V_T}{\partial T} \ln I_{C209} + \frac{V_T}{I_{C209}} \frac{\partial I_{C209}}{\partial T} - \frac{\partial V_T}{\partial T} \ln I_{S209} - \frac{V_T}{I_{S209}} \frac{\partial I_{S209}}{\partial T}$$

20

【0031】

BJT のベース電流を無視すると、 I_{C209} は第 1 サブ電流 (I_1) と実質的に同一であると見なすことができ、前述したように第 1 サブ電流 (I_1) は $T^{0.5}$ に比例するので、 I_{C209} は下記の数式 9 のように示される。

【0032】

【数 9】

$$I_{C209} = c \cdot T^{0.5}$$

30

【0033】

数 9 で、 c は比例常数であり、 T は温度を示す。

また、 I_{S209} は下記の数式 10 のように示される。

【0034】

【数 10】

$$I_{S209} = b \cdot T^{2.5} e^{-E_g/kT}$$

40

【0035】

数式 10 で、 b は比例常数であり、 E_g はバンドギャップエネルギーを示す。バンドギャップエネルギー E_g は 1.12 eV 程度として知られている。 k と T は前述の通りである。

数式 9 及び前記数式 10 から下記の数式 11 乃至数式 14 が得られる。

【0036】

【数 1 1】

$$\frac{\partial V_T}{\partial T} \ln I_{C209} = -\frac{V_T}{T} \ln I_{C209}$$

【0 0 3 7】

【数 1 2】

10

$$\frac{V_T}{I_{C209}} \frac{\partial I_{C209}}{\partial T} = \frac{V_T}{cT^{0.5}} \cdot \frac{1}{2} cT^{-0.5} = -\frac{V_T/2}{T}$$

【0 0 3 8】

【数 1 3】

$$\frac{\partial V_T}{\partial T} \ln I_{S209} = -\frac{V_T}{T} \ln I_{S209}$$

20

【0 0 3 9】

【数 1 4】

$$\frac{V_T}{I_{S209}} \frac{\partial I_{S209}}{\partial T} = \frac{5}{2} \frac{V_T}{T} + \frac{E_g}{kT^2} V_T = \frac{2.5 V_T}{T} + \frac{E_g/q}{T}$$

【0 0 4 0】

30

数式 1 1 乃至数式 1 4 を数式 8 に適用すると、下記の数式 1 5 が得られる。

【0 0 4 1】

【数 1 5】

$$\begin{aligned} \frac{\partial V_{be1}}{\partial T} &= -\frac{V_T}{T} \ln I_{C209} + \frac{V_T/2}{T} - \frac{V_T}{T} \ln I_{S209} - \frac{2.5 V_T}{T} - \frac{E_g/q}{T} \\ &= \frac{V_{be1} - 2 V_T - E_g/q}{T} \end{aligned}$$

40

【0 0 4 2】

例えば、 $V_{be1} = 0.8 \text{ V}$ 、 $V_T = 26 \text{ mV}$ 、 $E_g/q = 1.12 \text{ V}$ 、 $T = 300 \text{ K}$ で数式 1 5 を通じて -1.2 mV/ 程度の温度係数 (TC) が得られる。

【0 0 4 3】

温度が増加することによって MOS トランジスタのしきい電圧が減少する。したがって、数式 7 で V_{th} も負の温度係数を有する。

例えば、 V_{th} は -2.5 mV/ 程度の温度係数を有する。

【0 0 4 4】

例えば、数式 7 の右辺で三番目のタームは温度に比例するが関心ある温度範囲で一番目

50

のタームと二番目のタームに比べて相対的にその影響が少ない。例えば、数式 7 の右辺で三番目のタームは $0.4 \text{ mV} /$ 程度の温度係数を有する。したがって、数式 7 の右辺は温度が増加することによって減少し、温度が減少することによって増加する。結局、基準電圧 (V_{gn}) は、温度が増加することによって減少し、温度が減少することによって増加する。特に、 $-55 \sim 125$ のような関心ある温度領域にて基準電圧は温度の増加によってほぼ線形的に減少する。

【0045】

温度反比例電流生成部 400 は制御電圧提供部 410、第 2 サブ電流生成部 412 を含む。

制御電圧提供部 410 は、第 1 レファレンス電圧 (V_{DD}) と第 5 ノード 414 との間に直列に連結される第 5 PMOS トランジスタ 401 と第 6 PMOS トランジスタ 402 を含む。第 5 PMOS トランジスタ 401 のゲートは第 1 ノード 240 連結され、第 6 PMOS トランジスタ 402 のゲートは第 1 バイアス電圧 (V_{casp}) に連結される。

10

【0046】

また、制御電圧提供部 410 は第 5 ノード 414 と第 2 レファレンス電圧 (GND) との間に直列に連結される第 5 NMOS トランジスタ 403 と第 6 NMOS トランジスタ 404 を含む。第 5 NMOS トランジスタ 403 及び第 6 NMOS トランジスタ 404 のゲートはそれぞれソースに連結されることによって、第 5 NMOS トランジスタ 403 と第 6 NMOS トランジスタ 404 はダイオード連結され、ダイオードのように動作する。

【0047】

20

第 2 サブ電流生成部 412 は、第 1 レファレンス電圧 (V_{DD}) と第 6 ノード 416 との間に直列に連結される第 7 PMOS トランジスタ 407 を含む。第 7 PMOS トランジスタ 407 のゲートは第 6 ノード 416 に連結される。

【0048】

また、第 2 サブ電流生成部 412 は、第 6 ノード 416 と第 2 レファレンス電圧 (GND) との間に直列に連結される第 7 NMOS トランジスタ 405 と第 8 NMOS トランジスタ 406 を含む。第 7 NMOS トランジスタ 405 のゲートは第 4 NMOS トランジスタ 201 のゲートに連結され、第 8 NMOS トランジスタ 406 のゲートは第 5 ノード 414 に連結される。

【0049】

30

制御電圧提供部 410 は、第 8 NMOS トランジスタ 406 が線形領域で動作するようにする制御電圧 (V_{g406}) を第 8 NMOS トランジスタ 406 のゲートに提供する。第 8 NMOS トランジスタ 406 は線形領域で動作することによって抵抗素子の役割を果たす。

【0050】

前述したように、第 4 NMOS トランジスタ 201 のゲート電圧 V_{gn} は温度に反比例するものの、第 7 NMOS トランジスタ 405 のゲートに V_{gn} が入力されることによって、温度が増加すると減少し、温度が減少すると増加する第 2 サブ電流 (I_2) が生成される。

【0051】

40

以下、温度反比例電流生成部 400 がどのようにして温度が増加することによって減少し、温度が減少することによって増加する第 2 サブ電流 (I_2) を生成するか説明する。

ここで、温度反比例は温度が増加することによって減少し、温度が減少することによって増加する全ての場合を含む。

第 8 NMOS トランジスタ 406 のドレイン電流は下記の数式 16 のように示される。

【0052】

【数 1 6】

$$I_2 = \frac{1}{1/g_{m405} + r_{ds406}} \cdot V_{gn} \approx \frac{V_{gn}}{r_{ds406}}$$

【0053】

数式 16 で、 I_2 は第 8 NMOS トランジスタ 406 のドレイン電流であり、この電流が第 2 サブ電流 (I_2) になる。また、 G_{m405} は第 7 NMOS トランジスタ 405 のトランスコンダクタンスであり、 r_{ds406} は線形領域で動作する第 8 NMOS トランジスタ 406 の等価抵抗である。数式 16 での近似化は r_{ds406} が $1/g_{m405}$ より更に大きいと仮定したものである。実際に、NMOS トランジスタのトランスコンダクタンスは非常に大きい値であり、第 8 NMOS トランジスタ 406 のトランジスタサイズ (aspect ratio または W/L) を小さくして r_{ds406} を大きくすることができ、数式 16 のように近似化することができる。

10

第 8 NMOS トランジスタ 406 の等価抵抗は下記の数式 17 のように示される。

【0054】

【数 1 7】

$$r_{ds406} = \frac{1}{\mu_n C_{ox} (W/L)_{406} (V_{g406} - V_{th})}$$

20

数式 17 で V_{g406} は図 1 に示した制御電圧 (V_{g406}) である。

ここで、制御電圧 (V_{g406}) は下記の数式 18 のように示される。

【0055】

【数 18】

$$\begin{aligned}
V_{gs406} &= V_{gs404} + V_{gs403} \\
&= \sqrt{\frac{2I_{D404}}{\mu_n C_{ox} (W/L)_{404}}} + V_{th} + \sqrt{\frac{2I_{D403}}{\mu_n C_{ox} (W/L)_{403}}} + V_{th} \\
&= \frac{\sqrt{\frac{2I_1 (W/L)_{401}/(W/L)_{208}}{\mu_n C_{ox} (W/L)_{404}}} + \sqrt{\frac{2I_1 (W/L)_{401}/(W/L)_{208}}{\mu_n C_{ox} (W/L)_{403}}} + 2V_{th} \\
&= \sqrt{\frac{2 \frac{(W/L)_{401}}{(W/L)_{208}} \mu_n C_{ox} (W/L)_{201} \left(\frac{kT}{q} \ln m\right)^2}{\mu_n C_{ox} (W/L)_{404} 2(\sqrt{n}-1)^2}} \\
&\quad + \sqrt{\frac{2 \frac{(W/L)_{401}}{(W/L)_{208}} \mu_n C_{ox} (W/L)_{201} \left(\frac{kT}{q} \ln m\right)^2}{\mu_n C_{ox} (W/L)_{403} 2(\sqrt{n}-1)^2}} + 2V_{th} \\
&= \frac{kT}{q} \cdot \frac{\ln m}{\sqrt{n}-1} \left(\sqrt{\frac{(W/L)_{401} (W/L)_{201}}{(W/L)_{208} (W/L)_{404}}} + \sqrt{\frac{(W/L)_{401} (W/L)_{201}}{(W/L)_{208} (W/L)_{403}}} \right) + 2V_{th}
\end{aligned}$$

第5NMOSTランジスタ403のボディ効果を見無視し、数式18を数式17に適用すると、下記の数式19が得られる。

【0056】

【数 19】

$$\begin{aligned}
r_{ds406} &= \frac{1}{\mu_n C_{ox} (W/L)_{406} \left[\frac{kT}{q} \cdot \frac{\ln m}{\sqrt{n}-1} \left(\sqrt{\frac{(W/L)_{401} (W/L)_{201}}{(W/L)_{208} (W/L)_{404}}} + \sqrt{\frac{(W/L)_{401} (W/L)_{201}}{(W/L)_{208} (W/L)_{403}}} \right) + V_{th} \right]}
\end{aligned}$$

【0057】

数式19の右辺で大括弧の中の一番目のタームは温度が増加することによって増加し、二番目のタームは温度が増加することによって減少する。逆に、数式19の右辺で大括弧の中の一番目のタームは温度が減少することによって減少し、二番目のタームは温度が減少することによって増加する。したがって、第5PMOSTランジスタ401及びNMOSTランジスタ(403、404、406)などのランジスタサイズを調節して温度変化にもかかわらず抵抗値が一定に維持されるようにすることができる。特に、制御電圧(V_{g406})を発生させるために二つのNMOSTランジスタ(403、404)を用いることが重要であり、これらのうち、一つのNMOSTランジスタが省略される場合、数式18の結果において右辺の二番目のタームが $2V_{th}$ から V_{th} に変更され、結果的に

数式 19 の結果において右辺の二番目のタームが除去されるようになる。このような場合、 r_{ds406} は温度の変化によって抵抗値が変化するようになる。

【0058】

温度比例電流生成部 200 で生成された基準電圧 (V_{gn}) は、温度が増加することによって減少し、温度が減少することによって増加するので、数式 16 の近似化によって第 2 サブ電流は温度が増加すると減少し、温度が減少すると増加するようになる。

【0059】

加算部 500 は、第 1 ミラー部 520、第 2 ミラー部 530、及び第 3 ミラー部 540 を含む。

第 1 ミラー部 520 は、第 1 レファレンス電圧 (V_{DD}) と第 7 ノード 514 との間に直列に連結される第 8 PMOS トランジスタ 508 と第 9 PMOS トランジスタ 509 を含む。第 8 PMOS トランジスタ 508 のゲートは第 1 ノード 240 に連結され、第 9 PMOS トランジスタ 509 のゲートは第 1 バイアス電圧 (V_{casp}) に連結される。第 1 ミラー部 520 は第 7 ノード 514 に第 1 サブ電流 (I_1) のミラー電流を提供する。

【0060】

第 2 ミラー部 530 は、第 1 レファレンス電圧 (V_{DD}) と第 7 ノード 514 との間に連結される第 10 PMOS トランジスタ 510 を含む。第 10 PMOS トランジスタ 510 のゲートは第 6 ノード 416 に連結される。第 2 ミラー部 530 は第 7 ノード 514 に第 2 サブ電流 (I_2) のミラー電流を提供する。

【0061】

第 7 ノード 514 で第 1 サブ電流 (I_1) のミラー電流及び第 2 サブ電流 (I_2) のミラー電流を加算して加算電流 (I_3) が生成される。加算電流 (I_3) は第 3 ミラー部 540 に印加されるものの、第 3 ミラー部 540 は、二つの NMOS トランジスタ (511、512) を含む。第 9 NMOS トランジスタ 511 は、第 7 ノード 514 と第 2 レファレンス電圧 (GND) との間に連結され、第 10 NMOS トランジスタ 512 はバイアスノード 516 と第 2 レファレンス電圧 (GND) との間に連結される。第 9 NMOS トランジスタ 511 及び第 10 NMOS トランジスタ 512 のゲートは互いに連結され、第 7 ノード 514 にそれぞれ連結される。加算電流 (I_3) は第 9 NMOS トランジスタ 511 に流れ、加算電流 1 (I_3) が第 10 NMOS トランジスタ 512 で複製されることによってバイアス電流 (I_{bias}) が生成される。

【0062】

前述したように、第 1 サブ電流 (I_1) のミラー電流は温度に比例し、第 2 サブ電流 (I_2) のミラー電流は温度に反比例する。したがって、加算電流 (I_3) のミラー電流であるバイアス電流 (I_{bias}) は下記の数式 20 のように示される。

【0063】

【数 20】

$$I_{bias} = \left[\frac{(W/L)_{508}}{(W/L)_{208}} I_1 + \frac{(W/L)_{510}}{(W/L)_{407}} I_2 \right] \cdot \frac{(W/L)_{512}}{(W/L)_{511}}$$

【0064】

数式 20 で、 I_{bias} は、バイアス電流 (I_{bias}) であり、 I_1 は第 1 サブ電流 (I_1) であり、 I_2 は第 2 サブ電流 (I_2) である。数式 20 で温度が増加することによって第 1 サブ電流 (I_1) は増加し、第 2 サブ電流 (I_2) は減少する。また、温度が減少することによって第 1 サブ電流 (I_1) は減少し、第 2 サブ電流 (I_2) は増加する。したがって、トランジスタのトランジスタサイズを適切に調節してバイアス電流 (I_{bias}) が一定に維持されるようにすることができる。また、第 9 NMOS トランジスタ 511 及び第 10 NMOS トランジスタ 512 のトランジスタサイズを調節してバイアス

電流 (I b a i s) の大きさを調節することができる。

【 0 0 6 5 】

図 2 は、本発明の一実施例によるバイアス電流発生器の回路図である。

図 2 を参照すると、本発明の一実施例によるバイアス電流発生器は、温度比例電流生成部 2 0 0、温度反比例電流生成部 4 0 0、加算部 5 0 0、バイアス電圧生成部 3 0 0、及び始動部 1 0 0 を含む。

【 0 0 6 6 】

図 2 に示した温度比例電流生成部 2 0 0、温度反比例電流生成部 4 0 0、及び加算部 5 0 0 は、図 1 に示したそれと同一であり、同一の図面符号で表示した。

【 0 0 6 7 】

以下、バイアス電圧生成部 3 0 0 及び始動部 1 0 0 について説明する。

バイアス電圧生成部 3 0 0 は、温度比例電流生成部 2 0 0 に第 1 バイアス電圧 (V c a s p) 及び第 2 バイアス電圧 (V c a s n) を提供する。

バイアス電圧生成部 3 0 0 は、第 1 電圧生成部 3 2 0 及び第 2 電圧生成部 3 3 0 を含む。第 1 電圧生成部 3 2 0 は温度比例電流生成部 2 0 0 の P M O S カスコード電流ミラー 2 1 1 に第 1 バイアス電圧 (V c a s p) を提供する。第 2 電圧生成部 3 3 0 は、温度比例電流生成部 2 0 0 の N M O S カスコード電流ミラー 2 2 0 に第 2 バイアス電圧 (V c a s n) を提供する。

【 0 0 6 8 】

第 1 電圧生成部 3 2 0 は、P M O S トランジスタ (3 0 7、3 1 1、3 1 2、3 1 3) 及び N M O S トランジスタ (3 0 8、3 0 9、3 1 0) を含む。

【 0 0 6 9 】

第 1 1 P M O S トランジスタ 3 0 7 と第 1 1 N M O S トランジスタ 3 0 8 は、第 1 レファレンス電圧 (V D D) と第 2 レファレンス電圧 (G N D) との間に直列に連結される。また、第 1 2 P M O S トランジスタ 3 1 1 と第 1 2 N M O S トランジスタ 3 0 9 は第 1 レファレンス電圧 (V D D) と第 2 レファレンス電圧 (G N D) との間に直列に連結される。また、第 1 3 P M O S トランジスタ 3 1 2 と第 1 4 P M O S トランジスタ 3 1 3、及び第 1 3 N M O S トランジスタ 3 1 0 は第 1 レファレンス電圧 (V D D) と第 2 レファレンス電圧 (G N D) との間に直列に連結される。第 1 1 N M O S トランジスタ 3 0 7 のゲートは第 1 ノード 2 4 0 に連結される。第 1 1 N M O S トランジスタ 3 0 8 のゲートは第 1 1 P M O S トランジスタ 3 0 7 と第 1 1 N M O S トランジスタ 3 0 8 との間の接合ノードに連結され、第 1 2 N M O S トランジスタ 3 0 9 及び第 1 3 N M O S トランジスタ 3 1 0 のゲートに連結される。第 1 2 P M O S トランジスタ 3 1 1 のゲートは第 1 2 P M O S トランジスタ 3 1 1 と第 1 2 N M O S トランジスタ 3 0 9 との間の接合のノードに連結され、第 1 3 P M O S トランジスタ 3 1 2 のゲートに連結される。第 1 4 P M O S トランジスタ 3 1 3 のゲートは第 1 4 P M O S トランジスタ 3 1 3 と第 1 3 N M O トランジスタ 3 1 0 との間の接合ノードに連結され、第 1 バイアス電圧 (V c a s p) を始動部 1 0 0 と温度比例電流生成部 2 0 0 及び温度反比例電流生成部 4 0 0 に提供する。

【 0 0 7 0 】

第 2 電圧生成部 3 3 0 は、P M O S トランジスタ (3 0 1、3 0 2)、N M O S トランジスタ (3 0 3、3 0 4、3 0 5)、及び B J T 3 0 6 を含む。

第 1 5 P M O S トランジスタ 3 0 1 と第 1 5 N M O S トランジスタ 3 0 5 は、第 1 レファレンス電圧 (V D D) と第 8 ノード 5 1 8 との間に直列に連結される。また、第 1 6 P M O S トランジスタ 3 0 2 と第 1 4 N M O S トランジスタ 3 0 3 及び第 1 6 N M O S トランジスタ 3 0 4 は、第 1 レファレンス電圧 (V D D) と第 8 ノード 5 1 8 との間に直列に連結される。第 3 B J T 3 0 6 は第 8 ノード 5 1 8 と第 2 レファレンス電圧 (G N D) との間にダイオード連結される。第 1 5 P M O S トランジスタ 3 0 1 及び第 1 6 P M O S トランジスタ 3 0 2 のゲートは第 1 ノード 2 4 0 に連結される。第 1 5 N M O S トランジスタ 3 0 5 のゲートは第 1 5 P M O S トランジスタ 3 0 1 と第 1 5 N M O S トランジスタ 3 0 5 との間の接合ノードに連結され、第 1 6 N M O S トランジスタ 3 0 4 のゲートに連結

10

20

30

40

50

される。第14NMOSトランジスタ303のゲートは第16PMOSトランジスタ302と第14NMOSトランジスタ303との間の接合ノードに連結され、第2バイアス電圧(V_{casn})を温度比例電流生成部200及び始動部100に提供する。第3BJT306のベースは第2レファレンス電圧(GND)に連結される。

【0071】

以下、第2電圧生成部330がどのようにして第2バイアス電圧(V_{casn})を生成するか説明する。

第2電圧生成部330で第2バイアス電圧(V_{casn})は第3BJT306のエミッタ・ベース電圧、第16NMOSトランジスタ304のドレイン・ソース電圧及び第14NMOSトランジスタ303のゲート・ソース電圧の和で示すことができる。したがって、下記の数式21が得られる。

10

【0072】

【数21】

$$V_{casn} = V_{be3} + V_{ds304} + V_{gs303}$$

【0073】

第3BJT306のエミッタ・ベース電圧(V_{be3})を適切な値にするために第15PMOSトランジスタ301及び第16PMOSトランジスタ302に流れる電流の和は第3PMOSトランジスタ207に流れる電流の p 倍になるべきである。ここで、 p は第3BJT306の飽和電流を第2BJT209の飽和電流で割った値であって、1を含む正の実数であってもよい。第3BJT306は第2BJT209より m 倍の飽和電流を有する一つのトランジスタで実現することができ、 m が自然数である場合であれば、第2BJT209 m 個を並列連結する方式で実現することもできる。したがって、下記の数式22が得られる。

20

【0074】

【数22】

$$\left(\frac{W}{L}\right)_{301} + \left(\frac{W}{L}\right)_{302} = p \left(\frac{W}{L}\right)_{207}$$

30

【0075】

第16NMOSトランジスタ304のドレイン・ソース電圧を適切な値にするためには、下記の数式23及び24を満たすようにすることができる。

【0076】

【数23】

$$\left(\frac{W}{L}\right)_{304} + \left(\frac{W}{L}\right)_{305} = p \left(\frac{W}{L}\right)_{201}$$

40

【0077】

【数24】

$$\frac{(W/L)_{304}}{(W/L)_{305}} = \frac{(W/L)_{302}}{(W/L)_{301}}$$

50

【 0 0 7 8 】

第 1 4 N M O S トランジスタ 3 0 3 のゲート・ソース電圧を適切な値にするために、下記の数式 2 5 を満たすようにすることができる。

【 0 0 7 9 】

【 数 2 5 】

$$\frac{(W/L)_{303}}{(W/L)_{203}} = \frac{(W/L)_{304}}{(W/L)_{201}} = \frac{(W/L)_{302}}{(W/L)_{207}}$$

10

【 0 0 8 0 】

その後、第 1 電圧生成部 3 2 0 がどのように第 1 バイアス電圧 (V c a s p) を生成するか説明する。

第 1 電圧生成部 3 2 0 で第 1 バイアス電圧 (V c a s p) は、第 1 レファレンス電圧 (V D D) で第 1 3 P M O S トランジスタ 3 1 2 のソース・ドレイン電圧及び第 1 4 P M O S トランジスタ 3 1 3 のソース・ゲート電圧を引いた電圧で示すことができる。したがって、下記の数式 2 6 が得られる。

【 0 0 8 1 】

【 数 2 6 】

20

$$V_{casp} = VDD + V_{ds312} + V_{gs313}$$

【 0 0 8 2 】

数式 2 6 で、 V_{ds312} は、第 1 3 P M O S トランジスタ 3 1 2 のドレイン・ソース電圧であって、負の値を有する。また、 V_{gs313} は第 1 4 P M O S トランジスタ 3 1 3 のゲート・ソース電圧であって負の値を有する。

【 0 0 8 3 】

第 1 3 P M O S トランジスタ 3 1 2 のドレイン・ソース電圧及び第 1 4 P M O S トランジスタ 3 1 3 のゲート・ソース電圧を適切な値にするために下記の数式 2 7 及び数式 2 8 を満たすようにすることができる。

30

【 0 0 8 4 】

【 数 2 7 】

$$\frac{(W/L)_{307}}{(W/L)_{207}} \cdot \frac{(W/L)_{309}}{(W/L)_{308}} \cdot \frac{(W/L)_{312}}{(W/L)_{311}} = \frac{(W/L)_{313}}{(W/L)_{205}}$$

【 0 0 8 5 】

【 数 2 8 】

40

$$\frac{(W/L)_{310}}{(W/L)_{309}} = \frac{(W/L)_{312}}{(W/L)_{311}}$$

したがって、トランジスタのトランジスタサイズを調節して適切な第 1 バイアス電圧 (V c a s p) の第 2 バイアス電圧 (V c a s n) を生成することができる。

【 0 0 8 6 】

始動部 1 0 0 は、電源印加の時、温度比例電流生成部 2 0 0 がデジェネレートバイアスポイントから外れるようにする。デジェネレートバイアスポイントは電源印加時、全ての

50

トランジスタが電流を流さない状態を意味する。

【0087】

始動部100は、PMOSTランジスタ(101、102)及びNMOSTランジスタ(103、104、105、106)を含むスタートアップ回路である。

【0088】

第17PMOSTランジスタ101と第18PMOSTランジスタ102及び第19NMOSTランジスタ105と第20NMOSTランジスタ106は第1レファレンス電圧(VDD)と第2レファレンス電圧(GND)との間に直列に連結される。第17NMOSTランジスタ103は第1ノード240と第2レファレンス電圧(GND)との間に連結される。第18NMOSTランジスタ104は、第1バイアス電圧(Vcas p)と第2レファレンス電圧(GND)との間に連結される。第17PMOSTランジスタ101及び第18PMOSTランジスタ102のゲートは第2レファレンス電圧(GND)に連結される。第17NMOSTランジスタ103及び第18NMOSTランジスタ104のゲートは、第16PMOSTランジスタ102と第19NMOSTランジスタ105との間の接合ノードに連結される。第19NMOSTランジスタ105のゲートは第2バイアス電圧(Vcas n)に連結される。第20NMOSTランジスタ106のゲートは第2ノード242に連結される。

【0089】

電源印加の初期に、NMOSTランジスタ(202、204)が電流を流さないと、NMOSTランジスタ(105、106)も電流を流さない。また、PMOSTランジスタ(101、102)も電流を流さない。したがって、第19NMOSTランジスタ105のドレイン・ノードの電圧(Vst)はNMOSTランジスタ(103、104)をオンさせるほど高い電圧にある。したがって、第1PMOSTランジスタ208のゲート電圧(Vgp)及び第2PMOSTランジスタ206のゲート電圧である第1バイアス電圧(Vcas p)は全て第2レファレンス電圧(GND)に近い値になる。したがって、PMOSTランジスタ(206、208)がオンされ、NMOSTランジスタ(202、204)に電流を流すようになり、結果的に、第1NMOSTランジスタ204のゲート電圧である第2バイアス電圧(Vcas n)及び第2NMOSTランジスタ202のゲート電圧(Vgn)が上昇するようになる。NMOSTランジスタ(201、202、203、204)がオンされると、NMOSTランジスタ(105、106)もオンされる。

【0090】

PMOSTランジスタ(101、102)のトランジスタサイズ(W/L)を小さい値にしてPMOSTランジスタ(101、102)がオンされる場合に第19NMOSTランジスタ(105)のドレイン・ノードの電圧(Vst)をNMOSTランジスタ(103、104)のしきい電圧より低くすることができる。したがって、NMOSTランジスタ(201、202、203、204)が電流を流すようになると、NMOSTランジスタ(103、104)がオフするようになり、結果的にバイアス電流発生器のトランジスタが適切なバイアスポイントを探した後に始動部100がバイアス電流発生器の動作に影響を及ぼさないようになる。

【0091】

図3は、本発明の一実施例によるバイアス電流発生器の回路図である。図3を参照すると、図2のように、本発明の一実施例によるバイアス電流発生器は始動部100A、温度比例電流生成部200A、バイアス電圧生成部300A、温度反比例電流生成部400A及び加算部500Aを含む。

【0092】

図3での始動部100A、温度比例電流生成部200A、バイアス電圧生成部300A、温度反比例電流生成部400A、及び加算部500Aの機能及び動作は図1及び図2での回路と等価である。しかし、始動部100Aでは、第17NMOSTランジスタ103及び第18NMOSTランジスタ104の代わりにPMOSTランジスタ(103A、104A)が用いられる。温度比例電流生成部200AではNPN型BJT(210A、2

10

20

30

40

50

09A)が第1レファレンス電圧(VDD)とPMOSカスコード電流ミラーとの間に直列に位置する。第2電圧生成部330Aでは、NPN型BJT(306A)、PMOSTランジスタ(303A、304A、305A)及びNMOSTランジスタ(301A、302A)が適用される。第1電圧生成部320AではPMOSTランジスタ(309A、301A)及びNMOSTランジスタ(307A、308A、311A、312A、313A)が適用される。温度反比例電流生成部400AではPMOSTランジスタ(403A、404A、405A、406A)及びNMOSTランジスタ(401A、402A)が適用される。加算部500Aでは、第1ミラー部520Aは、NMOSTランジスタ(508A、509A)を、第2ミラー部530AはNMOSTランジスタ510Aを、第3ミラー部540AはPMOSTランジスタ(511A、512A)を含む。

10

【0093】

このような方式で、図1及び図2のように、本発明の一実施例によるバイアス電流発生器は、温度に比例する第1サブ電流(I1)及び温度に反比例する第2サブ電流(I2)を加算して温度やプロセス変化に対する影響が少ないバイアス電流(Ibias)を生成する。

【0094】

以上、図1乃至図3に示した実施例を通じて、本発明の技術を説明したが、本発明の技術は図1乃至図3に示した実施例に限ることはない。例えば、図1乃至図3を通じて説明した実施例で、線形領域で動作するトランジスタはNMOSTランジスタを用いたが、PMOSTランジスタを線形領域で動作させ、本発明の技術を実現することもできる。また、図2に示したバイアス電圧生成部300及び始動部100は温度比例電流生成部200に適切なバイアス電圧を提供し、電源印加時、適切なバイアスポイントを探すことができるようにするかぎり、多様な方法によって実現することができる。

20

【産業上の利用可能性】

【0095】

前述したように、本発明の電流提供回路は、抵抗素子を用いないので、工程プロセス、温度または電源の変化の影響が少ないバイアス電流を提供することができる。特に、カスコード電流ミラーを用いることで電源の変化に強い特性を有する。また、線形領域で動作するMOSTランジスタが抵抗素子の役割を果たすことによって温度変化の影響が少ない抵抗値を得ることができるので、効果的にバイアス電流を提供することができる。また、抵抗素子を用いなくても従来技術に比べて少ない数のトランジスタを用いてバイアス電流発生器を実現することでチップサイズと電力消費を減少させることができる。

30

【0096】

以上、本発明を実施例によって詳細に説明したが、本発明はこれに限定されず、本発明が属する技術分野において通常の知識を有するものであれば本発明の思想と精神を離脱することなく、本発明を修正または変更できる。

【図面の簡単な説明】

【0097】

【図1】本発明の一実施例によるバイアス電流発生器の回路図である(その1)。

【図2】本発明の一実施例によるバイアス電流発生器の回路図である(その2)。

40

【図3】本発明の一実施例によるバイアス電流発生器の回路図である(その3)。

【符号の説明】

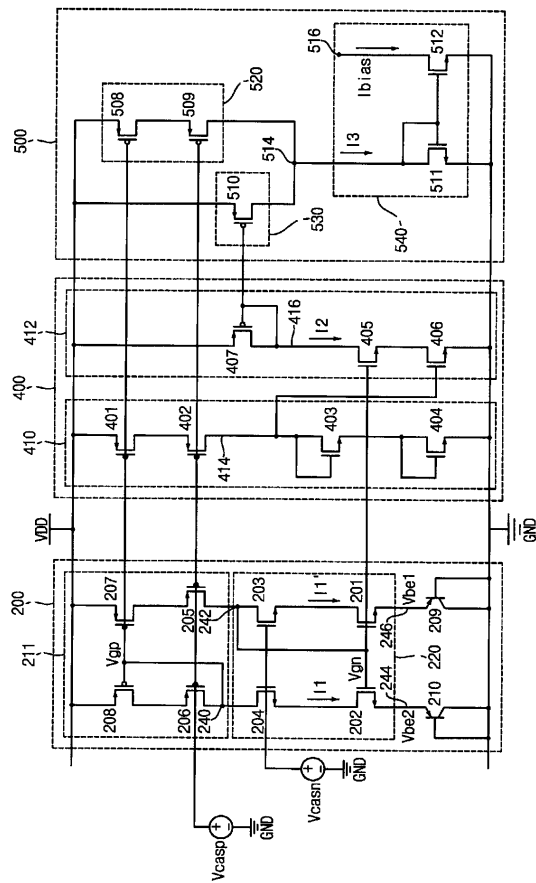
【0098】

200	温度比例電流生成部
211	PMOSカスコード電流ミラー
220	NMOSカスコード電流ミラー
400	温度反比例電流生成部
410	制御電圧提供部
500	加算部
520	第1ミラー部

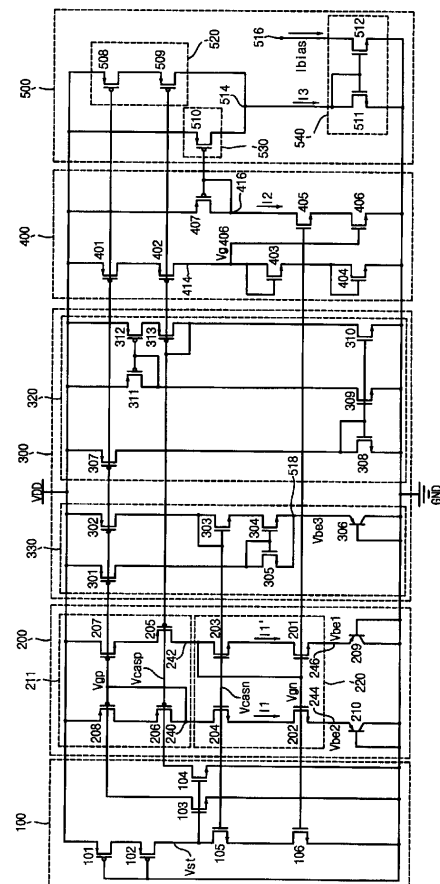
50

5 3 0 第 2 ミ ラ ー 部
5 4 0 第 3 ミ ラ ー 部

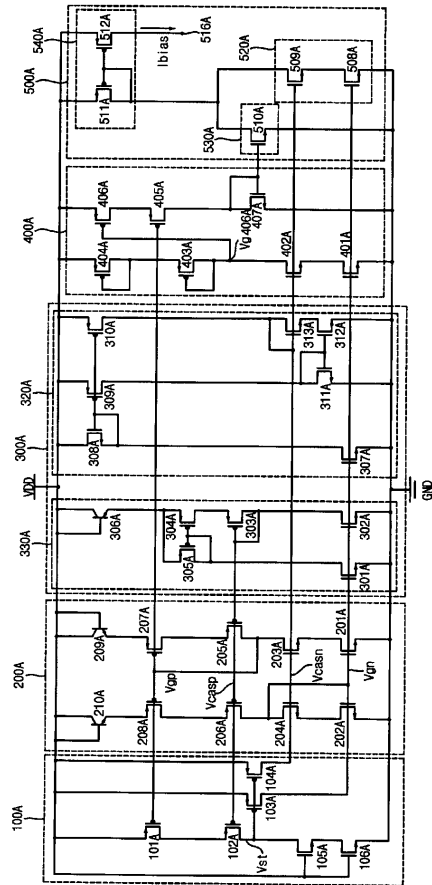
【 図 1 】



【 図 2 】



【 図 3 】



フロントページの続き

(72)発明者 李 セン 勳

大韓民国ソウル特別市冠岳区新林13洞 建榮2次アパートガ棟404号

審査官 槻木澤 昌司

(56)参考文献 特開2000-242347(JP,A)
特開2002-270768(JP,A)
特開昭55-052611(JP,A)
特表平06-507279(JP,A)
特開平07-191771(JP,A)
特開平07-221565(JP,A)
特開平09-128077(JP,A)
特表平10-509002(JP,A)
特開2000-077950(JP,A)
特開2000-201073(JP,A)
特開2000-330656(JP,A)
特開2001-092545(JP,A)
特開2001-216038(JP,A)
特開2003-256056(JP,A)
特開2004-030041(JP,A)

(58)調査した分野(Int.Cl., DB名)

G05F 3/24 - 3/30

H03F 3/34