

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4119247号

(P4119247)

(45) 発行日 平成20年7月16日 (2008. 7. 16)

(24) 登録日 平成20年5月2日 (2008. 5. 2)

(51) Int. Cl.	F I
H04B 1/707 (2006.01)	H04J 13/00 D
H04Q 7/38 (2006.01)	H04B 7/26 I O 9 N

請求項の数 46 (全 41 頁)

(21) 出願番号	特願2002-546312 (P2002-546312)	(73) 特許権者	595020643
(86) (22) 出願日	平成13年11月20日 (2001. 11. 20)		クァアルコム・インコーポレイテッド
(65) 公表番号	特表2004-527930 (P2004-527930A)		QUALCOMM INCORPORATED
(43) 公表日	平成16年9月9日 (2004. 9. 9)		ED
(86) 国際出願番号	PCT/US2001/043619		アメリカ合衆国、カリフォルニア州 92
(87) 国際公開番号	W02002/045288		121-1714、サン・ディエゴ、モア
(87) 国際公開日	平成14年6月6日 (2002. 6. 6)		ハウス・ドライブ 5775
審査請求日	平成16年11月18日 (2004. 11. 18)	(74) 代理人	100058479
(31) 優先権主張番号	09/723, 795		弁理士 鈴江 武彦
(32) 優先日	平成12年11月27日 (2000. 11. 27)	(74) 代理人	100091351
(33) 優先権主張国	米国 (US)		弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100109830
			弁理士 福原 淑弘

最終頁に続く

(54) 【発明の名称】 通信システムにおける受信信号の処理方法及び装置

(57) 【特許請求の範囲】

【請求項 1】

無線通信システムにおける受信システムにおいて、

特定のサンプルレートでデジタル化されたサンプルを受信して、格納する第1のバッファと、

前記第1のバッファに接続され、前記第1のバッファからのデジタル化されたサンプルのセグメントを検索し、特定のパラメータ値でそれぞれ検索されたセグメントを処理するものであって、サンプルレートより高い周波数を有する処理クロックに基づいて動作するデータプロセッサと、

前記データプロセッサと接続され、前記データプロセッサにタスクを送出して、前記データプロセッサからの信号データを処理するコントローラと、

前記コントローラに接続され、送出されたタスクを受信し、制御信号のセットを発生して、送出されたタスクを実行するように前記第1のバッファとデータプロセッサの動作を指示し、前記コントローラを該送出されたタスクの実行から解放するマイクロコントローラと、を備え、

前記マイクロコントローラは、送出されたタスク及び送出されたタスクに適用される1つ以上のパラメータをラッチするラッチ回路のセットと、それぞれのラッチに接続された少なくとも一つのカウンターと、前記カウンターがラッチに格納された値に基づいて供給する、少なくとも一つインジケータ信号と送出されたタスクとを受信して、前記制御信号のセットを発生するシーケンスコントローラとを含むことを特徴とする無線通信システ

10

20

ムにおける受信ユニット。

【請求項 2】

請求項 1 に記載の受信ユニットにおいて、前記データプロセッサのクロック周波数は、サンプルレートよりも少なくとも 10 倍高いことを特徴とする受信ユニット。

【請求項 3】

請求項 1 に記載の受信ユニットにおいて、前記受信ユニットは高データ信号速度（H D R）C D M A システムで動作するように構成されていることを特徴とする受信ユニット。

【請求項 4】

請求項 1 に記載の受信ユニットにおいて、

前記コントローラは、前記データプロセッサによって処理された多重信号インスタンスの 1 つの動きを追跡する時間追跡ループを有し、前記時間追跡ループに応答して前記多重信号インスタンスの 1 つを含む前記第 1 のバッファ内のデジタル化サンプルのセグメントを検索するのに使用されるタイムオフセットを発生することを特徴とする受信ユニット。

10

【請求項 5】

請求項 1 に記載の受信ユニットにおいて、

前記データプロセッサは、P N 逆拡散（despreading）系列の当該セグメントでデジタル化サンプルの検索されたセグメントを逆拡散して、相関サンプルを供給する相関器を含み、

前記相関器は、逆拡散サンプルを受信し、補間して、相関サンプルとして供給される補間されたサンプルを発生する補間器を含み、

20

補間器は 1 対以上のスケーリング素子と 1 以上の加算器とを含み、各スケーリング素子は、特別の利得でそれぞれの逆拡散サンプルを受信し、スケーリングして、スケーリングされたサンプルを発生させ、各加算器は、スケーリング素子のそれぞれの対に接続され、スケーリング素子の対からのスケーリングされたサンプルを受信し加算して補間されたサンプルを発生することを特徴とする受信ユニット。

【請求項 6】

請求項 1 に記載の受信ユニットにおいて、前記コントローラは、処理されるそれぞれの信号インスタンス（signal instance）についてパイロット処理と時間追跡を実行することを特徴とする受信ユニット。

【請求項 7】

30

請求項 1 に記載の受信ユニットにおいて、前記コントローラは、処理されるそれぞれの信号インスタンスのロック検出を実行することを特徴とする受信ユニット。

【請求項 8】

請求項 1 に記載の受信ユニットにおいて、前記コントローラは、デジタル化サンプルの周波数追跡を実行することを特徴とする受信ユニット。

【請求項 9】

請求項 8 に記載の受信ユニットにおいて、信号の多重インスタンスを受信して、デジタル化サンプルを供給する受信機を更に具備することを特徴とする受信ユニット。

【請求項 10】

請求項 1 に記載の受信ユニットにおいて、前記データプロセッサは、P N 逆拡散（despreading）系列の当該セグメントを有するデジタル化サンプルの検索されたセグメントを逆拡散して、関連付けされたサンプルを供給する相関器を含むことを特徴とする受信ユニット。

40

【請求項 11】

請求項 10 に記載の受信ユニットにおいて、前記シンボル復調・結合器は、1 つ以上のチャンネル化コードを有する関連付けされたサンプルを受信しデカバーするデカバー素子を含み、デカバー・シンボルを供給することを特徴とする受信ユニット。

【請求項 12】

請求項 11 に記載の受信ユニットにおいて、前記チャンネル化コードはプログラム可能でありパラメータ値によって定義される長さを有するウォルシュコードであることを特徴と

50

する受信ユニット。

【請求項 1 3】

請求項 1 2 に記載の受信ユニットにおいて、前記デカバー素子は L 段階を有する高速アダマール変換 (F H T) 素子で実現されることを特徴とする受信ユニット。

【請求項 1 4】

請求項 1 2 に記載の受信ユニットにおいて、前記デカバー素子は L 段階を有する高速アダマール変換 (F H T) 素子で実現されることを特徴とする受信ユニット。

【請求項 1 5】

請求項 1 4 に記載の受信ユニットにおいて、前記 F H T 素子は、交番クロック周期上の同相かつ直交する相関サンプルを受信して、処理することを特徴とする受信ユニット。

10

【請求項 1 6】

請求項 1 4 に記載の受信ユニットにおいて、前記 F H T 素子は、1、2、4、8、16、32、64、または128の長さの1つ以上のウォルシュシンボルでデカバーを行うことを特徴とする受信ユニット。

【請求項 1 7】

請求項 1 2 に記載の受信ユニットにおいて、前記シンボル復調・結合器は、デカバー素子と接続されるパイロット復調器を更に含み、パイロット・シンボルでデカバー・シンボルを復調して、復調シンボルを供給することを特徴とする受信ユニット。

【請求項 1 8】

請求項 1 7 に記載の受信ユニットにおいて、前記シンボル復調・結合器は、パイロット復調器と接続され、多重信号インスタンス (multiple signal instances) から復調シンボルを蓄積して処理されたシンボルを供給するシンボル・アキュムレータを更に含むことを特徴とする受信ユニット。

20

【請求項 1 9】

請求項 1 0 に記載の受信ユニットにおいて、前記データプロセッサは、前記相関器と接続され、関連付けされたサンプルを受信し、処理して、蓄積された結果を供給するアキュムレータを更に含むことを特徴とする受信ユニット。

【請求項 2 0】

請求項 1 9 に記載の受信ユニットにおいて、アキュムレータは複数の累積素子を含み、各累積素子は特定のタイムオフセットに対するパイロット信号評価を供給することを特徴とする受信ユニット。

30

【請求項 2 1】

請求項 1 9 に記載の受信ユニットにおいて、前記アキュムレータは、プログラム可能なタイム・インターバルにわたって関連付けされたサンプルを蓄積して、パイロット信号評価を供給することを特徴とする受信ユニット。

【請求項 2 2】

請求項 1 1 に記載の受信ユニットにおいて、前記データプロセッサは、シンボル復調・結合器と接続され、処理されたシンボルを格納する第 2 のバッファを更に含むシンボル・アキュムレータを更に含むことを特徴とする受信ユニット。

【請求項 2 3】

請求項 2 2 に記載の受信ユニットにおいて、前記第 2 のバッファは、入力順番と異なる出力順番で処理されたシンボルをその後の信号処理素子に供給し、処理されたシンボルのデインターリーブを供給することを特徴とする受信ユニット。

40

【請求項 2 4】

請求項 2 3 に記載の受信ユニットにおいて、前記第 2 のバッファは少なくとも 2 つのセクションを含み、1 つのセクションは処理中の現在のパケットに対する処理されたシンボルを格納し、他のセクションは次の信号処理素子に供給される先の処理パケットに対して処理されたシンボルを格納することを特徴とする受信ユニット。

【請求項 2 5】

請求項 1 0 に記載の受信ユニットにおいて、前記相関器は、K 個の複合デジタル化サン

50

プル (K complex digitized samples) までのセットを同時に逆拡散する K 個の乗算器のセットを含むことを特徴とする受信ユニット。

【請求項 26】

請求項 25 に記載の受信ユニットにおいて、前記相関器は、K 個の乗算器のセットと接続された K 個の乗算器のセットを含み、各加算器は 2 つの乗算器から受信するサンプルの対を受信し、加算することを特徴とする受信ユニット。

【請求項 27】

請求項 10 に記載の受信ユニットにおいて、前記相関器は、逆拡散サンプルを受信し、補間して、相関サンプルとして供給される補間されたサンプルを発生する補間器を含むことを特徴とする受信ユニット。

10

【請求項 28】

請求項 1 に記載の受信ユニットにおいて、前記コントローラは、処理される各信号インスタンス用のタイミング状態マシンを例示する (instantiate) ことを特徴とする受信ユニット。

【請求項 29】

請求項 28 に記載の受信ユニットにおいて、各例示されたタイミング状態マシンは処理される信号インスタンスの移動を追跡する時間追跡ループ (time tracking loop) を含むことを特徴とする受信ユニット。

【請求項 30】

請求項 1 に記載の受信ユニットにおいて、前記コントローラは、受信されたタイミング信号に応答して、タイミング信号を受信して、デジタル化サンプルのセグメントの処理を開始することを特徴とする受信ユニット。

20

【請求項 31】

請求項 30 に記載の受信ユニットにおいて、タイミング信号はコントローラによって供給された比較値に基づいて発生することを特徴とする受信ユニット。

【請求項 32】

請求項 30 に記載の受信ユニットにおいて、前記タイミング信号は、特定数のデジタル化サンプルが第 1 のバッファに格納されたことを示すものであることを特徴とする受信ユニット。

【請求項 33】

請求項 1 に記載の受信ユニットにおいて、32 ビット以上のワードは第 1 のバッファに書き込まれているか、またはそれぞれのバッファのアクセスに対する第 1 のバッファから読み出されることを特徴とする受信ユニット。

30

【請求項 34】

請求項 1 の受信ユニットにおいて、第 1 のバッファは、デジタル化サンプルの 2 つ以上のパケットを格納することを特徴とする受信ユニット。

【請求項 35】

請求項 1 の受信ユニットにおいて、第 1 のバッファは、さらに疑似ランダム信号 (PN) サンプルを格納することを特徴とする受信ユニット。

【請求項 36】

請求項 1 に記載の受信ユニットにおいて、処理クロックは、サンプルレートよりも少なくとも 10 倍より高い周波数であり、サンプルレートは処理クロックと非同期であることを特徴とする受信ユニット。

40

【請求項 37】

請求項 1 に記載の受信ユニットにおいて、第 1 のバッファに接続され、デジタル化サンプルを受け取って、不要なサンプルを捨てて、サンプルを効率的な格納に適したワードに組み立てるデータインターフェースを更に具備することを特徴とする受信ユニット。

【請求項 38】

請求項 1 に記載の受信ユニットにおいて、前記マイクロコントローラは、処理される各タスクのためにタスク状態マシンを例示することを特徴とする受信ユニット。

50

【請求項 39】

請求項 1 に記載の受信ユニットにおいて、少なくとも 1 つのパラメータ値はプログラム可能であることを特徴とする受信ユニット。

【請求項 40】

無線通信システムにおける受信信号の処理方法において、

第 1 のバッファ中の受信信号のデジタル化サンプルをバッファリングすることと、

第 1 のバッファ中からデジタル化サンプルのセグメントを検索して、検索されたセグメントのそれぞれをパラメータ値の特定のセットで処理することと、

データプロセッサ用のタスクを送出して、検索されたセグメントを処理すると共に、データプロセッサからの信号データを処理することと、

送出されたタスクを受信すると共に、送出されたタスクを実行するために第 1 のバッファとデータプロセッサの動作を指示するための制御信号のセットを生成することと、

送出されたタスクとこの送出されたタスクに適用される 1 つ以上のパラメータ値をラッチすることと、

ラッチに格納された値に基づいてインジケータ信号を提供することと、

少なくとも 1 つのインジケータ信号と送出されたタスクとを受信して制御信号のセットを生成することと、を具備することを特徴とする受信信号の処理方法。

【請求項 41】

請求項 40 に記載の方法において、前記セグメントの処理は、デジタル化サンプルの検索されたセグメントを PN（疑似ランダムノイズ）逆拡散系列で逆拡散して相関サンプルを供給することを含むことを特徴とする受信信号の処理方法。

【請求項 42】

請求項 41 に記載の方法において、前記処理は、1 つ以上のチャンネル化コードで相関サンプルをデカバーして、デカバー・シンボルを供給することを更に含むことを特徴とする受信信号の処理方法。

【請求項 43】

請求項 42 に記載の方法において、前記処理は、パイロット・シンボルでデカバー・シンボルを復調して復調シンボルを供給することを更に含むことを特徴とする受信信号の処理方法。

【請求項 44】

請求項 43 に記載の方法において、前記処理は、多重化信号インスタンスから復調シンボルを蓄積して、前記処理されたシンボルを供給する。

【請求項 45】

請求項 40 に記載の方法において、

デジタルサンプルが、サンプルレートで受信され、処理され、デジタル化され、信号インスタンスは、サンプルレートよりも高い周波数を有する処理クロックでデータプロセッサにより処理され、

前記サンプルレートは処理クロックと非同期であり、

前記方法は、デジタル化サンプルのチップレートを追跡することと、指定されたロケーションで起動する前記第 1 のバッファに、デジタル化サンプルを書きこむのに使用される信号を供給することを更に具備することを更に含むことを特徴とする受信信号の処理方法。

【請求項 46】

請求項 40 に記載の方法において、前記信号インスタンスの処理は、

PN 逆拡散系列の一致するセグメントでデジタル化サンプルの検索されたセグメントを逆拡散して相関サンプルを供給することと、

前記相関サンプルを 1 以上のチャンネル化コードでデカバーして、デカバー・シンボルを供給することと、

パイロット信号で前記デカバー・シンボルを復調して復調シンボルを供給することと、

多重化信号インスタンスからの前記復調シンボルを累積して処理シンボルを供給するこ

10

20

30

40

50

とをさらに具備することを特徴とする受信信号の処理方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、データ通信に関し、特に、通信システムにおける受信信号を効率的に処理する方法及び装置に関する。

【0002】

【従来の技術】

典型的なデジタル通信システムでは、データは送信ユニットで処理されて、変調され、条件付けされて、受信ユニットに送られる。データ処理は、例えば、特定のフレーム形式にデータをフォーマットすることや、受信ユニットでのエラー検出・訂正を提供するためにフォーマットされたデータをコード化することや、コード化されたデータのチャンネル化（すなわち、カバーリング）や、システムバンド幅にわたるチャンネル化されたデータを拡散すること等を含んでいても良い。データ処理は実現されるシステムか規格によって通常明確に定義される。

【0003】

受信ユニットでは、伝送信号は、受け取られて、条件付けされて、復調されて、伝送データをリカバーするためにデジタル処理される。受信ユニットでの処理は、送信ユニットで実行されるそれを補足して、例えば、受信されたサンプルを逆拡散し、デカバー・シンボルを発生するために逆拡散サンプルをデカバーし、デカバー・シンボルを復号することを含んでも良い。マルチパスや他の現象のため、伝送信号は多重信号経路を通して受信ユニットに達しても良い。改良された性能に対して、受信ユニットは通常、受信信号の多重の（最も強い）インスタンスを処理するための能力で設計される。

【0004】

要求された信号処理を実行するために、いくつかの従来の受信ユニットは、多数の処理素子で、特定の機能を行うために設計され、特別に割り当てられた各処理素子で設計される。例えば、受信ユニットは検素子と多くのデータ処理素子で設計されても良い。検素子は強い信号インスタンスに対する受信信号を検索して、データ処理素子は、十分な信号強度の特定の信号インスタンスを処理するために割り当てられる。多重並列処理素子の実行は、増加した回路の複雑さとコストになる。前記処理素子は、通常、固定設計のものであり、どんなプログラム可能性も通常提供されない（例えば、パイロット処理、信号検索、データ復調を行うパラメータ値の異なるセットで受信信号を処理する）。そのうえ、処理可能な信号インスタンスの数は、素子が実行した処理の数に制限される。

【0005】

複雑さを減少させるために、共通のデータパス・プロセッサと接続された多くの平行なフロントエンドユニットで、いくつかの他の従来の受信ユニットは設計される。各フロントエンドユニットは、割り当てられた信号インスタンスの部分的な処理（例えば、逆拡散およびデカバー）を実行する。共通のデータパス・プロセッサは、そこで、部分的に処理されたデータ上に残っている処理（例えば、パイロットを有する復調、エネルギー計算など）を実行する。一方、実行されたフロントエンドユニットの数に基づいて限られた数の信号インスタンスを処理することができ、どんなプログラム可能性も通常供給されない。

【0006】

ユーザ端末に対して、受信信号の多くのインスタンスを処理する能力は、改良された性能を供給することができる。ベースステーションに対して、複数のユーザに対する多重信号インスタンスは、同時に処理されるのに通常要求され、そして更に効率的な信号処理技術の必要性を強調する。わずかな数の信号処理素子を使用して複数のユーザへの信号を処理する能力は例えば、より高い基板密度、より少ないコンポーネントカウント、低いコストなどなどの様々な理由で経済的及び技術的に望ましい。また、信号処理素子のプログラム可能性も、例えば、伝送のデータレートなどの様々な因子に依存する様々なパラメータ値（例えば、様々な長さの異なったチャンネル化コード）を使用してデータを送ることができ

10

20

30

40

50

る通信システムにおいて望ましい。

【0007】

上記から明らかなように、通信システムにおける受信信号の効率的な処理をすることができる技術は非常に望ましい。

【0008】

【発明が解決しようとする課題】

発明は、通信システムにおける受信信号の処理において、向上した性能を備え、柔軟性と機能を増加させ、かつ回路の複雑さとコストを減少させた技術を提供することを目的とする。

【0009】

【課題を解決するための手段】

発明の一局面によれば、データプロセッサは計算上徹底的な動作の多くを実行するために提供され、コントローラは、受信信号を処理（例えば、復調）するのに必要な残りのタスクを実行するために提供される。この構成によって、コントローラが多くの信号インスタンスの処理を管理して、同時に多くのユーザをサポートすることができる。ある設計では、マイクロコントローラが、データプロセッサのマイクロマネジメント（micro-management）」を行い、データプロセッサの低レベルなシーケンスに関連する管理義務のいくつかを取り除くために、用意されていても良い。これらの様々な特徴によって、従来の設計にわたって向上した性能を有する簡易化された設計が可能になる。

【0010】

非同期でも良いが、通常は受信サンプルのサンプルレートよりもより速い処理クロックで作動するようにデータプロセッサとコントローラを設計することができる。回路の複雑さの追加の増加なしで受信信号のより多くのインスタンスの処理に対して、より速い処理クロックが可能になり、更に、クロック周波数を調整するための処理スループットが可能になる。また、増加した柔軟性と機能性を提供するプログラム可能なパラメータ値に基づくデータを処理するようにデータプロセッサを設計することができる。例えば、検索タイム・インターバル、チャンネル化（例えば、ウォルシュ）コード、タイムオフセット、および他のパラメータはプログラム可能にしても良い。処理素子を共有して、回路の複雑さとコストを減少するようにデータプロセッサを更に設計することができる。

【0011】

本発明の実施形態は、無線通信システム（例えば、CDMAシステム）のユーザ端末かベースステーションのどちらかで使用するための受信ユニットを提供する。受信ユニットはデータプロセッサと接続される第1のバッファを含む。第1のバッファは特定のサンプルレート（そして、デジタル化サンプルを逆拡散するのに使用されるPNサンプルを格納しても良い）でデジタル化サンプルを受信し、格納する。データプロセッサは第1のバッファからデジタル化サンプルのセグメントを検索して、パラメータ値の特定のセットで検索されたセグメントを処理する。データプロセッサはチップレートよりも高い（例えば、10倍又はそれ以上高い）周波数を有する処理クロックに基づいて動作する。第1のバッファからデジタル化サンプルの多重セグメントを検索し、処理することによって、受信信号の多重例を処理することができる。

【0012】

受信ユニットは更に受信機とコントローラを通常含む。受信機は、デジタル化サンプルを供給するために伝送信号を受信し、処理する。コントローラは、データプロセッサに対するタスクを送出し、データプロセッサからの信号情報を処理する。

【0013】

相関器、シンボル復調・結合器、第1のアキュムレータ及び第2のバッファ、又は、それらの組み合わせを含むように、データプロセッサを設計することができる。相関器は、PN逆拡散系列の当該セグメントを有するデジタル化サンプルの検索されたセグメントを逆拡散して、関連付けされたサンプルを供給する。シンボル復調・結合器は、関連付けされたサンプルを受信し、更に処理して、処理されたシンボルを供給する。第2のバッファは

10

20

30

40

50

、処理されたシンボルを格納する。処理されたシンボルのデインターリーブをするように、第2のバッファを設計することができる。そのような設計においては、第2のバッファは、2以上に仕切られていても良い。1つのセクションは現在のパケットに対する処理されたシンボルを格納する。他のセクションは、先の処理済みパケットに対する処理済シンボルを格納する。第2のバッファは、パケット部を格納するように同様に設計しても良い。先のパケットのシンボルが後続の信号処理素子に供給されている間、現在のパケットに対するシンボルを処理することができる。

【0014】

拡散器、第2の（サンプル）アキュムレータ、及び補間器、又はそれらの組み合わせを含むように、相関器を設計することができる。拡散器は、同時にK個までの複合デジタル化
10
サンプルのセットを逆拡散することができる1セットのK個の乗算器を含む。

【0015】

サンプルアキュムレータがK個の加算器のセットと接続され、それぞれの乗算器のセットからのサンプルを受信し加算するK個の乗算器のセットを含む。補間器は、逆拡散サンプルを受信し、補間して、補間されたサンプルを発生する。

【0016】

デカバー素子、パイロット復調器、及び第3の（シンボル）アキュムレータ、又は、それらの組み合わせを含むように、シンボル復調・結合器を設計することができる。デカバー素子は、1以上のチャンネル化コードで相関サンプルを受信し、デカバーして、デカバー・シンボルを供給する。チャンネル化コードは、プログラム可能な長さを有し、パラメータ値
20
によって定義されるウォルシュコードでも良い。パイロット復調器は、パイロット・シンボルでデカバー・シンボルを復調して、復調シンボルを供給する。そして、シンボル・アキュムレータは、多重信号インスタンスから復調シンボルを蓄積して、処理されたシンボルを供給する。

【0017】

デカバー素子は、L段階を有する高速アダマール変換（FHT）素子で実現することができる。交番クロック周期上の同相かつ直交する相関サンプル（correlated sample）を受信して、処理するように設計することができる。1、2、4、8、16、32、64、または128の（プログラム可能な）長さの1つ以上のウォルシュシンボル、またはある他の長さでデカバーを行うようにFHT素子を設計することができる。
30

【0018】

第1のアキュムレータは、関連付けされたサンプルを受信し、処理して、蓄積された結果を供給する。パイロット信号の評価を供給するために、プログラム可能なタイム・インターバルにわたって関連付けされたサンプルを蓄積するように、第1のアキュムレータを設計することができる。第1のアキュムレータは、それぞれで、各蓄積素子が特定のタイムオフセットに対するパイロット信号評価を供給するために動作するような多くの蓄積素子を含んでいても良い。

【0019】

サンプルレートは処理クロックについて非同期な場合がある。そのような場合において、指定されたロケーションで始まる第1のバッファにデジタル化サンプルのパケットを書く
40
ために、デジタル化サンプルのチップレートを追跡して、（次に使用される信号を発生させるのに使用される）リセット値を供給する遅延同期ループを実現するようにコントローラを設計することができる。

【0020】

処理されるそれぞれの信号インスタンスに対してタイミング状態マシンを維持するように、コントローラを設計することができる。DSPファームウェアを使用してそれぞれのタイミング状態マシンを維持することができ、タイミング状態マシンは、（1）処理される信号インスタンスの移動を追跡し、（2）信号インスタンスに対応するタイムオフセットを発生することに使用される追跡ループが費やした時間を含んでいても良い。処理する第1のバッファからのサンプルの適切なセグメントを検索するのにタイムオフセットを使用
50

することができる。コントローラは更にサンプルのセグメントの処理を開始するのに使用されるタイミング信号を受信することができる。コントローラによって供給された比較値に基づいてタイミング信号を発生することができる。

【0021】

受信ユニットは、受信ユニットにおける、素子の動作を指示するためにコントローラによって送出されたタスクを受け取って、1セットの制御信号を発生させるマイクロコントローラを更に含んでも良い。マイクロコントローラは、処理される各タスクに対しタスク状態マシンを例示することができて、1つ以上のインジケータ信号と送出されたタスクを受け取るシーケンスコントローラを含んでいても良く、制御信号のセットを発生させる。

【0022】

本発明の他の実施形態は、無線通信システムの受信信号を処理するための方法を提供する。この方法によると、伝送信号は、受信され、処理され、デジタル化されて、特定のサンプルレートでデジタル化サンプルを供給する。デジタル化サンプルは、次に、第1のバッファ、デジタル化サンプルのセグメントの形でバッファリングされて、第1のバッファから検索されて、処理されて、いくつかのプログラム可能な特定なセットのパラメータ値で処理される。

【0023】

この処理はサンプルレートよりも高い周波数を有する処理クロックに基づいて実行される。

【0024】

この処理は以下の組み合わせを含むことができる。(1) 関連付けされたサンプルを供給するためにPN逆拡散系列の当該セグメントを有するデジタル化サンプルの検索されたセグメントを逆拡散すること。(2) デカバー・シンボルを供給するために1つ以上のチャネル化コードで関連付けされたサンプルをデカバーすること。(3) 復調シンボルを供給するためにパイロット・シンボルでデカバー・シンボルを復調すること。(4) 多重信号インスタンスから復調シンボルを蓄積して、処理されたシンボルを供給すること。

【0025】

【発明の実施の形態】

図面を参照して本発明の実施の形態を説明する。

【0026】

図1は、通信システム100中のデータ伝送に対する信号処理の実施形態の簡易化されたブロック図である。送信ユニット110では、データが、データソース112から、データをフォーマットし、コード化し、処理して、ベースバンド信号を発生する送信(TX)データプロセッサ114に、通常パケットで送られる。そして、ベースバンド信号が送信機(TMTR)116に供給されて、直交復調され、フィルタリングされ、アップコンバータで変換されて、アンテナ118を介して1つ以上の受信ユニットに送信される変調信号を発生する。

【0027】

受信ユニット130では、伝送信号がアンテナ132で受信され、受信機(RCVR)134に供給される。受信機134の中では、受信された信号は、増幅され、フィルタリングされ、ダウンコンバートされ、ベースバンドに直交復調され、デジタル化されて、同相(I)かつ直交(Q)するサンプルを提供する。サンプルは、受信(RX)データプロセッサ136に供給され、デコードされ、処理されて、伝送データをリカバーする。

【0028】

受信ユニット130でのデコードと処理は、送信ユニット110で実行されるコード化と処理に補足的な態様で実行される。リカバー・データはデータ・シンク138に供給される。

【0029】

上記の信号処理は、パケットデータの送信、メッセージング、声、ビデオ、および一方向一方向における他のタイプの通信をサポートする。双方向の通信システムは双方向データ

10

20

30

40

50

伝送をサポートする。しかしながら、他方向に対する信号処理は、簡単化のための図1に示していない。

【0030】

通信システム100は、地球のリンクにわたってユーザ間で声とデータ通信をサポートするコード分割多重アクセス(CDMA)システムや他の多重アクセス通信システムであることが可能である。多重アクセス通信システムにおけるCDMA技術の使用が、米国特許4,901,307,「衛星又は地球の中継器を使用する拡散スペクトル多重アクセス通信システム」と、米国特許5,103,459「CDMA携帯電話システムで波形を発生させるためのシステムと方法」に開示されている。他の特定のCDMAシステムは米国特許出願08/963,386「高レートパケットデータ伝送のための方法及び装置」が1997年11月3日に出版されている。これらの特許と特許出願は、本発明の譲受人に割り当てられ、本明細書に取り入れられる。

10

【0031】

CDMAシステムは、1つ以上の規格に従うように通常設計される。例えば、「TIA/EIA/IS-95-A Mobile Station-Base Station Compatibility Standard for Dual-Mode Wideband Spread Spectrum Cellular System」(以下、IS-95-A standardと称する)、「TIA/EIA/IS98 Recommended Minimum Standard for Dual-Mode Wideband Spread Spectrum Cellular Mobile Station」(以下、IS-98 standardと称する)、指定された共同体によって提供された規格「3rd Generation Partnership Project」(3GPP)、そして、そして、書類番号3G-T25.211、3G-T25.212、3G-T25.213、および3G-T25.214を含む1セットのドキュメント(以下、W-CDMA規格と称する)及び「TR-45.5 Physical Layer Standard for cdma2000 Spread Spectrum Systems」(以下、CDMA-2000規格と称する)で具現化されている。新しいCDMA規格は続いて提案されており、使用のために採用される。これらのCDMA規格は参照によって本明細書に取り入れられる。

20

【0032】

図2は復調された信号を受信し、処理するのに適した受信ユニット200の具体的な実施形態のブロック図である。受信ユニット200は、図1の受信ユニット130の具体的な実施形態である。復調された信号はアンテナ212によって受け取られて、フロントエンドユニット214に供給される。

30

【0033】

フロントエンドユニット214の中では、受信信号が、増幅され、フィルタリングされ、周波数ダウンコンバートされ、直交復調されて、ベースバンド信号を供給する。そして、ベースバンド信号が、サンプリングクロックSCLKで、1つ又はそれ以上のAD変換器(ADCs)によって、デジタル化されてデータインターフェース回路222に供給される同相(FAC)又は直交(QADC)サンプルを発生する。フロントエンドユニット214とADC216は図1の受信機134中に実現されても良い。

【0034】

受信ユニット200の特定の設計に依存して、ADC216が、高いサンプルレートで、かつ1又はそれ以上のアンテナから受信された信号に相当するIADC及びQADCサンプルを供給しても良い。データインターフェース回路222は、不要なサンプルを破壊(すなわち、除去)しても良く、各アンテナに対応するサンプルを配置(すなわち、ソート)し、バッファ224への効率的な格納に適当なワードにサンプルを組み立てる。具体的な実施形態では、各ワードはデータの32ビットを具備して、それぞれのIADCかQADCサンプルがデータの4つのビットを含んで、4組のIADCとQADCサンプルは各ワードに配置される。

40

【0035】

他のワード幅(例えば、16ビット、64ビット、128ビットなど)を、同様に、使用しても良く、これは、発明の範囲に含まれる。ワードが格納に利用可能であるときに、デ

50

ータはDWADDRはアドレス発生器220で発生され、発生されたデータ書込アドレスによって特定されるロケーションでバッファ224に書き込まれる。

【0036】

データプロセッサ230は、次に、バッファ224からのサンプル検索し、コントローラ240によって指示するように検索されたサンプルを処理して、処理されたシンボルをバッファ・デインターリーバ234に供給する。データプロセッサ230は、続いてバッファ・デインターリーバ234からシンボルを検索しても良く、多重信号インスタンスからシンボルを蓄積して、そしてバッファ・デインターリーバ234に戻って供給された蓄積されたシンボルを供給する。復調シンボルが、バッファ・デインターリーバ234からの検索に対して利用可能であるときに、シンボル読み出しアドレスSR__ADDRは、アドレス発生器236によって発生され、シンボルをデコーダ260に供給するのに使用される。データプロセッサ230は、同様に、処理された信号データを直接コントローラ240に供給しても良い。デコーダ260が、送信ユニットで使用されるコード化方式を補足するデコード方式に従って復調シンボルをデコードし、デコードされたデータをデータ・シンク262に供給する。

10

【0037】

データプロセッサ230は、データプロセッサの特定の設計に依存する、通常相関器、アキュムレータ、シンボル復調（乗算器）、結合器、又はその組み合わせを含む。データプロセッサ230は、受信されたサンプルを復調するのに必要な機能の多くを実行する。データプロセッサ230を、復調シンボルを直接デコード用デコーダ260に、更なる処理に対して信号データをコントローラ240に供給するように設計することができる。そのような信号データは、データが含んでも良い信号を処理して、例えば、リバースリンクに対するパイロットリファレンスとデータレート制御（DRC）シンボルの累積、およびフォワードリンク処理を行うためのパワー制御シンボルを含んでいても良い。

20

【0038】

例えば、パイロットフィルタリング、フィンガーロック検出（finger lock detection）、処理されているそれぞれの信号インスタンスに対する時間追跡、フィンガータイム・オフセット・メンテナンス（finger time offset maintenance）、（遠隔端末によるフォワードリンク処理のための）周波数追跡、またはそれらの組み合わせなどの様々な機能を実行するようにコントローラ240を設計することができる。コントローラ240は、必要な機能を達成するために更にデータプロセッサ230とバッファ・デインターリーバ234の動作を指示する。

30

【0039】

いくつかの設計において、マイクロコントローラ232は、データプロセッサ230の動作を指示するために提供される。そのような設計においては、マイクロコントローラ232は、特定のタスクを実行する（例えば、1つ又はすべてに割り当てられたフィンガーに対する相関関係を実行する）ためにコントローラ240から指示かコマンドを受け取る。そして、マイクロコントローラ232は、タスクを実行するためにデータプロセッサ230と他のユニット（例えば、バッファ224、バッファ・デインターリーバ234）の動作を指示する。マイクロコントローラ232は、コントローラ240に要求された監視量及びコントローラ240と他の素子との相互作用を減少させることができる。マイクロコントローラ232は、その結果、コントローラ240を開放することができて、追加のチャンネル・ユーザをサポートすることができる。

40

【0040】

一般に、図2に示される設計に対して、データプロセッサ230とコントローラ240に供給されているクロック信号の周波数で、サポート可能なユーザの数はスケールする。これらの2つのクロックは独立しており、それらの特定の周波数に依存して、クロックの1つはサポート可能な信号インスタンス／ユーザの数を通常制限する。

【0041】

クロック発生器218は、受信ユニット200内で、ADC216用のサンプリングクロ

50

ック S C L K と、他の素子用の他のクロックを発生させる。実施形態では、マスタークロック信号を発生するクロック発生器 2 1 8 が自走クロックソースと、受信ユニット 2 0 0 内で使用される他のクロック信号を発生する 1 つ以上のリアルタイムクロックカウンタ（そして／又は、位相同期ループ）とを含む。

【0042】

電圧制御水晶発振器又はある他のタイプの振動子で自走クロックソースを実現することができる。リアルタイムクロックカウンタがマスタークロック信号によって作動して、低い周波数であるが、マスタークロック信号に同期するクロック信号を発生する。そのようなクロック信号は A D C サンプリングクロック S C L K、データプロセッサクロック P C L K、及びアドレス発生器 2 2 0 と 2 3 6 のためのクロックなどを含む。具体的な実施形態では、サンプルクロック S C L K はマスタークロック信号から得られて、受信信号のチップレートに密接に関連する（しかし、必ずしも位相同期しているわけではない）周波数を有する。

【0043】

実施形態では、アドレス発生器 2 2 0 は、データ書込アドレス D W A D D R E S S を発生するデータ書込アドレス発生器と、データ読み出しアドレス D R A D D R を発生するデータ読み出しアドレス発生器を含む。

【0044】

アドレス発生器 2 2 0 は、また、バッファ 2 2 4 の中に格納されても良い他のデータ（P N 系列）のためのアドレス発生器を更に含んでも良い。実施形態では、アドレス発生器 2 3 6 はシンボル書き込みアドレス S W _ A D D R E S S を発生させるシンボル書き込みアドレス発生器とシンボル読み出しアドレス S R A D D R を発生させるシンボル読み出しアドレス発生器を含む。

【0045】

アドレス発生器 2 2 0 と 2 3 6 を以下に説明する。

【0046】

受信機 2 0 0 の素子の実行と動作を更に以下で説明する。

【0047】

本発明によると、従来のデータ処理ユニットを越える改良された性能と効率を提供する 1 組の特徴で、データプロセッサ 2 3 0 とコントローラ 2 4 0 が設計される。これらの特徴のいくつかを以下に簡潔に記載する。

【0048】

まず、データプロセッサ 2 3 0 は、計算上集中した動作の多くを実行して、その結果、コントローラ 2 4 0 に同時に多くのユーザをサポートさせることができる。データプロセッサ 2 3 0 は、受信されたデータに必要な処理を実行し、直接デコーダ 2 6 0 に復調されたシンボルを供給するように設計することができる。その結果、コントローラ 2 4 0 は、従来の設計におけるより複雑なコントローラの必要性に通常一致する集中したなデータ処理（例えば、ドット積計算（`dot product computation`））を開放することができ、コントローラが同時に多くのユーザをサポートするか、または多くの信号例を処理するのを伝統的に防ぐ。そのうえ、マイクロコントローラ 2 3 2 を、データプロセッサ 2 3 0 の「マイクロマネジメント」を実行し、通常の管理義務のいくつかのコントローラ 2 4 0 を取り除くために提供することができる。

【0049】

2 番目に、それが非同期でも良く、通常はバッファ 2 2 4 に格納されたサンプルのサンプルレートより更に速いクロック信号でそれぞれデータプロセッサ 2 3 0 とコントローラ 2 4 0 を動作させることができる。例えば、サンプルレートは、受信信号（すなわち、`f S A M 2 . 4 M s p s`）のチップレートの 2 倍であるように選択され、クロック信号 P C L K は、サンプルレート（例えば、`f P c L K > 5 0 M H z`）よりも速いオーダーより大きくなるように選択されても良い。

【0050】

データプロセッサ 230 とコントローラ 240 がユーザ端末で使用されるならば、より速いクロック信号で、受信信号のより多くのインスタンスを処理することができる。

【0051】

この場合において、データプロセッサ 230 とコントローラ 240 は、回路の複雑さの追加増加のない傾斜受信機 (rake receiver) のより多くのフィンガーを例示して、サポートするのに使用される場合がある。そして、データプロセッサ 230 とコントローラ 240 がベースステーションで使用されるならば、より速いクロック信号で、より大きい数のユーザからの受信信号の処理そして／又は受信信号のより多くのインスタンスを処理することができる。

【0052】

第 3 に、プログラム可能パラメータ値に基づくデータを処理するようにそれぞれデータプロセッサ 230 とコントローラ 240 を設計することができる。例えば、検索動作の間に蓄積されるべきサンプルの数はコントローラ 240 によって選択されて、データプロセッサ 230 に供給されても良い。他の例として、データプロセッサ 230 がサンプルをプログラム可能な長さの、1 つ以上のチャンネル化コードでデカバーするように構成されても良い。対照的に、従来の受信機設計は、少しの又はプログラム可能性がなくても、特定のセットのタスクを実行する専用ハードウェア素子を通常含む。本発明のプログラム可能性の特徴は、従来の設計よりも改良された性能を可能にすることである。

【0053】

第 4 に、データプロセッサ 230 とコントローラ 240 を、回路の複雑さとコストを減少させるために処理を共有するように設計することができる。

【0054】

データプロセッサ 230 とコントローラ 240 のそれぞれは、様々な必要な機能 (データプロセッサ 230、パイロットリカバリおよび時間のためのコントローラ 240 のために追跡する例えば、逆拡散、デカバー、蓄積、およびパイロット復調器) を実行する 1 セットの処理素子を通常含む。サンプルのセグメントで特定のタスクを実行するために、そのタスクに必要な処理素子だけが有効にされて、残っている素子を無効にするか、またはバイパスさせることができる。データプロセッサ 230 とコントローラ 240 のそれぞれの中の処理素子は、並列処理が性能を更に向上させることが望まれている例を除いて通常複製されない。対照的に、従来の受信機設計は、多くの機能の複製を通常含んでおり、その機能は増加された回路の複雑さとコストを導く。

【0055】

データプロセッサ 230 は、様々な CDMA 規格やシステムに従ってデータ伝送を処理するように設計することができる。明確化のために、本発明は、現在、以下に高データ信号速度 (HDR) CDMA システムと称する前述の米国特許出願 08/963,386 で記述される特定の CDMA システムのために記述される。

【0056】

図 3 は HDR CDMA システムに従ったフォワード・リンクトランスミッション (forward link transmission) のためのデータフレーム形式の図である。フォワードリンク上では、トラヒックデータ、パイロットリファレンス、および通信データは、フレームで時間分割多重化され、ベースステーションから特定のユーザ端末まで送信される。各フレームはスロット (例えば、HDR システムの特定の設計のための 1.67) と呼ばれる時間の単位をカバーしている。各スロットは、トラヒックデータフィールド、302a、302b、および 302c、パイロットリファレンスフィールド 304a、304b、通信データ (OH) フィールド 306a と 306b を含む。トラヒックデータフィールド 302 及びパイロットリファレンスフィールド 304 は、トラヒックデータとパイロットリファレンスをそれぞれを送るのに使用される。

【0057】

信号データフィールド 306 は、例えば、フォワードリンクアクティビティ (FAC)、インジケータ、リバースリンクビジー インジケータ、リバースリンクパワー制御コマ

10

20

30

40

50

ンドなどのような信号情報を送るために使用される。F A C インジケータは、将来特定数のスロットを送るためにベースステーションにはトラヒックデータがあるかどうかを示す。リバースリンクビジーインジケータは、ベースステーションのリバースリンク容量限界に達したかどうかを示す。そして、パワー制御コマンドは、送信をユーザ端末に指示し、伝送パワーを増加し、又は減少する。

【0058】

H D R _ C D M A システムに従って、伝送の前に、データ伝送に使用されるチャンネル対応するウォルシュコードでトラヒックデータはカバーされており、それぞれのユーザ端末へのパワー制御データはユーザ端末に割り当てられるウォルシュコードでカバーされている。そして、パイロットリファレンス、カバーされたトラヒック、およびパワー制御データは、ユーザ端末に割り当てられる長い P N 系列で特定の伝送ベースステーションに割り当てられる系列が短い P N 拡散系列を掛けることによって発生される複雑な P N 拡散系列で拡散される。

10

【0059】

図4は、受信データプロセッサ400、H D R _ C D M A システムのフォワードリンクデータ伝送を処理するのに使用可能な実施形態のブロック図である。デジタル化された I A D C と Q A D、受信機からのサンプルは、多くのデータ相関器410（1つのみを簡単化のために図4に示されている）に供給される。マルチパスと他の現象のため、伝送信号は多重信号経路を通して受信ユニットに達しても良い。改良された性能において、受信ユニットは、能力で通常設計されて、受信信号の多重（最も強い）インスタンスを処理する。従来の設計では、多くのデータ相関器410は、それぞれ、一般的に傾斜受信機のフィンガーと称するデータ相関器410に提供される。

20

【0060】

それぞれのデータ相関器410を、受信信号の特定の例を処理するために割り当てることができる。

【0061】

データ相関器410内では、I A D C、Q A D C サンプルは、乗算器414aと414bから複合 P N 逆拡散系列 (complex PN despreading sequence) を受信する複合乗算器412 (complex summer) に供給される。複合 P N 逆拡散系列が、信号が受信ユニット400に割り当てられた長い P N 系列で受信されるベースステーションに一致する短い P N I と P N Q 系列とを掛けることによって発生される。P N 系列が、データ相関器410で処理される特定の信号インスタンスに一致するタイムオフセットを有する。

30

【0062】

乗算器412は、複合 P N 逆拡散系列で複合 I A D C と Q A D c サンプルの複合乗算を行い、複合逆拡散 I D E S と Q D E S サンプルをウォルシュ・デカバー素子422と442に供給する。また、逆拡散 I D E S サンプルはウォルシュ・デカバー素子432に供給される。

【0063】

ウォルシュ・デカバー素子422は、ベースステーションでデータをカバーするための逆拡散 I D E S とサンプルとをデカバーし、デカバーされたサンプルの多くのストリームとデータ伝送に使用される各チャンネルに対する1つのストリームを発生する。サンプルのストリームは、その時、ストリームを伝送するのに使用されるチャンネルのデータレートに基づく各ストリームでサンプルを蓄積するシンボル・アキュムレータ424（シンボル A C C）に供給される。各ストリームについて、シンボル A C C 424はデカバー・シンボルを発生するための多くのデカバーサンプルを蓄積する。そして、デカバー・シンボルはパイロット復調器426に供給される。

40

【0064】

ウォルシュ・デカバー素子432は、ベースステーションでパイロットリファレンスをカバーするのに使用される特定のウォルシュコード W p（例えば、ウォルシュコード0）で逆拡散 I D E S サンプルをデカバーする。デカバーパイロットサンプルは、次に、アキュ

50

ムレータ 434 に供給されて、パイロット・シンボルを発生させるように特定のタイム・インターバル（例えば、パイロットリファレンス、またはパイロットリファレンス期間の持続時間）の間蓄積される。パイロット・シンボルは、次に、パイロットフィルタ 436 に供給されて、リカバーされたパイロット信号を発生するのに使用される。回復されたパイロット信号は、パイロットリファレンスの間の持続時間の評価され又は予測されたパイロット・シンボルを具備して、パイロット復調器 426 に供給される。

【0065】

パイロット復調器 426 は、パイロットフィルタ 436 からのパイロット・シンボルでシンボル A C C 424 からのデカバーデータシンボルのコヒーレントな復調 (Coherent demodulation) を実行して、復調データシンボルをシンボル結合器 450 に供給する。コヒーレントな復調は、以下で記述されるようにパイロット・シンボルでデカバーデータシンボルのドット製品とクロス乗積を実行することによって、達成される。ドットとクロス乗積は、効果的にデータのフェーズ復調を実行して、リカバーされたパイロットの相対的な強度に従って結果の出力を更にスケールリングする。パイロットを有するスケールリングは、効率的な結合のための受信信号インスタンスの品質に従って受信信号の異なったインスタンスからの寄与を、効率的に測る。その結果、ドット及びクロス乗積はコヒーレントな傾斜受信機の特長であるフェーズ・プロジェクション (phase projection) と信号の重み付けの二元的な役割を実行する。

【0066】

シンボル結合器 450 は、割り当てられたデータ相関器 410 のそれぞれから復調データシンボルを受け取り、シンボルをコヒーレントに結合して、リカバー・データシンボルをデインターリーバ 452 に供給する。デインターリーバ 452 は、ベースステーションで行われる方法補足 (manner complementary) におけるシンボルを整理し直す。デインターリーバ 452 からのデータシンボルは次に、デコーダ 460 によってデコードされて、データ・シンクに供給される。

【0067】

CDMA システムのための傾斜受信機的设计と動作が、米国特許 5,764,687 「拡散スペクトル多重アクセス・コミュニケーション・システムのための移動体の復調構造」と米国特許 5,490,165 「多重信号を受信可能なシステムにおける不調素子割当て」に更に詳細に記載されている。傾斜受信機フィンガーの経路のパイロット・キャリア・ドット積と (最適の) 重み付けが米国特許 5,506,865 「パイロット・キャリア・ドット積回路」に詳細に記述されている。本特許は参照により本発明の指定代理人に割り当てられて、本明細書に取り入れられる。

【0068】

HDR CDMA システムでは、特定のユーザ端末へのパワー制御データは端末に割り当てられて、各スロットで送信される特定のウォルシュコードでカバーされている。このようにして、データ相関器 410 内では、逆拡散 I D E S、Q D E S サンプルは、割り当てられたウォルシュコードに従ったウォルシュ・デカバー素子 442 によってデカバーされる。デカバーパワーコントロールサンプル (discovered power control sample) は、次に、アキュムレータ 444 に供給されて、処理される信号インスタンスのためにパワーコントロールビットを発生するようにバーストされるパワーコントロールの持続時間にわたって蓄積される。すべての割り当てられたデータ相関器 410 からのパワーコントロールビットは、ユーザ端末の伝送パワー調整するのに使用される結合されたパワーコントロールビットを発生するために、コヒーレントに結合されていても良い (図 4 では、簡単化のために図示しない)。

【0069】

図 5 はデータプロセッサ 230 の具体的な実施形態のブロック図であり、プロセッサ 230 は様々な CDMA システムのためのフォワード及びリバースリンク上のデータ伝送を処理することができる。例えば、上記の図 4 に記述されるように、HDR CDMA システムでフォワードリンクデータ伝送にコヒーレントな復調のパイロットリファレンスを利用

10

20

30

40

50

する信号処理を実行するために、データプロセッサ 230 を構成することができる。

【0070】

図 2 に戻ると、ADC 216 からの IADC と FADC サンプルは入力データインターフェース 222 によってフォーマットされて、バッファ 224 に格納される。実施形態では、バッファ 224 は、例えば、入力サンプルレート、入力サンプルの分解能、出力サンプルレートなどの多くの因子に基づいて選択されるサイズを有する円形、2 次元バッファなどとして実現される。バッファ 224 は、特定の期間（例えば、サンプルの 2 個のフレーム、またはある他の期間）受け取られるデータサンプルを格納する能力で設計される。期間は、すべての信号経路の十分な量のデータの収集ができるのに十分大きく選択されるが、未処理のサンプルの上に新しいサンプルを書きこむことを防ぐことができるくらい十分短く選択される。サンプルが収集され、格納される期間はプログラム可能でも良い。

10

【0071】

実施形態では、バッファ 224 にデータの書き込みの容易さのために、バッファの各列は、入力データインターフェース 222 の出力ワードの幅（例えば、32 ビット）に合わせられる幅を有する。ワードのバッファ 224 への書き込みが可能になるので、データ書き込みアドレス発生器 512a は、バッファ 224 の中で次の利用可能な列に対応するデータ書き込みアドレス DW_ADDR を発生させる。そして、ワードは、発生されたアドレスによって示される列におけるバッファ 224 に書き込まれる。その後、格納されたサンプルはデータプロセッサ 230 で検索と処理に利用可能である。

20

【0072】

データプロセッサ 230 を、特定のパラメータ値に従ってデータサンプルを処理するために、指示することができる。トラヒックデータ処理において、データプロセッサ 230 を次のように指示しても良い。

- (1) 特定のタイムオフセットでの受信信号の特定の例を逆拡散とデカバーし、
- (2) デカバー・シンボルのパイロット復調器を実行し、
- (3) 異なった信号インスタンスなどに対応する復調シンボルをコヒーレントに組み合わせる。

信号（例えば、パイロットおよびパワーコントロール）データ処理に対して、データプロセッサ 230 を次のように指示しても良い。

- (1) 受信信号の特定のインスタンスを逆拡散そして／又はデカバーし、
- (2) 特定のタイム・インターバルにわたってデカバーサンプルを蓄積し、
- (3) 様々な信号インスタンスなどから蓄積されたシンボルを接続する。

30

データプロセッサ 230 を、受信信号の強いインスタンスに対して、検索するために作動させても良い。データプロセッサ 230 を、特定の CDMA 規格又はシステムに依存する様々な信号の処理や、サポートされる特定（フォワード又はリバースリンク）データ伝送を行うために、設計し作動させることができる。

【0073】

バッファ・デインターリーバ 234 はデータプロセッサ 230 から処理されたシンボルに対する格納を提供する。シンボルがデータプロセッサ 230 によって処理されて、バッファ・デインターリーバ 234 に書き込むことができるようになるので、シンボル書き込みアドレス発生器 542a は、バッファ・デインターリーバ 234 で適切なロケーションに対応するシンボル書き込みアドレス SW_ADDR を発生する。処理されたシンボルは、発生されたシンボル書き込みアドレスによって示されるロケーションまで、バッファ・デインターリーバ 234 に書き込まれる。その後、格納されたシンボルは、更なる処理（例えば、他の信号インスタンスの処理されたシンボルによる蓄積）のためにデータプロセッサ 230 に供給されても良い。

40

【0074】

バッファ・デインターリーバ 234 は、その結果、第 1 の信号インスタンスのためにパイロット復調器の結果を格納して、その後の信号インスタンスのために更にパイロット復調器の蓄積の結果を格納する。適切なシンボル読み出し及び書き込みアドレスを発生させる

50

ことによって、バッファ・デインターリーバ 234 を、ができる、特定のデインターリービング方式に従ってシンボルを整理しなおすために、動作させる。シンボルがデコーダ 260 に供給される準備ができているとき、適切な時期で、コントローラ 240 は読み出しプロセスを開始する。そして、シンボルアドレス発生器 542b は、必要なシンボル・デインターリーブを達成するために適切な読み出されたアドレスを発生させる。デインターリーブされた（すなわち、復調された）シンボルは、デコードするためにデコーダ 260 に供給される。

【0075】

図 5 に示す実施形態では、バッファ 224 からの I と Q サンプルはデータプロセッサ 230 中の相関器 522 に供給される。相関器 522 は、更に、バッファ 224 の中に格納されるか、または PN 発生期によって発生しても良い複合 PN 逆拡散系列（図 5 では、図示しない）を受け取る。

10

【0076】

トラヒックデータ処理のために、相関器 522 は、複合 PN 逆拡散系列で I 及び Q サンプルを逆拡散して、逆拡散サンプルを供給する。

【0077】

その結果、相関器 522 は、図 4 における複雑な乗算器 412 によって実行された逆拡散機能を実行する。また、相関器 524 は、例えば、それぞれのチップインターバルの多重逆拡散サンプルの蓄積、逆拡散サンプルの補間などの他の機能を実行するように設計しても良い。逆拡散サンプルはシンボル復調・結合器 524 に供給される。

20

【0078】

デカバー、パイロットを有するコヒーレントな復調、多重信号インスタンスのためシンボルの組み合わせ、パケット内の繰り返されたシンボルに対するシンボル蓄積、またはそれらの組み合わせを実行するために、シンボル復調・結合器 524 を構成することができる。デカバーするために、シンボル復調・結合器 524 は、相関器 522 から逆拡散サンプルを受け取って、1 セットのウォルシュシンボルでデカバーを行う。実施形態では、ウォルシュシンボルの長さはプログラム可能であり、1、2、4、8、16、またはある他の長さ（例えば、32、64、128 など）として選択することができる。

【0079】

コヒーレントな復調に関しては、シンボル復調・結合器 524 は、バッファ・デインターリーバ 234 に格納される復調シンボルを発生させるように、リカバー・パイロット・シンボルでデカバーデータシンボルを受信して、コヒーレントに復調する。シンボル結合に関し、シンボル復調・結合器 524 は、様々な信号インスタンスに対応する復調シンボルを受信し、結合して、バッファ・デインターリーバ 234 に戻って格納されるシンボルを発生する。シンボル復調・結合器 524 は、その結果、図 4 のデータ相関器 410 とシンボル ACC 450 を行う機能を実行することができる。

30

【0080】

バッファ・デインターリーバ 234 はシンボル蓄積の中間と最終の結果を格納する。シンボル復調・結合器 524 からの処理シンボルは、アドレス発生器 236 内のシンボル書き込みアドレス発生器 542a によって示されたロケーションで、バッファ・デインターリーバ 234 に書き込まれる。格納されたシンボルは、シンボル読み出しアドレス発生器 542b によって示されたロケーションから、バッファ・デインターリーバ 234 から検索される。

40

【0081】

適切なシンボル読み出しアドレスを発生することによって送信器で行われる方法補足におけるシンボル・デインターリービングを行うために、バッファ・デインターリーバ 234 を動作させることができる。バッファ・デインターリーバ 234 からの検索されたシンボルはデコーダ 260 に供給される復調シンボルを具備する。

【0082】

通信データ処理において、複合 PN 逆拡散系列で I と Q サンプルを逆拡散して、逆拡散サ

50

ンプルをアキュムレータ 526 に供給するために、相関器 522 を構成することができる。アキュムレータ 526 は、1 以上の逆拡散サンプルをデカバーするように構成されていても良い。

【0083】

ウォルシュコードは、特定の期間（例えば、パイロットリファレンス期間）にわたって、逆拡散又はデカバーサンプルを蓄積し、リカバー（例えば、パイロット、又はパワーコントロール）データをコントローラ 240 に供給する。アキュムレータ 526 は、下記のように、記述されるように様々なタイムオフセットでの受信信号の強いインスタンスを検索するのに使用される処理サンプルを供給するように構成しても良い。

【0084】

実施形態では、コントローラ 240 は、アキュムレータ 526 からパイロット・シンボルを処理して、データシンボルのコヒーレントな復調に使用される回復されたパイロットを発生させる。他の実施形態では、パイロット・シンボルをフィルタリングして、リカバーされたパイロットを発生させるように、データプロセッサ 230 内にパイロットプロセッサを実現することができる。パイロットリファレンスを処理するための他の設計は、また、熟考することができて、発明の範囲内である。

【0085】

図 5 に示す実施形態では、データバス 510 は、アドレス発生器 220、データプロセッサ 230、マイクロコントローラ 232、及びコントローラ 240 のような受信ユニット 200 の様々な素子を相互接続する。データバス 510 は、データバスと接続された素子の間でデータや他の情報の効率的な転送をサポートする。例えば、コントローラ 240 はタスクをマイクロコントローラ 232 に送出したり、データプロセッサ 230 に処理されたパイロット・シンボルを送ったりするのにデータバス 510 を使用することができる。受信ユニット 200 の素子の相互接続への他のメカニズムは、また、熟考することができ、本発明の範囲内である。

【0086】

図 6 A は、バッファとバッファ 224 からのデータサンプルの書き込みと読み出しを示す図である。典型的なデジタル通信システムでは、データは、次に特定の持続時間のフレームで送られるパケットで仕切られて、処理される。例えば、H D R C D M A システムでは、各パケットが 1 つ以上のスロット上に伝送されている状態で、データはパケットで送られる。そして、各スロットは、フレームの部分であり、（H D R システムにおいて）2048 個のチップを含み、各チップは、総合的なシステム帯域幅（すなわち、 $T_c = 1 / BW$ ）に関連する期間 T_c を有する。

【0087】

実施形態では、受信されたサンプルが、任意に選択可能な指定されたアドレスで始まりながらバッファ 224 に書き込まれても良い（例えば、図 6 A に示すゼロのアドレス）。実施形態では、データ書き込みアドレスポインタは、リセット・イベントの発生で指定されたアドレスに初期化され（例えば、パワーアップ）、サンプルは、ポインタによって確認されるロケーションで始まりながら、バッファ 224 に書き込まれる。その結果、任意のオフセットかフェーズ・シフトが書き込みアドレスポインタと一サンプルによって表されるフレーム上の実際の境界の間に存在する。フレーム境界はバッファ 224 の中のどんなアドレスにも対応することができる。獲得の過程の間、このオフセットはコントローラ 240 によって計算される。その後のデータ検索は、計算されたオフセット読み出されたアドレスポインタにオフセットを加えて補償される。

【0088】

データ書き込みアドレス発生器はバッファ 224 の中の次の利用可能なロケーションを示すデータ書き込みアドレス D W A D D R を発生させる。実施形態では、サンプルをバッファ 224 に書き込むことは、連続したロケーションであり、書き込みアドレス D W A D D R は、各書き込み動作後にインクリメントされる。実施形態では、バッファ 224 は、巻きつけられる（wrap around）円形のバッファとして実現される。バッファ 224 のサ

10

20

30

40

50

イズが2のパワーであることを選択することによって、2進カウンタを使用して、要求された書き込み（又は読み出し）アドレスを供給することができる。

【0089】

このカウンタは、当然ラップアラウンドしており、バッファ224の終端になるとゼロへリセットする。

【0090】

十分な数のサンプルがバッファ224に格納された後に、サンプルの特定のセグメントをバッファから検索して、処理することができる。セグメントは全体のパケットのデータサンプル又はパケットの一部を含むことができる。具体的な実施形態では、データサンプルの各セグメントは別々のパイロットリファレンスに対応していて、セグメントのサイズはチャンネルがパイロットリファレンスの上で論理的な時間の持続時間によって制限される。実施形態では、コントローラ240内のパイロット処理の一部として、パイロットリファレンスに対応するパイロット・ベクトルは、その時、パイロット復調のためにデータプロセッサ230に供給されるパイロット評価を発生させるように周波数エラー評価に応じて回転するフェーズである。

10

【0091】

コントローラ240は、その結果、セグメントの始めにパイロットリファレンスを抽出して、セグメントの持続時間のためのパイロット評価を発生させるのにこのパイロットリファレンスを使用する。パイロット評価におけるフェーズエラーは、セグメントの長さに交差して蓄積して、その結果、セグメントの長さは、パイロット評価における、蓄積されたフェーズエラーの量を減少させるために制限される。この設計は、専用の複雑なチップレート乗算器が、データプロセッサの複雑さを増加させることができるサンプル自体を回転させる必要性を避ける。

20

【0092】

異なった信号インスタンス（または、マルチパス）に対応するデータサンプルのセグメントを連続して処理することができる。例えば、ゼロのタイムオフセットを有する第1のマルチパスに対応するサンプルは、バッファ224から検索されて、データプロセッサ230によって処理されても良い。第1のマルチパスの処理の終了のときに、サンプル（例えば、第2のマルチパスに対応する）の他のセグメントをバッファ224から検索して、処理することができる。処理すべき各セグメントに対して、アカウントを収容する初期のアドレスで、データ読み出しアドレス発生器がロードされる。

30

(1) サンプルのゼロオフセットアラインメントと書き込みアドレスポインタとの間の任意のオフセット

(2) パケットの開始に関連するセグメントのアドレス、

(3) 処理される特定のマルチパスと関連づけられるタイムオフセット。

【0093】

図6Bはバッファとバッファ224からのPNサンプルの書き込みと読み出しを示す図である。具体的な実施形態では、受信されたサンプルを逆拡散するのに使用される複合PNサンプルはPN発生器によって計算されて、バッファ224の一部に格納される。一方、指定されたアドレスで始まりながら、PNサンプルを格納することができる。その後、PNサンプルのセグメントはバッファ224から検索することができて、データサンプルの当該セグメントを逆拡散するのに使用される。

40

【0094】

PN書き込みアドレス発生器は、バッファ224中の次の利用可能なロケーションを示すPN書き込みアドレスPWADDRを発生するのに使用され、PN読み出しアドレス発生器は、PNサンプルのセグメントを読み出すために、PN読み出しアドレスPRADDRを発生するのに使用される。PNサンプルを必要とするそれぞれの処理されるべきデータセグメントにおいて、セグメントにおける第1のPNサンプルのアドレスでPN読み出しアドレス発生器がロードされる。PN書き込み・読み出しアドレス発生器は、それぞれ、各PN書き込み又は読み出し動作後に、適当にインクリメントされる。

50

【0095】

バッファ224の中に格納するPNサンプルの数は多くの素子に基づくことができ、格納されるデータサンプルの数に合わせることができる。例えば、PNサンプルの2つのスロットをデータサンプルの2つのスロットに格納することができる。また、格納するPNサンプルの数も例えば、バッファ224のサイズ、サポートされるべきマルチパスデスクュー(deskew)の量などに依存しても良い。

【0096】

図6Cは、図2と図5で示される受信機設計のためのデータバッファリングの具体的な実施形態のブロック図である。ADCsからのIADC及びQADCサンプルは、余分なサンプルを取り除いて、ワードにサンプルを詰め込んで、ワードをマルチプレクサ612に供給する入力データインターフェース222に供給される。PN発生器614はデータバス510からPNマスクを受信し、データサンプルを逆拡散するのに使用されるためにそれぞれのIPNとQPN系列の部分を発生させて、発生されたIPNとQPNサンプル(ワードによる)をマルチプレクサ612に供給する。マルチプレクサ612は、データサンプルかPNサンプルのどちらかから成るそれぞれの受信されたワードをアドレス発生器220によって供給される書き込みアドレスに示されるロケーションのバッファ224に供給する。

10

【0097】

図6Cは、バッファ224のアドレスを発生させるのに使用されるアドレス発生器220の具体的な実施形態のブロック図を示す。アドレス発生器220は、データ書き込みアドレス発生器512a、データ読み出しアドレス発生器512b、PN書き込みアドレス発生器512c、ラッチ514a、514b、514c、および514dに接続されたPN読み出しアドレス発生器512dをそれぞれ含む。

20

【0098】

アドレス発生器512aから512dは、アドレス発生器512の1つから発生されたアドレスを選択するマルチプレクサ622へ更に接続され、選択されたアドレスをバッファ224に供給する。

【0099】

各ラッチ514は、アドレス発生器512で発生すべきセグメントが処理される第1のアドレスで示している値を格納する。例えば、バッファ224からデータサンプルの特定のセグメントを読むために、セグメントにおける第1のデータサンプルのアドレスは、適切な時期でラッチ514bに供給される。データ読み出しアドレス発生器512bは、ラッチ514bに格納された値を格納して、開始アドレスとしてこの値を使用する。例えば、その後のデータ読み出しアドレスは、アドレス発生器512bが読み出されるデータの中でカウンタをインクリメントすることによって、発生することができる。

30

【0100】

上記のように、任意に指定されたバッファロケーション(例えば、ゼロ)で始まりながら、データサンプルをバッファ224に格納することができる。また、バッファ224は容量で設計されて、特定数のサンプルを保持する。実施形態では、バッファ224は2の階乗であるサイズを有する。そこで、2進カウンタを、バッファ224に対する書き込み(読み出し)アドレスを発生するように使用することができる。バッファの終端に達すると、2進カウンタは自然にゼロにラップアラウンドする。

40

【0101】

実施形態では、データサンプルが連続した順番でバッファ224に書き込まれるので、バッファ224に格納されたサンプルの数を数えるサンプル・カウンタとして、データ書き込みアドレス発生器512aを使用することができる。アドレス発生器512aからのデータ書き込みアドレスは比較器628に供給されて、コントローラ240によって提供された比較値と比較される。

【0102】

コントローラ240が通知するようなサンプル(例えば、1つのパケット)の特定数の格

50

納を、比較値は示している。データ書き込みアドレスが比較値に等しいならば、比較器 628 はこの状態で示されているタイミング信号を提供する。このタイミング信号は、格納されたサンプルの処理を開始するのにコントローラ 240 によって使用される。

【0103】

図 6C は、それぞれの割り当てられたマルチパスに対する時間の処理の具体的な実施形態である。実施形態では、コントローラ 240 は処理される各マルチパス（すなわち、フィンガー）のためにタイミング状態マシン 630 を維持する。

【0104】

図 6C でのブロックとして象徴的に示されているが、それぞれのタイミング状態マシン 630 は DSP ファームウェアによって通常実現されて、維持される。

10

【0105】

データプロセッサ 230 は、受信された信号の最も強いインスタンスに対し、データサンプルを隅々まで捜すために信号処理のいくつかを実行するために指示することができる（例えば、様々な時間のオフセットでのデータサンプルの多くのセグメントを有する PN サンプルのセグメントを関連付ける）。それぞれの相関関係ピークは強い信号インスタンスに対応している。相関関係ピークが特定のしきい値を超えるならば、コントローラ 240 は相関関係ピークに対応するマルチパスに対する新しいタイミング状態マシン 630 を例示する。そして、割り当てられたマルチパスに対応するタイムオフセットは、バッファ 224 からサンプル読み出しアドレスを発生させるのに、決定されて、使用される。

【0106】

20

実施形態では、それぞれの状態マシン 630 はマルチパスの動きを追跡する時間の追跡ループ 634 を含む。（例えば、パイロットリファレンスに対応する）サンプルを処理することによって、 $+1/2$ と $-1/2$ チップ・オフセットで、時間の追跡を達成することができ、 $+1/2$ と $-1/2$ チップ・オフセットで試験的な累積の違いを決定して、修正要素を発生するように違いの値をフィルタリングする。そして、マルチパスが時間がたつにつれて動きながら、時間の追跡ループ 634 は動きの量を測定して、修正素子で従ってタイムオフセットをアップデートする。タイムオフセットは、データ・PN アドレス計算ユニット 636 に供給され、処理されるために、それぞれのデータセグメントの開始アドレスを計算するのに使用される。次に計算された開始アドレスが適切な時期に、データバス 510 を通ってラッチ 514b に供給される。

30

【0107】

上気したように、サンプルは時間内に、任意のポイントにメモリに指定されたロケーションで始まるバッファ 224 に格納される。その結果、処理されるそれぞれの信号インスタンスの開始サンプルは、バッファ 224 の中のどんなロケーションにも対応することができる。実施形態では、時間の追跡ループは、処理されるそれぞれの信号インスタンスのために受信されたデータパケットの開始ロケーションを決定するために使用されている。時間の追跡ループは、受信した信号インスタンスに対する特定のタイムオフセットを決定するために受信されたサンプルを処理する。そして、このタイムオフセットは、処理すべきサンプルの各セグメントに対する開始アドレスを発生させるのに使用される。

【0108】

40

DSP ファームウェアを使用しているコントローラ 240 と基本的なセットの処理素子で、状態マシン 630 を実現することができる。例えば、単一の時間の追跡ループ 634 と単一のデータ・PN アドレス計算ユニット 636 は、すべての例示された状態マシン 630 を実現するのに多重送信されて、使用される時間の分割でも良い。コントローラ 240 は、別々のレジスタを維持することができ、各例示された状態マシン 630 と関連づけたタイムオフセットを格納する。

【0109】

実施形態では、遠隔端末でのフォワードリンク処理のために、コントローラ 240 は、データサンプルのデータ信号速度にクロックソースの周波数をロックする周波数追跡ループを維持する。パイロット参照におけるフェーズ回転の量を測定し、フェーズ情報を使用

50

して、標本抽出クロックがチップレートに比例して速いか、または遅いのかを決定し、クロックソースの周波数を調整するために周波数追跡ループを設計することができる。サンプリングクロックがチップレートにロックされる周波数ならば、特定数のデータサンプル（例えば、2048）が各フレームに供給される。したがって、周波数がロックされるとき、バッファ224に書きこまれているサンプルの数を数えることによって受信されるべきものとサンプルのフレームをみなすことができる。

【0110】

また、図6Cは、バッファ・デインターリーブ234にアドレスを発生するのに使用されるアドレス発生器236の具体的な実施形態のブロック図である。アドレス発生器236はそれぞれラッチ544aと544bと結合されるシンボル書き込みアドレス発生器542aとシンボル読み出しアドレス発生器542bを含む。アドレス発生器542a、542bは、アドレス発生器542aと542bの1つから発生しているアドレスを選択するマルチプレクサ546に更に接続され、選択されたアドレスをバッファ・デインターリーブ234に提供する。

各ラッチ544は処理されるセグメントに対するアドレス発生器542で発生するべき第1のアドレスで示す値を格納する。ラッチ544に供給される初期値は、一般にラッチ514に供給される値に関連されるが、例えば、データプロセッサ230の処理遅れなどの様々な因子を説明するための態様で提供される。

【0111】

シンボル読み込みアドレス発生器542aは、ラッチ544aに格納された値をロードし、開始アドレスとしてロードされた値を使用する。例えば、その後のシンボル読み出されたアドレスは、アドレス発生器542aが読み出されるシンボルの中でカウンタを増加することによって、発生することができる。

【0112】

実施形態では、バッファ・デインターリーブ234は、多重マルチパスのためのシンボル蓄積の中間及び最終の結果を格納するのに使用される。そして初めに、特定のマルチパスに対するサンプルが処理されて、結果のシンボルはバッファ・デインターリーブ234の特定のロケーションに格納される。アドレッシングを簡素化するために、特定のマルチパス（例えば、処理されるべき1番目）のシンボルは、指定されたロケーション（例えば、ゼロ、Nsなどのアドレス）で開始し、バッファ・デインターリーブ234に格納されても良い。それぞれの続くマルチパスに対して、マルチパスに対する復調シンボルは、先に処理したマルチパスに対する当該格納シンボルに結合することができる。そして、結合したシンボルは、バッファ・デインターリーブ234内の同じロケーションに格納される。このようにして、多重処理マルチパスに対するシンボルが、当該先に累積されたシンボルに「インプレース（in place）」で結合される。多重マルチパスのシンボルが結合されるとき、ラッチ544aと544bに格納された値によって決定されるように、アドレス発生器236は、適切な読み出し・書き込みシンボルを発生する。

【0113】

HDR CDMAシステムを含む多くの通信システムでは、インターリーブは、伝送データに一時的なダイバーシティを提供するのに使用される。

【0114】

インターリーブは、例えば、インパルス雑音のため連続するエラーの一撃を受信する見込みを減少させる。受信ユニットでは、受信されたシンボルは再整理される。再整理は有効に受信されたシンボルの正しいデコードの見込みを改良することができる全体のフレーム上のエラーにおいて受信されるシンボルのストリングを拡散することができる。インターリーブは、一時的なダイバーシティが受信ユニットでのデコードの前に達成されるように送信機ユニットで実行される。

【0115】

また、実施形態では、処理されたシンボルのデインターリーブを提供するために、バッファ・デインターリーブ234が動作される。実施形態では、処理シンボルがバッファ・デ

10

20

30

40

50

インターリーブ234に書き込まれ、連続した順番であるが、しかし、疑似ランダムに読み出され、実行される特定のインターリーブ方式によって定義される決定論的(deterministic)な順番である。シンボルが非連続した順番で読みだされるので、インターリーブが実行される持続時間に対応するシンボルで、バッファ・デインターリーブ234は最初に満たされる。例えば、H D R C D M Aシステムでは、インターリーブはデータの各フレーム上で実行される。したがって、受信ユニットでは、シンボルの完全なフレームは、処理されて、バッファ・デインターリーブ234に格納される。全体のフレームが処理された後に、フレームのシンボルはその後のデコーダに読みだされる。実施形態では、データ処理は一度に、データの1個のフレーム上で実行される。この様に、現在のフレームが処理されて、バッファ・デインターリーブ234の1つのセクションに格納されているとき、バッファ・デインターリーブ234のもう1つのセクションから先の処理フレームを検索することができる。

10

【0116】

シンボル読み出しアドレス発生器542bは、必要な回路を含み、シンボル蓄積に対するシンボル復調・結合器524に提供されるべきシンボルとデコード用のその後のデコーダ260に提供されるシンボルとに対する適切なアドレスを発生する。これらの2つのアドレスに対するシンボルの読み出しアドレスは、時間分割多重方式で発生することができる。例えば、シンボルを、代替のシンボル読み出しサイクル上で、シンボル復調・結合器524とデコーダ260に供給することができる。代わりに、シンボルのグループを、シンボルのグループによってデコーダ260に続くシンボル復調・結合器524に供給することができる。

20

【0117】

図7Aはデータプロセッサ230の中の相関器522の具体的な実施形態のブロック図である。実施形態では、例えば複合PN逆拡散系列でデータサンプルを逆拡散することや、それぞれのチップ期間、および補間に対する多重逆拡散サンプルの蓄積を含む多くの機能をサポートするために、相関器522が設計されている。高められた性能において、同時に多重(例えば、4までの)複雑なサンプル上で動作するように相関器522を設計することができる。相関器522に対する他の設計と機能を実現することができて、発明の範囲内にある。

【0118】

それぞれのデータ読み出しサイクルに対して、実施形態では、4組のデジタル化されたIADCとQADCサンプル(すなわち、4個の複合データサンプル)はバッファ224から検索されて、ラッチ712aから712dによってラッチされる。次のデータ読み出しサイクルでは、ラッチ712dから712aまでのサンプルは、ラッチの714aから714dによって更にそれぞれラッチされて、次の4組のデジタル化されたIADC及びQADCサンプルは、ラッチ712aから712dによってラッチされる。実施形態では、2個のデータサンプルがそれぞれのチップ期間(すなわち、2倍サンプリングされる)に供給されて、ラッチ712と714での二重ラッチは、どちらかにおける定刻(OT)が抽出する処理かそれぞれのチップの遅い(LT)サンプルが可能になる。

30

【0119】

マルチプレクサの716aから716dは、ラッチ712aから712dまでからそれぞれラッチされたサンプルを受け取り、ラッチされたラッチ714aから714dまでのサンプルを、それぞれ受け取る。処理がそれぞれのオンタイム又は遅いサンプル上で実行されることになっているかどうかによって、各マルチプレクサ716は受信されたサンプルの1つをそれぞれのANDゲート718へ供給する。

40

【0120】

また、ANDゲート718aと718bは制御信号ZERO0を受信し、また、ANDゲート718cと718dは制御信号ZERO1を受信する。各ANDゲート718は、制御信号ZEROSによって、受信されたサンプルかゼロ("0")の値のどちらか、をそれぞれの乗算器720に供給する。

50

【0121】

具体的な実施形態では、バッファ224は、また、系列がデータサンプルを逆拡散するのに使用したIPNとQPNを格納するために設計され、動作する。実施形態では、各PN読み出しサイクルについて、処理されるデータサンプルに対応する複合PN逆拡散系列の16チップセグメントは、バッファ224から検索されて、ラッチ732によってラッチされて、マルチプレクサ734に供給される。マルチプレクサ734は、ラッチされた複合PNセグメントの部分（例えば、2チップ部分）を選択し、選択された部分をバーレルシフトレジスタ736に供給する。そして、レジスタ736は、それぞれの乗算器の720aから720dに、適切なIPNとQPNサンプルを供給する。

【0122】

具体的な実施形態では、データサンプルはチップレートの2倍でADCによってオーバーサンプリングされて、あるいは10分の1にして、供給される（すなわち、サンプルレートはチップレートの2倍である）。オーバーサンプリングにより、改良された性能を供給可能なよりよい時間分解能で受信信号の強いインスタンスを検出することができる。図7Aに示される相関器構造のために、4つの並列処理経路が提供されて、データの2個のチップ価値に対応する4個の複合データサンプルまで、同時に、処理クロックの各サイクルの間処理することができる。図7Aに示すように、乗算器720aと720bは、チップインデックスnに対応する2個の複合データサンプル（例えば、オンタイムかつ遅いサンプル）の逆拡散を行い、乗算器720cと720dは、チップインデックスn+1に対応する2個の複合データサンプルの逆拡散を行う。バーレルシフトレジスタ736は、チップインデックスnに対応するIPNとQPNサンプルを乗算器720aと720bに供給し、チップインデックスn+1に対応するIPNとQPNサンプルを乗算器720cと720dに供給する。

【0123】

各乗算器720は、複合PNサンプルで複合データサンプルの複合逆拡散を実行する。送信ユニットでは、HDR CDMAシステムにおいて、複雑なPN系列は伝送すべき複合データに拡散される。複合拡散は、次のように表現できる。

$$ITX + jQrx = (IDAT + jQDAT)(IPN + jQPN)$$

式(1)

受信ユニットでは、補足的な複合逆拡散を実行することによって、データをリカバーでき、以下のように表現される。

$$IDES + jQDES = (IDAC + jQADC)(IPN - jQPN)$$

式(2)

ここで、IDAC = ITX + 雑音、QADC = QTX + 雑音、IDES = IDAT + 雑音、及び、QDES = QDAT + 雑音である。

【0124】

図7Bは、式(2)によって表現される複合逆拡散を実現する乗算器720の具体的な実施形態のブロック図である。

【0125】

乗算器720の中では、複合データサンプル(IDACとQADC)はそれぞれのマルチプレクサ762aと762bに供給されて、複合PNサンプル(IPNとQPN)は、排他的ORゲート764に供給される。排他的ORゲート764は、IPNとQPNサンプルのXOR（すなわち、乗算）を実行して、出力をそれぞれのマルチプレクサ762aと762bの選択入力に供給する。

【0126】

各マルチプレクサ762は、選択入力の値に応じて、IDACかQADCサンプルを選択して、選択されたサンプルをそれぞれの排他的ORゲート766の入力に供給する。排他的ORゲート766aと766bは、IPNとQPNと共に受信されたサンプルの排他的なOR機能（すなわち、乗法）をそれぞれ、実行して、それぞれ出力サンプルをANDゲート768aと768bに供給する。各ANDゲート768は、また、制御信号ZERO

—xを受信し、制御信号ZEROSに基づいて、受信したサンプルか値“0”のどちらかを供給する。ANDゲート768aと768bの出力は、複合逆拡散IDESとQDESサンプルを具備する。

【0127】

図7Aを参照して、乗算器の720dから720aまでの逆拡散IDE、QDESサンプルは、加算器722aから722dによって選択的に結合されて、結合したIcとQCサンプルの1つのセットを発生させる。すなわち、加算器722aは乗算器720aと720cからの逆拡散IDESサンプルを結合して、チップの前半に対応する最初の結合したIC1サンプルを発生させ、加算器722bは乗算器720bと720dからの逆拡散IDESサンプルを結合して、チップの後半に対応する2番目の結合したIC2サンプルを発生させ、加算器722cは乗算器720aと720cからの逆拡散QDESサンプルを結合して、第1の結合されたQcを結合し、そして、加算器722dは乗算器720aと720cからの逆拡散QDESサンプルを結合して、第2の結合QC2サンプルを発生する。加算器722は、補間器の設計を簡素化するために、補間の前に異なったチップからの半分のサンプルを結合するのに使用できる。これが各チップが複雑さを含んでも良いか、または、より高いオーダーの復調シンボルを含んでもよいようなフォワードリンクシンボル復調のような場合などで適切でないときに、2個のチップからのサンプルのまとめを無効にするのに、ANDゲート718、ZERO_0およびZERO_1信号を使用することができる。

【0128】

図7Aに示す具体的な実施形態では、相関器522は様々なタイムオフセットのときに、サンプル値を発生するように構成することができる補間器730を含む。例えば、2個の複雑なデータサンプルが、各チップ（すなわち、0TCと0.5TCのタイムオフセット。ここで、Tcがチップの期間である）に提供されるならば、補間器730は、例えば、0.125Tc、0.25Tc、0.375Tc、0.625TC、0.75Tc、0.875TCなどのような他のタイムオフセットにおける補間されたサンプルを発生させることにおいて使用することができる。補間の時間分解能は、補間器730の特定の設計に依存する。例えば、サンプル期間より良い時間分解能でマルチパスを同一にするのに、補間器730を使用することができる。

【0129】

図7Cは直線補間を示す図である。図7Cに示すように、サンプルインデックス(n)におけるサンプルは、Aの振幅を有し、その後のサンプルインデックス(n+1)におけるサンプルは、Bの振幅を有する。サンプル期間は1.0の値に規格化される。例えば、0.25、0.50、0.75などのほかのタイムオフセットで、サンプルに対する値を見積もるために、サンプルインデックス(n)及び(n+1)におけるサンプルを使用できる。直線補間に対して、0.25のタイムオフセットでのサンプルの振幅は0.75A+0.25Bと見積もられ、0.50のタイムオフセットでのサンプルの振幅は0.50A+0.50Bと見積もられ、0.75のタイムオフセットでのサンプルの振幅は0.25A+0.75Bと見積もられる。4の要素によってサンプルをスケールリングすることによって、0.0、0.25、0.50、0.75及び1.0のタイムオフセットでのサンプルの振幅は、それぞれ、4A、3A+B、2A+2B、A+3B、4Bとして表現することができる。

【0130】

図7Dは補間器730の具体的な実施形態のブロック図である。この実施形態では、3つの異なるタイムオフセット（例えば、0.25、0.50、および0.75）で補間されたサンプルを補間することが可能な直線補間器として、補間器730が実現される。また、補間器730は下記のような能力で設計される。

- (1) ゼロ値の出力を供給すること。
- (2) 受信されたサンプルを通して給送すること
- (3) 補間されたサンプル、またはその組み合わせを供給すること。

【0131】

加算器722aから722dからの結合したIc i f I C 2 ' Q c l、およびQ C 2 S Y M b oは、それぞれスケーリング素子770aから770dに供給される。それぞれのスケーリング素子770の中で、サンプルが、マルチプレクサ772のX1入力、2倍化素子774 (times-two element) の入力、加算器776の入力に供給される。2倍化素子774は、2の素子によって受信されたサンプルをスケーリングし、スケーリングされた出力をマルチプレクサ772のX2入力と加算器776のもう片方の入力に供給する。加算器776は入力サンプルとX2のスケーリングされたサンプルを加算し、加算した出力をマルチプレクサ772のX3入力に供給する。また、マルチプレクサ772はそのX0入力のときにゼロ(“0”)を受ける。マルチプレクサ772は、コントロール信号O F F S E Tに基づいて入力の1つでサンプルを選択し、選択されたサンプルをラッチ780に供給する。

10

【0132】

図7Dに示すように、スケーリング素子の770aと770bは補足的な態様で構成されて、また、スケーリング素子の770cと770dは補足的な態様で構成される。0.25、0.50、または0.75(制御信号O F F S E Tによって表現されるように)の特定のタイムオフセットに対して、31c l、21c i t、又は1 i c i fの値は、スケーリング要素770aからラッチ780aに供給され、I C 2 ' 2 I C 2又は3 I C 2の値が、それぞれ、スケーリング要素770bからラッチ780bに供給される。次に、ラッチ780aと780bからのサンプルは加算器の782aに供給されて、ラッチ780cと780dからのサンプルは加算器の782bに供給される。加算器の782aからの出力は、補間されたIサンプルを具備して、加算器の782bからの出力は補間されたQサンプルを具備する。加算器782aと782bからの補間されたサンプルは、相関I C O RとQ c o pサンプルとして相関器522から供給される。また、ラッチの780dから780aまでの出力は、それぞれ(非補間した)の関連1 C O R l / i C O R 2 ' Q C O R 1、およびQ c O R 2サンプルを具備する。

20

【0133】

多くの異なった構成の1つで補間器730を動作することができる。例えば、上気したように、出力のゼロ合わせを行い、受信サンプルを介して給送し、補間されたサンプルまたは上の組み合わせを供給する補間器730を構成することができる。マルチプレクサ772のX0入力におけるゼロ値は、外部で出力のゼロ合わせが選択されて、X1入力におけるサンプルは受信されたサンプルを通して供給することが選択される。そして、挿入を実行するために、X1、X2、またはX3値がマルチプレクサ772で選択されて、補足的なX3、X2、又はX1は、補足的な組のもう片方のマルチプレクサ772によって選択される。

30

【0134】

実施形態では上記したように、2個のデータサンプルがそれぞれのチップ期間に備えられて、相関器522によって処理される(例えば、逆拡散)。それぞれのチップ周期(c h i p p e r i o d)について、単一の逆拡散サンプルを供給するために、補間器730の中で各チップあたり2個のサンプルを接続することができる。それぞれのチップのIサンプルを結合するために、スケーリング素子770aと770bのためのマルチプレクサのX1入力におけるサンプルは、結合されたIサンプルを供給するために加算器の782aによって選択されて、加算する。同様に、それぞれのチップ期間Qサンプルを結合するために、スケーリング素子770cと770dのためのマルチプレクサのX1入力におけるサンプルは、接続したQサンプルを供給するために加算器の782bによって選択されて、加算される。

40

【0135】

H D R C D M Aシステムでは、伝送トラヒックデータは多くのデータのストリームに仕切られて、それぞれのデータのストリームは特定のウォルシュコードでカバーされている。H D R C D M Aシステムによって定義されるように、それぞれのウォルシュコードは

50

16 (までの) チップの長さを有するそれぞれのウォルシュシンボルに対応している。データをチャンネル化するために、それぞれのデータビットは16個のチップでカバーされている。

【0136】

ウォルシュシンボルにはビットが送信されるチャンネルが割り当てられている。ウォルシュシンボルに対して、16チャンネルに送信される16のデータビットまでの16のまでのウォルシュシンボルは、発生して、接続される。16のウォルシュシンボルが互いにおいて直交していて、直交した系列の間の相互相関が(理想的)ゼロであるので、ひずみがないとき受信ユニットで個別に回復される。

【0137】

図8Aは、データプロセッサ230中のシンボル復調・結合器524の具体的な実施形態のブロック図である。相関器522からの組の関連付けされたサンプルが、チャンネル化(例えば、ウォルシュ)シンボルでサンプルをデカバーするデカバー素子820に供給され、デカバー・シンボルを供給する。デカバーデータシンボルと複合パイロット・シンボルが、パイロット信号でデータをコヒーレントに復調するパイロット復調器850に供給され、復調シンボルを発生する。復調シンボルが、その時、シンボル・アキュムレータ870(シンボルACC)に供給され、他の信号経路又は他の冗長な送信から他の復調シンボルで結合されても良い。シンボルACC870からの出力は、バッファ・デインターリーブ234(図5参照)に供給される処理されたシンボルを具備する。

【0138】

多くのクロック周期あたりのサンプル(例えば、4、8、16など)を作動させるように、シンボル復調・結合器524を設計することができる。

【0139】

シンボル復調・結合器524が同時に処理することができるサンプルの数は、例えば、サンプルをシンボル復調・結合器524に供給することが可能なレートや、シンボル復調・結合器524中の素子の幅などに、通常依存する。

【0140】

図8Bは、デカバー素子820を実現するために使用可能な高速アダマール変換(FHT)素子の具体的な実施形態のブロック図である。実施形態では、相関ICORとQCORサンプルは順次、そして交互にクロック周期あたり1個のサンプルが、FHT素子820に供給される。実施形態では、FHT素子820は能力で設計されて、長さNの1つ以上のウォルシュシンボルで受信されたサンプルのウォルシュ・デカバーを実行する。(そこで、Nはプログラム可能である)。

【0141】

多くの異なった構成の1つで作動するようにFHT素子820を設計することができる。例えば、FHT素子820は、特定の長さNの特定のウォルシュシンボルで入力サンプルをデカバーするように構成する。この構成で、FHT素子820は1つのブロックのN' CORサンプルとNQCORサンプル(すなわち、N-チップICORとQCORベクトル組)を受け取って、デカバーされたIDECとQDECシンボルの対を発生するように、受信されたサンプルブロックの上で特定のウォルシュシンボルでN-チップウォルシュデカバーを実行する。

【0142】

その代わりに、FHT素子820は、すべてのNウォルシュシンボルで、受信サンプルをデカバーするように構成することができる。この構成で、FHT素子820はN×N組のデカバーIDECとQDECシンボルを発生させるようにICORとQCORサンプルのN組を具備するベクトルによるN個のアダマールマトリクス(NウォルシュシンボルとのNチップの長さを有するそれぞれのウォルシュシンボルで対応)と同等な機能を実行する。

【0144】

すべてのNウォルシュシンボルでデカバーすることは、例えばデータが1個以上のチャン

10

20

30

40

50

ネルを介して特定の端末に伝送されても良いH D R C D M Aシステムで特に有利である。

【0145】

実施形態では、I C O RとQ C O Rサンプルの処理を速めて、必要な回路の量を最小にするならば、F H T素子820は、交互のクロック周期にI C O RとQ C O Rサンプルを処理するために構成される。これは、Q D E Cシンボルが1クロック周期で対応するI D E Cシンボルから遅れている状態でデカバーI D E CとQ D E Cシンボルを交互のクロック周期のその後の処理ユニットに供給するために、単一のF H T素子820を許容する。そして、それらが処理されるためにF H T素子820とブロックのすべてのI C O Rシンボルが処理されるのを待つ必要なしに、次に、Q C O Rシンボルから供給されるときに、デカバーI D E CとQ D E Cシンボルを作動させるようにその後の処理ユニットを設計することができる。F H T素子820の中で適切にメモリ素子を管理することによってI C O RとQ C O Rサンプルを交互に作動させるために、F H T素子820を構成することができる。

10

【0146】

F H T要素820は、順次、クロック周期あたり1個のサンプルにサンプルを受け取る逐次処理エンジンであり、そして、特定の処理遅れがそれぞれのクロックサイクルのデカバー・シンボルを供給した後である。サンプルの特定のブロックのデカバー・シンボルは、遅れがウォルシュシンボルの長さによって一部決定されている特定数のクロック周期で遅れる。それぞれのブロックのNデータサンプルに対して、F H T素子820は、順次、Nウォルシュシンボルに対応するNデカバー・シンボルを供給する。F H T素子820からのデカバー・シンボルは入力サンプルとウォルシュシンボルの間の相関関係である。

20

【0147】

高速アダマール変換素子は、長さの $N = 2L$ のウォルシュシンボルに対してLバッファフライ (bufferfly) 変換素子を使用してデカバーしながら、行うことができる。図8Bに示す特定の実施形態において、16チップウォルシュ・シンボルをデカバーするために、F H T要素820はバッファフライ変換要素830aから830dがシリーズで結合した4を含む。それぞれのバッファフライ変換素子830は、必要な合計と異なる動作の部分集合を実行する。それぞれの連続したバッファフライ変換素子830は前のバッファフライ変換から結果の交差しているカップリングを更に実行する。

30

【0148】

それぞれのバッファフライ変換素子830の中では、入力サンプルは、マルチプレクサ832の入力、加算器834の減算入力、および加算器836の第1の加算入力に供給される。また、マルチプレクサ832が加算器834の出力を受信し、加算器834aからの出力、メモリ素子838への入力サンプルを交互に供給する。メモリ素子838からの出力は、加算器834の加算入力、加算器836の第2の加算入力、また加算器836から出力を受けるマルチプレクサ840の1つの入力に供給される。マルチプレクサ840は、交互にメモリ素子838からの出力と、加算器836からラッチ842までの出力を供給する、ラッチ842の出力は次のバッファフライ変換素子830の入力に供給される。最後のバッファフライ変換素子830dの出力が、デカバー・シンボルを具備する。

40

【0149】

F H T素子の設計と動作は米国特許5,561,618「高速アダマール変換を実行するための方法と装置」に詳細に記述されている。本特許は参照により本発明の指定代理人に割り当てられて、本明細書に取り入れられる。

【0150】

図8Bに示す実施形態では、可変長さ（例えば、1、2、4、8、または16）の高速アダマール変換（すなわち、デカバー）を実行するようにF H T素子820をプログラムすることができる。F H T素子820によってサポートされる最大のF H Tの長さが変換素子830が使ったバッファフライの数によって測定されて、より短い長さのF H Tは1つをバイパスさせることによって実行されるか、またはより多くのバッファフライに素子8

50

30を変えることができる。また、追加バッファフライ変換素子830を使うことによって、より長い長さのFHTを実行することができる。

【0151】

図8Bに示す実施形態では、ICORとQCORサンプルは同じバスの上でクロック周期を交替する際にFHT素子820に供給される。

【0152】

第1の相関サンプルがFHT素子820の前部に達するとき、明確にされたウォルシュカウンタ（図8Bでは、目立たない）によって時分割多重化は達成される。時分割多重化により、FHT素子820をICOR、QCORサンプルの両方をデカバーしながら行うことができるようにハードウェアを共有することができる。他の実施形態では、ICORか

10

QCORサンプルのそれぞれのブロックをデカバーしながら行うように構成された各FHT要素でCORとQCORサンプルは2つのFHT要素に平行な状態で提供される。図8Cはパイロット復調器850の具体的な実施形態のブロック図である。FHT素子820からのデカバーIDECとQDECシンボル、複合パイロットPIおよびPQシンボルは、復調器850を操縦するために供給される。パイロットと共にそれはデカバー・シンボルをコヒーレントに復調する。以下のように、パイロット復調器が表現できる。

$$IDEM + jQDEM = (IDEC + jQDEC) (PI - jPQ) = (IDECPI + QDECPQ) + j(-IDEC PQ + QDECPI)$$

$$\text{式(3)} = [\text{dot}(IQ, P) - j\text{cross}(IQ, P)]$$

以下のように、復調IDEMとQDEMシンボルを表すことができる。

20

$$IDEM (IDECPI + QDECPQ) \text{ 式(4)}$$

$$QDEM (IDEC PQ + QDECPI) \text{ 式(5)}$$

復調器850の中では、デカバーIDECとQDECシンボルはそれぞれラッチ852aと852cに供給される（例えば、クロックサイクルを交替することに関して）。ラッチ852aからの出力は、IDEC、QDECシンボルを時間アラインするように、ラッチ852bによって更にラッチされている。ラッチ852bと852cからの出力は複合データシンボルを具備する。同様に、PIとPQパイロット・シンボルはラッチ854aと854bによってそれぞれラッチされる。ラッチ854aと854bからの出力はそれぞれマルチプレクサ856aと856bに供給される。ドット又はクロス乗積が実行されているかどうかによって、各マルチプレクサ856はPIかPQパイロット・シンボルを選

30

【0153】

また、ラッチ862aからの出力を、コントロールの信号CROSSを受信する排他的ORゲート864に供給する。そして、ラッチ862bからの出力、と排他的ORゲート864からの出力は、シンボルを加算する加算器866に供給され、加算された出力をシンボルACC870に供給する。

40

【0154】

式(4)から、乗算器860aでPIパイロットシンボルとIDECデータシンボルとを乗算し、そして乗算器860bでPQパイロットシンボルでQDECデータシンボルとを乗算し、加算器866によって乗算器860aと860bからの結果を結合して、復調IDEMシンボルを発生することができる。同様にして、式(5)から、乗算器860aでPQパイロットシンボルとIDECデータシンボルとを乗算し、乗算器860bでPIパイロットシンボルとQDECデータシンボルとを乗算し、そして乗算器860aからの結果を反転し、加算器866によって乗算器860bと反転した結果と排他的なORゲート864からの結果を結合して、復調QDEMシンボルを発生することができる。そして、復調QDEMシンボルを発生させるように、マルチプレクサ856aおよび856bは

50

、乗算器 860a と 860b に供給される P I と P Q パイロット・シンボルをスワップし、排他的 O R ゲート 864 は乗算器 860a からの結果を反転する。

【0155】

また、図 8C はシンボル A C C 870 の具体的な実施形態のブロック図を示す。復調された I、・・・、パイロット復調器 850 は順次、加算器 872 まで供給される。前の計算からの I P R E と Q P R E シンボルはバッファ・デインターリーバ 234 から検索されて（例えば対になって）、ラッチ 874 に供給される。マルチプレクサ 876 は、ラッチ 874 に接続されて、A N D ゲート 878 に供給するために I P R E か Q P R E シンボルを選択する。また、A N D ゲート 878 は、もしシンボル蓄積が実行されないならば A N D ゲート 878 から出力をゼロにするコントロールの信号の F I R S T を受信する。A N D ゲート 878 からの出力は加算器 872 に供給されて、受信された I D E M か Q D E M シンボルで加算される。加算器 872 からの出力は、バッファ・デインターリーバ 234 に戻される蓄積された（すなわち、処理される）I p R O 又は Q p R o s を具備する。

10

【0156】

図 9 は、処理トラヒックデータ、パイロットリファレンス、および他の通信データにプロセッサを使用することができるデータプロセッサ 230 の中のアキュムレータ 526 の具体的な実施形態のブロック図である。ユーザ端末では、受信信号の強いインスタンスを検索し、パイロットリファレンスをリカバーし、パワーコントロールビットなどを抽出するためにアキュムレータ 526 を使用することができる。ベースステーションでは、アキュムレータ 526 を上記の機能を実行するのに使用することができ、また、例えば、データ要求（D R C）メッセージなどの他の信号情報に対して処理するのに使用することができる。

20

【0157】

図 9 に示す具体的な実施形態において、相関器 522 からの相関 I C O R と Q c o R サンプルは、セットの 8 個のデカバー及び蓄積素子 910a から 910h に供給される。異なった数のデカバー及び蓄積素子 910 を、発明の範囲内で使用することができる。各デカバー及び蓄積素子 910 内では、相関 I C O R か Q C O R サンプルが、ウォルシュ発生器 914 からウォルシュシンボルを受信する排他的 O R ゲート 912 に供給する。対応するウォルシュコードを関連ラッチ 916 にロードすることによって特定のウォルシュシンボルを発生させるように、ウォルシュ発生器 914 をプログラムすることができる。このようにして、8 つの異なったウォルシュシンボルを有する I c h o r と Q C O R サンプルの特定のブロック上でデカバーを行うように、8 個のデカバー及び蓄積素子 910a から 910h をプログラムすることができる。

30

【0158】

フォワードリンク上では、パワー制御データを処理するのに 1 つのデカバー素子を使用することができる。リバースリンク上では、データレートコントロール（D R C）データを復調して、D F T（すなわち、速くない）として F H T を実行するのに、8 つのデカバー素子を使用することができる。

【0159】

各デカバー及び蓄積素子 910 内では、排他的 O R ゲート 912 がウォルシュシンボルによるデータサンプルのデカバーを実行し、デカバーサンプルをマルチプレクサ 922 の 1 つの入力に供給する。マルチプレクサ 922 のもう片方の入力、相関器 522 からそれぞれの関連付けされたサンプル（すなわち、I C O R 1 / I C O R 2 / Q C O R 1 / o r Q C O R 2）を受け取る。実行される特定のタスクによって、マルチプレクサ 922 は、加算器 924 までマルチプレクサ 922 からのデカバーサンプルか、又は関連付けされたサンプルのどちらかを供給する。

40

【0160】

加算器 924 は、以前にラッチされたサンプルを A D D ゲート 926 から受信し、受信されたサンプルを加算し、蓄積された出力を（直列に接続される）レジスタ 928a と 928b の第 1 のセットと、（同様に、直列に接続される）レジスタ 930a と 930b の第

50

2のセットに供給する。ラッチ928bからのラッチ出力と制御信号FLUSH／は、制御信号であれば、加算器926にゼロの値を供給するANDゲート926の入力に供給される。もし、制御信号FLUSH／がhighであれば、FLUSH／はlowであり、ラッチ出力される。

【0161】

ラッチ930bからのラッチ出力は蓄積されたシンボルを具備して、マルチプレクサ940の1つの入力に供給される。

【0162】

マルチプレクサ940がすべての8個のデカバー及び蓄積素子910aから910hから蓄積されたシンボルを受け取り、受信されたシンボルを更にデータバス510と接続されるラッチ942に連続して供給する。そして、コントローラ240はラッチ942から蓄積されたシンボルを検索することができる。

10

【0163】

図9に示すように、相関ICOR及びQCORサンプルは、デカバー及び蓄積素子910bの自乗器952に供給する、。

【0164】

自乗器952は受信されたサンプルを自乗して、自乗されたサンプルを、排他的ORゲート912bからデカバーサンプルを受け取るマルチプレクサ954の1つの入力に供給する。そこで、マルチプレクサ954は自乗されたサンプル又はデカバーサンプルのいずれかを、制御信号SQUAREにより、マルチプレクサ922bに供給する。自乗器952は、信号リンクの品質を見積もるのに使用されるパイロットキャリアから干渉へのエネルギー評価の計算をサポートする。

20

【0165】

多くのタスクを実行するようにアキュムレータ526をプログラムすることができる。

【0166】

例えば、同時に8つまでの異なったチャンネルをデカバーするように、アキュムレータ526をプログラムすることができる。図9に示す実施形態では、相関ICOR、QCORサンプルが、時間分割多重方式（すなわち、ICOR/QCOR! ICOR/QCOR等）で、各デカバー及び蓄積素子910に供給される。第1セットのラッチにおける2つのラッチ928aと928bは、ICORとQCORサンプルの時間分割多重蓄積（time division multiplexed accumulation）をサポートする。

30

【0167】

また、受信信号の強いインスタンスの検索を補助するようにアキュムレータ526をプログラムすることができる。例えば、その後のエネルギーの自乗に対する各8個のアキュムレータにおける異なるオフセットのためのI、Qベクトルを蓄積するために、アキュムレータ526を構成することができる。パイロットリファレンスがウォルシュコードゼロでカバーされているならば、デカバーは受信ユニットでは必要ない。実施形態では、デカバー及び蓄積素子910のそれぞれのセットで処理されるそれぞれのタイムオフセットで、同時に最大4つの異なったタイムオフセットを処理するように、アキュムレータ526をプログラムすることができる。

40

【0168】

発明のある実施形態では、マイクロコントローラ232は、コントローラ240で送出されたタスクを受信し、様々な素子の動作を指示して、受信ユニット200、送出されたタスクを実行するために提供されている。動作の一連のステップ又は他の多くのタスクを含むように、各タスクを定義することができる。例えば、タスクは、特定の時間のウィンドウなどの中で強い信号インスタンスを捜し求めるために、特定のタイムオフセットのときに特定のマルチパスを処理するために送出されても良い。検索タスクは、指定されたPNオフセットのときに特定のタイム・インターバル（例えば、96個のチップ）の間にわたってパイロット信号を関連させるように相関器522とアキュムレータ526を指示することによって、達成されても良い。また、タスクは、多重タイムオフセットなどで強い信

50

号インスタンスを検索するためにマルチパスがすべて割り当てられたプロセスに送出されても良い。実施形態では、マイクロコントローラ232はそれぞれの受信されたタスクのために適切なタスク状態マシンを例示して、タスクの持続時間のためにタスク状態マシンを維持する。特定のタスクが処理されることによって、マイクロコントローラ232は下位の階層的なタスクのために更に1台以上の追加タスク状態マシンを例示しても良い。マイクロコントローラ232は、特定のタスクが完了するとき、コントローラ240に通知するように構成されても良い。

【0169】

検索タスクのために実行されるべき処理と、データ処理タスクと、信号処理タスクと、他のタスクは、以下の特許と特許アプリケーションにより詳細に記述される。なお、これらの全ては、本発明の指定代理人に譲渡され、本明細書に取り入れられている。

1) 米国特許5,644,591と5,805,648「CDMAコミュニケーションシステムにおける検索・獲得を行うための方法及び装置 (METHOD AND APPARATUS FOR PERFORMING SEARCH ACQUISITION IN A CDMA COMMUNICATIONS SYSTEM)」

2) 米国特許5,867,527と5,867,527「BURSTY信号の検索方法 (METHOD OF SEARCHING FOR A BURSTY SIGNAL)」

3) 米国特許5,764,687「拡散スペクトル多重アクセス通信システムのための移動体復調機構 (MOBILE DEMODULATOR ARCHITECTURE FOR A SPREAD SPECTRUM MULTIPLE ACCESS COMMUNICATION SYSTEM)」

4) 米国特許5,577,022「セルラー通信システムに対するパイロット信号検索技術 (PILOT SIGNAL SEARCHING TECHNIQUE FOR A CELLULAR COMMUNICATIONS SYSTEM)」

5) 米国特許5,654,979「拡散スペクトルマルチアクセス通信システムに対するセルサイト復調機構 (CELL SITE DEMODULATION ARCHITECTURE FOR A SPREAD SPECTRUM MULTIPLE ACCESS COMMUNICATION SYSTEMS)」

6) 米国特許出願08/987,172「マルチチャンネル復調器 (MULTI CHANNEL DEMODULATOR)」(1997年12月9日出願)

7) 米国特許出願09/283,010「プログラム可能な適合フィルタ検索器 (PROGRAMMABLE MATCHED FILTER SEARCHER)」(1999年3月31日出願)

図10は、受信ユニット200、(例えば、バッファ224とデータプロセッサ230)素子の動作の制御に使用されるマイクロコントローラ232の具体的な実施形態のブロック図である。マイクロコントローラ232は、カウンタ1014とラッチ1016aと1016bとに接続されたシーケンスコントローラ1012を含む。カウンタ1014とラッチ1016aは、それぞれ更にデータバス510と接続されたラッチ1016cと1016dに更に接続される。

【0170】

ラッチ1016bは、マイクロコントローラ232の状態を格納して、シーケンスコントローラ1012に統合することができる。ラッチ1016dは、データバス510からコントローラ240によって送出されたタスクを記述したワードを受け取る。

【0171】

ラッチ1016cは、送出されたタスクに適用される1つ以上のパラメータ値をデータバス510から受信する。そのようなパラメータ値は、例えば検索機能が実行されることになっているタイム・インターバルを指定しても良い。

【0172】

タスクの実行の間、カウンタ1014は、指定されたタイム・インターバルをカウントダウンして、タイム・インターバルの終わりで示している信号をシーケンスコントローラ1012に供給する。

【0173】

実施形態では、設計を簡素化して、回路の複雑さとコストを減少させるために、シーケンスコントローラ1012は組合わせ論理を使用して実現される。前記論理は、送出されたタスクを通して系列に使用される必要なタスク状態マシンを実現する。それぞれのタスク

10

20

30

40

50

状態マシンが、受信ユニット 200 内の様々な素子、例えば、バッファ 224、相関器 522、シンボル復調・結合器 524、アキュムレータ 526、バッファ・デインターリーバ 234 の動作を指示する適切な制御信号を供給する。制御信号は、様々な機能を介して配列し (sequence)、送出されたタスクを実行するために、バッファと処理素子を制御する。例えば、制御信号は、バッファ 224 とバッファ・デインターリーバ 234 に供給されるマルチプレクサへの適切な入力を選択するために、図 6C (例えば、マルチプレクサ 612、622、および 546) における様々なマルチプレクサを制御する。シーケンスコントローラ 1012 は、必要なアドレスを発生させるように更に様々なアドレス発生器 512 と 542 の動作を指示する。

【0174】

図 11A は、ゼロのタイムオフセットに対するデータプロセッサ 230 によるデータサンプルの処理のためのタイミング図である。この例では、2 個のデータサンプルがそれぞれのチップ期間で利用可能で、それぞれのデータサンプルは 4 ビットの分解能を有する。動作が読み出される各 32 ビットについて、8 チップ期間に対するいずれかの 16 個の複合 I PN と Q PN サンプルか、2 チップ期間に対する 4 個の複合データサンプルをバッファ 224 から検索することができる。

【0175】

第 1 のクロック周期で、8 個のチップの複合 PN サンプルは、バッファ 224 から検索されて、相関器 732 内でラッチ 732 に提供される (図 7A 参照)。第 2 のクロック周期で、0.0、0.5、1.0、および 1.5 のタイムオフセットに対応する最初の 2 個のチップのデータサンプルは、それぞれバッファ 224 から検索されて、ラッチ 712a、712b、712c、および 712d にラッチされる。第 3 のクロック周期では、ラッチ 712 内のサンプルがラッチ 714 によって再びラッチされ、2.0、2.5、3.0、および 3.5 のタイムオフセットに対応する次の 2 個のチップのデータサンプルは、それぞれバッファ 224 から検索されて、ラッチ 712a、712b、712c、および 712d によってラッチされる。第 4 のクロック周期では、乗算器 720a と 720b は、相関器 522 中で、0.0 と 0.5 のタイムオフセットに対応する最初のチップのデータサンプルを、それぞれ関連付ける。5 番目のクロック周期では、相関器 522 はアイドリングされる。6 番目のクロック周期では、乗算器 720c と 720d は、それぞれ 1.0 のタイムオフセットと 1.5 に対応する第 2 のチップのデータサンプルを関連付ける。クロック周期 7 から 10 の処理は、クロック周期 3 から 6 の処理と同様である。PN サンプルの次のセットが必要とされ、検索されるまで、データ処理は同様の方法で更に続く。

【0176】

図 11B は、1.5 のタイムオフセットに対するデータプロセッサ 230 でのデータサンプルの処理のためのタイミング図である。実施形態では、データサンプルは、偶数のチップインデックス (例えば、0、2、4 など) で開始して、バッファ 224 から検索される。したがって、特定のマルチパスに対するタイムオフセットを整数部分と少数点以下に分解することができる。整数部分はデータサンプルを取る特定の均等なチップインデックスを示す。少数点以下は、検索されたデータサンプルでの特定の半分のチップオフセットを示す。

【0177】

図 11B に示すように、PN サンプルとデータサンプルは、ゼロのタイムオフセットのように同様の方法によるバッファ 224 から検索される。しかしながら、第 3 のクロック周期では、データ処理は 1.5 のタイムオフセットに対応するデータサンプルに実行される。具体的に、乗算器 720d と 720a は 1.5 と 2.0 のタイムオフセットのデータサンプルをそれぞれ関連付ける。同様に、第 5 のクロック周期では、乗算器 720b と 720c はそれぞれ 2.5 と 3.0 のタイムオフセットのデータサンプルを関連付ける。

【0178】

そして、データ処理は同様の方法で続く。

【0179】

通信システムのユーザ端末又はベースステーションで上で記述された受信ユニットを、有利に使用することができる。フォワード又はリバースリンクに対する信号処理は異なっても良く、実現される特定のCDMA規格かシステムに通常依存する。

【0180】

また、ユーザ端末に対する条件はベースステーションへのそれらと異なるものでも良い。例えば、ユーザ端末は1つのベースステーションからの単一のトランスミッション又は多重ベースステーションからの余分なトランスミッションを通常処理しなければならないが、ベースステーションには、複数のユーザ端末からの多重（異なる）送信を同時に処理することが通常要求される。したがって、受信ユニットは、特にそれが使用される特定のアプリケーションのために通常設計される。

10

【0181】

1個以上のアプリケーションの特定の集積回路（ASICs）、デジタル信号プロセッサ、コントローラ、マイクロコントローラ、マイクロプロセッサ、この場所に記述される機能を実行するように設計された他の電子ユニット及びそれらの組み合わせ内で、受信ユニット200（例えば、アドレス発生器220、入力データインターフェース222、バッファ224、データプロセッサ230、マイクロコントローラ232、コントローラ240など）に対する上記の素子を実現することができる。1つ以上のランダムアクセスメモリー（RAMs）、ダイナミックRAMs（DRAMs）、フラッシュメモリ、または他のメモリ技術の装置の中にバッファ224とバッファ・デインターリーバ234を実現することができる。

20

【0182】

また、バッファ224とバッファ・デインターリーバ234が、受信ユニット200の他の素子を実現するのに使用された同じ集積回路の中に実現されても良い。

【0183】

明確にするために、発明の多くの局面と実施形態は特にHDR CDMAシステムのフォワードリンクデータ伝送の内容で記述している。そして、しかしながら、また、発明は、リバースリンクデータ通信や他の通信システム（例えば、IS-95 CDMAシステム、W-CDMAシステムなど）で使用されても良い。

【0184】

好ましい実施形態の以上の記述により、いかなる当業者にとっても、本発明を成し、または使用することが可能になる。これらの実施形態の様々な変更例は、当業者に対して明らかであって、この場所に定義される一般的な原理は他の実施形態に発明的な能力の使用なしで適用されても良い。したがって、本発明がここで示された実施形態に制限されることを意図しておらず、ここに開示された原理及び新しい特徴と一致した最も広い範囲と一致する。

30

【0185】

【発明の効果】

本発明によれば、従来の設計より多くの利点を有する精密かつ簡潔な復調器の技術を提供できる。

【図面の簡単な説明】

40

【図1】 通信システムの簡易化されたブロック図。

【図2】 復調された信号を受信し、処理するための適当な受信ユニットの具体的な実施形態のブロック図。

【図3】 高データレート（HDR）CDMAシステムに従ったフォワードリンク伝送のためのデータフレーム形式の図。

【図4】 HDR CDMAシステムにおけるフォワードリンクデータ伝送を処理するのに使用可能な受信データプロセッサの実施形態のブロック図。

【図5】 本発明のデータプロセッサの具体的な実施形態のブロック図。

【図6A】 PNサンプルのデータサンプルの書くことバッファとバッファからの読み出し、書き込みおよびバッファとバッファからの読み出しを示す図。

50

【図 6 B】 P N サンプルのデータサンプルの書くことバッファとバッファからの読み出し、書き込みおよびバッファとバッファからの読み出しを示す図。

【図 6 C】 図 2 と図 5 で示される受信機設計のためのデータバッファリングの具体的な実施形態のブロック図。

【図 7 A】 図 5 のデータプロセッサ内の相関器の具体的な実施形態のブロック図、。

【図 7 B】 複合逆拡散を実行することができる乗算器の具体的な実施形態のブロック図。

【図 7 C】 直線補間を示す図。

【図 7 D】 補間器の具体的な実施形態のブロック図。

【図 8 A】 図 5 のデータプロセッサ内のシンボル復調・結合器の具体的な実施形態のブロック図。 10

【図 8 B】 高速アダマール変換 (F H T) 素子の具体的な実施形態のブロック図。

【図 8 C】 パイロット復調器の具体的な実施形態のブロック図。

【図 9】 処理トラヒックデータ、パイロットリファレンス、および他の通信データに使用されるアキュムレータの具体的な実施形態のブロック図。

【図 10】 受信ユニットの素子の動作を制御するのに使用可能なマイクロコントローラの具体的な実施形態のブロック図。

【図 11 A】 ゼロと 1.5 のタイムオフセットに対するデータプロセッサによるデータサンプルの処理のためのタイミング図。

【図 11 B】 ゼロと 1.5 のタイムオフセットに対するデータプロセッサによるデータサンプルの処理のためのタイミング図。 20

【符号の説明】

1 0 0 …通信システム

1 1 0 …送信ユニット

1 1 2 …データソース

1 1 4 …送信データプロセッサ

1 1 6 …送信機

1 1 8 …アンテナ

1 3 0 …受信ユニット

1 3 2 …アンテナ

1 3 4 …受信機

1 3 6 …受信データプロセッサ

1 3 8 …データ・シンク

2 0 0 …受信ユニット

2 1 2 …アンテナ

2 1 4 …フロントエンドユニット

2 1 6 …A D C

2 1 8 …クロック発生器

2 2 0 …アドレス発生器

2 2 2 …データインターフェース回路

2 2 2 …入力データインターフェース

2 2 4 …バッファ

2 3 0 …データプロセッサ

2 3 2 …マイクロコントローラ

2 3 4 …バッファ・デインターリーバ

2 3 6 …アドレス発生器

2 4 0 …コントローラ

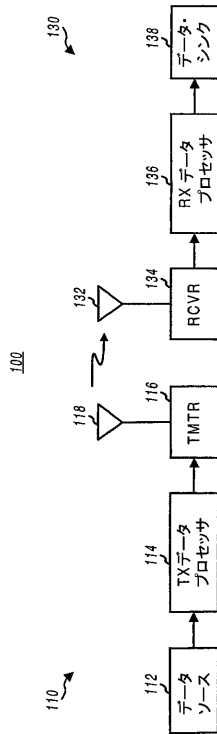
2 6 0 …デコーダ

2 6 2 …データ・シンク

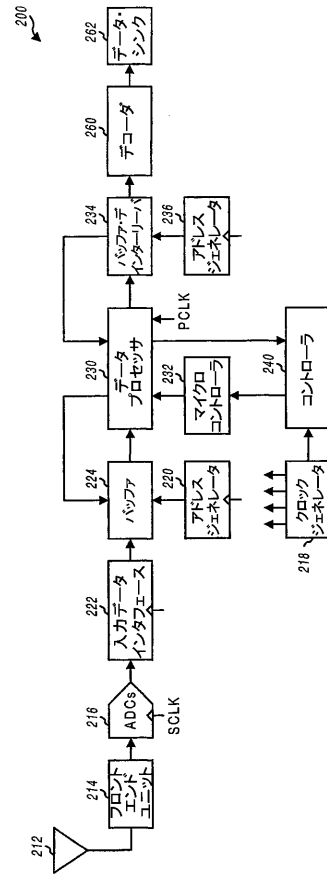
30

40

【図 1】



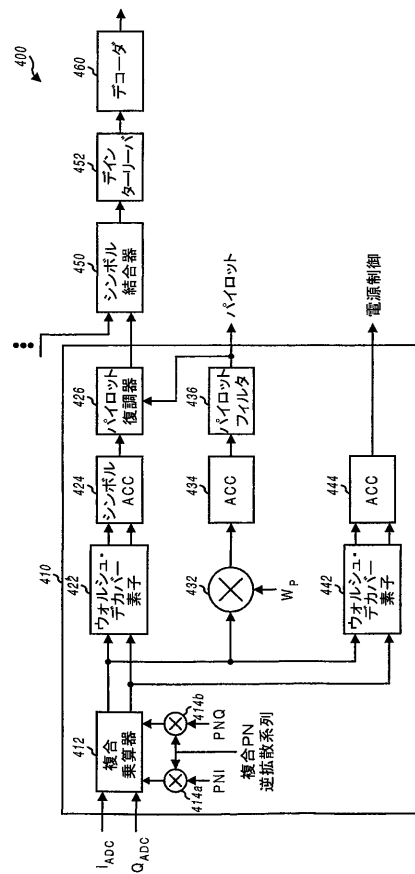
【図 2】



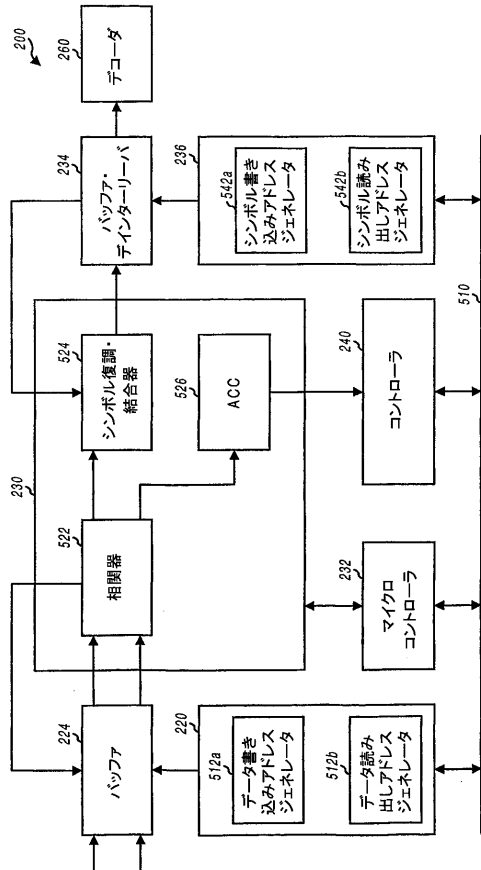
【図 3】



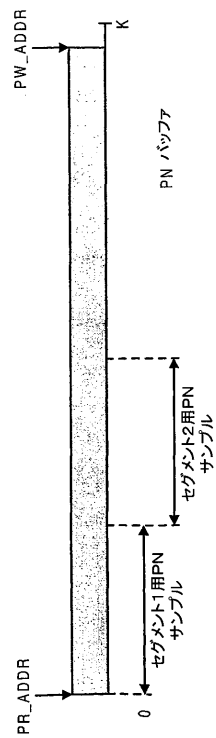
【図 4】



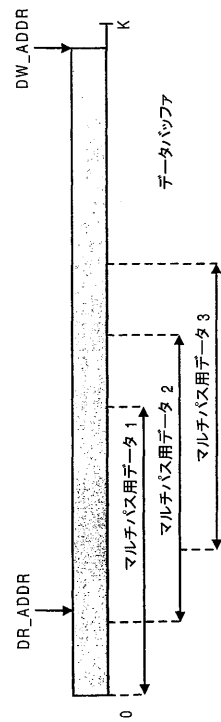
【図 5】



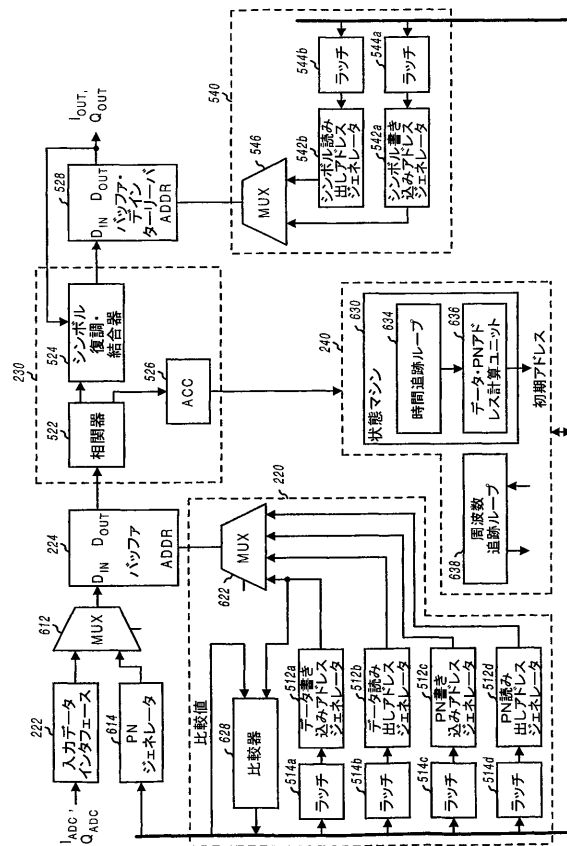
【図 6 B】



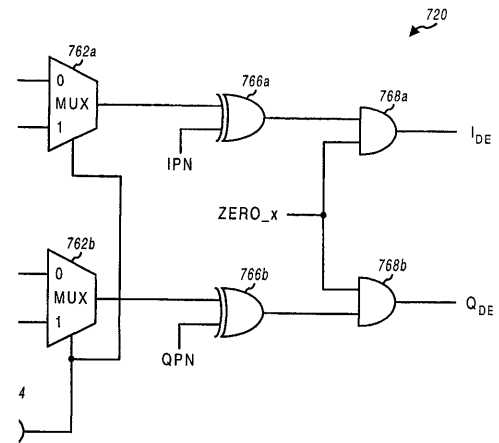
【図 6 A】



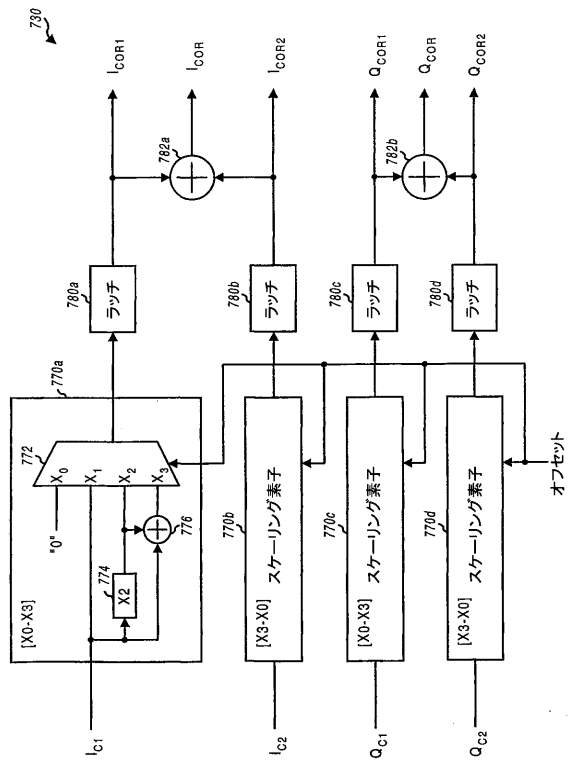
【図 6 C】



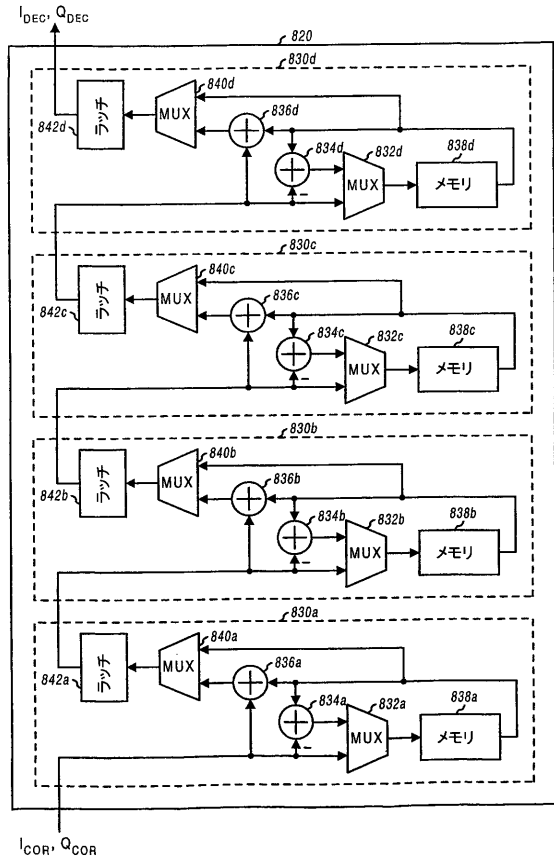
【図 7 B】



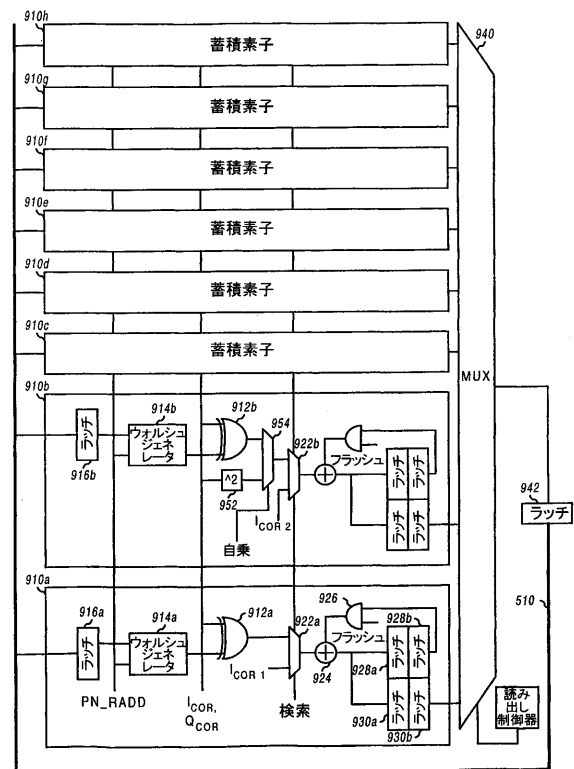
【图 7 D】



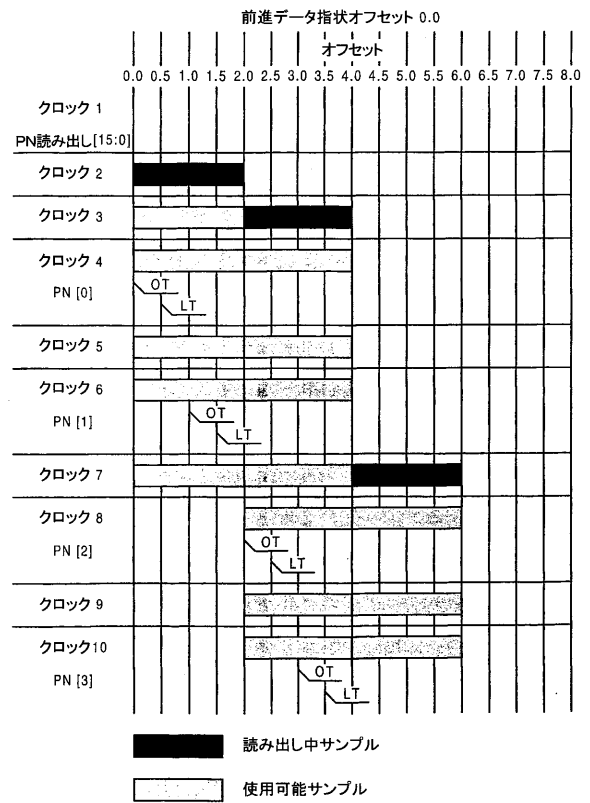
【図 8 B】



【图 9】



【図 1 1 A】



前送データ指状オフセット 1.5
オフセット

クロック 0

PN読み出し[15:0]

クロック 1

クロック 2

クロック 3

PN [0]

クロック 4

クロック 5

PN [1]

クロック 6

クロック 7

PN [2]

クロック 8

クロック 9

PN [3]

読み出し中サンプル

使用可能サンプル

フロントページの続き

(74)代理人 100084618

弁理士 村松 貞男

(74)代理人 100092196

弁理士 橋本 良郎

(72)発明者 イーストン、ケネス・ディー

アメリカ合衆国、カリフォルニア州 92130 サン・ディエゴ、カーメル・クノールズ・ドライブ 5379

(72)発明者 ブラック、ピーター・ジェイ

アメリカ合衆国、カリフォルニア州 92103 サン・ディエゴ、ファースト・アベニュー 2961

審査官 佐々木 洋

(56)参考文献 特開2000-138651 (JP, A)

特表平11-508419 (JP, A)

米国特許第05930704 (US, A)

Frank Honore et al., 'Implementation Options for WCDMA', Acoustics, Speech, and Signal Processing, 2000. ICASSP'00. Proceedings. 2000 IEEE International Conference on, 2000年 6月, pp. 3702-3705

L. Philips et al., 'A Baseband IC for 3G UMTS Communications', Vehicular Technology Conference, 1999. VTC 1999 Fall, 1999年, pp. 1521-1524

Stephen D. Lingwood et al., 'ASIC Implementation of a Direct-Sequence Spread-Spectrum RAKE-Receiver', Vehicular Technology Conference, 1994, IEEE, 1994年, pp. 1326-1330

(58)調査した分野(Int.Cl., DB名)

H04J 13/00-13/06

H04B 1/69- 1/713