



(12)发明专利

(10)授权公告号 CN 102811049 B

(45)授权公告日 2017.05.10

(21)申请号 201210174194.8

(22)申请日 2012.05.30

(65)同一申请的已公布的文献号

申请公布号 CN 102811049 A

(43)申请公布日 2012.12.05

(30)优先权数据

10-2011-0051105 2011.05.30 KR

(73)专利权人 三星电子株式会社

地址 韩国京畿道

(72)发明人 金晟祺 金志炫

(74)专利代理机构 北京市柳沈律师事务所

11105

代理人 李昕巍

(51)Int.Cl.

H03K 19/094(2006.01)

G01K 1/00(2006.01)

(56)对比文件

JP 特开2003-46379 A, 2003.02.14,

US 2002/0036525 A1, 2002.03.28,

CN 1602007 A, 2005.03.30,

审查员 杨莹莹

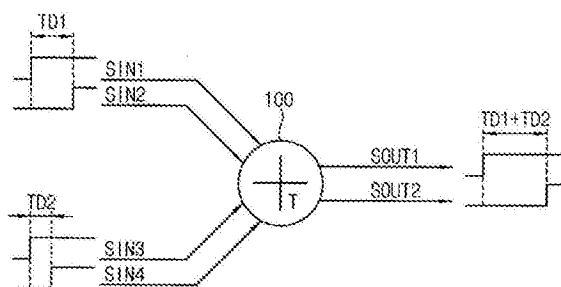
权利要求书8页 说明书42页 附图31页

(54)发明名称

片上系统、时间数字转换器、数字锁相环以及温度传感器

(57)摘要

本发明涉及片上系统、时间数字转换器、数字锁相环以及温度传感器。一种包括在片上系统(SoC)中的时间差加法器包括第一寄存器单元和第二寄存器单元。第一寄存器单元被配置成接收具有第一时间差的第一输入信号和第二输入信号,并且响应于第一信号生成第一输出信号。第二寄存器单元被配置成接收具有第二时间差的第三输入信号和第四输入信号,并且响应于第一信号,生成相对于第一输出信号具有第三时间差的第二输出信号。第三时间差相当于第一时间差和第二时间差的和。



1. 一种包括时间差加法器的片上系统 (SoC), 该时间差加法器包括:

第一寄存器单元, 被配置成接收具有第一时间差的第一输入信号和第二输入信号, 该第一寄存器单元还被配置成响应于第一信号生成第一输出信号; 以及

第二寄存器单元, 被配置成接收具有第二时间差的第三输入信号和第四输入信号, 该第二寄存器单元还被配置成响应于该第一信号生成相对于第一输出信号具有第三时间差的第二输出信号, 该第三时间差与第一时间差和第二时间差的和相当。

2. 如权利要求1所述的片上系统, 其中, 所述第一寄存器单元包括,

第一偏移延迟单元, 配置成通过将第二输入信号延迟一偏移时间, 来生成第一保持信号, 以及

第一时间寄存器, 其包括: 第一输入端, 被配置成接收第一输入信号; 第一保持端, 被配置成接收第一保持信号; 第一唤醒端, 被配置成接收第一信号; 以及第一输出端, 被配置成输出第一输出信号, 并且

其中, 所述第二寄存器单元包括,

第二偏移延迟单元, 被配置成通过将第三输入信号延迟该偏移时间, 来生成第二保持信号, 以及

第二时间寄存器, 其包括被配置成接收第四输入信号的第二输入端、被配置成接收第二保持信号的第二保持端、被配置成接收第一信号的第二唤醒端、以及被配置成输出第二输出信号的第二输出端。

3. 如权利要求2所述的片上系统, 其中, 所述第一输出信号在第一信号的上升沿之后的第一时间段之后具有上升沿, 该第一时间段等于放电时间减去偏移时间减去第一时间差, 并且其中, 所述第二输出信号在第一信号的上升沿之后的第二时间段之后具有上升沿, 该第二时间段等于放电时间减去偏移时间加上第二时间差。

4. 如权利要求3所述的片上系统, 其中, 所述第一时间寄存器包括第一电容器, 并且所述第二时间寄存器包括第二电容器, 其中, 第一电容器和第二电容器具有基本相同的电容, 并且其中, 所述放电时间根据所述电容来确定。

5. 如权利要求2所述的片上系统, 其中, 所述第一时间寄存器包括:

第一反相器, 被配置成将第一输入信号反相;

反相器控制单元, 被配置成响应于第一保持信号使第一反相器去激活, 该反相器控制单元还被配置成响应于第一信号激活第一反相器;

电容器, 被配置成响应于来自第一反相器的输出信号而充电或放电; 以及

第二反相器, 被配置成基于电容器的电压生成第一输出信号。

6. 如权利要求5所述的片上系统, 其中, 所述电容器在第一输入信号和第一保持信号之间的时间间隔期间放电, 以存储关于第一输入信号和第一保持信号之间的时间差的信息。

7. 权利要求5所述的片上系统, 其中, 所述电容器的放电响应于第一输入信号的上升沿开始, 响应于第一保持信号的上升沿停止, 并且响应于第一信号的上升沿再次开始。

8. 如权利要求5所述的片上系统, 其中, 所述第一反相器包括,

第一晶体管, 其包括被配置成接收第一输入信号的栅极、经由反相器控制单元耦接到电源电压的源极、以及耦接到中间节点的漏极, 以及

第二晶体管, 其包括被配置成接收第一输入信号的栅极, 经由反相器控制单元耦接到

地电压的源极,以及耦接到中间节点的漏极,

其中,所述反相器控制单元包括,

第三晶体管,其耦接在电源电压和第一晶体管之间,

第四晶体管,其耦接在地电压和第二晶体管之间,

D触发器,其包括耦接到第三晶体管的栅极的输出端、耦接到第四晶体管的栅极的反相输出端、耦接到反相输出端的数据端、以及时钟端,以及

选择器,被配置成响应于从D触发器的反相输出端输出的反相输出信号,选择性地将第一保持信号或第一信号输出到D触发器的时钟端,

其中,所述电容器耦接在中间节点和地电压之间,并且

其中,所述第二反相器包括,

第五晶体管,其包括耦接到中间节点的栅极、耦接到电源电压的源极、以及被配置成输出第一输出信号的漏极,以及

第六晶体管,其包括耦接到中间节点的栅极、耦接到地电压的源极、以及被配置成输出第一输出信号的漏极。

9.如权利要求2所述的片上系统,其中,所述第一时间寄存器包括:

第一反相器,被配置成将第一输入信号反相;

反相器控制单元,被配置成响应于第一保持信号使第一反相器去激活,以及响应于第一信号激活第一反相器;

电容器,被配置成响应于的第一反相器的输出信号而充电或放电;以及

比较器,被配置成通过将电容器的电压与参考电压进行比较来生成第一输出信号。

10.如权利要求1所述的片上系统,其中,所述第一信号是通过延迟或反相第一输入信号、第二输入信号、第三输入信号和第四输入信号中的一个而生成的唤醒信号。

11.一种包括时间差加法器的片上系统(SoC),该时间差加法器包括:

第一寄存器单元,被配置成接收具有第一时间差的第一输入信号和第二输入信号,该第一寄存器单元还被配置成响应于第一信号生成第一输出信号;以及

第二寄存器单元,被配置成接收具有第二时间差的第三输入信号和第四输入信号,该第二寄存器单元还被配置成响应于第一信号生成相对于第一输出信号具有第三时间差的第二输出信号,该第三时间差与第一时间差和第二时间差的和相当,

其中,所述第一寄存器单元包括,

第一时间寄存器,其包括:被配置成接收第一输入信号的第一输入端、被配置成接收第二输入信号的第一保持端、被配置成接收第一信号的第一唤醒端、以及被配置成输出第一输出信号的第一输出端,并且

其中,所述第二寄存器单元包括,

第二时间寄存器,其包括被配置成接收第四输入信号的第二输入端、被配置成接收第三输入信号的第二保持端、被配置成接收第一信号的第二唤醒端、以及被配置成输出第二输出信号的第二输出端。

12.如权利要求11所述的片上系统,其中,所述第一输出信号在第一信号的上升沿之后的第一时间段之后具有上升沿,该第一时间段等于放电时间减去第一时间差,并且其中,所述第二输出信号在第一信号的上升沿之后的第二时间段之后具有上升沿,该第二时间段等

于放电时间加上第二时间差。

13. 一种包括时间差加法器的片上系统 (SoC), 该时间差加法器包括:

第一寄存器单元, 被配置成接收具有第一时间差的第一输入信号和第二输入信号, 该第一寄存器单元还被配置成响应于第一信号生成第一输出信号; 以及

第二寄存器单元, 被配置成接收具有第二时间差的第三输入信号和第四输入信号, 该第二寄存器单元还被配置成响应于第一信号生成相对于第一输出信号具有第三时间差的第二输出信号, 该第三时间差与第一时间差和第二时间差的和相当,

其中, 所述第一寄存器单元包括,

第一偏移延迟单元, 被配置成通过将第二输入信号延迟一偏移时间, 来生成第一保持信号, 以及

第一时间寄存器, 包括被配置成接收第一输入信号的第一输入端、被配置成接收第一保持信号的第一保持端、被配置成接收第二信号的第一预充电端、被配置成接收第一信号的第一唤醒端、以及被配置成输出第一输出信号的第一输出端, 并且

其中, 所述第二寄存器单元包括,

第二偏移延迟单元, 被配置成通过将第三输入信号延迟该偏移时间, 来生成第二保持信号, 以及

第二时间寄存器, 其包括被配置成接收第四输入信号的第二输入端、被配置成接收第二保持信号的第二保持端、被配置成接收第二信号的第二预充电端、被配置成接收第一信号的第二唤醒端、以及被配置成输出第二输出信号的第二输出端。

14. 如权利要求13所述的片上系统, 其中, 所述第一时间寄存器包括:

电容器, 其耦接在中间节点和地电压之间;

上拉晶体管, 其耦接在中间节点和电源电压之间, 该上拉晶体管被配置成响应于第二信号对电容器充电;

下拉晶体管, 其耦接在中间节点和地电压之间;

下拉晶体管控制单元, 被配置成响应于第一输入信号导通下拉晶体管, 响应于第一保持信号使下拉晶体管截止, 以及响应于第一信号导通下拉晶体管; 以及

输出单元, 被配置成基于电容器的电压生成第一输出信号。

15. 如权利要求14所述的片上系统, 其中, 所述下拉晶体管控制单元包括:

置位-复位锁存器, 包括: 被配置成接收第一输入信号的置位端、被配置成接收第一保持信号的复位端、以及输出端; 以及

或门, 被配置成对第一信号和来自置位-复位锁存器的输出端的输出信号执行或运算, 该或门包括耦接到下拉晶体管的栅极的输出端。

16. 如权利要求14所述的片上系统, 其中, 所述时间差加法器还包括控制单元, 该控制单元被配置成生成第一信号和第二信号, 该控制单元包括,

第一反相器, 被配置成通过将第一输入信号反相生成反相的第一输入信号,

唤醒延迟单元, 被配置成延迟反相的第一输入信号,

第一置位-复位锁存器, 其包括: 被配置成接收反相的第一输入信号的置位端、被配置成接收唤醒延迟单元的输出信号的复位端、以及被配置成输出第一信号的输出端,

预充电延迟单元, 被配置成延迟唤醒延迟单元的输出信号,

第二置位-复位锁存器,其包括:被配置成接收唤醒延迟单元的输出信号的置位端、被配置成接收预充电延迟单元的输出信号的复位端、以及输出端;以及

第二反相器,被配置成通过将第二置位-复位锁存器的输出信号反相生成第二信号。

17.一种包括时间差加法器的片上系统(SoC),该时间差加法器包括:

第一寄存器单元,被配置成接收具有第一时间差的第一输入信号和第二输入信号,该第一寄存器单元还被配置成响应于第一信号生成第一输出信号;以及

第二寄存器单元,被配置成接收具有第二时间差的第三输入信号和第四输入信号,该第二寄存器单元还被配置成响应于第一信号生成相对于第一输出信号具有第三时间差的第二输出信号,该第三时间差与第一时间差和第二时间差的和相当,

其中,所述第一寄存器单元包括,

第一时间寄存器,其包括被配置成接收第一输入信号的第一输入端、被配置成接收第二输入信号的第一保持端、被配置成接收第二信号的第一预充电端、被配置成接收第一信号的第一唤醒端、以及被配置成输出第一输出信号的第一输出端,并且

其中,所述第二寄存器单元包括,

第二时间寄存器,其包括被配置成接收第四输入信号的第二输入端、被配置成接收第三输入信号的第二保持端、被配置成接收第二信号的第二预充电端、被配置成接收第一信号的第二唤醒端、以及被配置成输出第二输出信号的第二输出端。

18.一种包括时间差累加器的片上系统(SoC),该时间差累加器包括:

第一时间差加法器,被配置成接收具有第一时间差的第一输入信号和第二输入信号,该第一时间差加法器还被配置成将第一时间差和第一先前输出信号与第二先前输出信号之间的第二时间差相加,以生成具有第三时间差的第一输出信号和第二输出信号,该第三时间差与第一时间差和第二时间差的和相当;以及

第二时间差加法器,被配置成接收具有第三时间差的第一输出信号和第二输出信号,该第二时间差加法器还被配置成将第三时间差与相同的两个信号之间的时间差相加以生成具有第三时间差的第一先前输出信号和第二先前输出信号。

19.如权利要求18所述的片上系统,其中,所述相同的两个信号是第一输出信号、第二输出信号、反相的第一输出信号和反相的第二输出信号之一。

20.一种包括时间差累加器的片上系统(SoC),该时间差累加器包括:

时间差加法器,被配置成接收具有第一时间差的第一输入信号和第二输入信号,该时间差加法器还被配置成将第一时间差和第一先前输出信号与第二先前输出信号之间的第二时间差相加,以生成具有第三时间差的第一输出信号和第二输出信号,该第三时间差与第一时间差和第二时间差的和相当;

第一延迟电路,被配置成通过将第一输出信号延迟第一时间段而生成第一先前输出信号;以及

第二延迟电路,被配置成通过将第二输出信号延迟第一时间段而生成第二先前输出信号。

21.一种sigma-delta时间数字转换器,包括:

时间差加法器,被配置成接收具有第一时间差的第一输入信号和第二输入信号,该时间差加法器还被配置成从第一时间差中减去第一反馈信号和第二反馈信号之间的第二时

间差,以生成具有第三时间差的第一加法信号和第二加法信号,该第三时间差与第一时间差减去第二时间差相当;

时间差累加器,被配置成累加第一加法信号和第二加法信号之间的第三时间差,以生成第一累加信号和第二累加信号;

时域量化器,被配置成将第一累加信号和第二累加信号之间的时间差转换成数字输出信号;以及

数字时间转换器,被配置成将数字输出信号转换成第一反馈信号和第二反馈信号。

22. 一种sigma-delta时间数字转换器,包括:

时间差调整单元,被配置成接收第一输入信号、第二输入信号和数字输出信号,该时间差调整单元还被配置成:通过将第一输入信号和第二输入信号中的至少一个延迟根据数字输出信号确定的延迟时间,来生成第一加法信号和第二加法信号;

时间差累加器,被配置成累加第一加法信号和第二加法信号之间的时间差,以生成第一累加信号和第二累加信号;以及

时域量化器,被配置成将第一累加信号和第二累加信号之间的时间差转换成数字输出信号。

23. 如权利要求22所述的sigma-delta时间数字转换器,其中,所述时间差调整单元包括:

至少一个第一延迟单元,被配置成延迟第一输入信号;

第一选择器,被配置成响应于数字输出信号,选择性地输出第一输入信号或第一延迟单元的输出信号,以作为第一加法信号;

至少一个第二延迟单元,被配置成延迟第二输入信号;以及

第二选择器,被配置成响应于数字输出信号,选择性地输出第二输入信号或第二延迟单元的输出信号,以作为第二加法信号。

24. 一种数字锁相环,包括:

sigma-delta时间数字转换器,被配置成生成数字时间差信号,该数字时间差信号对应于参考输入信号和反馈信号之间的第一时间差;

数字环路滤波器,被配置成通过对数字时间差信号进行滤波生成数字控制信号;

数控振荡器,被配置成响应于数字控制信号生成输出信号;以及

分频器,被配置成通过将输出信号分频生成反馈信号,

其中,所述sigma-delta时间数字转换器包括,

时间差加法器,被配置成接收具有第一时间差的参考输入信号和反馈信号,该时间差加法器还被配置成从第一时间差中减去第一内部反馈信号和第二内部反馈信号之间的第二时间差,以生成具有第三时间差的第一加法信号和第二加法信号,该第三时间差与第一时间差减去第二时间差相当,

时间差累加器,被配置成累加第一加法信号和第二加法信号之间的第三时间差,以生成第一累加信号和第二累加信号;

时域量化器,被配置成将第一累加信号和第二累加信号之间的时间差转换成数字时间差信号,以及

数字时间转换器,被配置成将数字时间差信号转换成第一内部反馈信号和第二内部反

馈信号。

25. 一种数字锁相环, 包括:

sigma-delta时间数字转换器, 被配置成生成数字时间差信号, 该数字时间差信号对应于参考输入信号和反馈信号之间的时间差;

数字环路滤波器, 被配置成通过对数字时间差信号进行滤波来生成数字控制信号;

数控振荡器, 被配置成响应于数字控制信号生成输出信号; 以及

分频器, 被配置成通过将输出信号分频生成反馈信号,

其中, 所述sigma-delta时间数字转换器包括,

时间差调整单元, 被配置成接收参考输入信号、反馈信号和数字时间差信号, 该时间差调整单元还被配置成: 通过将参考输入信号和反馈信号中的至少一个延迟根据数字时间差信号确定的延迟时间, 来生成第一加法信号和第二加法信号,

时间差累加器, 被配置成累加第一加法信号和第二加法信号之间的时间差, 以生成第一累加信号和第二累加信号, 以及

时域量化器, 被配置成将第一累加信号和第二累加信号之间的时间差转换成数字时间差信号。

26. 一种温度传感器, 包括:

感测单元, 被配置成感测温度, 以生成具有第一时间差的第一输入信号和第二输入信号, 该第一时间差对应于感测的温度; 以及

sigma-delta时间数字转换器, 被配置成生成与第一输入信号和第二输入信号之间的第一时间差相对应的数字输出信号,

其中, 所述sigma-delta时间数字转换器包括,

时间差加法器, 被配置成接收具有第一时间差的第一输入信号和第二输入信号, 该时间差加法器还被配置成从第一时间差中减去第一反馈信号和第二反馈信号之间的第二时间差, 以生成具有第三时间差的第一加法信号和第二加法信号, 该第三时间差与第一时间差减去第二时间差相当,

时间差累加器, 被配置成累加第一加法信号和第二加法信号之间的第三时间差, 以生成第一累加信号和第二累加信号,

时域量化器, 被配置成将第一累加信号和第二累加信号之间的时间差转换成数字输出信号, 以及

数字时间转换器, 被配置成将数字输出信号转换成第一反馈信号和第二反馈信号。

27. 如权利要求26所述的温度传感器, 其中, 所述感测单元包括:

脉冲发生器, 被配置成生成脉冲;

温度不敏感延迟线, 被配置成将所述脉冲延迟第一延迟时间, 以输出第一延迟的脉冲作为第一输入信号, 该第一延迟时间是恒定或基本恒定的; 以及

温度敏感延迟线, 被配置成将所述脉冲延迟第二延迟时间, 以输出第二延迟的脉冲作为第二输入信号, 该第二延迟时间根据温度而被调整。

28. 一种温度传感器, 包括:

感测单元, 被配置成感测温度, 以生成具有时间差的第一输入信号和第二输入信号, 该时间差对应于感测的温度; 以及

sigma-delta时间数字转换器,被配置成生成与第一输入信号和第二输入信号之间的时间差相对应的数字输出信号,

其中,所述sigma-delta时间数字转换器包括,

时间差调整单元,被配置成接收第一输入信号、第二输入信号和数字输出信号,该时间差调整单元还被配置成:将第一输入信号和第二输入信号中的至少一个延迟根据数字输出信号确定的延迟时间,来生成第一加法信号和第二加法信号,

时间差累加器,被配置成累加第一加法信号和第二加法信号之间的时间差,以生成第一累加信号和第二累加信号,以及

时域量化器,被配置成将第一累加信号和第二累加信号之间的时间差转换成数字输出信号。

29.一种片上系统,包括:

时间差加法器,被配置成基于多个输入信号生成至少第一输出信号和第二输出信号,该第一输出信号是响应于触发信号并且基于所述多个输入信号中具有第一时间差的第一对输入信号生成的,并且所述第二输出信号是响应于触发信号并且基于所述多个输入信号中具有第二时间差的第二对输入信号生成的,其中,

第一输出信号和第二输出信号具有基于第一时间差和第二时间差确定的第三时间差。

30.如权利要求29所述的片上系统,其中,所述时间差加法器包括:

第一寄存器单元,被配置成基于所述多个输入信号中的第一对输入信号并响应于触发信号生成第一输出信号;以及

第二寄存器单元,被配置成基于所述多个输入信号中的第二对输入信号并响应于触发信号生成第二输出信号。

31.如权利要求30所述的片上系统,其中,所述多个输入信号中的第一对输入信号包括第一输入信号和第二输入信号,所述第一寄存器单元包括,

第一偏移延迟单元,被配置成通过将第二输入信号延迟一偏移时间,来生成第一保持信号,以及

第一时间寄存器,其包括被配置成接收第一输入信号的第一输入端、被配置成接收第一保持信号的第一保持端、被配置成接收触发信号的第一唤醒端、以及被配置成输出第一输出信号的第一输出端。

32.如权利要求31所述的片上系统,其中,所述多个输入信号中的第二对输入信号包括第三输入信号和第四输入信号,所述第二寄存器单元包括,

第二偏移延迟单元,被配置成通过将第三输入信号延迟该偏移时间,来生成第二保持信号,以及

第二时间寄存器,其包括被配置成接收第四输入信号的第二输入端、被配置成接收第二保持信号的第二保持端、被配置成接收触发信号的第二唤醒端、以及被配置成输出第二输出信号的第二输出端。

33.如权利要求30所述的片上系统,其中,所述多个输入信号中的第一对输入信号包括第一输入信号和第二输入信号,所述第一寄存器单元包括,

第一时间寄存器,其包括被配置成接收第一输入信号的第一输入端、被配置成接收第二输入信号的第一保持端、被配置成接收触发信号的第一唤醒端、以及被配置成输出第一

输出信号的第一输出端。

34. 如权利要求33所述的片上系统,其中,所述多个输入信号中的第二对输入信号包括第三输入信号和第四输入信号,所述第二寄存器单元包括,

第二时间寄存器,其包括被配置成接收第四输入信号的第二输入端、被配置成接收第三输入信号的第二保持端、被配置成接收触发信号的第二唤醒端、以及被配置成输出第二输出信号的第二输出端。

片上系统、时间数字转换器、数字锁相环以及温度传感器

[0001] 相关申请的交叉引用

[0002] 本申请要求于2011年5月30日向韩国知识产权局(KIPO)提交的韩国专利申请第2011-0051105号的优先权,其全部内容通过引用合并于此。

技术领域

[0003] 示例实施例涉及信号处理。更具体地,例如,示例实施例涉及包括时间差加法器的片上系统(SOC)、包括时间差累加器的SOC、sigma-delta($\Sigma-\Delta$)时间数字转换器、数字锁相环和/或温度传感器。

背景技术

[0004] 时间数字转换器(time-to-digital converter, TDC)是将输入信号之间的时间差转换成数字信号的设备。由于设计规则(design rule, DR)和电源电压减小,电压信号的信噪比(SNR)降低,用于将电压信号转换成数字信号的模数转换器(ADC)的性能可能退化。因此,用于将电压信号转换成数字信号的ADC可以用将时间差转换成数字信号的TDC代替。

发明内容

[0005] 至少一些示例实施例提供了包括时间差加法器的片上系统(SoC),该时间差加法器被配置成将输入信号之间的时间差相加。

[0006] 至少一些示例实施例提供了包括时间差累加器的SoC,该时间差累加器被配置成累加输入信号之间的时间差。

[0007] 至少一些示例实施例提供了sigma-delta时间数字转换器,其被配置成以sigma-delta方式将输入信号之间的时间差转换成数字信号。

[0008] 至少一些示例实施例提供了包括sigma-delta时间数字转换器的数字锁相环(DPLL)。

[0009] 至少一些示例实施例提供了包括sigma-delta时间数字转换器的温度传感器。

[0010] 根据一个或多个示例实施例,一种包括在片上系统(SoC)中的时间差加法器包括第一寄存器单元和第二寄存器单元。第一寄存器单元接收具有第一时间差的第一输入信号和第二输入信号,并且响应于第一信号生成第一输出信号。第二寄存器单元接收具有第二时间差的第三输入信号和第四输入信号,并且响应于第一信号生成相对于第一输出信号具有第三时间差的第二输出信号。第三时间差相当于第一时间差和第二时间差的和。

[0011] 根据一个或多个示例实施例,一种包括在片上系统(SoC)中的时间差加法器包括第一寄存器单元和第二寄存器单元。第一寄存器单元被配置成接收具有第一时间差的第一输入信号和第二输入信号,并且响应于第一信号生成第一输出信号。第二寄存器单元被配置成接收具有第二时间差的第三输入信号和第四输入信号,并且响应于第一信号生成相对于第一输出信号具有第三时间差的第二输出信号。第三时间差相当于第一时间差和第二时间差的和。

[0012] 在一些示例实施例中,第一寄存器单元可以包括:第一偏移延迟单元,其被配置成通过将第二输入信号延迟偏移时间生成第一保持信号;以及第一时间寄存器,其包括被配置成接收第一输入信号的第一输入端、被配置成接收第一保持信号的第一保持端、被配置成接收第一信号的第一唤醒端、以及被配置成输出第一输出信号的第一输出端。第二寄存器单元可以包括:第二偏移延迟单元,其被配置成通过将第三输入信号延迟偏移时间生成第二保持信号;以及第二时间寄存器,其包括被配置成接收第四输入信号的第二输入端、被配置成接收第二保持信号的第二保持端、被配置成接收第一信号的第二唤醒端、以及被配置成输出第二输出信号的第二输出端。

[0013] 在一些示例实施例中,第一时间寄存器可以输出第一输出信号,该第一输出信号在第一信号的上升沿后的第一给定、期望或预定时间段之后具有第一上升沿。第一时间段可以等于或基本上等于放电时间减去偏移时间减去第一时间差。第二时间寄存器可以输出第二输出信号,该第二输出信号在第一信号的上升沿之后的第二给定、期望或预定时间段之后具有上升沿。第二时间段可以等于或基本上等于放电时间减去偏移时间加上第二时间差。

[0014] 在一些示例实施例中,第一时间寄存器可以包括第一电容器,并且第二时间寄存器可以包括第二电容器。第一电容器和第二电容器可以具有相同或基本上相同的电容。放电时间可以根据电容来确定。

[0015] 在一些示例实施例中,第一时间寄存器可以包括:第一反相器,其被配置成将第一输入信号反相;反相器控制单元,其被配置成响应于第一保持信号使第一反相器去激活,并且响应于第一信号激活第一反相器;电容器,其被配置成响应于第一反相器的输出信号而被充电或放电;以及第二反相器,其被配置成基于电容器的电压生成第一输出信号。

[0016] 在一些示例实施例中,电容器可以在第一输入信号和第一保持信号之间的时间差期间放电,以存储关于第一输入信号和第一保持信号之间的时间差的信息。

[0017] 在一些示例实施例中,电容器的放电可以响应于第一输入信号的上升沿开始,可以响应于第一保持信号的上升沿停止,并且可以响应于第一信号的上升沿再次开始。

[0018] 在一些示例实施例中,第一反相器可以包括:第一(例如,PMOS)晶体管,其包括被配置成接收第一输入信号的栅极、经由反相器控制单元耦接到电源电压的源极,以及耦接到中间节点的漏极;以及第二(例如,NMOS)晶体管,其包括被配置成接收第一输入信号的栅极,经由反相器控制单元耦接到地电压的源极,以及耦接到中间节点的漏极。反相器控制单元可以包括:第三(例如,PMOS)晶体管,其耦接在电源电压和第一晶体管之间;第四(例如,NMOS)晶体管,其耦接在地电压和第二晶体管之间;D触发器,其包括耦接到第三晶体管的栅极的输出端,耦接到第四晶体管的栅极的反相输出端,耦接到反相输出端的数据端,和时钟端;以及选择器,其被配置成响应于从D触发器的反相输出端输出的反相输出信号,选择性地将第一保持信号或第一信号输出到D触发器的时钟端。电容器可以耦接在中间节点和地电压之间。第二反相器可以包括:第五(例如,PMOS)晶体管,其包括耦接到中间节点的栅极,耦接到电源电压的源极,和被配置成输出第一输出信号的漏极;以及第六(例如,NMOS)晶体管,其包括耦接到中间节点的栅极,耦接到地电压的源极,以及被配置成输出第一输出信号的漏极。

[0019] 在一些示例实施例中,第一时间寄存器可以包括:第一反相器,其被配置成将第一

输入信号反相,反相器控制单元,其被配置成响应于第一保持信号使第一反相器去激活,并且响应于第一信号激活第一反相器;电容器,其被配置成响应于第一反相器的输出信号而被充电或放电;以及比较器,其被配置成通过比较电容器的电压与参考电压来生成第一输出信号。

[0020] 在一些示例实施例中,第一信号可以通过延迟或反相第一输入信号、第二输入信号、第三输入信号和第四输入信号中的一个而生成的唤醒信号。

[0021] 根据示例实施例,一种包括在片上系统(SoC)中的时间差加法器包括第一寄存器单元和第二寄存器单元。第一寄存器单元被配置成接收具有第一时间差的第一输入信号和第二输入信号,并且响应于第一信号生成第一输出信号。第二寄存器单元被配置成接收具有第二时间差的第三输入信号和第四输入信号,并且响应于第一信号,生成相对于第一输出信号具有第三时间差的第二输出信号。第三时间差相当于第一时间差和第二时间差的和。第一寄存器单元包括:第一偏移延迟单元,其被配置成通过将第二输入信号延迟偏移时间来生成第一保持信号;以及第一时间寄存器,其包括:被配置成接收第一输入信号的第一输入端,被配置成接收第一保持信号的第一保持端,被配置成接收第一信号的第一唤醒端,以及被配置成输出第一输出信号的第一输出端。第二寄存器单元可以包括:第二偏移延迟单元,其被配置成通过将第三输入信号延迟偏移时间来生成第二保持信号;以及第二时间寄存器,其包括:被配置成接收第四输入信号的第二输入端,被配置成接收第二保持信号的第二保持端,被配置成接收第一信号的第二唤醒端,以及被配置成输出第二输出信号的第二输出端。

[0022] 根据示例实施例,一种包括在片上系统(SoC)中的时间差加法器包括第一寄存器单元和第二寄存器单元。第一寄存器单元被配置成接收具有第一时间差的第一输入信号和第二输入信号,并且响应于第一信号生成第一输出信号。第二寄存器单元被配置成接收具有第二时间差的第三输入信号和第四输入信号,并且响应于第一信号,生成相对于第一输出信号具有第三时间差的第二输出信号。第三时间差相当于第一时间差和第二时间差的和。第一寄存器单元包括第一时间寄存器,该第一时间寄存器包括:第一输入端,被配置成接收第一输入信号;第一保持端,被配置成接收第二输入信号;第一唤醒端,被配置成接收第一信号;以及第一输出端,被配置成输出第一输出信号。第二寄存器单元包括第二时间寄存器,该第二时间寄存器包括:第二输入端,被配置成接收第四输入信号;第二保持端,被配置成接收第三输入信号;第二唤醒端,被配置成接收第一信号;以及第二输出端,被配置成输出第二输出信号。

[0023] 在一些示例实施例中,第一时间寄存器可以输出第一输出信号,该第一输出信号在第一信号的上升沿后的第一给定、期望或预定时间段之后具有第一上升沿。第一时间段可以等于或基本上等于放电时间减去第一时间差。第二时间寄存器可以输出第二输出信号,该第二输出信号具有在第一信号的上升沿后的第二给定、期望或预定时间段之后的上升沿。第二时间段可以等于或基本上等于放电时间加上第二时间差。

[0024] 根据示例实施例,一种包括在片上系统(SoC)中的时间差加法器包括第一寄存器单元和第二寄存器单元。第一寄存器单元被配置成接收具有第一时间差的第一输入信号和第二输入信号,并且响应于第一信号生成第一输出信号。第二寄存器单元被配置成接收具有第二时间差的第三输入信号和第四输入信号,并且响应于第一信号,生成相对于第一输

出信号具有第三时间差的第二输出信号。第三时间差相当于第一时间差和第一时间差的和。第一寄存器单元包括：第一偏移延迟单元，其被配置成通过将第二输入信号延迟偏移时间来生成第一保持信号；以及第一时间寄存器，其包括：接收第一输入信号的第一输入端，被配置成接收第一保持信号的第一保持端，被配置成接收第二信号的第一预充电端，被配置成接收第一信号的第一唤醒端，以及被配置成输出第一输出信号的第一输出端。第二寄存器单元包括：第二偏移延迟单元，被配置成通过将第三输入信号延迟偏移时间来生成第二保持信号；以及第二时间寄存器，其包括：被配置成接收第四输入信号的第二输入端，被配置成接收第二保持信号的第二保持端，被配置成接收第二信号的第二预充电端，被配置成接收第一信号的第二唤醒端，以及被配置成输出第二输出信号的第二输出端。

[0025] 在一些示例实施例中，第一时间寄存器可以包括：电容器，耦接在中间节点和地电压之间；上拉晶体管，耦接在中间节点和电源电压之间，并且被配置成响应于第二信号对电容器充电；下拉晶体管，耦接在中间节点和地电压之间；下拉晶体管控制单元，被配置成响应于第一输入信号导通下拉晶体管，响应于第一保持信号使下拉晶体管截止，以及响应于第一信号导通下拉晶体管；以及输出单元，被配置成基于电容器的电压生成第一输出信号。

[0026] 在一些示例实施例中，下拉晶体管控制单元可以包括：置位-复位锁存器，该置位-复位锁存器包括接收第一输入信号的置位端，接收第一保持信号的复位端，和输出端；以及或(OR)门，其被配置成对第一信号和从置位-复位锁存器的输出端输出的输出信号执行或运算。或门可以包括耦接到下拉晶体管的栅极的输出端。

[0027] 在一些示例实施例中，时间差加法器还可以包括控制单元，其被配置成生成第一信号和第二信号。控制单元可以包括：第一反相器，被配置成通过将第一输入信号反相生成第一输入信号的反相信号；唤醒延迟单元，被配置成延迟第一输入信号的反相信号；第一置位-复位锁存器，其包括：被配置成接收第一输入信号的反相信号的置位端，被配置成接收唤醒延迟单元的输出信号的复位端，以及被配置成输出第一信号的输出端；预充电延迟单元，被配置成延迟唤醒延迟单元的输出信号；第二置位-复位锁存器，包括：被配置成接收唤醒延迟单元的输出信号的置位端，被配置成接收预充电延迟单元的输出信号的复位端，和输出端；以及第二反相器，被配置成通过将第二置位-复位锁存器的输出信号反相生成第二信号。

[0028] 根据示例实施例，一种包括在片上系统(SoC)中的时间差加法器包括第一寄存器单元和第二寄存器单元。第一寄存器单元被配置成接收具有第一时间差的第一输入信号和第二输入信号，并且响应于第一信号生成第一输出信号。第二寄存器单元被配置成接收具有第二时间差的第三输入信号和第四输入信号，并且响应于第一信号，生成相对于第一输出信号具有第三时间差的第二输出信号。第三时间差相当于第一时间差和第一时间差的和。第一寄存器单元包括第一时间寄存器，该第一时间寄存器包括：第一输入端，被配置成接收第一输入信号；第一保持端，被配置成接收第二输入信号；第一预充电端，被配置成接收第二信号；以及第一唤醒端，被配置成接收第一信号；以及第一输出端，被配置成输出第一输出信号。第二寄存器单元包括第二时间寄存器，该第二时间寄存器包括：第二输入端，被配置成接收第四输入信号；第二保持端，被配置成接收第三输入信号；第二预充电端，被配置成接收第二信号；第二唤醒端，被配置成接收第一信号；以及第二输出端，被配置成输出第二输出信号。

[0029] 根据示例实施例,一种包括在片上系统(SoC)中的时间差累加器包括第一时间差加法器和第二时间差加法器。第一时间差加法器被配置成接收具有第一时间差的第一输入信号和第二输入信号,以及将第一时间差与第一先前输出信号和第二先前输出信号之间的第二时间差相加以生成第一输出信号和第二输出信号,该第一输出信号和第二输出信号具有与第一时间差和第二时间差的和相当的第三时间差。第二时间差加法器被配置成接收具有第三时间差的第一输出信号和第二输出信号,以及将第三时间差与相同的两个信号之间的时间差相加以生成具有第三时间差的第一先前输出信号和第二先前输出信号。

[0030] 在一些示例实施例中,相同的两个信号可以是第一输出信号、第二输出信号、第一输出信号的反相信号以及第二输出信号的反相信号中的一种。

[0031] 根据示例实施例,一种在片上系统(SoC)中包括的时间差累加器包括时间差加法器、第一延迟电路和第二延迟电路。时间差加法器被配置成接收具有第一时间差的第一输入信号和第二输入信号,以及将第一时间差与第一先前输出信号和第二先前输出信号之间的第二时间差相加以生成第一输出信号和第二输出信号,该第一输出信号和第二输出信号具有与第一时间差和第二时间差的和相当的第三时间差。第一延迟电路被配置成通过将第一输出信号延迟给定、期望或预定时间来生成第一先前输出信号。第二延迟电路被配置成通过将第二输出信号延迟给定、期望或预定时间来生成第二先前输出信号。

[0032] 根据示例实施例,一种sigma-delta时间数字转换器包括时间差加法器、时间差累加器、时域量化器(time domain quantizer)和数字时间转换器。时间差加法器被配置成接收具有第一时间差的第一输入信号和第二输入信号,以及从第一时间差中减去第一反馈信号和第二反馈信号之间的第二时间差以生成第一加法信号和第二加法信号,该第一加法信号和第二加法信号具有与第一时间差减去第二时间差相当的第三时间差。时间差累加器被配置成累加第一加法信号和第二加法信号之间的第三时间差以生成第一累加信号和第二累加信号。时域量化器被配置成将第一累加信号和第二累加信号之间的时间差转换成数字输出信号。数字时间转换器被配置成将数字输出信号转换成第一反馈信号和第二反馈信号。

[0033] 根据示例实施例,一种sigma-delta时间数字转换器包括时间差调整单元、时间差累加器和时域量化器。时间差调整单元被配置成接收第一输入信号、第二输入信号和数字输出信号,以及通过将第一输入信号和第二输出信号中的至少一个延迟根据数字输出信号确定的延迟时间,来生成第一加法信号和第二加法信号。时间差累加器被配置成累加第一加法信号和第二加法信号之间的时间差以生成第一累加信号和第二累加信号。时域量化器被配置成将第一累加信号和第二累加信号之间的时间差转换成数字输出信号。

[0034] 在一些示例实施例中,时间差调整单元可以包括:至少一个第一延迟单元,被配置成延迟第一输入信号;第一选择器,被配置成响应于数字输出信号,选择性地输出第一输入信号或第一延迟单元的输出信号作为第一加法信号;至少一个第二延迟单元,被配置成延迟第二输入信号;以及第二选择器,被配置成响应于数字输出信号选择性地输出第二输入信号或第二延迟单元的输出信号作为第二加法信号。

[0035] 根据示例实施例,一种数字锁相环包括相位检测器、数字环路滤波器、数控振荡器以及分频器。相位检测器被配置成生成数字时间差信号,该数字时间差信号对应于参考输入信号和反馈信号之间的第一时间差。数字环路滤波器,被配置成通过对数字时间差信号

进行滤波生成数字控制信号。数控振荡器被配置成响应于数字控制信号生成输出信号。分频器被配置成通过将输出信号分频生成反馈信号。相位检测器包括：时间差加法器，被配置成接收具有第一时间差的参考输入信号和反馈信号，以及从第一时间差中减去第一内部反馈信号和第二内部反馈信号之间的第二时间差以生成第一加法信号和第二加法信号，该第一加法信号和第二加法信号具有与第一时间差减去第二时间差相当的第三时间差；时间差累加器，被配置成累加第一加法信号和第二加法信号之间的第三时间差以生成第一累加信号和第二累加信号；时域量化器，被配置成将第一累加信号和第二累加信号之间的时间差转换成数字时间差信号；以及数字时间转换器，被配置成将数字时间差信号转换成第一内部反馈信号和第二内部反馈信号。

[0036] 根据示例实施例，一种数字锁相环包括相位检测器、数字环路滤波器、数控振荡器以及分频器。相位检测器被配置成生成数字时间差信号，该数字时间差信号对应于参考输入信号和反馈信号之间的时间差。数字环路滤波器被配置成通过对数字时间差信号进行滤波生成数字控制信号。数控振荡器被配置成响应于数字控制信号生成输出信号。分频器被配置成通过将输出信号分频生成反馈信号。相位检测器包括：时间差调整单元，被配置成接收参考输入信号、反馈信号和数字时间差信号，以及将参考输入信号和反馈信号中的至少一个延迟根据数字时间差信号确定的延迟时间，来生成第一加法信号和第二加法信号；时间差累加器，被配置成累加第一加法信号和第二加法信号之间的时间差以生成第一累加信号和第二累加信号；以及时域量化器，被配置成将第一累加信号和第二累加信号之间的时间差转换成数字时间差信号。

[0037] 根据示例实施例，一种温度传感器包括感测单元和sigma-delta时间数字转换器。感测单元被配置成感测温度以生成第一输入信号和第二输入信号，该第一输入信号和第二输入信号具有与感测的温度相对应的第一时间差。sigma-delta时间数字转换器被配置成生成与第一输入信号和第二输入信号之间的第一时间差相对应的数字输出信号。sigma-delta时间数字转换器包括：时间差加法器，被配置成接收具有第一时间差的第一输入信号和第二输入信号，以及从第一时间差中减去第一反馈信号和第二反馈信号之间的第二时间差以生成第一加法信号和第二加法信号，该第一加法信号和第二加法信号具有与第一时间差减去第二时间差相当的第三时间差；时间差累加器，被配置成累加第一加法信号和第二加法信号之间的第三时间差以生成第一累加信号和第二累加信号；时域量化器，被配置成将第一累加信号和第二累加信号之间的时间差转换成数字输出信号；以及数字时间转换器，被配置成将数字输出信号转换成第一反馈信号和第二反馈信号。

[0038] 在一些示例实施例中，感测单元可以包括：脉冲发生器，被配置成生成脉冲；温度不敏感延迟线，被配置成将脉冲延迟第一延迟时间以输出第一延迟的脉冲以作为第一输入信号，该第一延迟时间是恒定或基本恒定的，与温度无关；以及温度敏感延迟线，被配置成将脉冲延迟第二延迟时间以输出第二延迟的脉冲，以作为第二输入信号，该第二延迟时间根据温度行调整。

[0039] 根据示例实施例，一种温度传感器包括感测单元和sigma-delta时间数字转换器。感测单元被配置成感测温度以生成第一输入信号和第二输入信号，该第一输入信号和第二输入信号具有与感测的温度相对应的的时间差。sigma-delta时间数字转换器被配置成生成与第一输入信号和第二输入信号之间的时间差相对应的数字输出信号。sigma-delta时间

数字转换器包括:时间差调整单元,被配置成接收第一输入信号、第二输入信号和数字输出信号,以及将第一输入信号和第二输入信号中的至少一个延迟根据数字输出信号确定的延迟时间以生成第一加法信号和第二加法信号;时间差累加器,被配置成累加第一加法信号和第二加法信号之间的时间差以生成第一累加信号和第二累加信号;以及时域量化器,被配置成将第一累加信号和第二累加信号之间的时间差转换成数字输出信号。

[0040] 至少一个其他示例实施例提供一种包括时间差加法器的片上系统。时间差加法器被配置成基于多个输入信号生成至少第一输出信号和第二输出信号,该第一输出信号在第一跃变时间从第一电平跃变到第二电平,并且该第二输出信号在第二跃变时间从第一电平跃变到第二电平,该第一跃变时间和第二跃变时间不同。第一输出信号基于多个输入信号中的第一对并且响应于触发信号生成,所述多个信号中的第一对具有第一时间差;第二输出信号基于多个输入信号中的第二对并且响应于触发信号生成,所述多个输入信号中的第二对具有第二时间差;并且第一跃变时间和第二跃变时间之间的差基于第一时间差和第二时间差确定。

[0041] 根据至少一些示例实施例,该时间差加法器可以包括:第一寄存器单元,被配置成基于多个输入信号中的第一对并响应于触发信号生成第一输出信号;以及第二寄存器单元,被配置成基于多个输入信号中的第二对并响应于触发信号生成第二输出信号。

[0042] 所述多个输入信号中的第一对可以包括第一输入信号和第二输入信号。第一寄存器单元可以包括:第一偏移延迟单元,被配置成通过将第二输入信号延迟偏移时间来生成第一保持信号;以及第一时间寄存器,包括:被配置成接收第一输入信号的第一输入端,被配置成接收第一保持信号的第一保持端,被配置成接收触发信号的第一唤醒端,以及被配置成输出第一输出信号的第一输出端。

[0043] 所述多个输入信号中的第二对可以包括第三输入信号和第四输入信号。第二寄存器单元可以包括:第二偏移延迟单元,被配置成通过将第三输入信号延迟偏移时间来生成第二保持信号;以及第二时间寄存器,包括:被配置成接收第四输入信号的第二输入端,被配置成接收第二保持信号的第二保持端,被配置成接收触发信号的第二唤醒端,以及被配置成输出第二输出信号的第二输出端。

[0044] 所述多个输入信号中的第一对可以包括第一输入信号和第二输入信号。第一寄存器单元可以包括第一时间寄存器,该第一时间寄存器包括:第一输入端,被配置成接收第一输入信号;第一保持端,被配置成接收第二输入信号;第一唤醒端,被配置成接收触发信号;以及第一输出端,被配置成输出第一输出信号。

[0045] 所述多个输入信号中的第二对可以包括第三输入信号和第四输入信号。第二寄存器单元可以包括:第二时间寄存器,其包括接收第四输入信号的第二输入端,接收第三输入信号的第二保持端,接收第一信号的第二唤醒端,以及输出第二输出信号的第二输出端。

附图说明

[0046] 从以下参照附图的详细描述,将能更加清楚地理解说明性的、非限制性的示例实施例。

[0047] 图1是图示根据示例实施例的时间差加法器的示图。

[0048] 图2A和图2B是图示由图1的时间差加法器执行的时间差加法的单位元(identity

element)和逆元(inverse element)的示意图。

[0049] 图3是图示根据示例实施例的时间差加法器的框图。

[0050] 图4是图示包括在图3的时间差加法器中的时间寄存器的示例的电路图。

[0051] 图5是用于描述图4的时间寄存器的示例操作的时序图。

[0052] 图6是图示图3的时间差加法器中包括的时间寄存器的另一个示例实施例的电路图。

[0053] 图7是图示图3的时间差加法器中包括的时间寄存器的再一个示例实施例的电路图。

[0054] 图8是图示图3的时间差加法器中包括的时间寄存器的再一个示例实施例的电路图。

[0055] 图9A是用于描述图3的时间差加法器的示例操作的时序图。

[0056] 图9B是用于描述图3的时间差加法器的另一个示例操作的时序图。

[0057] 图10是图示根据示例实施例的时间差加法器的框图。

[0058] 图11是用于描述图10的时间差加法器的示例操作的时序图。

[0059] 图12是图示根据示例实施例的时间差加法器的框图。

[0060] 图13是图示图12的时间差加法器中包括的时间寄存器的示例实施例的电路图。

[0061] 图14是图示图12的时间差加法器中包括的控制单元的示例实施例的电路图。

[0062] 图15是用于描述图13的时间寄存器的示例操作的时序图。

[0063] 图16是图示图12的时间差加法器中包括的时间寄存器的另一个示例实施例的电路图。

[0064] 图17是用于描述图12的时间差加法器的示例操作的时序图。

[0065] 图18是图示根据示例实施例的时间差加法器的框图。

[0066] 图19是图示根据示例实施例的时间差累加器的示意图。

[0067] 图20是图示根据示例实施例的时间差累加器的框图。

[0068] 图21是图示根据示例实施例的时间差累加器的框图。

[0069] 图22是图示图21的时间差累加器中包括的延迟单元的示例的电路图。

[0070] 图23是用于描述图22的延迟单元中包括的晶体管的排列的示例的示意图。

[0071] 图24是图示根据示例实施例的sigma-delta时间数字转换器的框图。

[0072] 图25是用于描述图24的sigma-delta时间数字转换器执行的噪声整形的示意图。

[0073] 图26是图示图24的sigma-delta时间数字转换器中包括的时域量化器的示例实施例的框图。

[0074] 图27是图示图24的sigma-delta时间数字转换器中包括的时域量化器的另一个示例实施例的框图。

[0075] 图28是图示图24的sigma-delta时间数字转换器中包括的数字时间转换器的示例实施例的框图。

[0076] 图29是图示图24的sigma-delta时间数字转换器中包括的数字时间转换器的另一个示例实施例的框图。

[0077] 图30是图示根据示例实施例的sigma-delta时间数字转换器的框图。

[0078] 图31是图示根据示例实施例的sigma-delta时间数字转换器的框图。

- [0079] 图32是图示图31的sigma-delta时间数字转换器的示例实施例的框图。
- [0080] 图33是图示图31的sigma-delta时间数字转换器的另一个示例实施例的框图。
- [0081] 图34是图示根据示例实施例的sigma-delta时间数字转换器的框图。
- [0082] 图35是图示根据示例实施例的数字锁相环的框图。
- [0083] 图36是图示根据示例实施例的包括sigma-delta时间数字转换器的模数转换器的框图。
- [0084] 图37是图示根据示例实施例的包括sigma-delta时间数字转换器的传感器的框图。
- [0085] 图38是图示根据示例实施例的包括数字锁相环的集成电路的框图。
- [0086] 图39是图示根据示例实施例的包括数字锁相环的收发器的框图。
- [0087] 图40是图示根据示例实施例的包括数字锁相环的存储器件的框图。
- [0088] 图41是图示根据示例实施例的移动系统的框图。
- [0089] 图42是图示根据示例实施例的计算系统的框图。

具体实施方式

[0090] 以下将参照附图更充分地描述各种示例实施例,附图中示出了一些示例实施例。然而,本发明构思可以以许多不同的形式来具体实现,不应被解释为局限于此出阐述的示例实施例。附图中,为清楚起见,可能夸大了层和区域的大小及相对大小。

[0091] 将会理解,当一个元件或层被称为在另一元件或层“之上”、“连接”或“耦接”到另一元件或层时,它可以直接在该另一元件或层之上、直接连接或耦接到该另一元件或层,或者也可以存在居间的元件或层。相反,当一个元件被称为“直接”在另一元件或层之上、或者“直接连接到”或“直接耦接到”另一元件或层时,不存在居间的元件或层。相同的附图标记始终指代相同的元件。此处使用的术语“和/或”包括一个或多个相关列出项目的任意一个以及所有组合。

[0092] 将会理解,尽管此处可能使用词语第一、第二、第三等来描述不同的元件、组件、区域、层和/或部分,但这些元件、组件、区域、层和/或部分不应受到这些词语的限制。这些词语仅仅用于将一个元件、组件、区域、层或部分与另一个元件、组件、区域、层或部分区分开来。因而,下面讨论的第一元件、第一组件、第一区域、第一层或第一部分也可以被称为第二元件、第二组件、第二区域、第二层或第二部分而不会偏离本发明构思的教导。

[0093] 为了便于描述,此处可能使用空间关系词,如“在...之下”、“下方”、“下”、“上方”、“上”等,来描述图中示出的一个元件或特征与另外的元件或特征之间的关系。将会理解,所述空间关系词除了附图中描绘的方向之外还意图涵盖器件在使用中或操作中的不同方向。例如,如果附图中的器件被翻转,则被描述为在其他元件或特征“下方”或“之下”的元件的方向将变成在所述其他元件或特征的“上方”。因此,示例性词语“下方”可以涵盖上和下两个方向。可以使器件具有其他方向(旋转90度或其他方向),而此处使用的空间关系描述词应做相应解释。

[0094] 此处使用的术语仅仅是为了描述特定示例实施例,并非意图限制发明构思。此处使用的单数形式“一”、“一个”意图也包括复数形式,除非上下文明确给出相反指示。还将理解,当在本说明书中使用词语“包括”和/或“包含”时,表明存在所描述的特征、整体、步骤、

操作、元件和/或组件,但不排除存在或附加一个或多个其他特征、整体、步骤、操作、元件、组件和/或它们的组合。

[0095] 此处参照截面示图对示例实施例进行了描述,其中所述截面示图是理想化的示例实施例(以及中间结构)的示意性示图。因而,由于例如制造工艺和/或容差而偏离示图的形状是预料之中的。因此,示例实施例不应被解释为局限于此处图示的具体区域形状,而是应包括例如因制造而导致的形状偏差。例如,图示为矩形的注入区将一般具有圆形或曲线特征,和/或在其边缘处具有注入浓度的梯度,而非从注入区到非注入区的二元变化。同样地,通过注入形成的隐埋区可能导致在该隐埋区和通过其进行注入的表面之间的区域中存在一些注入。因此,附图中图示的区域本意是示意性的,它们的形状并非意图示出器件中区域的实际形状,并且并非意图限制本发明构思的范围。

[0096] 除非另外定义,否则此处使用的所有术语(包括技术术语和科学术语)所具有的含义与本发明构思所属领域的普通技术人员通常理解的含义相同。还将理解,术语,如通常使用的词典中定义的那些术语,应该被解释为所具有的含义与它们在相关领域上下文中的含义一致,而不应理想化地或过分形式化地对其进行解释,除非此处明确地如此定义。

[0097] 图1是图示根据示例实施例的时间差加法器的示图,并且图2A和图2B是图示由图1的时间差加法器执行的时间差加法的单位元和逆元的示图。

[0098] 参照图1,时间差加法器100响应于第一输入信号SIN1、第二输入信号SIN2、第三输入信号SIN3和第四输入信号SIN4生成第一输出信号SOUT1和第二输出信号SOUT2。时间差加法器100可以将第一输入信号SIN1与第二输入信号SIN2之间的第一时间差TD1和第三输入信号SIN3与第四输入信号SIN4之间的第二时间差TD2相加,从而时间差加法器100可以输出具有时间差TD1+TD2的第一输出信号SOUT1和第二输出信号SOUT2,该时间差TD1+TD2相当于第一时间差TD1和第二时间差TD2的和。

[0099] 如图2A和图2B中所示,可以相对于任意时间差TD来定义由时间差加法器100执行的时间差加法(运算符“+”可以用于此)的单位元和逆元。也就是说,例如,相对于任意时间差TD,时间差加法的单位元“0”满足下面的公式1。

[0100] [公式1]

$$[0101] \quad TD+0=0+TD=TD$$

[0102] 此外,关于时间差加法,任意时间差TD的逆元-TD满足下面的公式2。

[0103] [公式2]

$$[0104] \quad TD+(-TD)=(-TD)+TD=0$$

[0105] 因而,根据至少一些示例实施例的时间差加法器100可以对任意时间差TD执行时间差加法,该任意时间差TD相对于该时间差加法是封闭的。

[0106] 当半导体器件的设计规则(DR)减小时,半导体器件的电源电压和/或工作电压也随之降低。因此,电压域的信噪比(SNR)降低。然而,随着电源电压和/或工作电压降低时,电压信号从低电平到高电平或从高电平到低电平的跃变时间也会减少。因此,在时域的SNR会增加。因而,在相对低的电源电压环境下,电子电路和器件可以通过在时域处理信号来提高性能。也就是说,例如,在相对低的电源电压环境下,由于根据示例实施例的时间差加法器100和/或时间差累加器可以在时域处理信号,因此可以提高包括时间差加法器100和/或时间差累加器的各种电子电路和器件的性能。根据示例实施例的时间差加法器100和/或时间

差累加器可以包括在片上系统(SoC)中。

[0107] 图3是图示根据示例实施例的时间差加法器的框图。

[0108] 参照图3,时间差加法器200a包括第一寄存器单元210a和第二寄存器单元250a。

[0109] 第一寄存器单元210a可以接收第一输入信号SIN1和第二输入信号SIN2,并且可以响应于唤醒信号SAWK生成第一输出信号SOUT1。第一寄存器单元210a可以包括第一偏移延迟单元220和第一时间寄存器230。第一偏移延迟单元220可以通过将第二输入信号SIN2延迟一偏移时间来生成第一保持信号SHLD1。第一时间寄存器230可以包括接收第一输入信号SIN1的第一输入端IN1、接收第一保持信号SHLD1的第一保持端HLD1、接收唤醒信号SAWK的第一唤醒端AWK1、以及输出第一输出信号SOUT1的第一输出端OUT1。

[0110] 第二寄存器单元250a可以接收第三输入信号SIN3和第四输入信号SIN4,并且可以响应于唤醒信号SAWK生成第二输出信号SOUT2。第二寄存器单元250a可以包括第二偏移延迟单元260和第二时间寄存器270。第二偏移延迟单元260可以通过将第三输入信号SIN3延迟一偏移时间来生成第二保持信号SHLD2。第二时间寄存器270可以包括接收第四输入信号SIN2的第二输入端IN2、接收第二保持信号SHLD2的第二保持端HLD2、接收唤醒信号SAWK的第二唤醒端AWK2、以及输出第二输出信号SOUT2的第二输出端OUT2。

[0111] 在一些示例实施例中,唤醒信号SAWK可以是外部电路或外部设备接收的。在其他示例实施例中,时间差加法器200a还可以包括生成唤醒信号SAWK的电路。例如,时间差加法器200a中包括的电路可以通过延迟或反相第一输入信号SIN1、第二输入信号SIN2、第三输入信号SIN3和第四输入信号SIN4中的一个来生成唤醒信号SAWK。

[0112] 响应于唤醒信号SAWK,第一时间寄存器230可以输出第一输出信号SOUT1,该第一输出信号SOUT1在自唤醒信号SAWK的上升沿起的给定、期望或预定的第一时间段之后具有上升沿。第一时间段可以等于放电时间减去偏移时间减去第一输入信号SIN1与第二输入信号SIN2之间的第一时间差。也就是说,例如,唤醒信号SAWK与第一输出信号SOUT1之间的时间差,或者第一时间段,可以通过从放电时间中减去偏移时间、并且进一步从该减法结果中减去第一时间差来获得。

[0113] 响应于唤醒信号SAWK,第二时间寄存器270可以输出第二输出信号SOUT2,该第二输出信号SOUT2在自唤醒信号SAWK的上升沿起的给定、期望或预定的第二时间段之后具有上升沿。该第二时间段可以等于放电时间减去偏移时间加上第三输入信号SIN3与第四输入信号SIN4之间的第二时间差。也就是说,唤醒信号SAWK与第二输出信号SOUT2之间的时间差,或者第二时间段,可以通过从放电时间中减去偏移时间、并且进一步将第二时间差与该减法结果相加来获得。

[0114] 第一偏移延迟单元220的偏移时间可以与第二偏移延迟单元260的偏移时间相同或基本相同。该偏移时间可以与输入到时间差加法器200a的时间差的范围相对应地进行设置。例如,该偏移时间可以被设置得比输入到时间差加法器200a的负时间差的最大绝对值长。

[0115] 第一时间寄存器230的放电时间可以与第二时间寄存器270的放电时间相同或基本相同。可以根据每个时间寄存器230和270中包括的电容器的电容来确定放电时间,并且第一时间寄存器230中包括的电容器的电容可以与第二时间寄存器270中包括的电容器的电容相同或基本相同。可以与输入到时间差加法器200a的时间差的范围和偏移时间相对应

地设置放电时间。例如,该放电时间可以被设置得比偏移时间与输入到时间差加法器200a的正时间差的最大绝对值的和长。此外,放电时间可以被设置为比第一到第四输入信号SIN1、SIN2、SIN3和SIN4之一的脉冲宽度短。

[0116] 第一输出信号SOUT1与第二输出信号SOUT2之间的时间差可以从第一输出信号SOUT1具有上升沿的时间到第二输出信号SOUT2具有上升沿的时间的时间间隔,所述第一输出信号SOUT1与第二输出信号SOUT2之间的时间差可以等于或基本上等于唤醒信号SAWK与第二输出信号SOUT2之间的时间差减去唤醒信号SAWK与第一输出信号SOUT1之间的时间差。由于第一偏移延迟单元220和第二偏移延迟单元260具有相同或基本上相同的偏移时间,并且第一时间寄存器230和第二时间寄存器270具有相同或基本上相同的放电时间,所以第一输出信号SOUT1和第二输出信号SOUT2之间的时间差可以相当于第一输入信号SIN1与第二输入信号SIN2之间的第一时间差和第三输入信号SIN3与第四输入信号SIN4之间的第二时间差的和。

[0117] 如上所述,根据示例实施例的时间差加法器200a可以输出第一输出信号SOUT1和第二输出信号SOUT2,该第一输出信号SOUT1和第二输出信号SOUT2具有与第一时间差和第二时间差的和相当的时间差。

[0118] 在一些示例实施例中,第一寄存器单元210a中包括的至少一部分组件(例如,晶体管)以及第二寄存器单元250a中包括的至少一部分组件(例如,晶体管)可以交替地排列。因此,可以减少由工艺、电压以及温度(process, voltage and temperature, PVT)变化所导致的第一寄存器单元210a与第二寄存器单元250a之间的失配。

[0119] 图4是图示包括在图3的时间差加法器中的时间寄存器的示例的电路图。

[0120] 参照图4,时间寄存器300a包括第一反相器310、反相器控制单元320a、电容器330和输出单元340。图3中图示的第一时间寄存器230和第二时间寄存器270中的每一个都可以被实现为图4的时间寄存器300a。例如,如果时间寄存器300a是图3的第一时间寄存器230,则图4的输入信号SIN可以对应于图3的第一输入信号SIN1,图4的保持信号SHLD可以对应于图3的第一保持信号SHLD1,并且图4的输出信号SOUT可以对应于图3的第一输出信号SOUT1。此外,如果时间寄存器300a是图3的第二时间寄存器270,则图4的输入信号SIN可以对应于图3的第二输入信号SIN2,图4的保持信号SHLD可以对应于图3的第二保持信号SHLD2,并且图4的输出信号SOUT可以对应于图3的第二输出信号SOUT2。

[0121] 第一反相器310可以将输入信号SIN反相。第一反相器310可以包括第一PMOS晶体管P1和第一NMOS晶体管N1。第一PMOS晶体管P1可以包括接收输入信号SIN的栅极、经由反相器控制单元320a耦接到电源电压的源极、以及耦接到中间节点NMID的漏极。第一NMOS晶体管N1可以包括接收输入信号SIN的栅极、经由反相器控制单元320a耦接到地电压的源极、以及耦接到中间节点NMID的漏极。

[0122] 反相器控制单元320a可以响应于保持信号SHLD去激活第一反相器310,并且可以响应于唤醒信号SAWK激活第一反相器310。反相器控制单元320a可以包括第二PMOS晶体管P2、第二NMOS晶体管N2、D触发器323和选择器321。

[0123] 第二PMOS晶体管P2可以耦接在电源电压和第一PMOS晶体管P1之间。例如,第二PMOS晶体管P2可以包括耦接到D触发器323的输出端Q的栅极、耦接到电源电压的源极、以及耦接到第一PMOS晶体管P1的源极的漏极。第二NMOS晶体管N2可以耦接在地电压和第一NMOS

晶体管N1之间。例如,第二NMOS晶体管N2可以包括耦接到地电压的反相输出端/Q的栅极、耦接到地电压的源极、以及耦接到第一NMOS晶体管N1的源极的漏极。第二PMOS晶体管P2和第二NMOS晶体管N2可以选择性地将第一反相器310耦接到电源电压和地电压。例如,当第二PMOS晶体管P2和第二NMOS晶体管N2导通时,第一反相器310可以电耦接到电源电压和地电压。当第二PMOS晶体管P2和第二NMOS晶体管N2截止时,第一反相器310可以从电源电压和地电压电断开。

[0124] D触发器323可以包括耦接到第二PMOS晶体管P2的栅极的输出端Q、耦接到第二NMOS晶体管N2的栅极的反相输出端/Q、耦接到反相输出端/Q的数据端D、以及接收选择器321的输出信号的时钟端。由于数据端D耦接到反相输出端/Q,所以每次施加到时钟端的选择器321的输出信号具有上升沿时,从输出端Q输出的输出信号以及从反相输出端/Q输出的反相输出信号都可以从高翻转到低或者从低翻转到高,

[0125] 选择器321可以响应于从反相输出端/Q输出的反相输出信号选择性地将保持信号SHLD或者唤醒信号SAWK输出到时钟端。例如,选择器321可以通过多路复用器321来实现。多路复用器321可以包括接收保持信号SHLD的第一输入端、接收唤醒信号SAWK的第二输入端、接收作为选择信号的反相输出信号的选择端、以及响应于选择信号选择性地将保持信号SHLD或唤醒信号SAWK的输出端。

[0126] 电容器330可以响应于第一反相器310的输出信号而被充电或放电。电容器330可以包括耦接到中间节点的第一电极和耦接到地电压的第二电极。例如,当第一反相器310的输出信号具有逻辑高电平时、或者当第一PMOS晶体管P1和第二PMOS晶体管P2被导通时,电容器330的第一电极可以通过第一PMOS晶体管P1和第二PMOS晶体管P2电耦接到电源电压,因而电容器330可以被充电。当第一反相器310的输出信号具有逻辑低电平时、或者当第一NMOS晶体管N1和第二NMOS晶体管N2被导通时,电容器330的第一电极可以通过第一NMOS晶体管N1和第二NMOS晶体管N2电耦接到地电压,因而电容器330可以被放电。

[0127] 输出单元340可以基于电容器330的电压(例如,中间节点NMID的电压)生成输出信号SOUT。例如,输出单元340可以包括第二反相器340。第二反相器340可以包括第三PMOS晶体管P3和第三NMOS晶体管N3。例如,第三PMOS晶体管P3可以包括耦接到中间节点NMID的栅极、耦接到电源电压的源极、以及输出输出信号SOUT的漏极。第三NMOS晶体管N3可以包括耦接到中间节点NMID的栅极、耦接到地电压的源极、以及输出输出信号SOUT的漏极。当电容器330的电压低于预定阈值电压时,第二反相器340可以输出具有逻辑高电平的输出信号SOUT。例如,当电容器330的电压低于第三PMOS晶体管P3的阈值电压时,第三PMOS晶体管P3可以导通,因而第二反相器340可以输出具有逻辑高电平的输出信号SOUT。

[0128] 电容器330在输入信号SIN与保持信号SHLD之间的时间差期间放电,以存储关于输入信号SIN与保持信号SHLD之间的时间差的信息。例如,电容器330的放电可以响应于输入信号SIN的上升沿开始,并且可以响应于保持信号SHLD的上升沿停止,从而电容器330可以在输入信号SIN与保持信号SHLD之间的时间差期间放电。此外,电容器330的放电可以响应于唤醒信号SAWK的上升沿而再次开始。因此,在自唤醒信号SAWK的上升沿起的给定、期望或预定的时间段之后,电容器330的电压可以变得低于给定、期望或预定的阈值电压(例如,第三PMOS晶体管P3的阈值电压),并且该时间段可以根据输入信号SIN与保持信号SHLD之间的时间差来确定。例如,如果所述时间差增大,则所述时间段可以减小,并且,如果该时间差减

小,则该时间段可以增大。当电容器330的电压变得低于该阈值电压时,输出单元340可以输出具有逻辑高电平的输出信号SOUT。因此,输出信号SOUT可以在自唤醒信号SAWK的上升沿起的、根据所述时间差确定的时间段之后具有上升沿。因而,输出信号SOUT具有上升沿的时间点可以根据输入信号SIN与保持信号SHLD之间的时间差来确定。

[0129] 例如,为了开始电容器330的放电,第一反相器310可以响应于输入信号SIN的上升沿将电容器330电耦接到地电压。为了停止电容器330的放电,反相器控制单元320a可以响应于保持信号SHLD的上升沿使第一反相器310去激活。为了再次开始电容器330的放电,反相器控制单元320a可以响应于唤醒信号SAWK的上升沿激活第一反相器310。在电容器330的放电再次开始之后,当电容器330的电压,或者中间节点NMID的电压变得低于阈值电压时,输出单元340可以输出具有逻辑高电平的输出信号SOUT。

[0130] 因此,响应于唤醒信号SAWK,时间寄存器300a可以输出在根据输入信号SIN与保持信号SHLD之间的时间差确定的时间点具有上升沿的输出信号SOUT。

[0131] 图5是用于描述图4的时间寄存器的操作的时序图。

[0132] 参照图4和图5,第一反相器310可以响应于输入信号SIN的上升沿输出具有逻辑低电平的输出信号。当输入信号SIN具有上升沿时,D触发器323可以在输出端Q输出具有逻辑低电平的输出信号,并且可以在反相输出端/Q输出具有逻辑高电平的反相输出信号。因此,第一NMOS晶体管N1可以响应于输入信号SIN的上升沿导通,第二NMOS晶体管N2可以响应于具有逻辑高电平的反相输出信号导通。如果第一NMOS晶体管N1和第二NMOS晶体管N2导通,则中间节点NMID,或者电容器330的第一电极可以通过第一NMOS晶体管N1和第二NMOS晶体管N2耦接到地电压,因而电容器330可以放电。如上所述,电容器330可以响应于输入信号SIN的上升沿放电,并且电容器330的电压,或者中间节点NMID的电压 V_{NMID} 可以减小。

[0133] 反相器控制单元320a可以响应于保持信号SHLD的上升沿去激活第一反相器310。例如,选择器321可以响应于从D触发器323的反相输出端/Q输出的具有逻辑高电平的反相输出信号向D触发器323的时钟端输出保持信号SHLD。响应于来自选择器321的保持信号SHLD的上升沿,D触发器323可以在输出端Q输出具有逻辑高电平的输出信号,并且可以在反相输出端/Q输出具有逻辑低电平的反相输出信号。因此,第二PMOS晶体管P2可以响应于具有逻辑高电平的输出信号截止,并且第二NMOS晶体管N2可以响应于具有逻辑低电平的反相输出信号截止。如果第二NMOS晶体管N2截止,则电容器330的放电可以停止。如上所述,电容器330的放电可以响应于保持信号SHLD的上升沿停止,并且电容器330的电压的减小,或者中间节点NMID的电压 V_{NMID} 的减小可以停止。

[0134] 反相器控制单元320a可以响应于唤醒信号SAWK的上升沿激活第一反相器310。例如,选择器321可以响应于从D触发器323的反相输出端/Q输出的具有逻辑低电平的反相输出信号向D触发器323的时钟端输出唤醒信号SAWK。响应于来自选择器321的唤醒信号SAWK的上升沿,D触发器323可以在输出端Q输出具有逻辑低电平的输出信号,并且可以在反相输出端/Q输出具有逻辑高电平的反相输出信号。因此,第二PMOS晶体管P2可以响应于具有逻辑低电平的输出信号导通,并且第二NMOS晶体管N2可以响应于具有逻辑高电平的反相输出信号导通。此外,第一NMOS晶体管N1可以响应于具有逻辑高电平的输入信号SIN导通。如果第一NMOS晶体管N1和第二NMOS晶体管N2被导通,则中间节点NMID可以通过第一NMOS晶体管N1和第二NMOS晶体管N2耦接到地电压,因而电容器330的放电可以再次开始。如上所述,电

容器330的放电可以响应于唤醒信号SAWK的上升沿再次开始,从而电容器330的电压,或者中间节点NMID的电压 V_{NMID} 可以再次减小。

[0135] 输出单元340可以基于电容器330的电压,或者中间节点NMID的电压 V_{NMID} 输出输出信号SOUT。当中间节点NMID的电压 V_{NMID} 变得低于给定、期望或预定的阈值电压 V_{TH} 时,输出单元340可以输出具有逻辑高电平的输出信号SOUT。例如,该给定、期望或预定的阈值电压 V_{TH} 可以是第三PMOS晶体管P3的阈值电压。因而,如果中间节点NMID的电压 V_{NMID} 变得低于第三PMOS晶体管P3的阈值电压,第三PMOS晶体管P3可以导通,并且输出信号SOUT可以具有逻辑高电平。

[0136] 输出信号SOUT可以在自唤醒信号SAWK的上升沿起的给定、期望或预定的时间 $T_{dis}-T_D-T_{off}$ 之后具有上升沿。该给定、期望或预定的时间 $T_{dis}-T_D-T_{off}$ 可以等于放电时间 T_{dis} 减去输入信号SIN与保持信号SHLD之间的时间差 T_D+T_{off} 。例如,在输入信号SIN是图3的第一输入信号SIN1、并且保持信号SHLD是从图3的第一偏移延迟单元220输出的第一保持信号SHLD1的情况下,输入信号SIN与保持信号SHLD之间的时间差 T_D+T_{off} 可以相当于第一输入信号SIN1与第二输入信号SIN2之间的时间差 T_D 和第一偏移延迟单元220的偏移时间 T_{off} 的和。在这种情况下,输出信号SOUT可以在自唤醒信号SAWK的上升沿起的给定、期望或预定的时间 $T_{dis}-T_D-T_{off}$ 之后具有上升沿,并且该给定、期望或预定的时间 $T_{dis}-T_D-T_{off}$ 可以通过从放电时间 T_{dis} 中,减去第一输入信号SIN1与第二输入信号SIN2之间的时间差 T_D 和第一偏移延迟单元220的偏移时间 T_{off} 的和,来获得。

[0137] 放电时间 T_{dis} 可以是在电容器330的第一电极电耦接到地电压时、电容器330的电压从高电平减小到给定、期望或预定的阈值电压 V_{TH} 的时间段,并且放电时间 T_{dis} 可以根据第一NMOS晶体管N1和第二NMOS晶体管N2的电流驱动能力以及电容器330的电容来确定。因而,如果第一NMOS晶体管N1和第二NMOS晶体管N2的电流驱动能力固定,则放电时间 T_{dis} 可以根据电容器330的电容来确定。图3的第一时间寄存器230中包括的电容器以及图3的第二时间寄存器270中包括的电容器可以具有相同或基本上相同的电容,因而第一时间寄存器230和第二时间寄存器270可以具有相同或基本上相同的放电时间 T_{dis} 。此外,图3的第一偏移延迟单元220和第二偏移延迟单元260可以具有相同或基本上相同的偏移时间 T_{off} 。

[0138] 因此,图3的第一输出信号SOUT1和第二输出信号SOUT2之间的时间差(例如,第一输出信号SOUT1具有上升沿的时间点与第二输出信号SOUT2具有上升沿的时间点之间的时间差)可以根据第一输入信号SIN1与第二输入信号SIN2之间的第一时间差以及第三输入信号SIN3与第四输入信号SIN4之间的第二时间差来确定,下面会参照图9A和图9B对此进行描述。

[0139] 在输出单元340输出具有逻辑高电平的输出信号SOUT之后,第一反相器310可以响应于输入信号SIN的下降沿输出具有逻辑低电平的输出信号。例如,第一PMOS晶体管P1可以响应于输入信号SIN的下降沿导通,并且第二PMOS晶体管P2可以响应于具有逻辑低电平的反相输出信号导通。如果第一PMOS晶体管P1和第二PMOS晶体管P2被导通,则中间节点NMID,或电容器330的第一电极可以通过第一PMOS晶体管P1和第二PMOS晶体管P2耦接到电源电压,并且电容器330可以被充电。在其他示例实施例中,唤醒信号SAWK可以是输入信号SIN的反相信号,并且逻辑门可以被置于输入信号SIN与第一反相器310之间,以便即使输入信号SIN具有下降沿,也在给定、期望或预定的时间段期间向第一反相器310施加具有逻辑高电

平的信号。在这种情况下,第一反相器310可以响应于逻辑门的输出信号对电容器330充电。

[0140] 图6是图示图3的时间差加法器中包括的时间寄存器的另一个示例实施例的电路图。

[0141] 参照图6,时间寄存器300b包括第一反相器310、反相器控制单元320b、电容器330和输出单元340。除了反相器控制单元320b中包括的选择器325、327和329的配置和操作之外,图6的时间寄存器300b可以具有与图4的时间寄存器300a类似或基本上类似的配置,并且可以执行与图4的时间寄存器300a类似或基本上类似的操作。

[0142] 反相器控制单元320b可以响应于保持信号SHLD去激活第一反相器310,并且可以响应于唤醒信号SAWK激活第一反相器310。反相器控制单元320b可以包括第二PMOS晶体管P2、第二NMOS晶体管N2、D触发器323以及选择器325、327和329。

[0143] 选择器325、327和329可以用逻辑门325、327和329来实现。例如,选择器325、327和329可以包括第一与门325、第二与门327和或门329。第一与门325可以对保持信号SHLD和从D触发器323的反相输出端/Q输出的反相输出信号执行与运算。第二与门327可以对唤醒信号SAWK和从D触发器323的输出端Q输出的输出信号执行与运算。或门329可以对第一与门325的输出信号和第二与门327的输出信号执行或运算。当从反相输出端/Q输出的反相输出信号具有逻辑高电平、并且从输出端Q输出的输出信号具有逻辑低电平时,逻辑门325、327和329可以输出保持信号SHLD。当从反相输出端/Q输出的反相输出信号具有逻辑低电平、并且从输出端Q输出的输出信号具有逻辑高电平时,逻辑门325、327和329可以输出唤醒信号SAWK。

[0144] 图7是图示图3的时间差加法器中包括的时间寄存器的再一个示例实施例的电路图。

[0145] 参照图7,时间寄存器300c包括第一反相器310、反相器控制单元320c、电容器330和输出单元340。除了反相器控制单元320c中包括的选择器P4、N4、P5和N5的配置和操作之外,图7的时间寄存器300c可以具有与图4的时间寄存器300a类似或基本上类似的配置,并且可以执行与图4的时间寄存器300a类似或基本上类似的操作。

[0146] 反相器控制单元320c可以响应于保持信号SHLD去激活第一反相器310,并且可以响应于唤醒信号SAWK激活第一反相器310。反相器控制单元320c可以包括第二PMOS晶体管P2、第二NMOS晶体管N2、D触发器323以及选择器P4、N4、P5和N5。

[0147] 选择器P4、N4、P5和N5可以用传输门P4、N4、P5和N5来实现。例如,选择器P4、N4、P5和N5可以包括第一传输门P4和N4以及第二传输门P5和N5。当从D触发器323的反相输出端/Q输出的反相输出信号具有逻辑高电平并且从D触发器323的输出端Q输出的输出信号具有逻辑低电平时,第一传输门P4和N4可以输出保持信号SHLD。第一传输门P4和N4可以包括第四PMOS晶体管P4和第四NMOS晶体管N4,第四PMOS晶体管P4包括耦接到输出端Q的栅极,并且第四NMOS晶体管N4包括耦接到反相输出端/Q的栅极。当从反相输出端/Q输出的反相输出信号具有逻辑低电平并且从输出端Q输出的输出信号具有逻辑高电平时,第二传输门P5和N5可以输出唤醒信号SAWK。第二传输门P5和N5可以包括第五PMOS晶体管P5和第五NMOS晶体管N5,第五PMOS晶体管P5包括耦接到反相输出端/Q的栅极,并且第五NMOS晶体管N5包括耦接到输出端Q的栅极。

[0148] 图8是图示图3的时间差加法器中包括的时间寄存器的再一个示例实施例的电路

图。

[0149] 参照图8,时间寄存器300d包括第一反相器310、反相器控制单元320、电容器330和输出单元350。除了输出单元350的配置和操作之外,图8的时间寄存器300d可以具有与图4的时间寄存器300a类似或基本上类似的配置,并且可以执行与图4的时间寄存器300a类似或基本上类似的操作。根据示例实施例,反相器控制单元320可以被实现为图4的反相器控制单元320a、图6的反相器控制单元320b、图7的反相器控制单元320c等。

[0150] 输出单元350可以基于电容器330的电压(即,中间节点NMID的电压)生成输出信号SOUT。例如,输出单元350可以被实现为比较器350。比较器350可以包括接收参考电压VREF的同相输入端、接收电容器330的电压的反相输入端、以及输出输出信号SOUT的输出端。当电容器330的电压低于参考电压VREF时,比较器350可以生成具有逻辑高电平的输出信号SOUT。根据示例实施例,参考电压VREF可以从外部电路或设备接收,或者可替换地,时间寄存器300d可以包括生成参考电压VREF的电路。参考电压VREF可以低于电源电压。例如,参考电压VREF可以大约是电源电压的五分之一。

[0151] 图9A是用于描述图3的时间差加法器的操作的示例的时序图。图9A图示了第一输入信号SIN1和第二输入信号SIN2具有正的第一时间差TD1、并且第三输入信号SIN3和第四输入信号SIN4具有正的第二时间差TD2的示例。

[0152] 参照图3和图9A,第一输入信号SIN1可以被施加到第一时间寄存器230的第一输入端IN1。第二输入信号SIN2可以被第一偏移延迟单元220延迟偏移时间 T_{off} ,然后可以作为第一保持信号SHLD1被施加到第一时间寄存器230的第一保持端HLD1。因此,第一输入信号SIN1和第一保持信号SHLD1可以具有时间差 $TD1 + T_{off}$,该时间差等于或基本上等于偏移时间 T_{off} 加上第一输入信号SIN1与第二输入信号SIN2之间的第一时间差TD1。

[0153] 第四输入信号SIN4可以被施加到第二时间寄存器270的第二输入端IN2。第三输入信号SIN3可以被第二偏移延迟单元230延迟偏移时间 T_{off} ,然后可以作为第二保持信号SHLD2被施加到第二时间寄存器270的第二保持端HLD2。因此,第四输入信号SIN4和第二保持信号SHLD2可以具有时间差 $-TD2 + T_{off}$,该时间差等于偏移时间 T_{off} 减去第三输入信号SIN3与第四输入信号SIN4之间的第二时间差TD2。

[0154] 响应于唤醒信号SAWK,第一时间寄存器230可以输出第一输出信号SOUT1,该第一输出信号SOUT1在自唤醒信号SAWK的上升沿起的第一给定、期望或预定的时间段 $T_{dis} - TD1 - T_{off}$ 之后具有上升沿。第一时间段 $T_{dis} - TD1 - T_{off}$ 可以等于或基本上等于放电时间 T_{dis} 减去第一输入信号SIN1与第一保持信号SHLD1之间的时间差 $TD1 + T_{off}$ 。也就是说,例如,唤醒信号SAWK和第一输出信号SOUT1可以具有时间差 $T_{dis} - TD1 - T_{off}$,该时间差是通过从放电时间 T_{dis} 减去第一输入信号SIN1与第一保持信号SHLD1之间的时间差 $TD1 + T_{off}$ 获得的。

[0155] 响应于唤醒信号SAWK,第二时间寄存器270可以输出第二输出信号SOUT2,该第二输出信号SOUT2在自唤醒信号SAWK的上升沿起的第二给定、期望或预定的时间段 $T_{dis} + TD2 - T_{off}$ 之后具有上升沿。第二时间段 $T_{dis} + TD2 - T_{off}$ 可以等于或基本上等于放电时间 T_{dis} 减去第四输入信号SIN4与第二保持信号SHLD2之间的时间差 $-TD2 + T_{off}$ 。也就是说,例如,唤醒信号SAWK和第二输出信号SOUT2可以具有时间差 $T_{dis} + TD2 - T_{off}$,该时间差是通过从放电时间 T_{dis} 中减去第四输入信号SIN4与第二保持信号SHLD2之间的时间差 $-TD2 + T_{off}$ 获得的。

[0156] 第一偏移延迟单元220和第二偏移延迟单元260可以具有相同或基本上相同的偏

移时间 T_{off} ,并且第一时间寄存器230和第二时间寄存器270可以具有相同或基本上相同的放电时间 T_{dis} 。因此,第一输出信号 S_{OUT1} 与第二输出信号 S_{OUT2} 之间的时间差等于或基本上等于唤醒信号 $SAWK$ 与第二输出信号 S_{OUT2} 之间的时间差 $T_{dis}+TD2-T_{off}$ 减去唤醒信号 $SAWK$ 与第一输出信号 S_{OUT1} 之间的时间差 $T_{dis}-TD1-T_{off}$ (即, $(T_{dis}+TD2-T_{off}) - (T_{dis}-TD1-T_{off}) = TD2+TD1$),该第一输出信号 S_{OUT1} 与第二输出信号 S_{OUT2} 之间的时间差可以相当于第一输入信号 $SIN1$ 与第二输入信号 $SIN2$ 之间的第一时间差 $TD1$ 和第三输入信号 $SIN3$ 与第四输入信号 $SIN4$ 之间的第二时间差 $TD2$ 的和 $TD1+TD2$ 。

[0157] 如上所述,根据示例实施例的时间差加法器200a可以精确地将输入信号 $SIN1$ 、 $SIN2$ 、 $SIN3$ 和 $SIN4$ 之间的时间差 $TD1$ 和 $TD2$ 相加。

[0158] 图9B是用于描述图3的时间差加法器的操作的另一个示例的时序图。图9B图示了第一输入信号 $SIN1$ 和第二输入信号 $SIN2$ 具有负的第一时间差 $-TD1$ 、并且第三输入信号 $SIN3$ 和第四输入信号 $SIN4$ 具有负的第二时间差 $-TD2$ 的示例。

[0159] 参照图3和图9B,第一输入信号 $SIN1$ 可以被施加到第一时间寄存器230的第一输入端 $IN1$ 。第二输入信号 $SIN2$ 可以被第一偏移延迟单元220延迟偏移时间 T_{off} ,然后可以作为第一保持信号 $SHLD1$ 被施加到第一时间寄存器230的第一保持端 $HLD1$ 。因此,第一输入信号 $SIN1$ 和第一保持信号 $SHLD1$ 可以具有时间差 $-TD1+T_{off}$,该时间差等于或基本上等于偏移时间 T_{off} 加上第一输入信号 $SIN1$ 与第二输入信号 $SIN2$ 之间的第一时间差 $-TD1$ 。

[0160] 第四输入信号 $SIN4$ 可以被施加到第二时间寄存器270的第二输入端 $IN2$ 。第三输入信号 $SIN3$ 可以被第二偏移延迟单元230延迟偏移时间 T_{off} ,然后可以作为第二保持信号 $SHLD2$ 被施加到第二时间寄存器270的第二保持端 $HLD2$ 。因此,第四输入信号 $SIN4$ 和第二保持信号 $SHLD2$ 可以具有时间差 $TD2+T_{off}$,该时间差等于或基本上等于偏移时间 T_{off} 减去第三输入信号 $SIN3$ 与第四输入信号 $SIN4$ 之间的第二时间差 $-TD2$ 。

[0161] 响应于唤醒信号 $SAWK$,第一时间寄存器230可以输出第一输出信号 S_{OUT1} ,该第一输出信号 S_{OUT1} 在自唤醒信号 $SAWK$ 的上升沿起的第一给定、期望或预定的时间段 $T_{dis}+TD1-T_{off}$ 之后具有上升沿。第一时间段 $T_{dis}+TD1-T_{off}$ 可以等于或基本上等于放电时间 T_{dis} 减去第一输入信号 $SIN1$ 与第一保持信号 $SHLD1$ 之间的时间差 $-TD1+T_{off}$ 。也就是说,例如,唤醒信号 $SAWK$ 和第一输出信号 S_{OUT1} 可以具有时间差 $T_{dis}+TD1-T_{off}$,该时间差是通过从放电时间 T_{dis} 减去第一输入信号 $SIN1$ 与第一保持信号 $SHLD1$ 之间的时间差 $-TD1+T_{off}$ 获得的。

[0162] 响应于唤醒信号 $SAWK$,第二时间寄存器270可以输出第二输出信号 S_{OUT2} ,该第二输出信号 S_{OUT2} 在自唤醒信号 $SAWK$ 的上升沿起的第二给定、期望或预定的时间段 $T_{dis}-TD2-T_{off}$ 之后具有上升沿。第二时间段 $T_{dis}-TD2-T_{off}$ 可以等于或基本上等于放电时间 T_{dis} 减去第四输入信号 $SIN4$ 与第二保持信号 $SHLD2$ 之间的时间差 $TD2+T_{off}$ 。也就是说,例如,唤醒信号 $SAWK$ 和第二输出信号 S_{OUT2} 可以具有时间差 $T_{dis}-TD2-T_{off}$,该时间差是通过从放电时间 T_{dis} 中减去第四输入信号 $SIN4$ 与第二保持信号 $SHLD2$ 之间的时间差 $TD2+T_{off}$ 获得的。

[0163] 第一偏移延迟单元220和第二偏移延迟单元260可以具有相同或基本上相同的偏移时间 T_{off} ,并且第一时间寄存器230和第二时间寄存器270可以具有相同或基本上相同的放电时间 T_{dis} 。因此,第一输出信号 S_{OUT1} 与第二输出信号 S_{OUT2} 之间的时间差等于或基本上等于唤醒信号 $SAWK$ 与第二输出信号 S_{OUT2} 之间的时间差 $T_{dis}-TD2-T_{off}$ 减去唤醒信号 $SAWK$ 与第一输出信号 S_{OUT1} 之间的时间差 $T_{dis}+TD1-T_{off}$ (即, $(T_{dis}-TD2-T_{off}) - (T_{dis}+$

$TD2 - T_{off}) = (-TD2) + (-TD1)$), 该第一输出信号SOUT1与第二输出信号SOUT2之间的时间差可以相当于第一输入信号SIN1与第二输入信号SIN2之间的第一时间差-TD1和第三输入信号SIN3与第四输入信号SIN4之间的第二时间差-TD2的和-TD1-TD2。

[0164] 如上所述, 根据示例实施例的时间差加法器200a可以精确地将输入信号SIN1、SIN2、SIN3和SIN4之间的时间差-TD1和-TD2相加。

[0165] 尽管图9A和图9B图示了将第一输入信号SIN1的上升沿与第二输入信号SIN2的上升沿之间的第一时间差以及第三输入信号SIN3的上升沿与第四输入信号SIN4的上升沿之间的第二时间差相加的时间差加法的示例, 在其他示例实施例中, 时间差加法器可以执行将第一输入信号SIN1的下降沿与第二输入信号SIN2的下降沿之间的第三时间差以及第三输入信号SIN3的下降沿与第四输入信号SIN4的下降沿之间的第四时间差相加的时间差加法。在其他示例实施例中, 时间差加法器可以执行用于上升沿的时间差加法和用于下降沿的时间差加法两者。

[0166] 图10是图示根据示例实施例的时间差加法器的框图。

[0167] 参照图10, 时间差加法器200b包括第一寄存器单元210b和第二寄存器单元250b。时间差加法器200b可以不包括图3中图示的第一偏移延迟单元220和第二偏移延迟单元260。时间差加法器200b可以接收具有正的时间差的第一输入信号SIN1与第二输入信号SIN2以及具有负的时间差的第三输入信号SIN3与第四输入信号SIN4。

[0168] 第一寄存器单元210b可以接收第一输入信号SIN1和第二输入信号SIN2, 并且可以响应于唤醒信号SAWK生成第一输出信号SOUT1。第一寄存器单元210b可以包括第一时间寄存器230。第一时间寄存器230可以包括接收第一输入信号SIN1的第一输入端IN1、接收第二输入信号SIN2的第一保持端HLD1、接收唤醒信号SAWK的第一唤醒端AWK1、以及输出第一输出信号SOUT1的第一输出端OUT1。

[0169] 第二寄存器单元250b可以接收第三输入信号SIN3第四输入信号SIN4, 并且可以响应于唤醒信号SAWK生成第二输出信号SOUT2。第二寄存器单元250b可以包括第二时间寄存器270。第二时间寄存器270可以包括接收第四输入信号SIN2的第二输入端IN2、接收第三输入信号SIN3的第二保持端HLD2、接收唤醒信号SAWK的第二唤醒端AWK2、以及输出第二输出信号SOUT2的第二输出端OUT2。

[0170] 根据示例实施例, 第一时间寄存器230和第二时间寄存器270中的每一个可以被实现为图4的时间寄存器300a、图6的时间寄存器300b、图7的时间寄存器300c、图8的时间寄存器300d等。

[0171] 响应于唤醒信号SAWK, 第一时间寄存器230可以输出第一输出信号SOUT1, 该第一输出信号SOUT1在自唤醒信号SAWK的上升沿起的第一给定、期望或预定的时间段之后具有上升沿。第一时间段可以等于或基本上等于放电时间减去第一输入信号SIN1与第二输入信号SIN2之间的第一时间差。也就是说, 例如, 唤醒信号SAWK与第一输出信号SOUT1之间的时间差可以通过从放电时间中减去第一时间差获得。

[0172] 响应于唤醒信号SAWK, 第二时间寄存器270可以输出第二输出信号SOUT2, 该第二输出信号SOUT2在自唤醒信号SAWK的上升沿起的第二给定、期望或预定的时间段之后具有上升沿。该第二时间段可以等于或基本上等于放电时间加上第三输入信号SIN3与第四输入信号SIN4之间的第二时间差。也就是说, 例如, 唤醒信号SAWK与第二输出信号SOUT2之间的

时间差可以通过将第二时间差加到放电时间来获得。

[0173] 第一时间寄存器230的放电时间可以与第二时间寄存器270的放电时间相同或基本相同。因此,第一输出信号SOUT1与第二输出信号SOUT2之间的时间差等于或基本上等于唤醒信号SAWK与第二输出信号SOUT2之间的时间差减去唤醒信号SAWK与第一输出信号SOUT1之间的时间差,该第一输出信号SOUT1与第二输出信号SOUT2之间的时间差可以相当于第一输入信号SIN1与第二输入信号SIN2之间的第一时间差和第三输入信号SIN3与第四输入信号SIN4之间的第二时间差的和。

[0174] 如上所述,根据示例实施例的时间差加法器200b可以输出第一输出信号SOUT1和第二输出信号SOUT2,该第一输出信号SOUT1和第二输出信号SOUT2具有与第一时间差和第二时间差的和相当的时间差。

[0175] 图11是用于描述图10的时间差加法器的操作的示例的时序图。图11图示了第一输入信号SIN1和第二输入信号SIN2具有正的第一时间差TD1、并且第三输入信号SIN3和第四输入信号SIN4具有负的第二时间差-TD2的示例。

[0176] 参照图10和图11,第一输入信号SIN1可以被施加到第一时间寄存器230的第一输入端IN1,并且第二输入信号SIN2可以被施加到第一时间寄存器230的第一保持端HLD1。第四输入信号SIN4可以被施加到第二时间寄存器270的第二输入端IN2,并且第三输入信号SIN3可以被施加到第二时间寄存器270的第二保持端HLD2。

[0177] 响应于唤醒信号SAWK,第一时间寄存器230可以输出第一输出信号SOUT1,该第一输出信号SOUT1在自唤醒信号SAWK的上升沿起的第一给定、期望或预定的时间段Tdis-TD1之后具有上升沿。第一时间段Tdis-TD1可以等于或基本上等于放电时间Tdis减去第一输入信号SIN1与第二输入信号SIN2之间的第一时间差TD1。也就是说,例如,唤醒信号SAWK和第一输出信号SOUT1可以具有时间差Tdis-TD1,该时间差是通过从放电时间Tdis中减去第一输入信号SIN1与第二输入信号SIN2之间的第一时间差TD1获得的。

[0178] 响应于唤醒信号SAWK,第二时间寄存器270可以输出第二输出信号SOUT2,该第二输出信号SOUT2在自唤醒信号SAWK的上升沿起的第二给定、期望或预定的时间段Tdis-TD2之后具有上升沿。第二时间间隔Tdis-TD2可以等于或基本上等于放电时间Tdis加上第三输入信号SIN3与第四输入信号SIN4之间的第二时间差-TD2。也就是说,例如,唤醒信号SAWK和第二输出信号SOUT2可以具有时间差Tdis-TD2,该时间差是通过将第三输入信号SIN3与第四输入信号SIN4之间的第二时间差-TD2加到放电时间Tdis获得的。

[0179] 第一时间寄存器230和第二时间寄存器270可以具有相同或基本上相同的放电时间Tdis。因此,第一输出信号SOUT1与第二输出信号SOUT2之间的时间差等于或基本上等于唤醒信号SAWK与第二输出信号SOUT2之间的时间差Tdis-TD2减去唤醒信号SAWK与第一输出信号SOUT1之间的时间差Tdis-TD1(即, $(Tdis-TD2) - (Tdis-TD1) = -TD2+TD1$),该第一输出信号SOUT1与第二输出信号SOUT2之间的时间差可以相当于第一输入信号SIN1与第二输入信号SIN2之间的第一时间差TD1和第三输入信号SIN3与第四输入信号SIN4之间的第二时间差-TD2的和TD1-TD2。

[0180] 如上所述,根据示例实施例的时间差加法器200b可以精确地将输入信号SIN1、SIN2、SIN3和SIN4之间的时间差TD1和-TD2相加。

[0181] 图12是图示根据示例实施例的时间差加法器的框图。

[0182] 参照图12,时间差加法器200c包括第一寄存器单元210c、第二寄存器单元250c和控制单元290。

[0183] 第一寄存器单元210c可以接收第一输入信号SIN1和第二输入信号SIN2,并且可以响应于唤醒信号SAWK生成第一输出信号SOUT1。第一寄存器单元210c可以包括第一偏移延迟单元220和第一时间寄存器240。第一偏移延迟单元220可以通过将第二输入信号SIN2延迟偏移时间来生成第一保持信号SHLD1。第一时间寄存器240可以包括接收第一输入信号SIN1的第一输入端IN1、接收第一保持信号SHLD1的第一保持端HLD1、接收预充电信号SPRCH的第一预充电端、接收唤醒信号SAWK的第一唤醒端AWK1、以及输出第一输出信号SOUT1的第一输出端OUT1。

[0184] 第二寄存器单元250c可以接收第三输入信号SIN3和第四输入信号SIN4,并且可以响应于唤醒信号SAWK生成第二输出信号SOUT2。第二寄存器单元250c可以包括第二偏移延迟单元260和第二时间寄存器280。第二偏移延迟单元260可以通过将第三输入信号SIN3延迟偏移时间来生成第二保持信号SHLD2。第二时间寄存器280可以包括接收第四输入信号SIN2的第二输入端IN2、接收第二保持信号SHLD2的第二保持端HLD2、接收预充电信号SPRCH的第二预充电端、接收唤醒信号SAWK的第二唤醒端AWK2、以及输出第二输出信号SOUT2的第二输出端OUT2。

[0185] 控制单元290可以生成预充电信号SPRCH和唤醒信号SAWK。例如,控制单元290可以通过延迟和/或反相第一到第四输入信号SIN1、SIN2、SIN3和SIN4中的至少一个来生成预充电信号SPRCH和唤醒信号SAWK。在一些示例实施例中,控制单元290可以生成预充电信号SPRCH和唤醒信号SAWK,从而使预充电信号SPRCH在唤醒信号SAWK具有上升沿之后具有上升沿。

[0186] 响应于唤醒信号SAWK,第一时间寄存器240可以输出第一输出信号SOUT1,该第一输出信号SOUT1在自唤醒信号SAWK的上升沿起的第一给定、期望或预定的时间段之后具有上升沿。第一时间段可以等于或基本上等于放电时间减去偏移时间减去第一输入信号SIN1与第二输入信号SIN2之间的第一时间差。也就是说,例如,唤醒信号SAWK与第一输出信号SOUT1之间的时间差可以通过从放电时间中减去偏移时间、并且进一步从该减法结果中减去第一时间差来获得。

[0187] 响应于唤醒信号SAWK,第二时间寄存器280可以输出第二输出信号SOUT2,该第二输出信号SOUT2在自唤醒信号SAWK的上升沿起的第二给定、期望或预定的时间段之后具有上升沿。该第二时间段可以等于或基本上等于放电时间减去偏移时间加上第三输入信号SIN3与第四输入信号SIN4之间的第二时间差。也就是说,例如,唤醒信号SAWK与第二输出信号SOUT2之间的时间差可以通过从放电时间中减去偏移时间、并且通过将第二时间差加到该减法结果来获得。

[0188] 第一偏移延迟单元220的偏移时间可以与第二偏移延迟单元260的偏移时间相同或基本相同。第一时间寄存器240的放电时间可以与第二时间寄存器280的放电时间相同或基本相同。因此,第一输出信号SOUT1与第二输出信号SOUT2之间的时间差等于唤醒信号SAWK与第二输出信号SOUT2之间的时间差减去唤醒信号SAWK与第一输出信号SOUT1之间的时间差,该第一输出信号SOUT1与第二输出信号SOUT2之间的时间差可以相当于第一输入信号SIN1与第二输入信号SIN2之间的第一时间差和第三输入信号SIN3与第四输入信号SIN4

之间的第二时间差的和。

[0189] 如上所述,根据示例实施例的时间差加法器200c可以输出第一输出信号SOUT1和第二输出信号SOUT2,该第一输出信号SOUT1和第二输出信号SOUT2具有与第一时间差和第二时间差的和相当的时间差。

[0190] 图13是图示包括在图12的时间差加法器中的时间寄存器的示例的电路图。

[0191] 参照图13,时间寄存器400a包括下拉晶体管410、上拉晶体管460、下拉晶体管控制单元420、电容器430和输出单元440。在一些示例实施例中,图12中图示的第一时间寄存器240和第二时间寄存器280中的每一个可以被实现为图13的时间寄存器400a。

[0192] 下拉晶体管410可以耦接在中间节点NMID和地电压之间,并且可以受下拉晶体管控制单元420的控制以对电容器430放电。例如,下拉晶体管410可以包括NMOS晶体管N6,该NMOS晶体管N6包括接收下拉晶体管控制单元420的输出信号的栅极、耦接到地电压的源极以及耦接到中间节点NMID的漏极。

[0193] 上拉晶体管460可以耦接在中间节点NMID和电源电压之间,并且可以响应于预充电信号SPRCH对电容器430充电。例如,上拉晶体管460可以包括PMOS晶体管P6,该PMOS晶体管P6包括接收预充电信号SPRCH的栅极、耦接到电源电压的源极以及耦接到中间节点NMID的漏极。

[0194] 下拉晶体管控制单元420可以响应于输入信号SIN导通下拉晶体管410,可以响应于保持信号SHLD使下拉晶体管410截止,并且可以响应于唤醒信号SAWK再次导通下拉晶体管410。下拉晶体管控制单元420可以包括置位-复位锁存器421和或门427。

[0195] 置位-复位锁存器421包括接收输入信号SIN的置位端S、接收保持信号SHLD的复位端R、以及输出输出信号的输出端Q。置位-复位锁存器421可以包括第一或非门423和第二或非门425。第一或非门423可以对输入信号SIN和第二或非门425的输出信号执行或非运算,第二或非门425可以对保持信号SHLD和第一或非门423的输出信号执行或非运算。

[0196] 当输入信号SIN具有逻辑高电平并且保持信号SHLD具有逻辑低电平时,置位-复位锁存器421可以输出具有逻辑高电平的输出信号。在保持信号SHLD具有逻辑高电平时,置位-复位锁存器421可以输出具有逻辑低电平的输出信号,而不管输入信号SIN的逻辑电平为何。此外,当输入信号SIN和保持信号SHLD两者都具有逻辑低电平时,置位-复位锁存器421可以输出具有与先前输出信号相同逻辑电平的输出信号。

[0197] 或门427可以对从置位-复位锁存器421的输出端Q输出的输出信号和唤醒信号SAWK执行或运算。或门427的输出端可以耦接到下拉晶体管410的栅极,并且下拉晶体管410可以受或门427的输出信号控制。

[0198] 电容器430可以通过上拉晶体管460充电,并且可以通过下拉晶体管410放电。电容器430可以包括耦接到中间节点NMID的第一电极和耦接到地电压的第二电极。例如,当上拉晶体管460导通时,电容器430的第一电极可以通过上拉晶体管460电耦接到电源电压,因而电容器430可以被充电。当下拉晶体管410导通时,电容器430的第一电极可以通过下拉晶体管410电耦接到地电压,因而电容器430可以被放电。

[0199] 输出单元440可以基于电容器430的电压(即,中间节点NMID的电压)生成输出信号SOUT。例如,输出单元440可以包括反相器440。反相器440可以包括PMOS晶体管P3和NMOS晶体管N3。当电容器430的电压低于给定、期望或预定的阈值电压时,反相器440可以输出具有

逻辑高电平的输出信号SOUT。例如,当电容器430的电压低于PMOS晶体管P3的阈值电压时,PMOS晶体管P3可以导通,因而反相器440可以输出具有逻辑高电平的输出信号SOUT。

[0200] 电容器430可以在输入信号SIN与保持信号SHLD之间的时间差期间放电,以存储关于输入信号SIN与保持信号SHLD之间的时间差的信息。例如,电容器430的放电可以响应于输入信号SIN的上升沿开始,并且可以响应于保持信号SHLD的上升沿停止,从而电容器430可以在输入信号SIN与保持信号SHLD之间的时间差期间放电。此外,电容器430的放电可以响应于唤醒信号SAWK的上升沿而再次开始。因此,在自唤醒信号SAWK的上升沿起的给定、期望或预定的时间段之后,电容器430的电压可以变得低于阈值电压(例如,PMOS晶体管P3的阈值电压),并且该时间段可以根据输入信号SIN与保持信号SHLD之间的时间差来确定。当电容器430的电压变得低于该阈值电压时,输出单元440可以输出具有逻辑高电平的输出信号SOUT。因此,输出信号SOUT可以在自唤醒信号SAWK的上升沿起的、根据所述时间差确定的时间段之后具有上升沿。因而,输出信号SOUT具有上升沿的时间点可以根据输入信号SIN与保持信号SHLD之间的时间差来确定。

[0201] 例如,置位-复位锁存器421可以响应于输入信号SIN的上升沿输出具有逻辑高电平的输出信号,并且或门427可以响应于具有逻辑高电平的置位-复位锁存器421的输出信号输出具有逻辑高电平的输出信号。下拉晶体管410可以响应于具有逻辑高电平的或门427的输出信号被导通,并且电容器430的放电可以通过导通的下拉晶体管410而开始。

[0202] 置位-复位锁存器421可以响应于保持信号SHLD的上升沿,输出具有逻辑低电平的输出信号,并且或门427可以响应于具有逻辑低电平的置位-复位锁存器421的输出信号和具有逻辑低电平的唤醒信号SAWK,输出具有逻辑低电平的输出信号。下拉晶体管410可以响应于具有逻辑低电平的或门427的输出信号被截止,并且电容器430的放电可以通过截止的下拉晶体管410而停止。

[0203] 或门427可以响应于唤醒信号SAWK的上升沿输出具有逻辑高电平的输出信号。下拉晶体管410可以响应于具有逻辑高电平的或门427的输出信号被导通,并且电容器430的放电可以通过导通的下拉晶体管410而再次开始。在电容器430的放电再次开始之后,当电容器430的电压,或者中间节点NMID的电压变得低于阈值电压时,输出单元440可以输出具有逻辑高电平的输出信号SOUT。

[0204] 因此,响应于唤醒信号SAWK,时间寄存器400a可以输出在根据输入信号SIN与保持信号SHLD之间的时间差确定的时间点具有上升沿的输出信号SOUT。

[0205] 图14是图示包括在图12的时间差加法器中的控制单元的示例的电路图。

[0206] 参照图14,控制单元290包括第一反相器291、唤醒延迟单元292、第一置位-复位锁存器293、预充电延迟单元296、第二置位-复位锁存器297和第二反相器298。

[0207] 第一反相器291可以通过将输入信号SIN反相生成输入信号SIN的反相信号。根据示例实施例,该输入信号SIN可以是图12的第一输入信号SIN1、图12的第二输入信号SIN2、图12的第三输入信号SIN3、图12的第四输入信号SIN4或另外的信号。第一反相器291可以向唤醒延迟单元292和第一置位-复位锁存器293提供输入信号SIN的反相信号。

[0208] 唤醒延迟单元292和第一置位-复位锁存器293可以形成唤醒脉冲发生器。唤醒延迟单元292可以将输入信号SIN的反相信号延迟第一延迟时间。在一些示例实施例中,唤醒延迟单元292的第一延迟时间可以被设置得比时间寄存器的放电时间长。

[0209] 第一置位-复位锁存器293可以包括接收输入信号SIN的反相信号的置位端S、接收唤醒延迟单元292的输出信号的复位端R、以及输出唤醒信号SAWK的输出端Q。第一置位-复位锁存器293可以生成唤醒信号SAWK,以使得唤醒信号SAWK具有响应于输入信号SIN的反相信号(例如,未被唤醒延迟单元292延迟的反相信号)的上升沿的上升沿,并且具有响应于唤醒延迟单元292的输出信号的上升沿的下降沿。因此,唤醒信号SAWK的脉冲宽度、或者唤醒信号SAWK的上升沿与唤醒信号SAWK的下降沿之间的时间间隔可以相当于唤醒延迟单元292的第一延迟时间。

[0210] 预充电延迟单元296和第二置位-复位锁存器297可以形成预充电脉冲发生器。预充电延迟单元296可以将唤醒延迟单元292的输出信号延迟第二延迟时间。在一些示例实施例中,可以将预充电延迟单元296的第二延迟时间设置得比时间寄存器中包括的电容器进行基本完全地充电所需的时间长。

[0211] 第二置位-复位锁存器297可以包括接收唤醒延迟单元292的输出信号的置位端S、接收预充电延迟单元296的输出信号的复位端R、以及输出输出信号的输出端Q。第二反相器298可以通过将第二置位-复位锁存器297的输出信号反相生成预充电信号SPRCH。

[0212] 第二置位-复位锁存器297和第二反相器298可以生成预充电信号SPRCH,从而使该预充电信号SPRCH具有响应于唤醒延迟单元292的输出信号的上升沿的下降沿,并且具有响应于预充电延迟单元296的输出信号的上升沿的上升沿。因此,预充电信号SPRCH的下降沿与预充电信号SPRCH的上升沿之间的时间间隔可以相当于预充电延迟单元296的第二延迟时间。

[0213] 图15是用于描述图13的时间寄存器的操作的时序图。

[0214] 参照图13、图14和图15,下拉晶体管控制单元420可以响应于输入信号SIN的上升沿生成具有逻辑高电平的输出信号。例如,置位-复位锁存器421可以响应于输入信号SIN的上升沿在输出端Q输出具有逻辑高电平的输出信号,并且或门427可以响应于具有逻辑高电平的置位-复位锁存器421的输出信号输出具有逻辑高电平的输出信号。下拉晶体管410的NMOS晶体管N6可以响应于具有逻辑高电平的或门427的输出信号而导通。如果NMOS晶体管N6导通,则中间节点NMID、或者电容器430的第一电极可以通过NMOS晶体管N6耦接到地电压,因而电容器430可以放电。因此,电容器430可以响应于输入信号SIN的上升沿放电,并且电容器430的电压、或者中间节点NMID的电压 V_{NMID} 可以减小。

[0215] 下拉晶体管控制单元420可以响应于保持信号SHLD的上升沿生成具有逻辑低电平的输出信号。例如,置位-复位锁存器421可以响应于保持信号SHLD的上升沿,在输出端Q输出具有逻辑低电平的输出信号,并且或门427可以响应于具有逻辑低电平的置位-复位锁存器421的输出信号和具有逻辑低电平的唤醒信号SAWK,输出具有逻辑低电平的输出信号。下拉晶体管410的NMOS晶体管N6可以响应于具有逻辑低电平的或门427的输出信号而截止。如果NMOS晶体管N6截止,则电容器430的放电可以停止。因此,电容器430的放电可以响应于保持信号SHLD的上升沿停止,并且电容器430的电压的减小,或者中间节点NMID的电压 V_{NMID} 的减小可以停止。

[0216] 控制单元290可以响应于输入信号SIN的下降沿生成具有逻辑高电平的唤醒信号SAWK。唤醒信号SAWK可以具有比时间寄存器400a的放电时间 T_{dis} 长的逻辑高时段 T_{awk} 。唤醒信号SAWK的脉冲宽度、或者逻辑高时段 T_{awk} 可以相当于唤醒延迟单元292的第一延迟时

间。

[0217] 下拉晶体管控制单元420可以响应于唤醒信号SAWK的上升沿生成具有逻辑高电平的输出信号。例如,或门427可以响应于唤醒信号SAWK的上升沿输出具有逻辑高电平的输出信号。下拉晶体管410的NMOS晶体管N6可以响应于具有逻辑高电平的或门427的输出信号而导通。如果NMOS晶体管N6导通,则电容器430的放电可以再次开始。因此,电容器430的放电可以响应于唤醒信号SAWK的上升沿再次开始,并且电容器430的电压、或者中间节点NMID的电压 V_{NMID} ,可以再次减小。

[0218] 输出单元440可以基于电容器430的电压,或者中间节点NMID的电压 V_{NMID} 输出输出信号SOUT。当中间节点NMID的电压 V_{NMID} 变得低于给定、期望或预定的阈值电压 V_{TH} 时,输出单元440可以输出具有逻辑高电平的输出信号SOUT。例如,阈值电压 V_{TH} 可以是PMOS晶体管P3的阈值电压。因而,如果中间节点NMID的电压 V_{NMID} 变得低于PMOS晶体管P3的阈值电压,PMOS晶体管P3可以导通,并且输出信号SOUT可以具有逻辑高电平。

[0219] 输出信号SOUT可以在自唤醒信号SAWK的上升沿起的给定、期望或预定的时间段 $T_{dis}-T_D-T_{off}$ 之后具有上升沿。时间段 $T_{dis}-T_D-T_{off}$ 可以等于或基本上等于放电时间 T_{dis} 减去输入信号SIN与保持信号SHLD之间的时间差 T_D+T_{off} 。因而,输出信号SOUT具有上升沿的时间点可以根据输入信号SIN与保持信号SHLD之间的时间差 T_D+T_{off} 来确定。

[0220] 控制单元290可以响应于唤醒信号SAWK的下降沿生成具有逻辑低电平的预充电信号SPRCH。预充电信号SPRCH可以具有比对电容器430完全充电或基本完全充电所需的时间长的逻辑低时段 T_{prch} 。预充电信号SPRCH的逻辑低时段 T_{prch} 可以对应于预充电延迟单元296的第二延迟时间。

[0221] 上拉晶体管460的PMOS晶体管P6可以响应于预充电信号SPRCH的下降沿而导通。如果PMOS晶体管P6被导通,则中间节点NMID、或者电容器430的第一端可以通过PMOS晶体管P6耦接到电源电压,并且电容器430可以被充电。

[0222] 图16是图示包括在图12的时间差加法器中的时间寄存器的另一个示例的电路图。

[0223] 参照图16,时间寄存器400b包括下拉晶体管410、上拉晶体管460、下拉晶体管控制单元420、电容器430和输出单元450。除了输出单元450的配置和操作之外,图16的时间寄存器400b可以具有与图13的时间寄存器400a类似或基本上类似的配置,并且可以执行与图13的时间寄存器400a类似或基本上类似的操作。

[0224] 输出单元450可以基于电容器430的电压(例如,中间节点NMID的电压)生成输出信号SOUT。例如,输出单元450可以被实现为比较器450。比较器450可以包括接收参考电压 V_{REF} 的同相输入端、接收电容器430的电压的反相输入端、以及输出输出信号SOUT的输出端。根据示例实施例,参考电压 V_{REF} 可以从外部电路或设备接收,或者可替换地,时间寄存器400d可以包括生成参考电压 V_{REF} 的电路。

[0225] 图17是用于描述图12的时间差加法器的操作的示例的时序图。图17图示了第一输入信号SIN1和第二输入信号SIN2具有正的第一时间差 $TD1$ 、并且第三输入信号SIN3和第四输入信号SIN4具有正的第二时间差 $TD2$ 的示例。

[0226] 参照图12和图17,第一输入信号SIN1可以被施加到第一时间寄存器240的第一输入端IN1。第二输入信号SIN2可以被第一偏移延迟单元220延迟偏移时间 T_{off} ,然后可以作为第一保持信号SHLD1被施加到第一时间寄存器240的第一保持端HLD1。因此,第一输入信

号SIN1和第一保持信号SHLD1可以具有时间差 $TD1+T_{off}$,该时间差等于偏移时间 T_{off} 加上第一输入信号SIN1与第二输入信号SIN2之间的第一时间差 $TD1$ 。

[0227] 第四输入信号SIN4可以被施加到第二时间寄存器280的第二输入端IN2。第三输入信号SIN3可以被第二偏移延迟单元260延迟偏移时间 T_{off} ,然后可以作为第二保持信号SHLD2被施加到第二时间寄存器280的第二保持端HLD2。因此,第四输入信号SIN4和第二保持信号SHLD2可以具有时间差 $-TD2+T_{off}$,该时间差等于或基本上等于偏移时间 T_{off} 减去第三输入信号SIN3与第四输入信号SIN4之间的第二时间差 $TD2$ 。

[0228] 响应于唤醒信号SAWK,第一时间寄存器240可以输出第一输出信号SOUT1,该第一输出信号SOUT1在自唤醒信号SAWK的上升沿起的第一给定、期望或预定的时间段 $T_{dis}-TD1-T_{off}$ 之后具有上升沿。第一时间段 $T_{dis}-TD1-T_{off}$ 可以等于放电时间 T_{dis} 减去第一输入信号SIN1与第一保持信号SHLD1之间的时间差 $TD1+T_{off}$ 。也就是说,例如,唤醒信号SAWK和第一输出信号SOUT1可以具有时间差 $T_{dis}-TD1-T_{off}$,该时间差是通过从放电时间 T_{dis} 减去第一输入信号SIN1与第一保持信号SHLD1之间的时间差 $TD1+T_{off}$ 获得的。

[0229] 响应于唤醒信号SAWK,第二时间寄存器280可以输出第二输出信号SOUT2,该第二输出信号SOUT2在自唤醒信号SAWK的上升沿起的第二给定、期望或预定的时间段 $T_{dis}+TD2-T_{off}$ 之后具有上升沿。第二时间段 $T_{dis}+TD2-T_{off}$ 可以等于或基本上等于放电时间 T_{dis} 减去第四输入信号SIN4与第二保持信号SHLD2之间的时间差 $-TD2+T_{off}$ 。也就是说,例如,唤醒信号SAWK和第二输出信号SOUT2可以具有时间差 $T_{dis}+TD2-T_{off}$,该时间差是通过从放电时间 T_{dis} 中减去第四输入信号SIN4与第二保持信号SHLD2之间的时间差 $-TD2+T_{off}$ 获得的。

[0230] 第一偏移延迟单元220和第二偏移延迟单元260可以具有相同或基本上相同的偏移时间 T_{off} ,并且第一时间寄存器240和第二时间寄存器280可以具有相同或基本上相同的放电时间 T_{dis} 。因此,第一输出信号SOUT1与第二输出信号SOUT2之间的时间差等于或基本上等于唤醒信号SAWK与第二输出信号SOUT2之间的时间差 $T_{dis}+TD2-T_{off}$ 减去唤醒信号SAWK与第一输出信号SOUT1之间的时间差 $T_{dis}-TD1-T_{off}$ (例如, $(T_{dis}+TD2-T_{off}) - (T_{dis}-TD1-T_{off}) = TD2+TD1$),该第一输出信号SOUT1与第二输出信号SOUT2之间的时间差可以相当于第一输入信号SIN1与第二输入信号SIN2之间的第一时间差 $TD1$ 和第三输入信号SIN3与第四输入信号SIN4之间的第二时间差 $TD2$ 的和 $TD1+TD2$ 。

[0231] 如上所述,根据示例实施例的时间差加法器200c可以精确地将输入信号SIN1、SIN2、SIN3和SIN4之间的时间差 $TD1$ 和 $TD2$ 相加。

[0232] 图18是图示根据示例实施例的时间差加法器的框图。

[0233] 参照图18,时间差加法器200d包括第一寄存器单元210d和第二寄存器单元250d。时间差加法器200d可以不包括图12中图示的第一偏移延迟单元220和第二偏移延迟单元260。时间差加法器200d可以接收具有正的时间差的第一输入信号SIN1与第二输入信号SIN2以及具有负的时间差的第三输入信号SIN3与第四输入信号SIN4。

[0234] 第一寄存器单元210d可以接收第一输入信号SIN1和第二输入信号SIN2,并且可以响应于唤醒信号SAWK生成第一输出信号SOUT1。第一寄存器单元210d可以包括第一时间寄存器240。第一时间寄存器240可以包括接收第一输入信号SIN1的第一输入端IN1、接收第二输入信号SIN2的第一保持端HLD1、接收预充电信号SPRCH的第一预充电端PRCH1、以及输出第一输出信号SOUT1的第一输出端OUT1。

[0235] 第二寄存器单元250d可以接收第三输入信号SIN3第四输入信号SIN4,并且可以响应于唤醒信号SAWK生成第二输出信号SOUT2。第二寄存器单元250d可以包括第二时间寄存器280。第二时间寄存器280可以包括接收第四输入信号SIN2的第二输入端IN2、接收第三输入信号SIN3的第二保持端HLD2、接收预充电信号SPRCH的第二预充电端PRCH2、接收唤醒信号SAWK的第二唤醒端AWK2、以及输出第二输出信号SOUT2的第二输出端OUT2。

[0236] 根据示例实施例,第一时间寄存器240和第二时间寄存器280中的每一个可以被实现为图13的时间寄存器400a、图16的时间寄存器400b等。

[0237] 控制单元290可以生成预充电信号SPRCH和唤醒信号SAWK。例如,控制单元290可以通过延迟和/或反相第一到第四输入信号SIN1、SIN2、SIN3和SIN4中的至少一个来生成预充电信号SPRCH和唤醒信号SAWK。

[0238] 响应于唤醒信号SAWK,第一时间寄存器240可以输出第一输出信号SOUT1,该第一输出信号SOUT1在自唤醒信号SAWK的上升沿起的第一给定、期望或预定时间段之后具有上升沿。第一时间段可以等于或基本上等于放电时间减去第一输入信号SIN1与第二输入信号SIN2之间的第一时间差。也就是说,例如,唤醒信号SAWK与第一输出信号SOUT1之间的时间差可以通过从放电时间中减去第一时间差获得。

[0239] 响应于唤醒信号SAWK,第二时间寄存器280可以输出第二输出信号SOUT2,该第二输出信号SOUT2在自唤醒信号SAWK的上升沿起的第二给定、期望或预定时间段之后具有上升沿。该第二时间段可以等于或基本上等于放电时间加上第三输入信号SIN3与第四输入信号SIN4之间的第二时间差。也就是说,例如,唤醒信号SAWK与第二输出信号SOUT2之间的时间差可以通过将第二时间差加到放电时间来获得。

[0240] 第一时间寄存器240的放电时间可以与第二时间寄存器280的放电时间相同或基本相同。因此,第一输出信号SOUT1与第二输出信号SOUT2之间的时间差等于或基本上等于唤醒信号SAWK与第二输出信号SOUT2之间的时间差减去唤醒信号SAWK与第一输出信号SOUT1之间的时间差,该第一输出信号SOUT1与第二输出信号SOUT2之间的时间差可以相当于第一输入信号SIN1与第二输入信号SIN2之间的第一时间差和第三输入信号SIN3与第四输入信号SIN4之间的第二时间差的和。

[0241] 如上所述,根据示例实施例的时间差加法器200d可以输出第一输出信号SOUT1和第二输出信号SOUT2,该第一输出信号SOUT1和第二输出信号SOUT2具有与第一时间差和第二时间差的和相当的时间差。

[0242] 图19是图示根据示例实施例的时间差累加器的示意图。

[0243] 参照图19,时间差累加器500可以响应于第一输入信号IN1和第二输入信号IN2生成第一输出信号OUT1和第二输出信号OUT2。时间差累加器500可以累加第一输入信号IN1和第二输入信号IN2之间的时间差,以生成具有累加的时间差的第一输出信号OUT1和第二输出信号OUT2。例如,如果最初输入具有第一时间差TD1的第一输入信号IN1和第二输入信号IN2,则时间差累加器500可以生成具有第一时间差TD1的第一输出信号OUT1和第二输出信号OUT2。随后,如果输入具有第二时间差TD2的第一输入信号IN1和第二输入信号IN2,则时间差累加器500可以生成第一输出信号OUT1和第二输出信号OUT2,该第一输出信号OUT1和第二输出信号OUT2具有与第一时间差TD1和第二时间差TD2的和相当的时间差TD1+TD2。之后,如果输入具有第三时间差TD3的第一输入信号IN1和第二输入信号IN2,则第三时间差累

加器500可以生成第一输出信号OUT1和第二输出信号OUT2,该第一输出信号OUT1和第二输出信号OUT2具有与第一到第三时间差TD1、TD2和TD3的和相当的第三时间差TD1+TD2+TD3。根据示例实施例的时间差累加器500可以包括在片上系统(SoC)中。

[0244] 图20是图示根据示例实施例的时间差累加器的框图。

[0245] 参照图20,时间差累加器500a包括第一时间差加法器510和延迟单元520a。

[0246] 第一时间差加法器510可以响应于第一输入信号IN1、第二输入信号IN2、第一先前输出信号POUT1和第二先前输出信号POUT2生成第一输出信号OUT1和第二输出信号OUT2。第一时间差加法器510可以将第一输入信号IN1和第二输入信号IN2之间的第一时间差以及第一先前输出信号POUT1和第二先前输出信号POUT2之间的第二时间差相加,以生成具有与第一时间差和第二时间差的和相当的时间差的第一输出信号OUT1和第二输出信号OUT2。第一先前输出信号POUT1和第二先前输出信号POUT2可以是由时间差加法器510执行的前一时间差加法所生成的第一输出信号OUT1和第二输出信号OUT2。

[0247] 根据示例实施例,第一时间差加法器510可以被实现为图3的时间差加法器200a、图10的时间差加法器200b、图12的时间差加法器200c、图18的时间差加法器200d等。

[0248] 延迟单元520a可以通过分别延迟第一输出信号OUT1和第二输出信号OUT2来生成第一先前输出信号POUT1和第二先前输出信号POUT2。延迟单元520a可以包括第二时间差加法器530。根据示例实施例,第二时间差加法器530可以被实现为图3的时间差加法器200a、图10的时间差加法器200b、图12的时间差加法器200c、图18的时间差加法器200d等。

[0249] 第二时间差加法器530可以响应于第一输出信号OUT1和第二输出信号OUT2以及基本上相同的两个信号生成第一先前输出信号POUT1和第二先前输出信号POUT2。第二时间差加法器530可以将第一输出信号OUT1和第二输出信号OUT2之间的第三时间差以及相同的两个信号之间的第四时间差相加,以生成第一先前输出信号POUT1和第二先前输出信号POUT2,该第一先前输出信号POUT1和第二先前输出信号POUT2具有与第三时间差和第四时间差的和相当的时间差。所述相同的两个信号可以在相同或基本上相同的时间点具有上升沿,并且该第四时间差可以是时间差加法的单位元“0”。因此,第一先前输出信号POUT1和第二先前输出信号POUT2之间的时间差可以与第一输出信号OUT1和第二输出信号OUT2之间的第三时间差相同或基本上相同。因而,第二时间差加法器530可以通过分别将第一输出信号OUT1和第二输出信号OUT2延迟相同或基本上相同的延迟时间来生成第一先前输出信号POUT1和第二先前输出信号POUT2,而不改变时间差。

[0250] 尽管图20图示了第一输出信号OUT1被用作所述相同的两个信号的示例,但是根据示例实施例,所述相同的两个信号可以是第二输出信号OUT2、第一输出信号OUT1的反相信号、第二输出信号OUT2的反相信号、或另外的信号。

[0251] 图21是图示根据示例实施例的时间差累加器的框图。

[0252] 参照图21,时间差累加器500b包括第一时间差加法器510和延迟单元520b。除了延迟单元520b的配置和操作之外,图21的时间差累加器500b可以具有与图20的时间差累加器500a类似或基本上类似的配置,并且可以执行与图20的时间差累加器500a类似或基本上类似的操作。

[0253] 延迟单元520b可以通过分别延迟第一输出信号OUT1和第二输出信号OUT2来生成第一先前输出信号POUT1和第二先前输出信号POUT2。延迟单元520b可以包括第一延迟电路

540和第二延迟电路550。

[0254] 第一延迟电路540可以通过延迟第一输出信号OUT1生成第一先前输出信号POUT1,并且第二延迟电路550可以通过延迟第二输出信号OUT2生成第二先前输出信号POUT2。第一延迟电路540的延迟时间可以与第二延迟电路550的延迟时间相同或基本上相同。因此,第一延迟电路540和第二延迟电路550可以通过分别将第一输出信号OUT1和第二输出信号OUT2延迟相同或基本上相同的延迟时间来生成第一先前输出信号POUT1和第二先前输出信号POUT2。

[0255] 图22是图示图21的时间差累加器中包括的延迟单元的示例的电路图,并且图23是用于描述图22的延迟单元中包括的晶体管的排列的示例的示意图。

[0256] 参照图22,延迟单元521b可以包括第一延迟电路540和第二延迟电路550。第一延迟电路540可以包括多个反相器,所述多个反相器具有多个PMOS晶体管P11、P12、P13和P14以及多个NMOS晶体管N11、N12、N13和N14。第二延迟电路550可以包括多个反相器,所述多个反相器具有多个PMOS晶体管P21、P22、P23和P24以及多个NMOS晶体管N21、N22、N23和N24。第一延迟电路540和第二延迟电路550可以具有相同或基本上相同数量的反相器,并且可以具有相同或基本上相同的延迟时间。

[0257] 如图23中所示,第一延迟电路540中包括的多个晶体管P11、P12、P13、P14、N11、N12、N13和N14以及第二延迟电路550中包括的多个晶体管P21、P22、P23、P24、N21、N22、N23和N24可以交替地布置。例如,第二延迟电路550的第一PMOS晶体管P21和第一NMOS晶体管N21可以布置在第一延迟电路540的第一PMOS晶体管P11和第一NMOS晶体管N11之间,并且第一延迟电路540的第二PMOS晶体管P12和第二NMOS晶体管N12可以布置在第二延迟电路550的第二PMOS晶体管P22和第二NMOS晶体管N22之间。由于第一延迟电路540和第二延迟电路550的晶体管交替布置,所以可以减少因PVT变化所导致的第一延迟电路540和第二延迟电路550之间的失配。

[0258] 图24是图示根据示例实施例的sigma-delta时间数字转换器的框图。

[0259] 参照图24,sigma-delta时间数字转换器600a包括时间差加法器610、时间差累加器630、时域量化器650和数字时间转换器670。

[0260] 时间差加法器610可以从第一输入信号SIN1与第二输入信号SIN2之间的第一时间差中减去第一反馈信号SFEED1与第二反馈信号SFEED2之间的第二时间差,以生成第一加法信号SADD1和第二加法信号SADD2,该第一加法信号SADD1和第二加法信号SADD2具有与第一时间差减去第二时间差相当的第三时间差。根据示例实施例,时间差加法器610可以被实现为图3的时间差加法器200a、图10的时间差加法器200b、图12的时间差加法器200c、图18的时间差加法器200d等。例如,在时间差加法器610被实现为图3的时间差加法器200a的情况下,第一输入信号SIN1可以被施加到图3的第一时间寄存器230的第一输入端IN1,第二输入信号SIN2可以被施加到图3的第一偏移延迟单元220,第一反馈信号SFEED1可以被施加到图3的第二时间寄存器270的第二输入端IN2,并且第二反馈信号SFEED2可以被施加到图3的第二偏移延迟单元260。也就是说,第一反馈信号SFEED1可以对应于图3的第四输入信号SIN4,并且第二反馈信号SFEED2可以对应于图3的第三输入信号SIN3。因而,时间差加法器610可以执行从第一输入信号SIN1与第二输入信号SIN2之间的第一时间差减去第一反馈信号SFEED1与第二反馈信号SFEED2之间的第二时间差的时间差减法。

[0261] 时间差累加器630可以累加第一加法信号SADD1与第二加法信号SADD2之间的第三时间差,以生成第一累加信号SACC1和第二累加信号SACC2。根据示例实施例,时间差累加器630可以被实现为图20的时间差累加器500a、图21的时间差累加器500b等。

[0262] 时域量化器650可以将第一累加信号SACC1与第二累加信号SACC2之间的时间差转换成数字输出信号DOUT。根据示例实施例,数字输出信号DOUT可以是具有两电平的一比特信号,或者,数字输出信号DOUT可以是具有三电平或更多电平的两比特或更多比特的信号。

[0263] 数字时间转换器670可以将数字输出信号DOUT转换成第一反馈信号SFEED1和第二反馈信号SFEED2。例如,随着数字输出信号DOUT的值增大,数字时间转换器670可以增大第一反馈信号SFEED1与第二反馈信号SFEED2之间的第二时间差。

[0264] 在根据示例实施例的sigma-delta时间数字转换器600a中,时间差加法器610可以输出第一时间差与第二时间差之间的差(例如, Δ),时间差累加器630可以累加(例如, Σ)这样的差,时域量化器650可以将累加的差转换成数字值,并且数字时间转换器670可以将该数字值转换成第二时间差。也就是说,例如,sigma-delta(累加-差)时间数字转换器600a可以使用时间差加法器610、时间差累加器630、时域量化器650和数字时间转换器670,以sigma-delta的方式执行时间数字转换。因此,根据示例实施例的sigma-delta时间数字转换器600a可以具有相对较高的分辨率。

[0265] 图25是用于描述图24的sigma-delta时间数字转换器执行的噪声整形的示图。

[0266] 参照图25,根据示例实施例的sigma-delta时间数字转换器可以执行过采样和噪声整形。由于sigma-delta时间数字转换器执行过采样,所以量化噪声可以在宽频带中扩展,这导致信号频带中量化噪声的减小。此外,由于sigma-delta时间数字转换器执行噪声整形,所以量化噪声可以被移到不使用的频带。也就是说,例如,sigma-delta时间数字转换器可以用作相对于量化噪声的高通滤波器,从而将量化噪声移动到不使用的频带。

[0267] 因此,根据示例实施例的sigma-delta时间数字转换器可以减小噪声,并且可以具有相对较高的分辨率。

[0268] 图26是图示图24的sigma-delta时间数字转换器中包括的时域量化器的示例的框图。

[0269] 参照图26,时域量化器650a包括延迟线651a、多个D触发器653a和编码器655。

[0270] 延迟线651a可以包括N个延迟元件(delay cell)DELAY1、DELAY2和DELAYN,它们相继延迟第一累加信号SACC1,其中N是大于0的整数。从延迟元件DELAY1、DELAY2和DELAYN输出的信号可以被分别施加到D触发器653a。D触发器653a可以响应于第二累加信号SACC2的上升沿输出N个输出信号d1、d2和dN。因此,可以根据第一累加信号SACC1与第二累加信号SACC2之间的时间差确定具有值“1”的输出信号d1、d2和dN的数量。

[0271] 编码器655可以基于D触发器653a的输出信号d1、d2和dN生成数字输出信号DOUT。例如,编码器655可以将作为温度计代码(thermometer code)的输出信号转换成作为二进制码的数字输出信号DOUT。

[0272] 因此,时域量化器650a可以生成与第一累加信号SACC1和第二累加信号SACC2之间的时间差相对应的数字输出信号DOUT。

[0273] 图27是图示图24的sigma-delta时间数字转换器中包括的时域量化器的另一个示例的框图。

[0274] 参照图27,时域量化器650b包括第一延迟线651b、第二延迟线652b、多个D触发器653b和编码器655。

[0275] 延迟线651b可以包括N个延迟元件DELAY11、DELAY12和DELAY1N,它们相继延迟第一累加信号SACC1,其中N是大于0的整数。第二延迟线652b可以包括N个延迟元件DELAY21、DELAY22和DELAY2N,它们相继延迟第二累加信号SACC2。从第一延迟元件DELAY11、DELAY12和DELAY1N输出的信号可以分别施加到D触发器653b的数据端,并且从第二延迟元件DELAY21、DELAY22和DELAY2N输出的信号可以分别施加到D触发器653b的时钟端。D触发器653b可以分别响应于从第二延迟元件DELAY21、DELAY22和DELAY2N输出的信号输出N个输出信号d1、d2和dN。因此,可以根据第一累加信号SACC1与第二累加信号SACC2之间的时间差,确定具有值“1”的输出信号d1、d2和dN的数量。

[0276] 在一些示例实施例中,在第一延迟线651b中包括的每个延迟元件DELAY11、DELAY12和DELAY1N的第一延迟时间可以比在第二延迟线652b中包括的每个延迟元件DELAY21、DELAY22和DELAY2N的第二延迟时间长。由于可以以与第一延迟时间和第二延迟时间之间的差相对应的时间为单位将时间差转换成数字值,所以时域量化器650b可以具有相对较高的分辨率。

[0277] 编码器655可以基于D触发器653b的输出信号d1、d2和dN生成数字输出信号DOUT。

[0278] 因此,时域量化器650b可以生成与第一累加信号SACC1和第二累加信号SACC2之间的时间差相对应的数字输出信号DOUT。

[0279] 尽管图26和图27图示了在根据示例实施例的sigma-delta时间数字转换器中包括的时域量化器的示例,但是,在根据示例实施例的sigma-delta时间数字转换器中包括的时域量化器不局限于此。

[0280] 图28是图示图24的sigma-delta时间数字转换器中包括的数字时间转换器的示例的框图。

[0281] 参照图28,数字时间转换器670a包括脉冲发生器671、延迟线673和多路复用器675。

[0282] 脉冲发生器671可以生成脉冲,并且可以输出该脉冲以作为第一反馈信号SFEED1。延迟线673可以包括相继延迟该脉冲的M个延迟元件DELAY1、DELAY2和DELAYM,其中M是大于0的整数。多路复用器675可以响应于数字输出信号DOUT,输出从延迟元件DELAY1、DELAY2和DELAYM输出的输出信号D1、D2和DM之一,以作为第二反馈信号SFEED2。因此,数字时间转换器670a可以生成具有与数字输出信号DOUT相对应的时间差的第一反馈信号SFEED1与第二反馈信号SFEED2。

[0283] 图29是图示图24的sigma-delta时间数字转换器中包括的数字时间转换器的另一个示例的框图。

[0284] 参照图29,数字时间转换器670b包括脉冲发生器671、第一延迟元件672、第二延迟元件674、M个电容器C1、C2和CM、以及M个开关SWS1、SWS2和SWSM。

[0285] 脉冲发生器671可以生成脉冲,并且可以输出该脉冲以作为第一反馈信号SFEED1。第一延迟元件672和第二延迟元件674可以延迟该脉冲,并且可以输出延迟脉冲以作为第二反馈信号SFEED2。M个电容器C1、C2和CM可以耦接到第一延迟元件672与第二延迟元件674之间的节点,并且可以通过M个开关SWS1、SWS2和SWSM耦接到地电压,其中M是大于0的整数。M

个开关SWS1、SWS2和SWSM可以响应于数字输出信号DOUT而被选择性地接通或关断,并且M个电容器C1、C2和CM可以被M个开关SWS1、SWS2和SWSM选择性地电耦接到第一延迟元件672和第二延迟元件674。因而,可以通过调整基于数字输出信号DOUT耦接到第一延迟元件672和第二延迟元件674的电容器C1、C2和CM的电容,来调整第一延迟元件672和第二延迟元件674的延迟时间。因此,数字时间转换器670b可以生成具有与数字输出信号DOUT相对应的时间差的第一反馈信号SFEDD1与第二反馈信号SFEDD2。

[0286] 尽管图28和图29图示了在根据示例实施例的sigma-delta时间数字转换器中包括的数字时间转换器的例子,但是,在根据示例实施例的sigma-delta时间数字转换器中包括的数字时间转换器不局限于此。

[0287] 图30是图示根据示例实施例的sigma-delta时间数字转换器的框图。

[0288] 参照图30,sigma-delta时间数字转换器600b包括时间差加法器610、第一时间差累加器630、第二时间差累加器640、时域量化器650和数字时间转换器670。与图24的sigma-delta时间数字转换器600a相比,sigma-delta时间数字转换器600b可以进一步包括第二时间差累加器640。

[0289] 第一时间差累加器630和第二时间差累加器640可以形成二阶累加器,并且sigma-delta时间数字转换器600b可以是二阶sigma-delta时间数字转换器。尽管图30图示了二阶sigma-delta时间数字转换器600b的示例,但是在一些示例实施例中,sigma-delta时间数字转换器600b可以是三阶(或更高阶)时间数字转换器。

[0290] 通过包括二阶(或更高阶)累加器,根据示例实施例的sigma-delta时间数字转换器600b可以进一步减少信号频带中的量化噪声。

[0291] 图31是图示根据示例实施例的sigma-delta时间数字转换器的框图。

[0292] 参照图31,sigma-delta时间数字转换器600c包括时间差调整单元620、时间差累加器630和时域量化器650。与图24的sigma-delta时间数字转换器600a相比,sigma-delta时间数字转换器600c可以包括时间差调整单元620,以代替时间差加法器610和数字时间转换器670。

[0293] 时间差调整单元620可以接收第一输入信号SIN1、第二输入信号SIN2和数字输出信号DOUT,并且可以通过将第一输入信号SIN1和第二输入信号SIN2之一延迟与数字输出信号DOUT相对应的延迟时间来生成第一加法信号SADD1和第二加法信号SADD2。时间差调整单元620可以生成第一加法信号SADD1和第二加法信号SADD2,该第一加法信号SADD1和第二加法信号SADD2具有与第一输入信号SIN1与第二输入信号SIN2之间的第一时间差减去数字输出信号DOUT所代表的第二时间差相当的时间差。

[0294] 时间差累加器630可以累加第一加法信号SADD1与第二加法信号SADD2之间的时间差,以生成第一累加信号SACC1和第二累加信号SACC2。时域量化器650可以将第一累加信号SACC1与第二累加信号SACC2之间的时间差转换成数字输出信号DOUT。

[0295] 在根据示例实施例的sigma-delta时间数字转换器600c中,时间差调整单元620可以输出第一时间差与第二时间差之间的差(例如,delta),时间差累加器630可以累加(例如,sigma)这样的差,并且时域量化器650可以将累加的差转换成数字值。也就是说,sigma-delta时间数字转换器600c可以使用时间差调整单元620、时间差累加器630和时域量化器650,以sigma-delta的方式执行时间数字转换。因此,根据示例实施例的sigma-delta时间

数字转换器600c可以具有相对较高的分辨率。

[0296] 图32是图31的sigma-delta时间数字转换器的示例的框图。

[0297] 参照图32,sigma-delta时间数字转换器700a包括时间差调整单元720a、时间差累加器730和时域量化器750。sigma-delta时间数字转换器700a可以输出具有一比特的数字输出信号DOUT。

[0298] 时间差调整单元720a可以包括第一延迟单元721a、第一选择器726a、第二延迟单元722a和第二选择器727a。第一延迟单元721a可以延迟第一输入信号SIN1,并且第一选择器726a可以响应于数字输出信号DOUT,选择性地输出第一输入信号SIN1或第一延迟单元721a的输出信号,以作为第一加法信号SADD1。第二延迟单元722a可以延迟第二输入信号SIN2,并且第二选择器727a可以响应于数字输出信号DOUT,选择性地输出第二输入信号SIN2或第二延迟单元722a的输出信号,以作为第二加法信号SADD2。

[0299] 例如,如果数字输出信号DOUT具有值“0”,则第一选择器726a可以输出第一输入信号SIN1以作为第一加法信号SADD1,并且第二选择器727a可以输出相对于第二输入信号SIN2被延迟了一延迟时间的第二延迟单元722a的输出信号,以作为第二加法信号SADD2。因而,时间差调整单元720a可以响应于具有值0的数字输出信号DOUT,生成第一加法信号SADD1和第二加法信号SADD2,该第一加法信号SADD1和第二加法信号SADD2所具有的时间差比第一输入信号SIN1与第二输入信号SIN2之间的时间差长。

[0300] 如果数字输出信号DOUT具有值“1”,则第一选择器726a可以输出被相对于第一输入信号SIN1延迟了一延迟时间的第一延迟单元721a的输出信号,以作为第一加法信号SADD1,并且第二选择器727a可以输出第二输入信号SIN2以作为第二加法信号SADD2。因而,时间差调整单元720a可以响应于具有值1的数字输出信号DOUT,生成第一加法信号SADD1和第二加法信号SADD2,该第一加法信号SADD1和第二加法信号SADD2所具有的时间差比第一输入信号SIN1与第二输入信号SIN2之间的时间差短。

[0301] 因此,时间差调整单元720a可以基于数字输出信号DOUT的值,调整第一输入信号SIN1与第二输入信号SIN2之间的时间差,并且可以生成具有调整后的时间差的第一加法信号SADD1和第二加法信号SADD2。也就是说,例如,时间差调整单元720a可以生成第一加法信号SADD1和第二加法信号SADD2,该第一加法信号SADD1和第二加法信号SADD2具有与第一输入信号SIN1和第二输入信号SIN2之间的时间差减去数字输出信号DOUT所代表的时间差相当的调整后的时间差。

[0302] 时间差累加器730可以累加第一加法信号SADD1与第二加法信号SADD2之间的时间差,以生成第一累加信号SACC1和第二累加信号SACC2。时域量化器750可以将第一累加信号SACC1与第二累加信号SACC2之间的时间差转换成数字输出信号DOUT。

[0303] 如上所述,sigma-delta时间数字转换器700a可以通过使用时间差调整单元720a、时间差累加器730和时域量化器750,以sigma-delta的方式执行时间数字转换。因此,根据示例实施例的sigma-delta时间数字转换器700a可以具有相对较高的分辨率。

[0304] 尽管图32图示了时间差调整单元720a在第一输入信号SIN1的通路和第二输入信号SIN2的通路两者中包括延迟单元721a和722a以及选择器726a和727a的示例,但是根据示例实施例,时间差调整单元720a也可以仅仅在第一输入信号SIN1的通路和第二输入信号SIN2的通路中的一个中包括延迟单元和选择器。

[0305] 图33是图示图31的sigma-delta时间数字转换器的另一个示例的框图。

[0306] 参照图33,sigma-delta时间数字转换器700b包括时间差调整单元720b、时间差累加器730和时域量化器750。sigma-delta时间数字转换器700b可以输出具有两比特的数字输出信号DOUT。

[0307] 时间差调整单元720b可以包括第一延迟单元721b、第二延迟单元722b、第一选择器726b、第三延迟单元723b、第四延迟单元724b和第二选择器727b。第一延迟单元721b可以将第一输入信号SIN1延迟第一延迟时间,第二延迟单元722b可以将第一输入信号SIN1延迟第二延迟时间,并且第一选择器726b可以响应于数字输出信号DOUT,选择性地输出第一输入信号SIN1、第一延迟单元的输出信号或第二延迟单元722b的输出信号,以作为第一加法信号SADD1。例如,第二延迟时间的长度可以是第一延迟时间的大约三倍。第三延迟单元723b可以将第二输入信号SIN2延迟第二延迟时间,第四延迟单元724b可以将第二输入信号SIN2延迟第一延迟时间,并且第二选择器727b可以响应于数字输出信号DOUT,选择性地输出第二输入信号SIN2、第三延迟单元723b的输出信号或第四延迟单元724b的输出信号,以作为第二加法信号SADD2。

[0308] 例如,如果数字输出信号DOUT具有值“0”,则第一选择器726b可以输出第一输入信号SIN1以作为第一加法信号SADD1,并且第二选择器727b可以输出相对于第二输入信号SIN2被延迟了第二延迟时间的第三延迟单元723b的输出信号,以作为第二加法信号SADD2。如果数字输出信号DOUT具有值“1”,则第一选择器726b可以输出第一输入信号SIN1以作为第一加法信号SADD1,并且第二选择器727b可以输出相对于第二输入信号SIN2被延迟了第一延迟时间的第四延迟单元724b的输出信号,以作为第二加法信号SADD2。如果数字输出信号DOUT具有值“2”,则第一选择器726b可以输出被相对于第一输入信号SIN1延迟了第一延迟时间的第一延迟单元721b的输出信号,以作为第一加法信号SADD1,并且第二选择器727b可以输出第二输入信号SIN2以作为第二加法信号SADD2。如果数字输出信号DOUT具有值“3”,则第一选择器726b可以输出被相对于第一输入信号SIN1延迟了第二延迟时间的第二延迟单元722b的输出信号,以作为第一加法信号SADD1,并且第二选择器727b可以输出第二输入信号SIN2以作为第二加法信号SADD2。

[0309] 因此,时间差调整单元720b可以基于数字输出信号DOUT的值,调整第一输入信号SIN1与第二输入信号SIN2之间的时间差,并且可以生成具有调整后的时间差的第一加法信号SADD1和第二加法信号SADD2。也就是说,例如,时间差调整单元720b可以生成第一加法信号SADD1和第二加法信号SADD2,该第一加法信号SADD1和第二加法信号SADD2具有与第一输入信号SIN1和第二输入信号SIN2之间的时间差减去数字输出信号DOUT所代表的时间差相当的调整后的时间差。

[0310] 如上所述,sigma-delta时间数字转换器700b可以通过使用时间差调整单元720b、时间差累加器730和时域量化器750,以sigma-delta的方式执行时间数字转换。因此,根据示例实施例的sigma-delta时间数字转换器700b可以具有相对较高的分辨率。

[0311] 尽管图33图示了时间差调整单元720b在第一输入信号SIN1的通路和第二输入信号SIN2的通路两者中包括延迟单元721b、722b、723b和724b以及选择器726b和727b的示例,但是根据示例实施例,时间差调整单元720b也可以仅仅在第一输入信号SIN1的通路和第二输入信号SIN2的通路中的一个中包括延迟单元和选择器。

[0312] 图34是图示根据示例实施例的sigma-delta时间数字转换器的框图。

[0313] 参照图34,sigma-delta时间数字转换器600d包括时间差调整单元620、第一时间差累加器630、第二时间差累加器640和时域量化器650。与图31的sigma-delta时间数字转换器600c相比,sigma-delta时间数字转换器600d可以进一步包括第二时间差累加器640。

[0314] 第一时间差累加器630和第二时间差累加器640可以形成二阶累加器,并且sigma-delta时间数字转换器600d可以是二阶sigma-delta时间数字转换器。尽管图34图示了二阶sigma-delta时间数字转换器600d的示例,但是在一些示例实施例中,sigma-delta时间数字转换器600d可以是三阶(或更高阶)时间数字转换器。

[0315] 通过包括二阶(或更高阶)累加器,根据示例实施例的sigma-delta时间数字转换器600d可以进一步减少信号频带中的量化噪声。

[0316] 图35是图示根据示例实施例的数字锁相环的框图。

[0317] 参照图35,数字锁相环800包括sigma-delta时间数字转换器600、数字环路滤波器810、数控振荡器820和分频器830。

[0318] sigma-delta时间数字转换器600可以包括时间差加法器、时间差累加器、时域量化器和数字时间转换器。sigma-delta时间数字转换器600可以生成数字时间差信号DOUT,该数字时间差信号DOUT对应于参考输入信号FREF与反馈信号FFEED之间的时间差。通过以sigma-delta的方式将时间差转换成数字值,sigma-delta时间数字转换器600可以具有相对较高的分辨率。根据示例实施例,参考输入信号FREF可以是来自外部电路或设备接收的有线或无线信号,或者参考输入信号FREF可以由位于数字锁相环800内部或外部的振荡器生成的振荡信号。例如,参考输入信号FREF可以由晶体振荡器生成的振荡信号。

[0319] 根据示例实施例,sigma-delta时间数字转换器600可以被实现为图24的sigma-delta时间数字转换器600a、图30的sigma-delta时间数字转换器600b、图31的sigma-delta时间数字转换器600c、图31的sigma-delta时间数字转换器600d等。

[0320] 数字环路滤波器810可以通过对数字时间差信号DOUT滤波来生成数字控制信号DCON。数字环路滤波器810可以被实现为低通滤波器。例如,数字环路滤波器810可以具有以下传递函数:

$$[0321] \quad \alpha + \beta * z^{-1} / (1 - z^{-1})$$

[0322] 数控振荡器820可以响应于数字控制信号DCON生成具有期望频率的输出信号FOUT。例如,数控振荡器820可以响应于数字控制信号DCON增大或减小输出信号FOUT的频率。

[0323] 分频器830可以通过将输出信号FOUT分频生成反馈信号FFEED。在一些示例实施例中,数字锁相环800可以不包括分频器830。在这种情况下,sigma-delta时间数字转换器600可以接收输出信号FOUT以作为反馈信号FFEED。

[0324] 由于数字锁相环800包括具有相对高分辨率的sigma-delta时间数字转换器600,所以数字锁相环800可以具有改善的抖动性能,并且即使在相对较低的电源电压环境中,数字锁相环800也可以更精确地生成具有期望频率的输出信号FOUT。根据示例实施例的数字锁相环800可以用于频率合成、时钟恢复、时钟生成、扩展频谱、时钟分配、偏斜补偿(de-skewing)、抖动和噪声减小等。

[0325] 图36是图示根据示例实施例的包括sigma-delta时间数字转换器的模数转换器的

框图。

[0326] 参照图36,模数转换器900包括模拟时间转换单元910和sigma-delta时间数字转换器600。

[0327] 模拟时间转换单元910可以将模拟信号转换成具有与模拟信号的电平相对应的时间差的第一输入信号SIN1与第二输入信号SIN2。

[0328] 例如,模拟时间转换单元910可以包括脉冲发生器911、斜波发生器913和比较器915。脉冲发生器911可以生成脉冲,可以将该脉冲提供给斜波发生器913以作为斜波开始信号,并且可以将该脉冲提供给sigma-delta时间数字转换器600以作为第一输入信号SIN1。斜波发生器913可以响应于斜波开始信号向比较器915输出斜波信号。比较器915可以通过将斜波信号与模拟信号进行比较来生成第二输入信号SIN2,该第二输入信号SIN2在与模拟信号的电平相对应的时间点具有上升沿。

[0329] sigma-delta时间数字转换器600可以生成与第一输入信号SIN1和第二输入信号SIN2之间的时间差相对应的数字信号。通过以sigma-delta的方式将时间差转换成数字值,sigma-delta时间数字转换器600可以具有相对较高的分辨率。

[0330] 由于模数转换器900包括具有相对较高分辨率的sigma-delta时间数字转换器600,所以即使在相对较低的电源电压环境中,根据示例实施例的模数转换器900也可以更精确地将模拟信号转换成数字信号。

[0331] 图37是图示根据示例实施例的包括sigma-delta时间数字转换器的传感器的框图。

[0332] 参照图37,传感器1000包括感测单元1010和sigma-delta时间数字转换器600。

[0333] 感测单元1010可以感测物理量,如温度、速度、质量、光强度等,并且可以生成具有与物理量相对应的时间差的第一输入信号SIN1与第二输入信号SIN2。

[0334] 例如,在传感器1000是温度传感器的情况中,感测单元1010可以包括脉冲发生器1011、温度不敏感延迟线1013(或具有低热敏度的延迟线)以及温度敏感延迟线1015(或具有高热敏度的延迟线)。脉冲发生器1011可以生成脉冲,并且可以将该脉冲提供给温度不敏感延迟线1013和温度敏感延迟线1015。温度不敏感延迟线1013可以不管温度为多少或者独立于温度,将该脉冲延迟恒定的或基本恒定的延迟时间,并且可以输出延迟的脉冲以作为第一输入信号SIN1。温度敏感延迟线1015可以将该脉冲延迟一根据温度进行调整的延迟时间,并且可以输出延迟的脉冲以作为第二输入信号SIN2。因而,可以根据温度确定第一输入信号SIN1与第二输入信号SIN2的时间差。

[0335] sigma-delta时间数字转换器600可以生成与第一输入信号SIN1和第二输入信号SIN2之间的时间差相对应的数字输出信号DOUT。通过以sigma-delta的方式将时间差转换成数字值,sigma-delta时间数字转换器600可以具有相对较高的分辨率。例如,在传感器1000是温度传感器的情况中,sigma-delta时间数字转换器600可以生成与感测的温度相对应的数字输出信号DOUT。

[0336] 由于传感器1000包括具有相对较高分辨率的sigma-delta时间数字转换器600,所以即使在相对较低的电源电压环境中,根据示例实施例的传感器1000也可以精确地生成与感测的物理量相对应的数字输出信号DOUT。

[0337] 图38是图示根据示例实施例的包括数字锁相环的集成电路的框图。

[0338] 参照图38,集成电路1100包括数字锁相环800和内部电路1110。根据示例实施例,集成电路1100可以是应用处理器(application processor,AP)、微处理器、中央处理单元(CPU)、专用集成电路(application-specific integrated circuit,ASIC)、移动片上系统(SoC)、多媒体SOC、智能卡等。

[0339] 数字锁相环800可以基于参考输入信号FREF生成具有期望频率或相位的输出信号FOUT。根据示例实施例,参考输入信号FREF可以是来自外部电路或设备接收的有线或无线信号,或者参考输入信号FREF可以由位于数字锁相环800内部或外部的振荡器生成的振荡信号。数字锁相环800可以包括以sigma-delta的方式执行时间数字转换的sigma-delta时间数字转换器。因此,数字锁相环800可以具有改善的抖动性能,并且即使在相对较低的电源电压环境中,也可以精确地生成具有期望频率的输出信号FOUT。根据示例实施例的数字锁相环800可以用于频率合成、时钟恢复、时钟生成、扩展频谱、时钟分配、偏斜补偿、抖动和噪声减小等。内部电路1110可以基于输出信号FOUT操作。例如,内部电路1110可以使用输出信号FOUT作为用于操作内部电路1110的时钟信号。

[0340] 图39是图示根据示例实施例的包括数字锁相环的收发器的框图。

[0341] 参照图39,收发器1200包括天线1210、射频(RF)单元1220和基带处理器1230。

[0342] RF单元1220可以将通过天线1210接收的无线信号转换成基带信号,以向基带处理器1230提供基带信号,并且射频单元1220可以将来自基带处理器1230提供的基带信号转换成无线信号,以便通过天线1210发射该无线信号。在一些示例实施例中,RF单元1220可以将接收的无线信号直接(或者间接)转换成基带信号。在其他示例实施例中,RF单元1220可以首先将接收的无线信号转换成中频(IF)信号,然后将IF信号转换成基带信号。在一些示例实施例中,RF单元1220可以将接收的无线信号转换成同相基带信号和正交基带信号。

[0343] 例如,RF单元1220可以包括开关1221、低噪声放大器(LNA)1222、接收混频器1223、发射混频器1224、功率放大器(PA)1225、本地振荡器(LO)1226以及第一数字锁相环1227。在一些示例实施例中,RF单元1220还可以包括滤波器,用于去除接收的无线信号的噪声或带外分量,或者用于去除将被发射的无线信号的带外杂散分量。根据示例实施例,RF单元1220还可以包括可变增益放大器、低通滤波器等。

[0344] 开关1221可以选择性地将天线1210耦接到接收路径或发射路径。LNA1222可以具有相对低的噪声系数,以减小噪声的影响,并且LNA 1222可以放大通过天线1210接收的无线信号。接收混频器1223可以通过将LNA 1222放大后的无线信号与第一数字锁相环1227的输出信号进行混频,来将该无线信号降频转换成基带信号。发射混频器1224可以通过将来自基带处理器1230提供的基带信号与第一数字锁相环1227的输出信号进行混频,来将该基带信号升频转换成无线信号。PA 1225可以放大经发射混频器1224升频的无线信号,以使通过天线1210发射的无线信号具有大于给定、期望或预定的功率的功率。

[0345] LO 1226可以生成振荡信号。例如,LO 1226可以包括晶体振荡器。第一数字锁相环1227可以基于LO 1226提供的振荡信号生成具有期望频率的输出信号。第一数字锁相环1227可以包括sigma-delta时间数字转换器,其以sigma-delta的方式执行时间数字转换,因而即使在相对较低的电源电压环境中,第一数字锁相环1227也可以更精确地生成具有期望频率的输出信号。

[0346] 基带处理器1230可以基于从RF单元1220接收的基带信号执行数据处理,并且可以

生成将被发射的基带信号,以便将该将被发射的基带信号提供给RF单元1220。例如,基带处理器1230可以包括物理层处理器(PHY),用于通过解调从RF单元1220接收的基带信号来生成数据流,以及用于通过调制数据流来生成将被提供给RF单元1220的基带信号。根据示例实施例,PHY可以包括快速傅里叶变换器(fast Fourier transformer,FFT)、解映射器(demapper)、去交织器(deinterleaver)、信道解码器等以解调基带信号,并且可以包括信道编码器、交织器(inverleaver)、映射器(mapper)、快速傅里叶逆变换器(IFFT)等以调制数据流。

[0347] 基带处理器1230可以包括第二数字锁相环1231。例如,基带处理器1230可以将第二数字锁相环1231的输出信号用作操作基带处理器1230的时钟信号。第二数字锁相环1231可以包括sigma-delta时间数字转换器,其以sigma-delta的方式执行时间数字转换,因而即使在相对较低的电源电压环境中,第二数字锁相环1231也可以更精确地生成具有期望频率的输出信号。

[0348] 图40是图示根据示例实施例的包括数字锁相环的存储器件的框图。

[0349] 参照图40,存储器件1300包括数字锁相环1310、存储核心(memory core)1320以及数据输出缓冲器1330。根据示例实施例,存储器件1300可以是动态随机存取存储器(DRAM)、可移动DRAM、静态随机存取存储器(SRAM)、可擦除可编程只读存储器(EPROM)、电可擦除可编程只读存储器(EEPROM)、快闪存储器、相变随机存取存储器(phase change random access memory,PRAM)、电阻随机存取存储器(resistance random access memory,RRAM)、纳米浮栅存储器(nano floating gate memory,NFGM)、聚合物随机存取存储器(polymer random access memory,PoRAM)、磁性随机存取存储器(magnetic random access memory,MRAM)、铁电随机存取存储器(ferroelectric random access memory,FRAM)等。例如,存储器件1300可以是双倍数据速率(DDR)同步动态随机存取存储器(SDRAM)或图形双倍数据速率(GDDR)同步动态随机存取存储器(SDRAM)。

[0350] 数字锁相环1310可以基于参考输入信号FREF生成具有期望频率的输出信号FOUT。数字锁相环1310可以包括以sigma-delta的方式执行时间数字转换的sigma-delta时间数字转换器,因而即使在相对较低的电源电压环境中,数字锁相环1310也可以更精确地生成具有期望频率的输出信号FOUT。

[0351] 存储核心1320可以执行存储从数据输入缓冲器(未示出)提供的数据的写操作,并且可以执行将存储的数据DATA提供给数据输出缓冲器1330的读操作。存储核心1320可以基于数字锁相环1310的输出信号FOUT执行写操作和/或读操作。存储核心1320可以包括具有用于存储数据的多个存储单元的存储单元阵列、基于地址信号选择存储单元阵列的字线和位线的行和列译码器、以及检测被选存储单元中存储的数据的检测放大器。

[0352] 数据输出缓冲器1330可以响应于数字锁相环1310的输出信号FOUT,输出从存储核心1320提供的数据DATA以作为输出数据DOUT。输出数据DOUT可以与数字锁相环1310的输出信号FOUT同步,并且可以被提供给外部设备,如存储控制器。

[0353] 图41是图示根据示例实施例的移动系统的框图。

[0354] 参照图41,移动系统1400包括应用处理器1410、调制解调器1420、易失性存储器件1430、非易失性存储器件1440、用户接口1450和电源1460。根据示例实施例,移动系统1400可以是任何移动系统,诸如移动电话、智能电话、平板计算机、膝上型计算机、个人数字助理

(PDA)、便携式多媒体播放器(PMP)、数码相机、便携式游戏控制台、音乐播放器、录像摄像机、视频播放器、导航系统等。

[0355] 应用处理器1410可以运行诸如互联网浏览器、游戏应用、视频播放器应用等。应用处理器1410可以包括第一数字锁相环1411以用于频率合成、时钟恢复、时钟生成、扩展频谱、时钟分配、偏斜补偿、抖动和噪声减小等。应用处理器1410可以基于第一数字锁相环1411产生的时钟信号工作。第一数字锁相环1411可以包括sigma-delta时间数字转换器,其以sigma-delta的方式执行时间数字转换,因而即使在相对较低的电源电压环境中,第一数字锁相环1411也可以更精确地生成具有期望频率的时钟信号。根据示例实施例,应用处理器1410可以包括单个处理器内核或多个处理器内核。例如,应用处理器1410可以是多核处理器,如双核处理器、四核处理器、六核处理器等。在一些示例实施例中,应用处理器1410还可以包括位于应用处理器1410内部和/或外部的高速缓存。

[0356] 调制解调器1420可以与外部设备执行有线或无线通信。例如,调制解调器1420可以执行通用串行总线(USB)通信、以太网通信、近场通信(near field communication, NFC)、射频识别(RFID)通信、移动通信、存储卡通信、无线互联网、无线保真(wireless fidelity, Wi-Fi)、全球定位系统(GPS)、蓝牙(BT)、全球移动通信系统(GSM)、通用分组无线系统(general packet radio system, GPRS)、宽带码分多址(WCDMA)、高速上行链路/下行链路分组访问(high speed uplink/downlink packet access, HSxPA)等。调制解调器1420可以包括基带芯片组。调制解调器1420还可以包括第二数字锁相环1421,以用于频率合成、时钟恢复、时钟生成、扩展频谱、时钟分配、偏斜补偿、抖动和噪声减小等。第二数字锁相环1421可以包括以sigma-delta的方式执行时间数字转换的sigma-delta时间数字转换器,因而,第二数字锁相环1421即使在相对较低的电源电压环境中也可以更精确地生成具有期望频率的输出信号。

[0357] 易失性存储器件1430可以存储由应用处理器1410处理的指令/数据,或者可以用作工作存储器。例如,易失性存储器件1430可以由动态随机存取存储器(DRAM)、静态随机存取存储器(SRAM)、移动DRAM等来实现。易失性存储器件1430还可以包括第三数字锁相环1431,以用于频率合成、时钟恢复、时钟生成、扩展频谱、时钟分配、偏斜补偿、抖动和噪声减小等。第三数字锁相环1431可以包括以sigma-delta的方式执行时间数字转换的sigma-delta时间数字转换器,因而,第三数字锁相环1431即使在相对较低的电源电压环境中也可以更精确地生成具有期望频率的输出信号。

[0358] 非易失性存储器件1440可以存储用于引导移动系统1400的引导映像。例如,非易失性存储器件1440可以用电可擦可编程只读存储器(EEPROM)、快闪存储器、相变随机存取存储器(PRAM)、电阻随机存取存储器(RRAM)、纳米浮栅存储器(NFGM)、聚合物随机存取存储器(PoRAM)、磁性随机存取存储器(MRAM)、铁电式随机存取存储器(FRAM)等来实现。非易失性存储器件1440还可以包括第四数字锁相环1441,以用于频率合成、时钟恢复、时钟生成、扩展频谱、时钟分配、偏斜补偿、抖动和噪声减小等。第四数字锁相环1441可以包括以sigma-delta的方式执行时间数字转换的sigma-delta时间数字转换器,因而,第四数字锁相环1441即使在相对较低的电源电压环境中也可以更精确地生成具有期望频率的输出信号。

[0359] 用户接口1450可以包括诸如键区、触摸屏等的至少一个输入设备以及诸如显示设

备、扬声器等的至少一个输出设备。电源1460可以向移动系统1400供电。在一些示例实施例中,移动系统1400还可以包括照相机图像处理器(camera image processor,CIS)、如存储卡、固态驱动器(solid state drive,SDD)、CD-ROM等的存储设备。

[0360] 根据示例实施例,移动系统1400和/或移动系统1400的组件可以以各种形式封装,如层叠封装(package on package,PoP)、球栅阵列(ball grid array,BGA)、芯片尺寸封装(chip scale package,CSP)、带引线的塑料芯片载体(plastic leaded chip carrier,PLCC)、塑料双列直插封装(plastic dual in-line package,PDIP)、叠片内裸片封装(die in wafer pack)、晶片内裸片形式(die in wafer form)、板上芯片(chip on board COB)、陶瓷双列直插式封装(ceramic dual in-line package Cerdip)、塑料标准四边扁平封装(plastic metric quad flat pack,MQFP)、薄型四边扁平封装(thin quad flat pack,TQFP)、小外型集成电路(small outline IC,S0IC)、缩小型小外型封装(shrink small outline package,SSOP)、薄型小外型封装(thin small outline package,TSOP)、系统级封装(system in package,SIP)、多芯片封装(multi chip package,MCP)、晶片级制造封装(wafer-level fabricated package,WFP)或晶片级处理堆叠封装(wafer-level processed stack package,WSP)等。

[0361] 图42是图示根据示例实施例的计算系统的框图。

[0362] 参照图42,计算系统1500包括处理器1510、输入/输出中心1520、输入/输出控制中心1530、至少一个存储模块1540以及图形卡1550。根据示例实施例,计算系统1500可以是任何计算系统,如个人计算机(PC)、服务器计算机、工作站、平板计算机、膝上型计算机、移动电话、智能电话、个人数字助理(PDA)、便携式多媒体播放器(PMP)、数码相机、数字电视、机顶盒、音乐播放器、便携式游戏控制台、导航设备等。

[0363] 处理器1510可以执行特定的计算和/或任务。例如,处理器1510可以是微处理器、中央处理单元(CPU)、数字信号处理器等。处理器1510可以包括第一数字锁相环1511,以用于频率合成、时钟恢复、时钟生成、扩展频谱、时钟分配、偏斜补偿、抖动和噪声减小等。处理器1510可以基于第一数字锁相环1511产生的时钟信号工作。第一数字锁相环1511可以包括sigma-delta时间数字转换器,其以sigma-delta的方式执行时间数字转换,因而即使在相对较低的电源电压环境中,第一数字锁相环1511也可以更精确地生成具有期望频率的时钟信号。根据示例实施例,应用处理器1510可以包括单个处理器内核或多个处理器内核。例如,处理器1510可以是多核处理器,如双核处理器、四核处理器、六核处理器等。尽管图42图示了包括处理器1510的计算系统1500的例子,但是根据示例实施例,计算系统1500也可以包括多个处理器。在一些示例实施例中,处理器1510还可以包括位于处理器1510内部或外部的高速缓存(cache memory)。

[0364] 处理器1510可以包括存储控制器(未示出),其控制存储模块1540的操作。处理器1510中包括的存储控制器可以被称为集成存储控制器(integrated memory controller,IMC)。存储控制器与存储模块1540之间的存储器接口可以由包括多条信号线的一个通道来实现,或者可以由多个通道来实现。每个通道可以耦接到至少一个存储模块1540。在一些示例实施例中,存储控制器可以包括在输入/输出中心1520中。包括存储控制器的输入/输出中心1520可以被称为存储控制器中心(memory controller hub,MCH)。

[0365] 存储模块1540可以包括多个储存器件,该储存器件存储从存储控制器提供的数

据。存储模块1540可以包括第四数字锁相环1541,以用于频率合成、时钟恢复、时钟生成、扩展频谱、时钟分配、偏斜补偿、抖动和噪声减小等。在一些示例实施例中,第四数字锁相环1541可以被布置在存储模块1540上,并且可以用于操作存储控制器和存储器件之间的缓冲器。在其他示例实施例中,数字锁相环1541可以被处置在每个存储器件上,并且可以用于操作每个存储器件。第四数字锁相环1541可以包括sigma-delta时间数字转换器,其以sigma-delta的方式执行时间数字转换,因而即使在相对较低的电源电压环境中,数字锁相环1541也可以更精确地生成具有期望频率的输出信号。

[0366] 输入/输出中心1520可以管理处理器1510与诸如图形卡1550的器件之间的数据传输。输入/输出中心1520可以包括第二数字锁相环1521,以用于频率合成、时钟恢复、时钟生成、扩展频谱、时钟分配、偏斜补偿、抖动和噪声减小等。第二数字锁相环1521可以包括以sigma-delta的方式执行时间数字转换的sigma-delta时间数字转换器,因而,第二数字锁相环1521即使在相对较低的电源电压环境中也可以更精确地生成具有期望频率的输出信号。

[0367] 输入/输出中心1520可以经由各种接口中的至少一种耦接到处理器1510,所述接口诸如前端总线(front side bus,FSB)、系统总线、HyperTransport(超传输)、闪电数据传输(lightning data transport,LDT)、快速通道互联(QuickPath interconnect,QPI)、公共系统接口(common system interface,CSI)等。尽管图42图示了包括一个输入/输出中心1520的计算系统1500的示例,但是根据示例实施例,计算系统1500可以包括多个输入/输出中心。

[0368] 输入/输出中心1520可以提供与设备的各种接口。例如,输入/输出中心1520可以提供加速图形端口(accelerated graphics port,AGP)接口、快速外围组件接口(peripheral component interface-express,PCIe)、通信流架构(communications streaming architecture,CSA)接口等。

[0369] 图形卡1550可以经由AGP或PCIe耦接到输入/输出中心1520。图形卡1550可以控制用于显示图像的显示设备(未示出)。图形卡1550可以包括内部处理器和内部存储器,以用于处理图像。图形卡1550还可以包括第五数字锁相环1551,以用于频率合成、时钟恢复、时钟生成、扩展频谱、时钟分配、偏斜补偿、抖动和噪声减小等。第五数字锁相环1551可以包括以sigma-delta的方式执行时间数字转换的sigma-delta时间数字转换器,因而,第五数字锁相环1551即使在相对较低的电源电压环境中也可以更精确地生成具有期望频率的输出信号。在一些示例实施例中,输入/输出中心1520可以包括内部图形器件以及图形卡1550,或者可以包括内部图形器件以取代图形卡1550。内部图形器件可以被称为集成图形卡(integrated graphics),并且包括存储控制器和内部图形器件的输入/输出中心可以被称为图形和存储控制器中心(graphics and memory controller,GMCH)。

[0370] 输入/输出控制器中心1530可以执行数据缓冲和接口仲裁,以有效地操作各种系统接口。输入/输出控制器中心1530可以包括第三数字锁相环1531,以用于频率合成、时钟恢复、时钟生成、扩展频谱、时钟分配、偏斜补偿、抖动和噪声减小等。第三数字锁相环1531可以包括以sigma-delta的方式执行时间数字转换的sigma-delta时间数字转换器,因而,第三数字锁相环1531即使在相对较低的电源电压环境中也可以更精确地生成具有期望频率的输出信号。

[0371] 输入/输出控制器中心1530可以经由内部总线耦接到输入/输出中心1520。例如，输入-输出控制器中心1530可以经由各种接口中的至少一个耦接到输入/输出中心1520，所述各种接口诸如直接介质接口(direct media interface, DMI)、中心接口(hub interface)、企业级南桥接口(enterprise Southbridge interface, ESI)、PCIe等。

[0372] 输入/输出控制器中心1530可以提供与外围设备的各种接口。例如，输入/输出控制器中心1530可以提供通用串行总线(USB)端口、串行高级技术附件(serial advanced technology attachment, SATA)端口、通用输入/输出(general purpose input/output, GPIO)、低引脚数(low pin count, LPC)总线、串行外围接口(SPI)、PCI、PCIe等。

[0373] 在一些示例实施例中，处理器1510、输入/输出中心1520和输入/输出控制器中心1530可以被实现为分离的芯片组或分离的集成电路。在其他实施例中，处理器1510、输入/输出中心1520和输入/输出控制器中心1530中的至少两个可以被实现为一个芯片组。

[0374] 示例实施例可以在各种包括锁相环的设备或系统中使用，包括移动电话、智能电话、个人数字助理(PDA)、便携式多媒体播放器(PMP)、数码相机、数字电视、机顶盒、音乐播放器、便携式游戏控制台、导航设备、个人计算机(PC)、服务器计算机、工作站、平板计算机、膝上型计算机、智能卡、打印机等。

[0375] 以上是对示例实施例的举例说明，不应解释为对示例实施例的限制。尽管仅仅描述了若干示例实施例，但本领域技术人员将很容易理解到，可以对示例实施例做出许多修改，而不会实质性地偏离本发明构思的新颖性教导和优点。因此，意图将所有这样的修改都包括在权利要求所限定的本发明构思的范围之内。因此，将会理解，前述说明是对各种示例实施例的举例说明，不应被解释为局限于所公开的特定的示例实施例，并且意图将对所公开的示例实施例的修改以及其他实施例都包括在权利要求的范围之内。

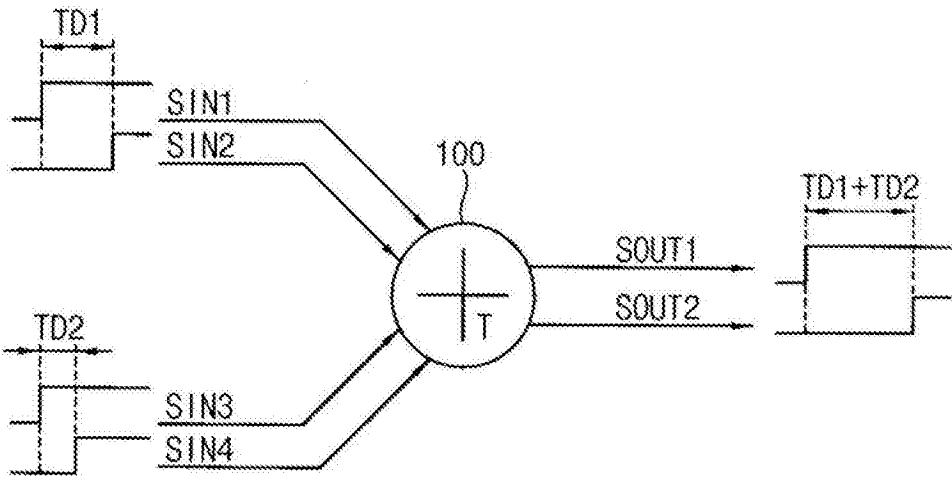


图1

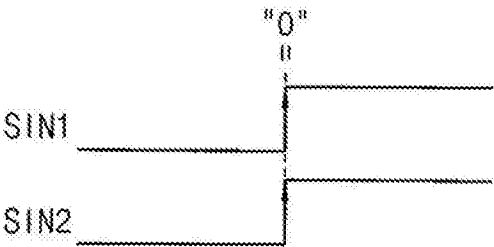


图2A

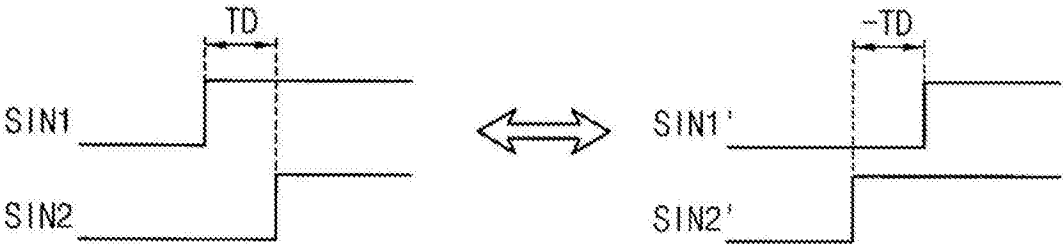


图2B

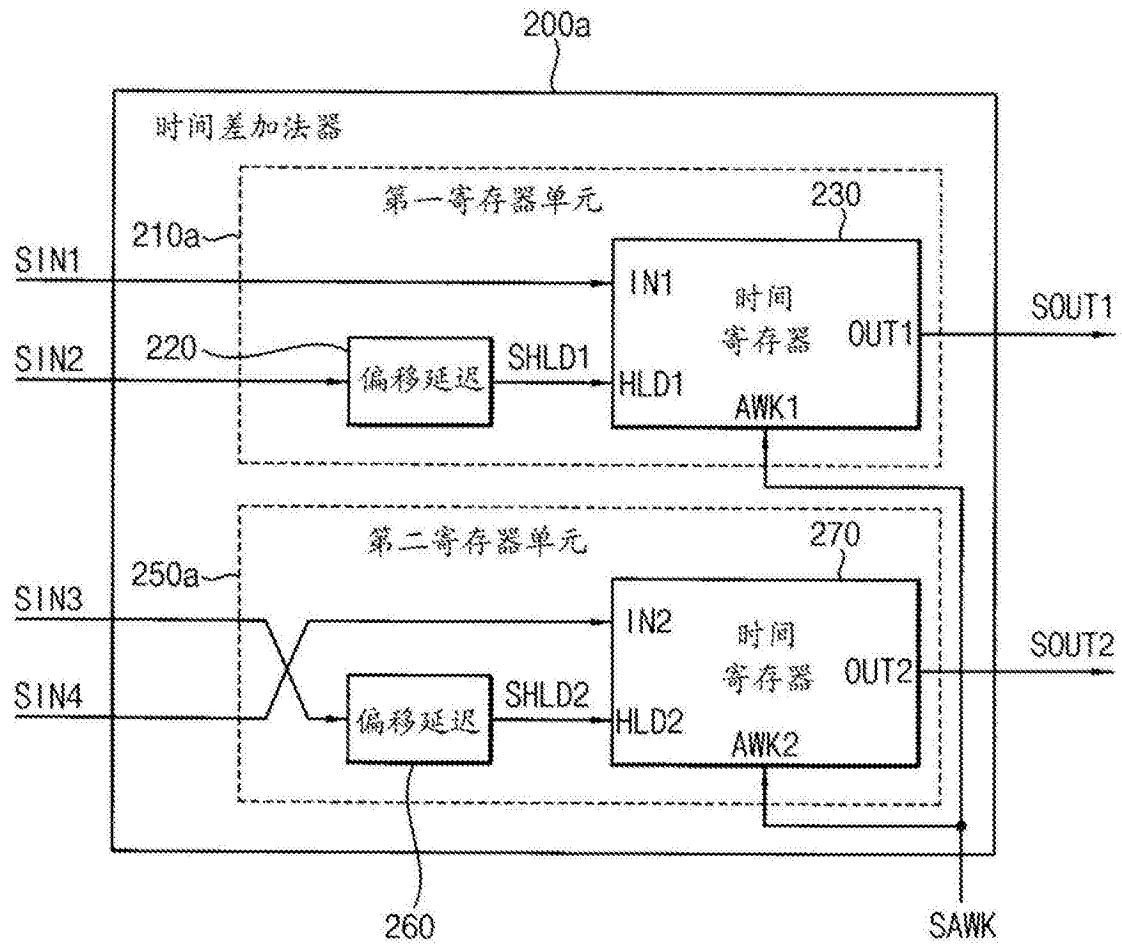


图3

300a

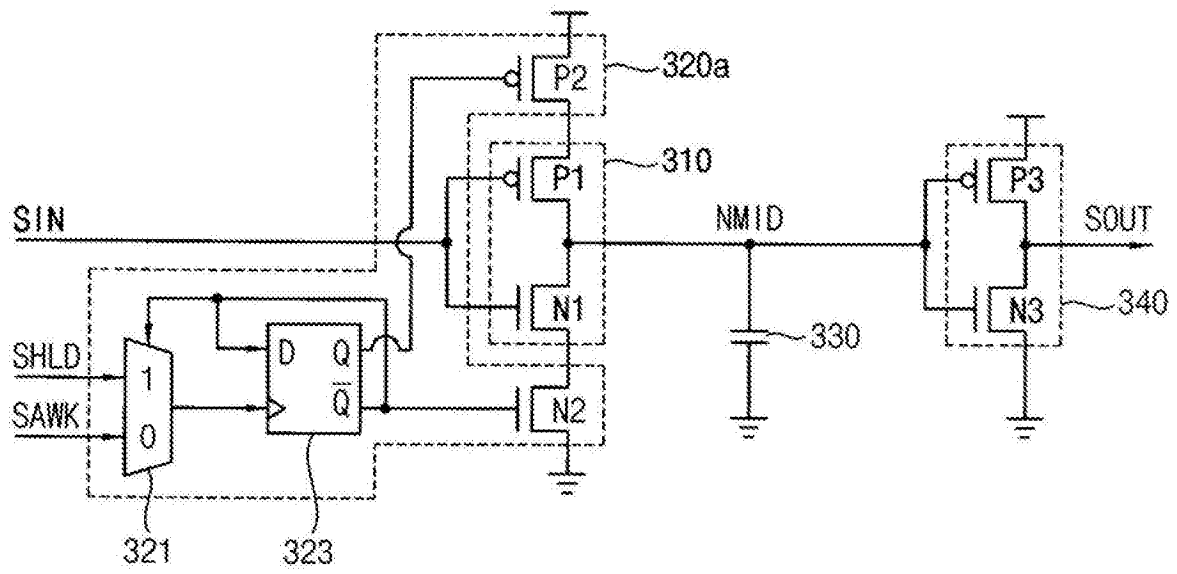


图4

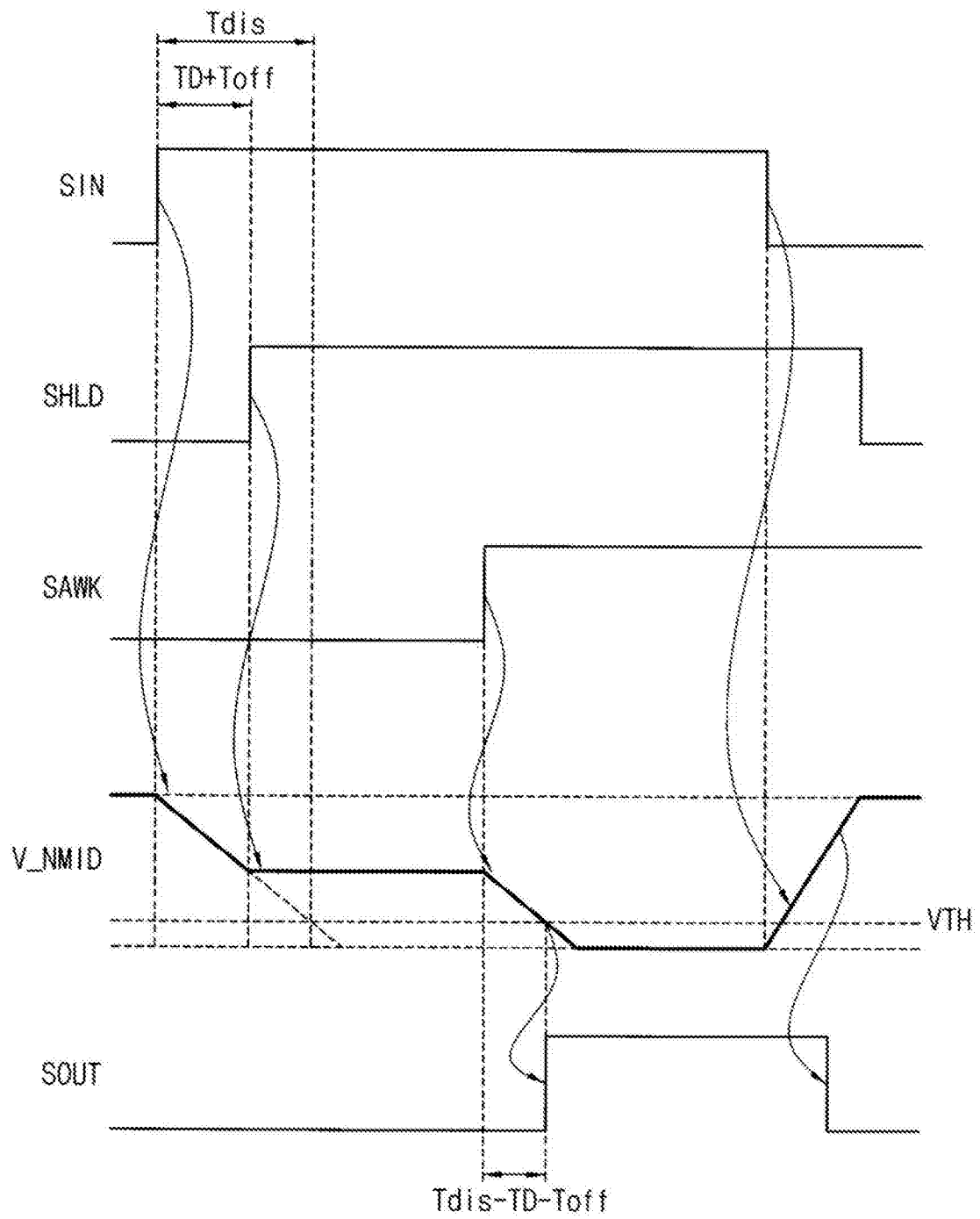


图5

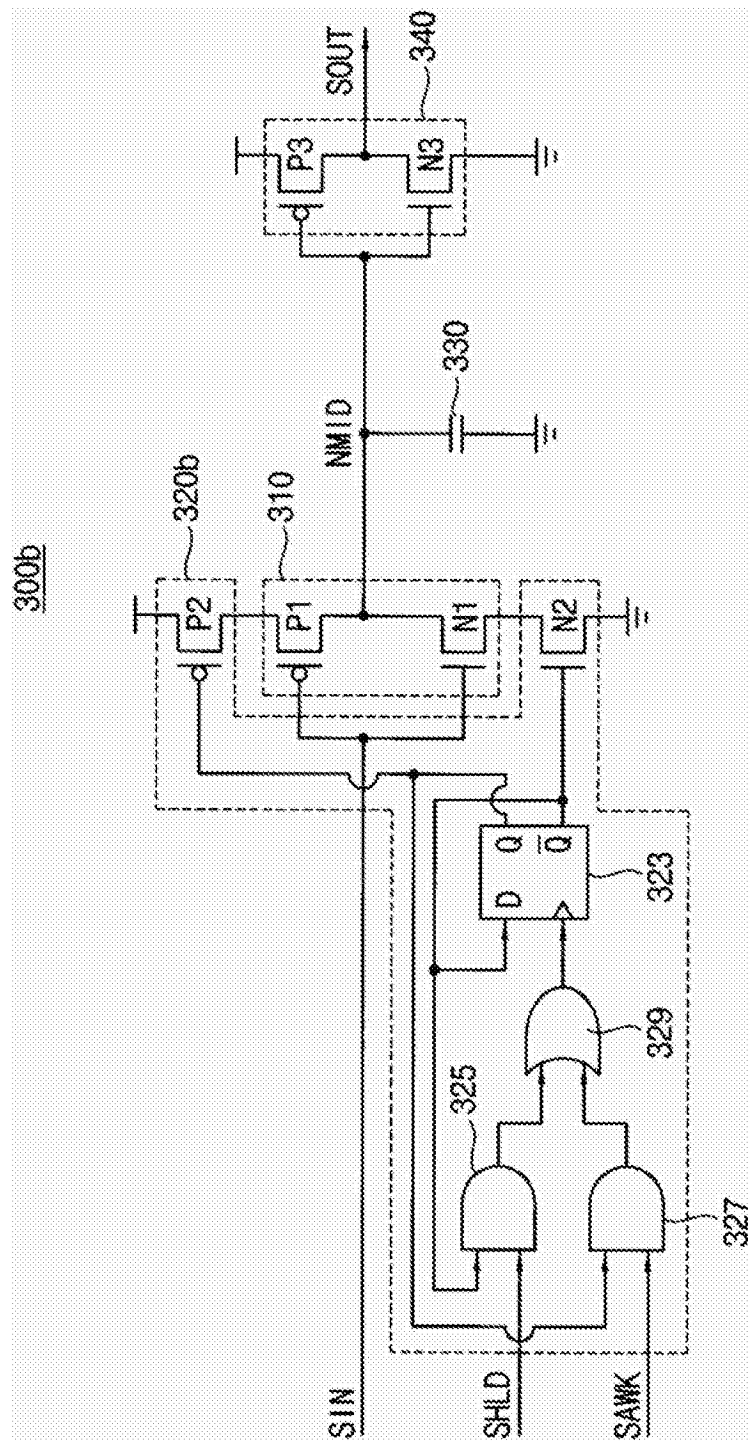


图6

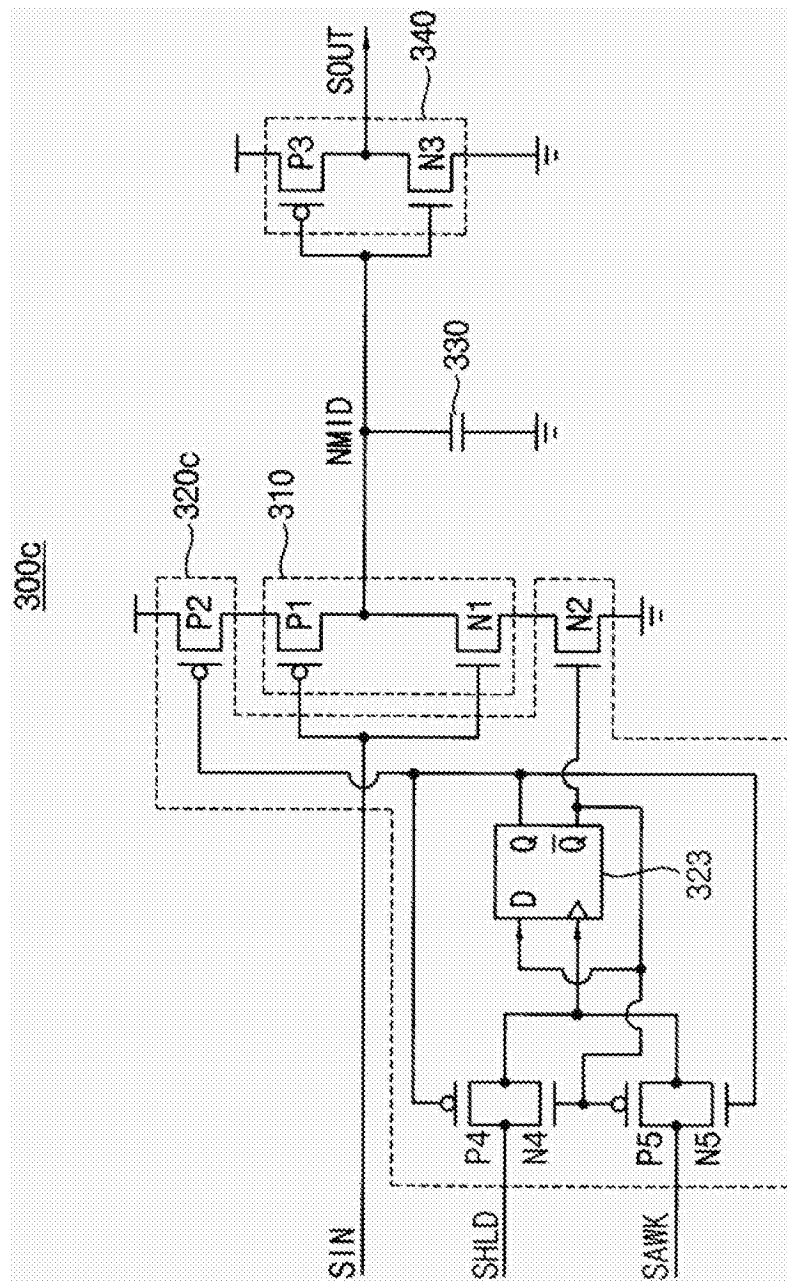


图7

300d

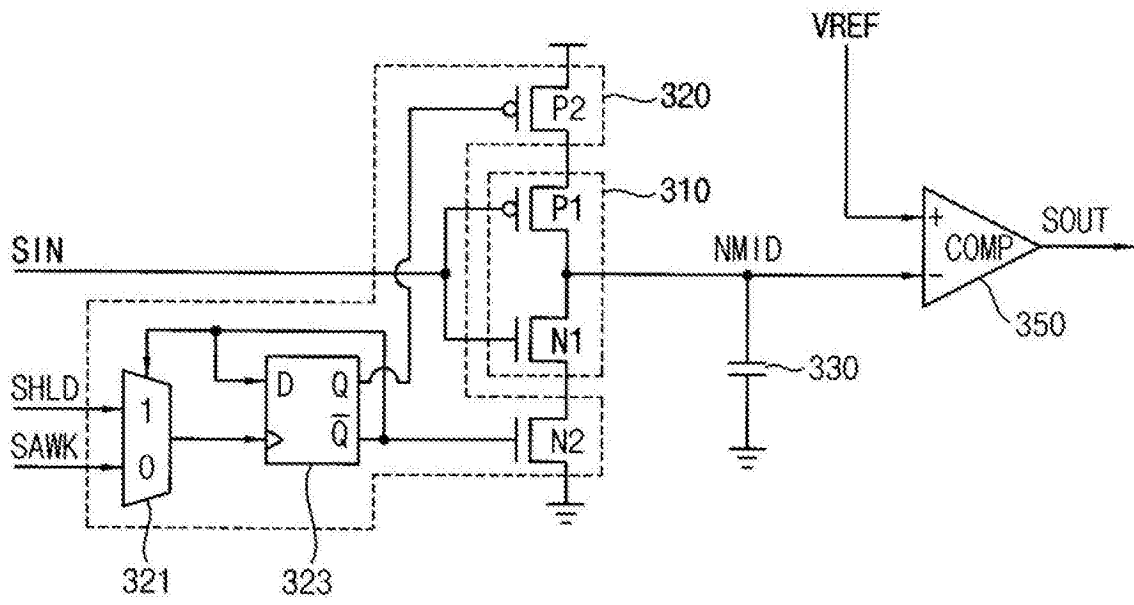


图8

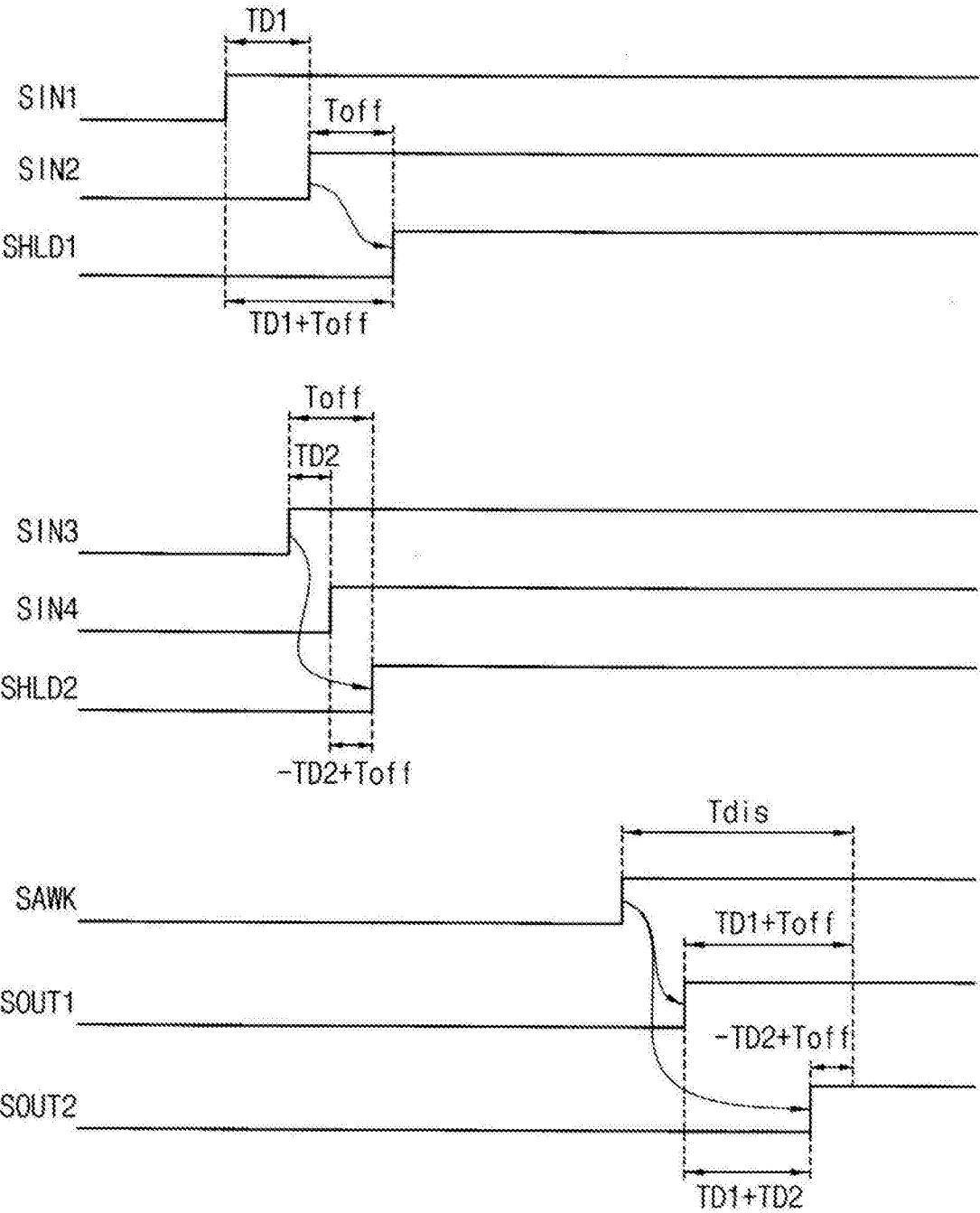


图9A

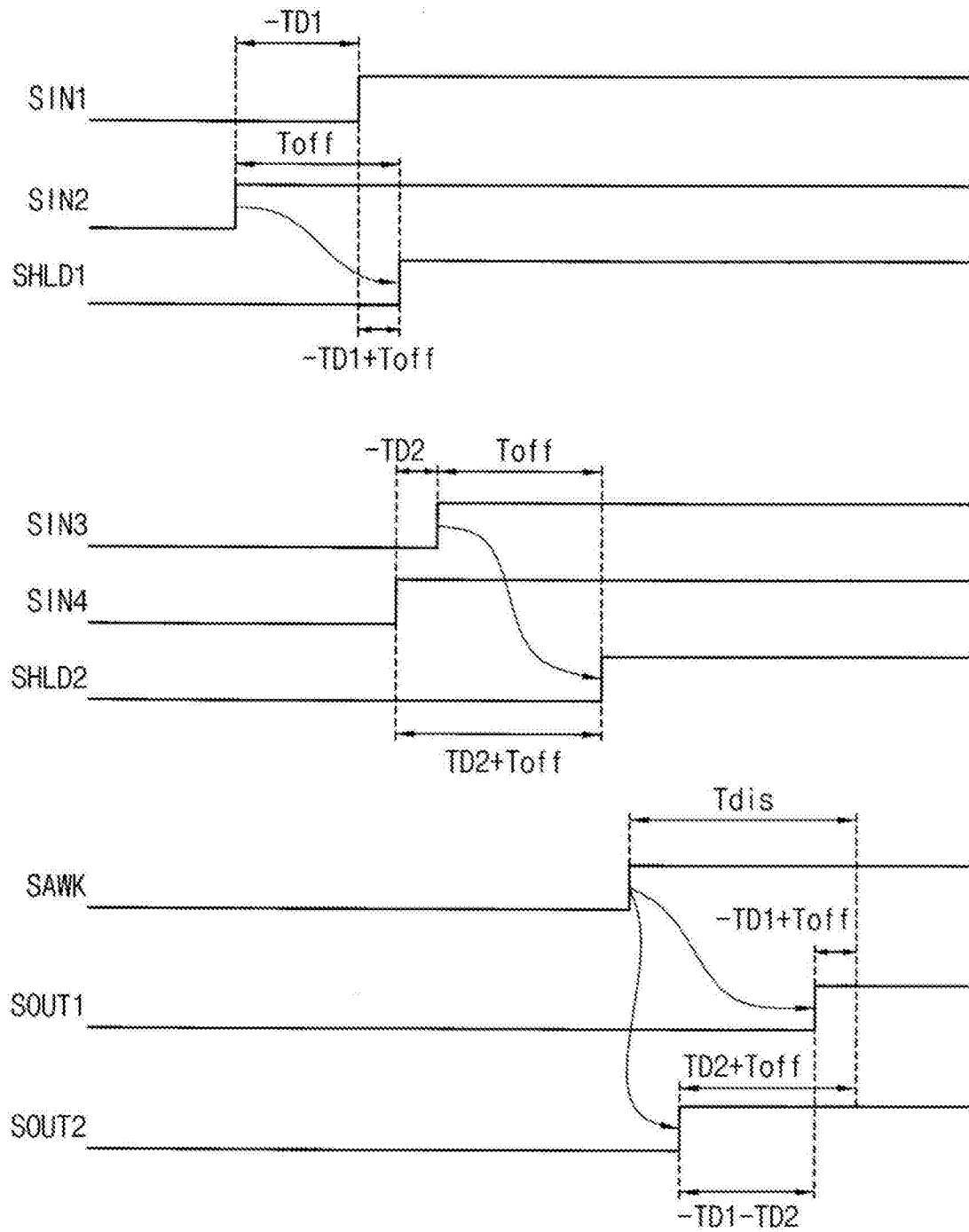


图9B

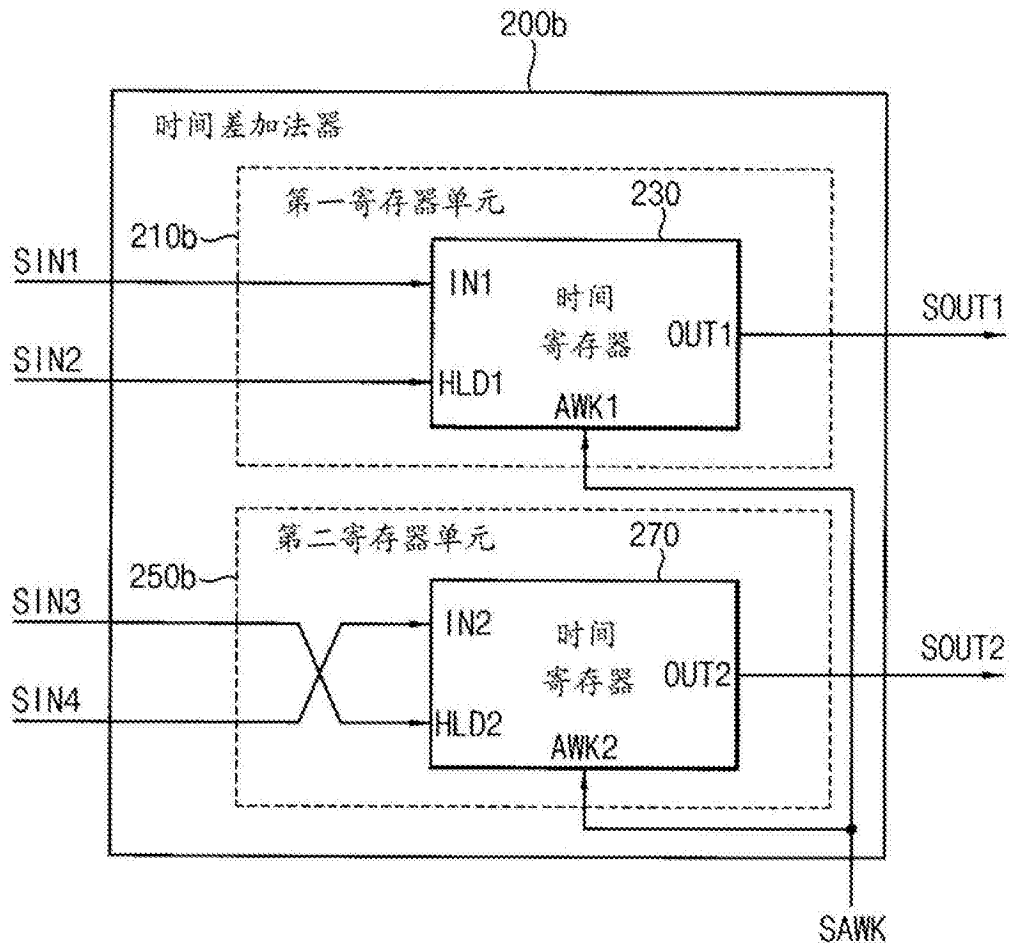


图10

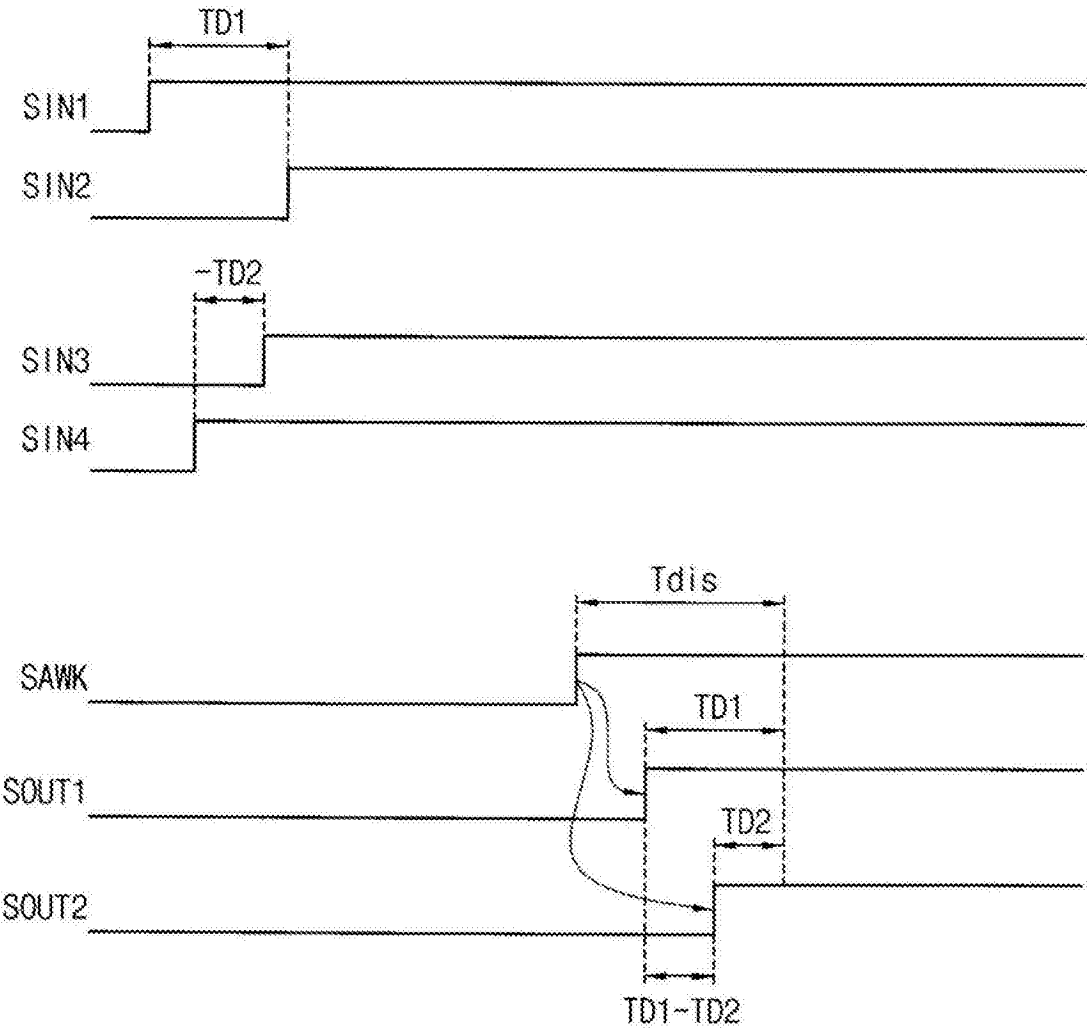


图11

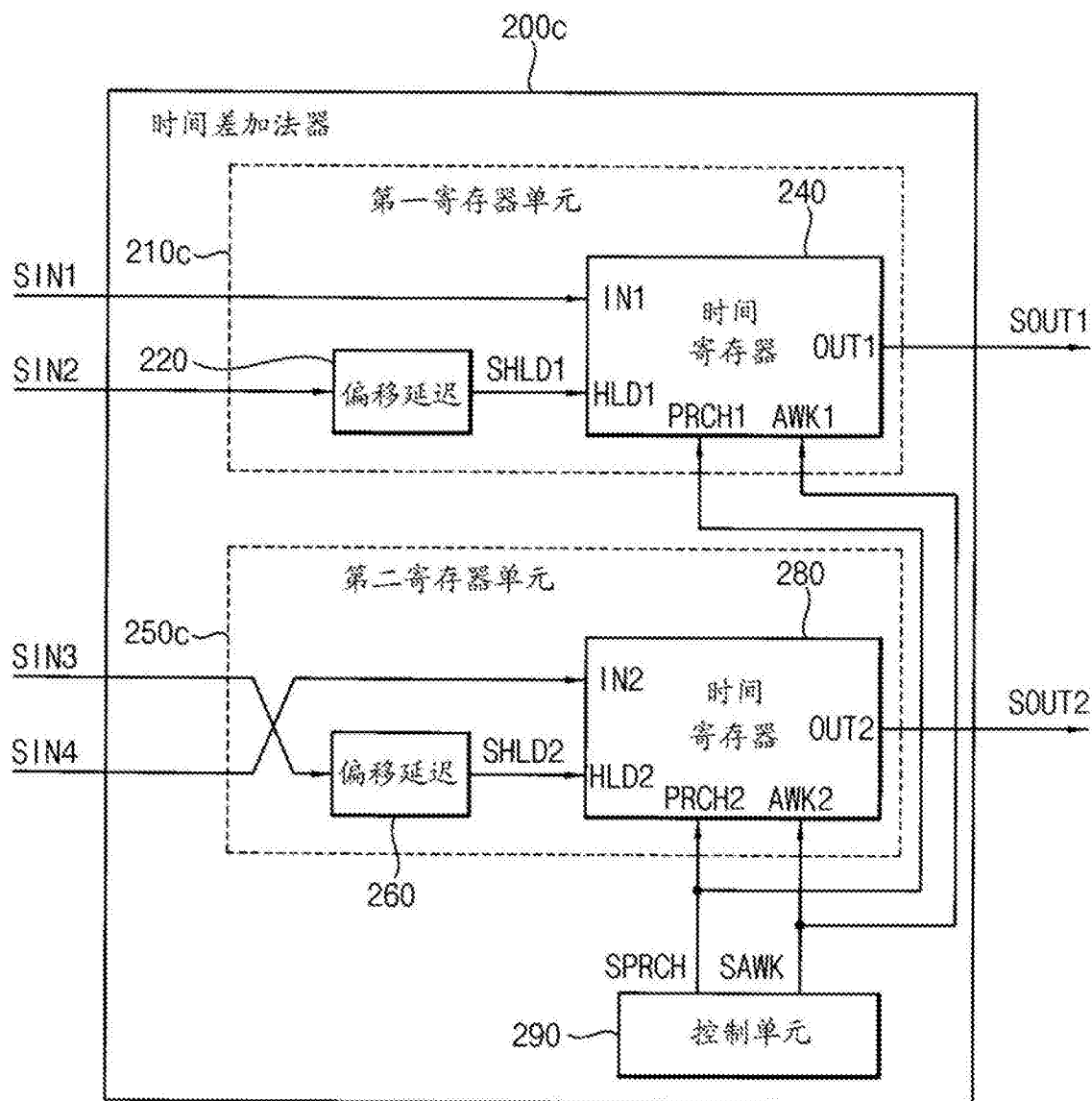


图12

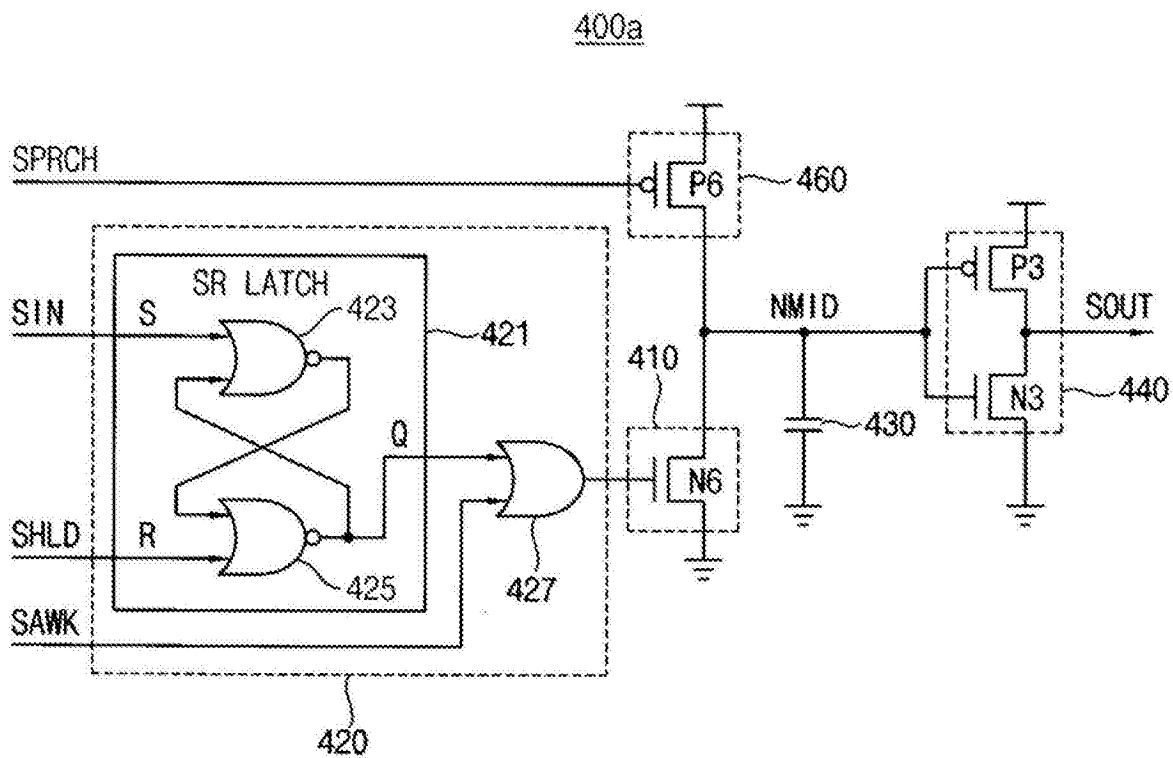


图13

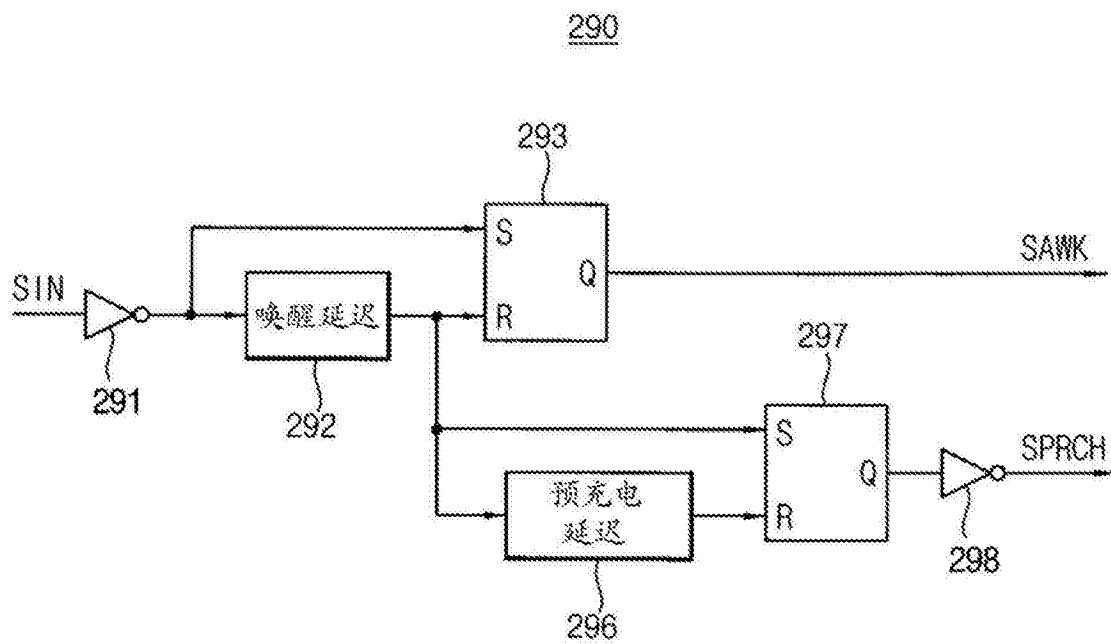


图14

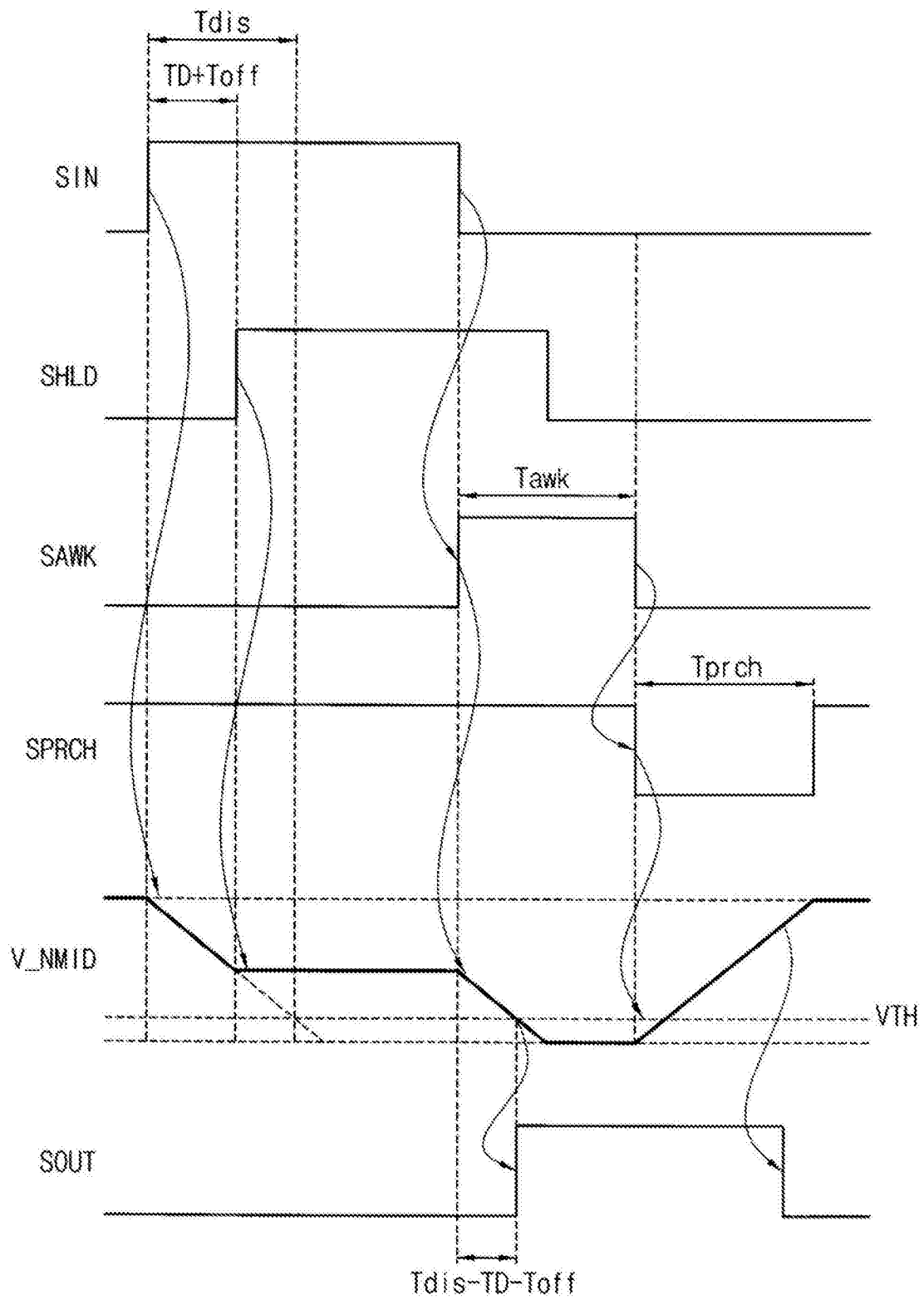


图15

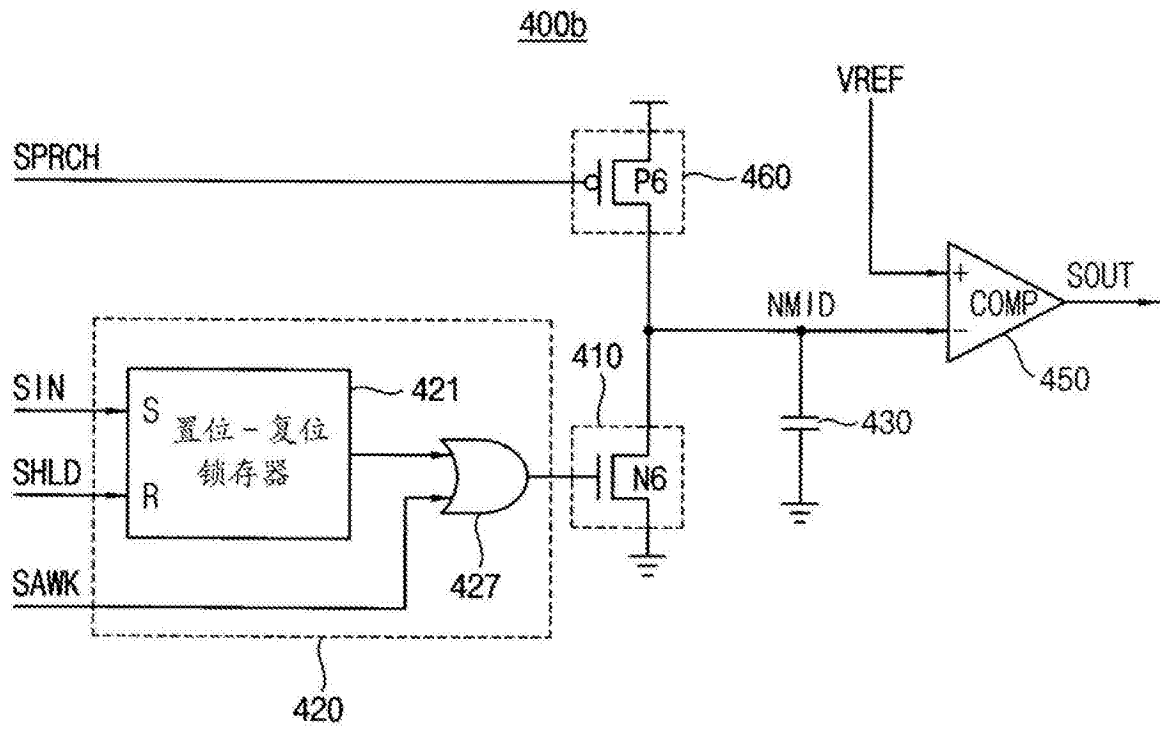


图16

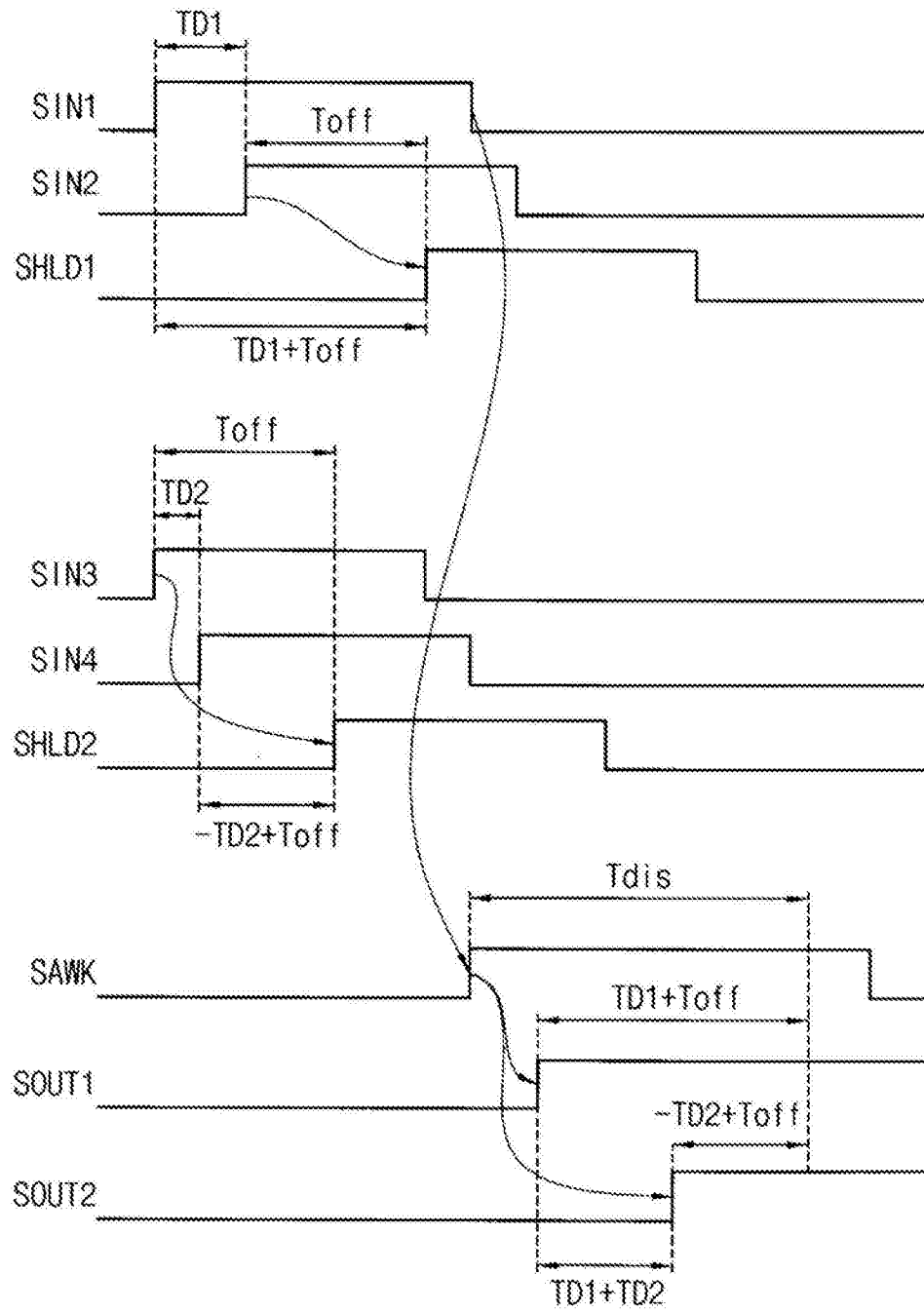


图17

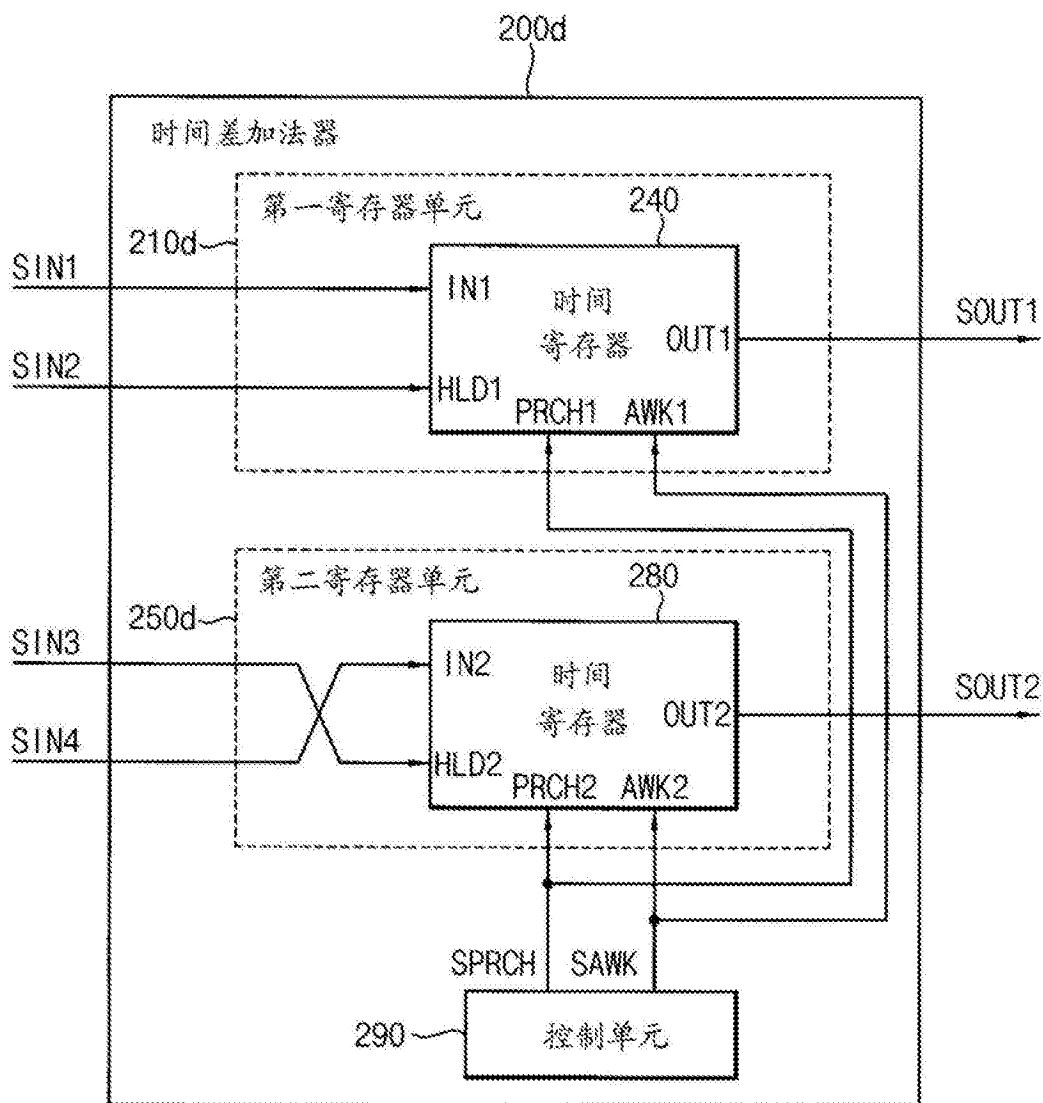


图18

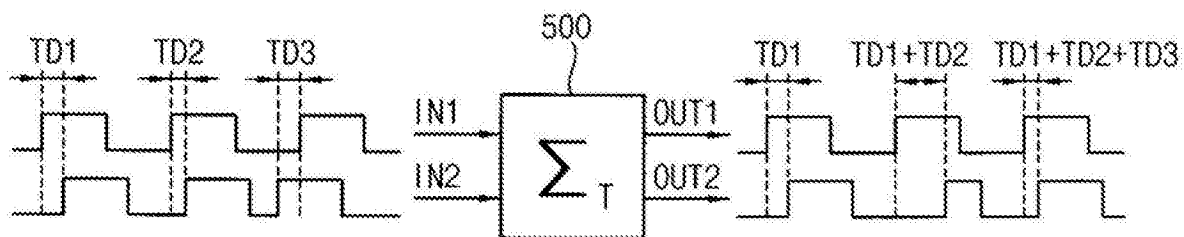


图19

500a

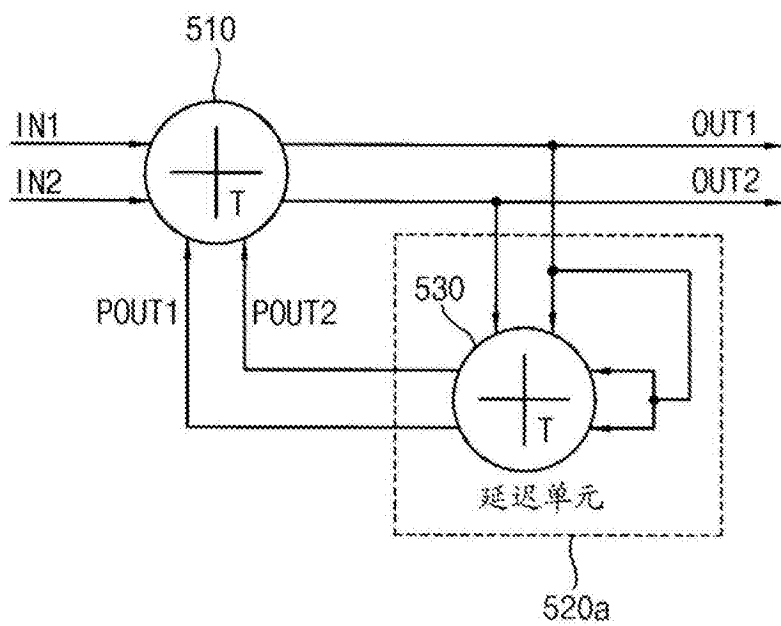


图20

500b

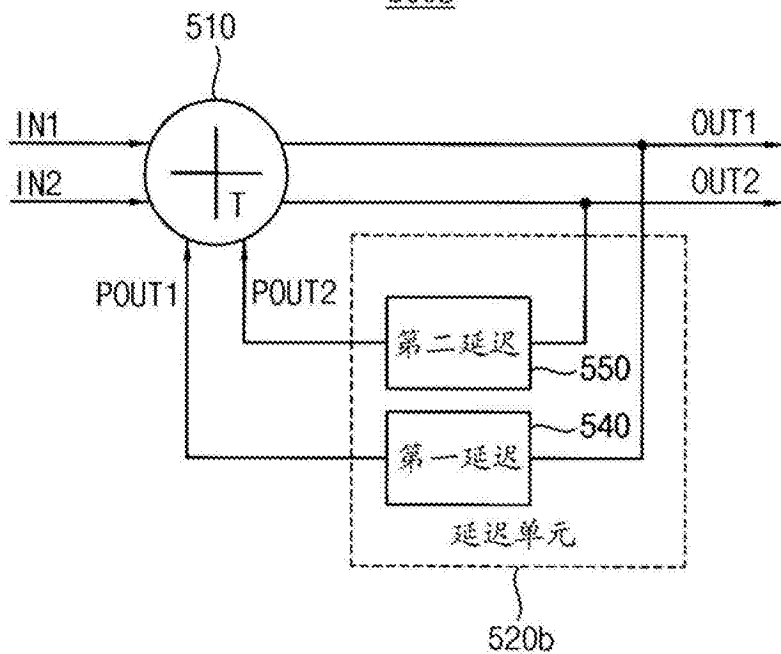


图21

520b

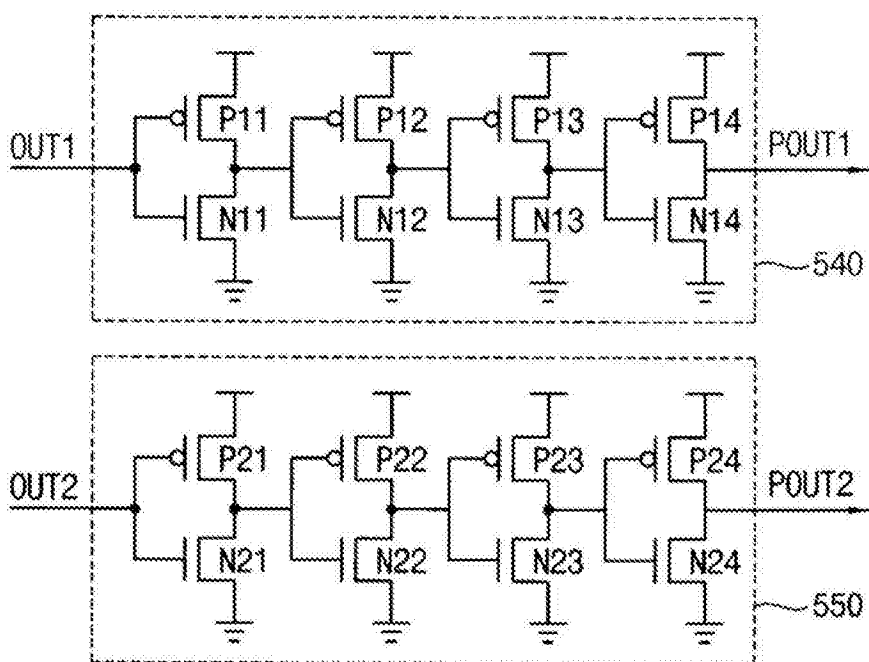


图22

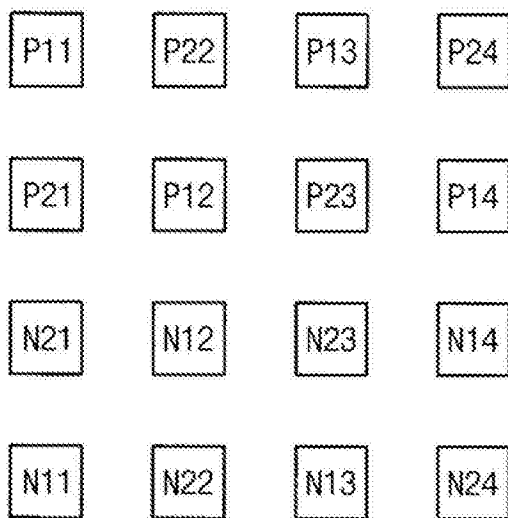


图23

600a

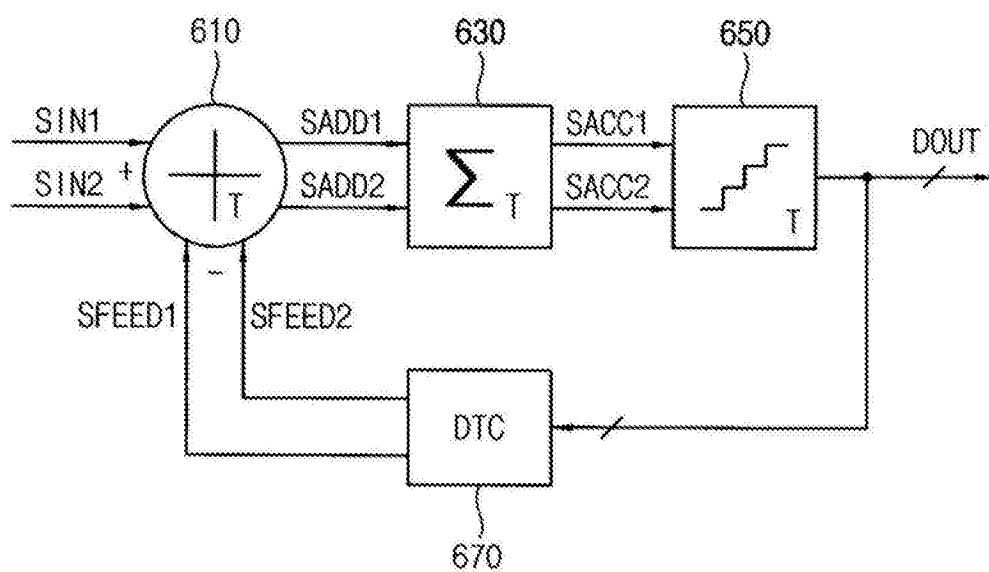


图24

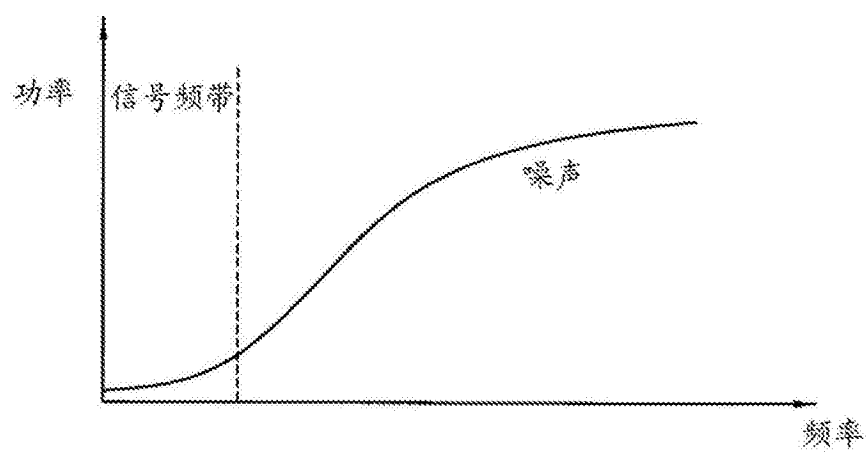


图25

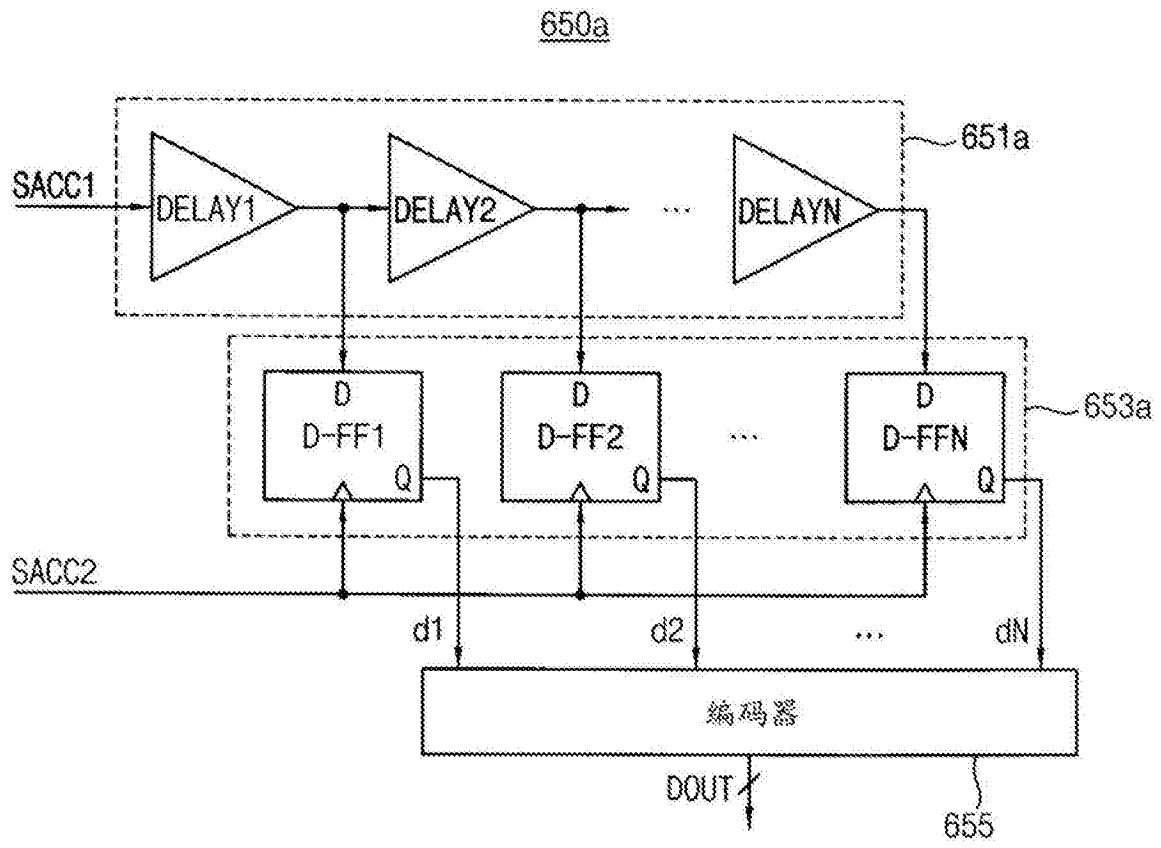


图26

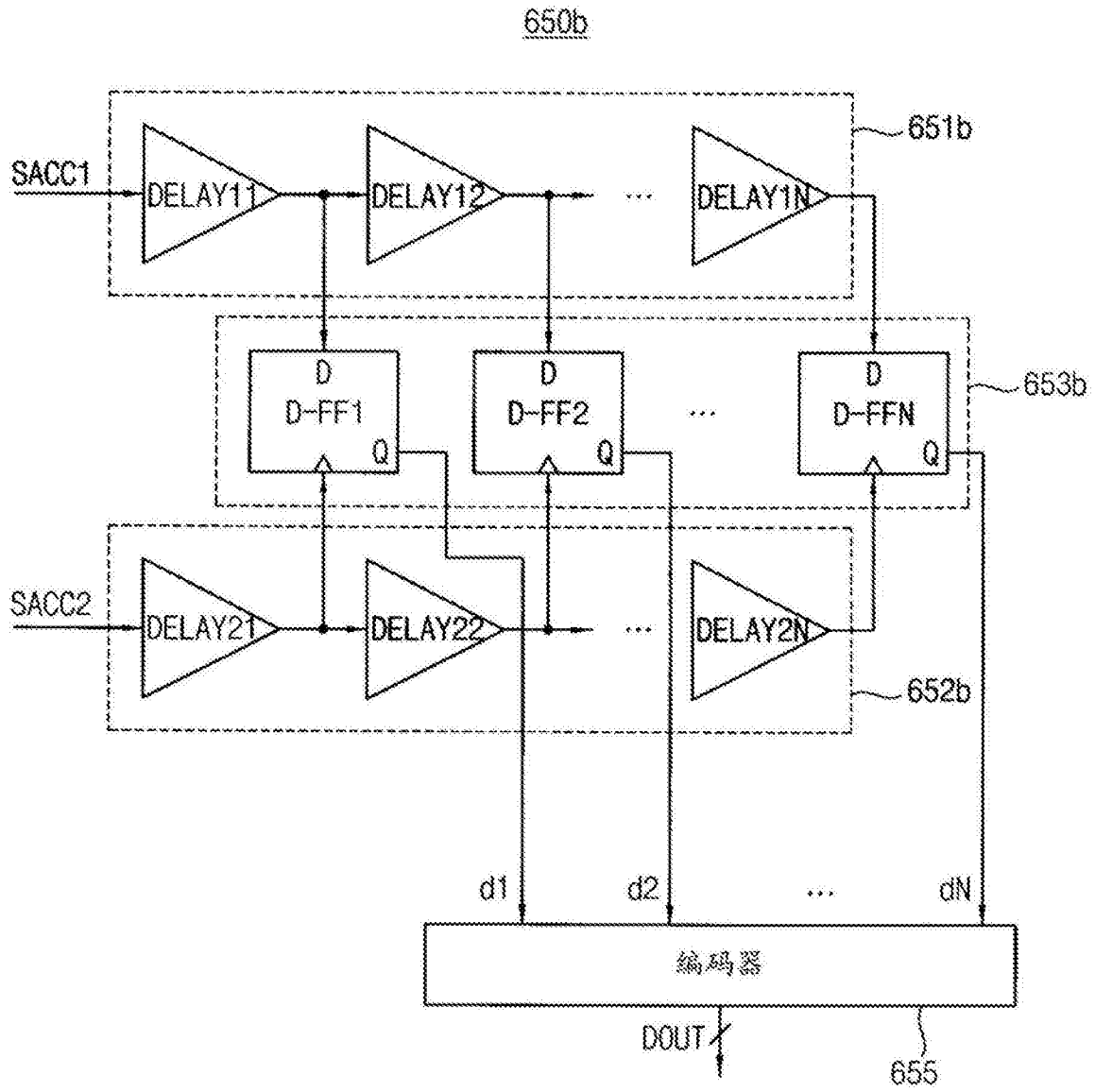


图27

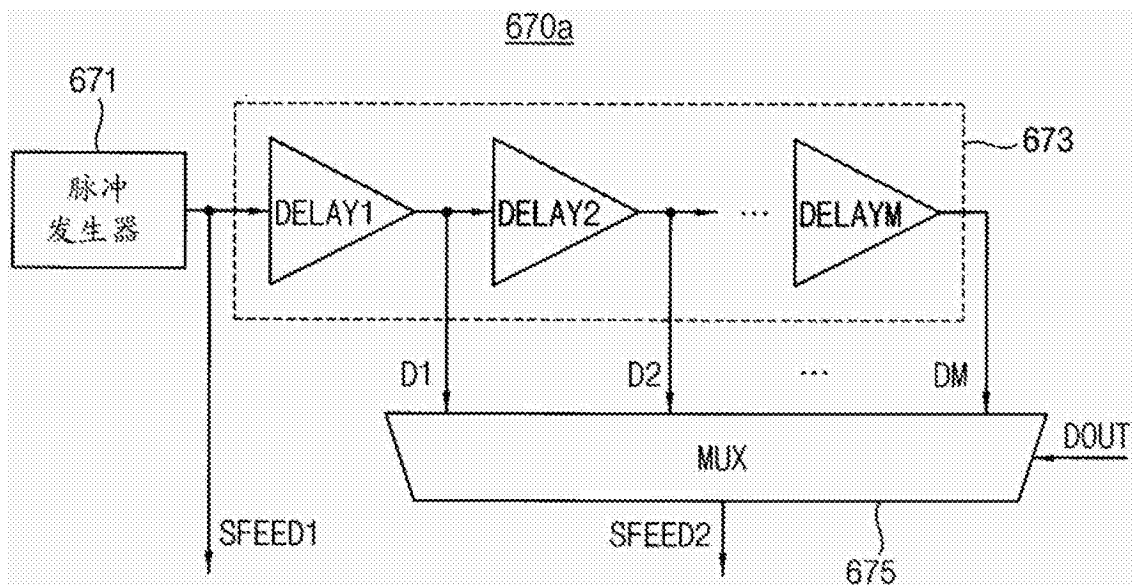


图28

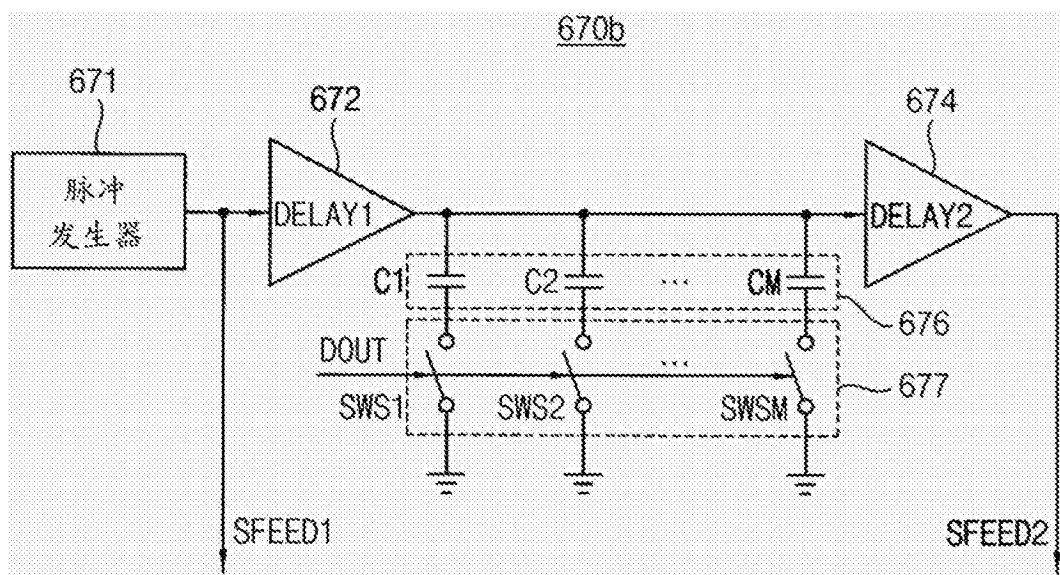


图29

600b

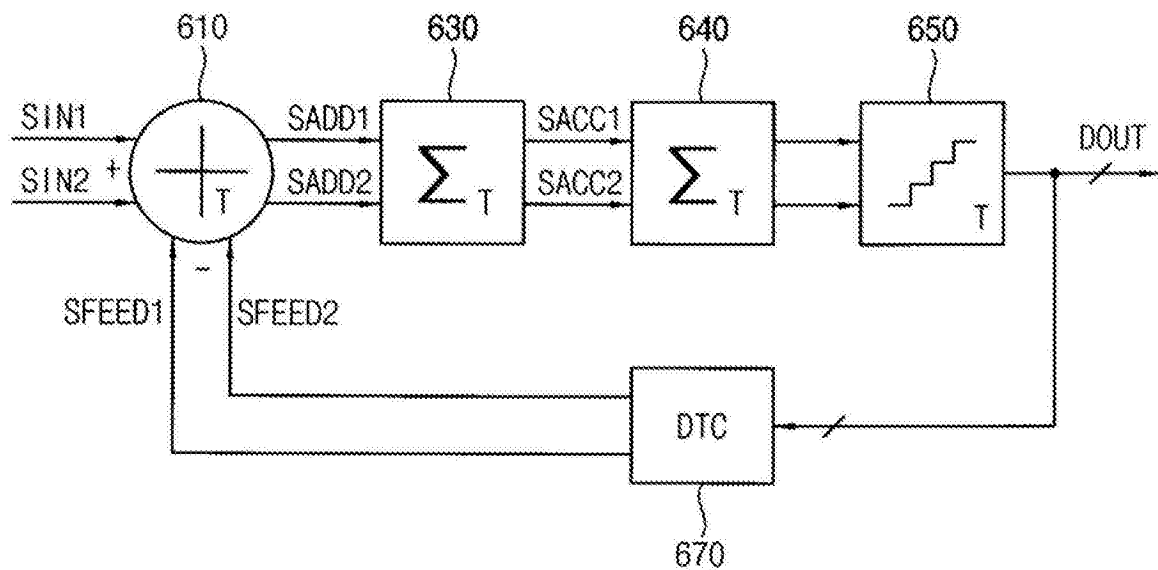


图30

600c

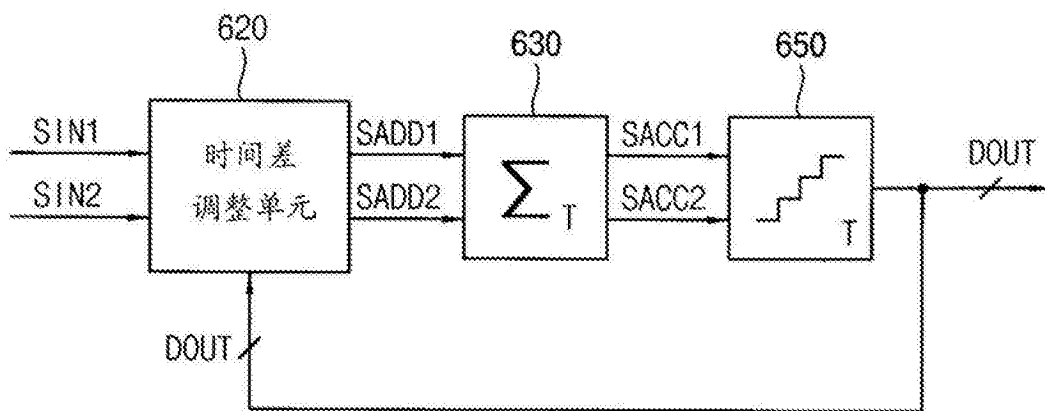


图31

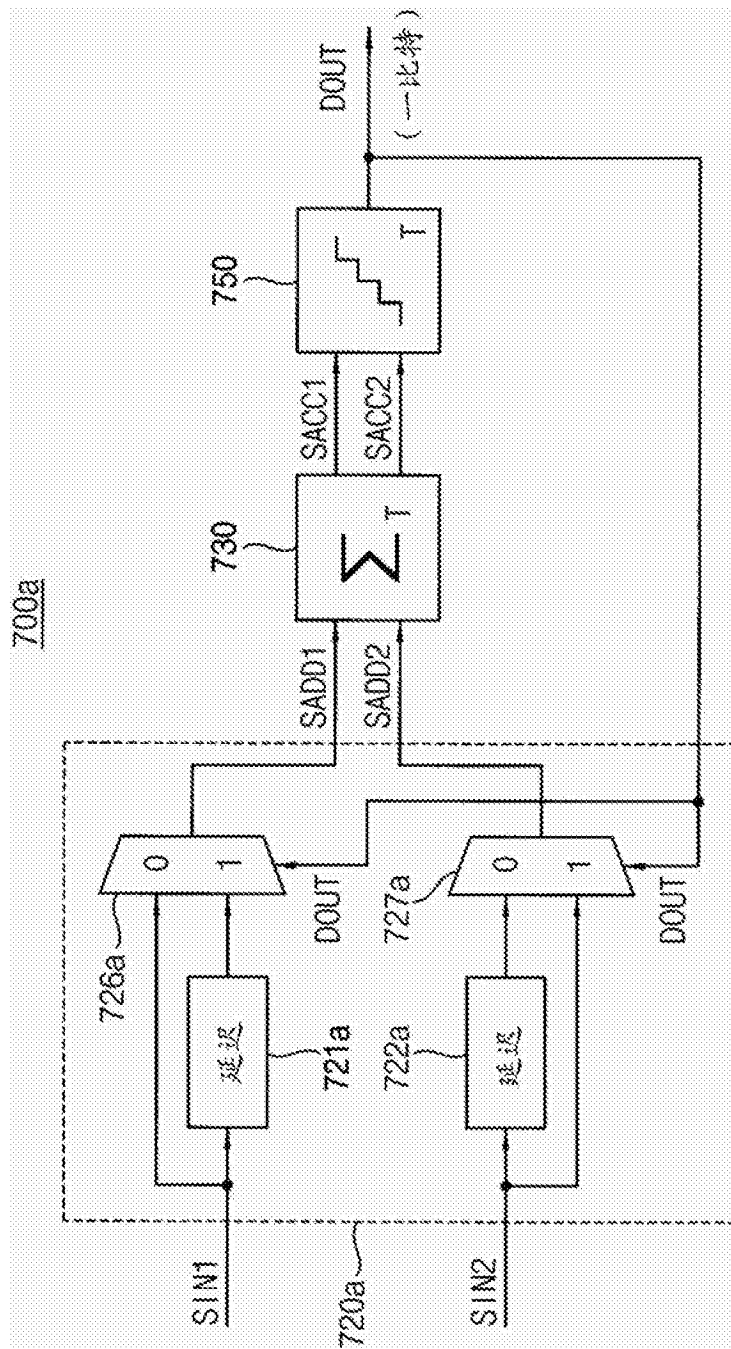


图32

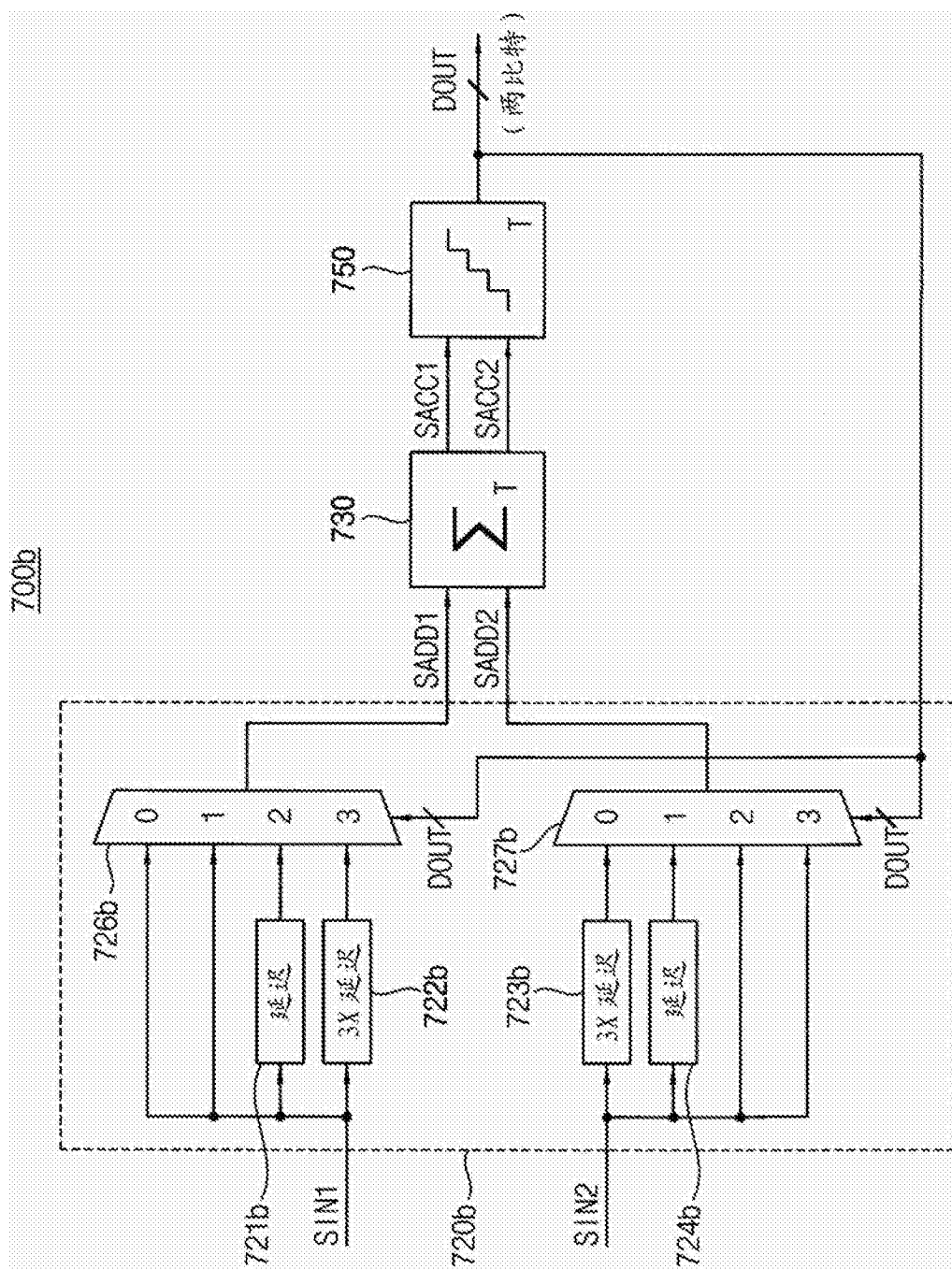


图33

600d

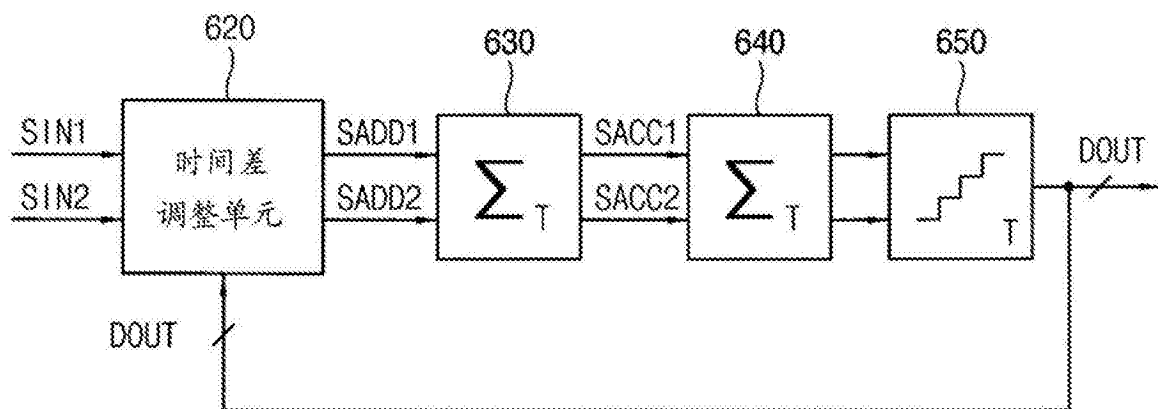


图34

800

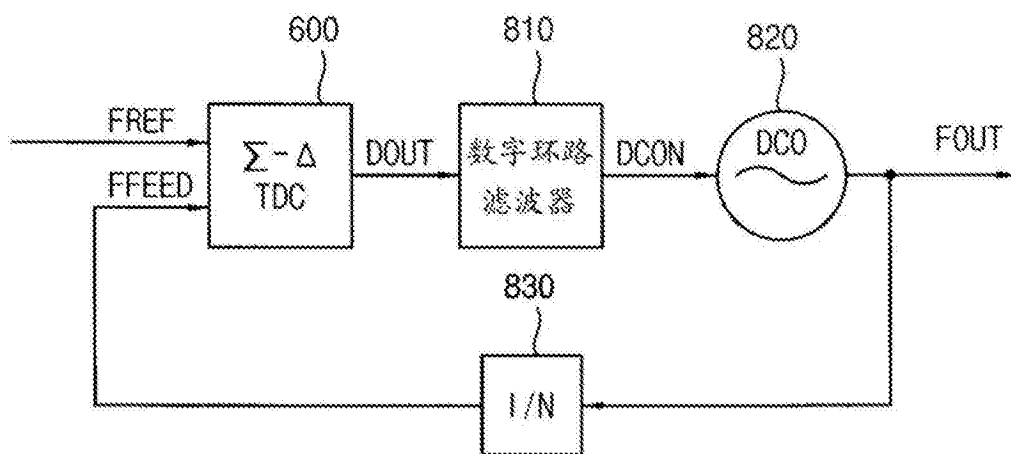


图35

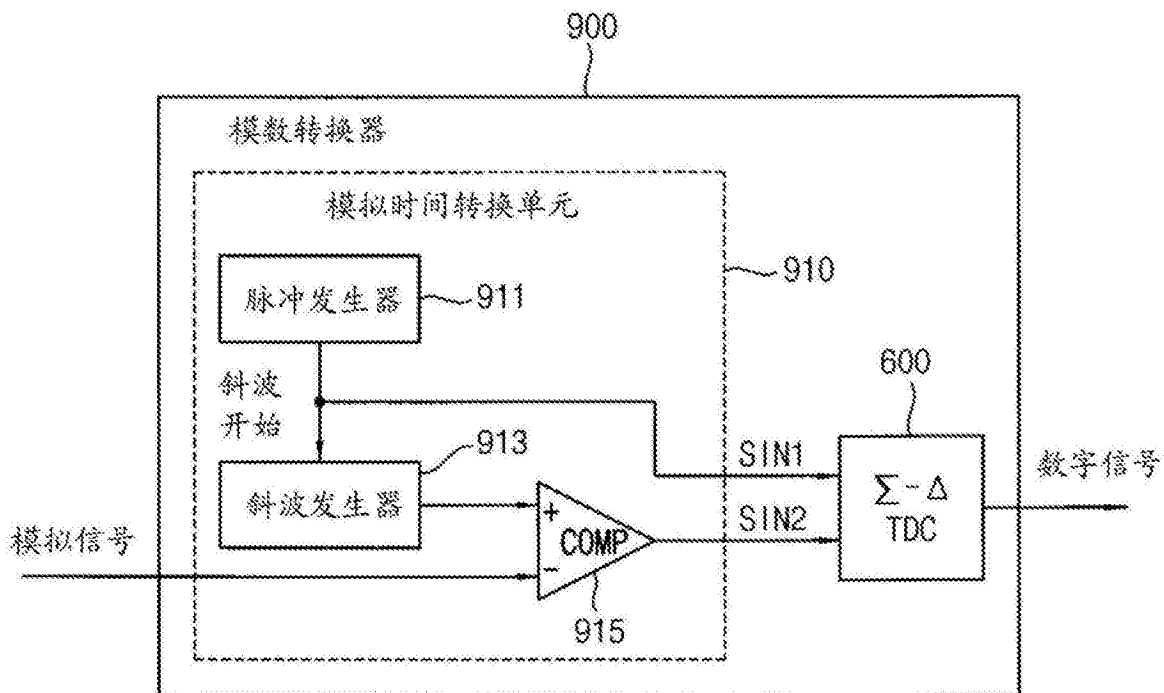


图36

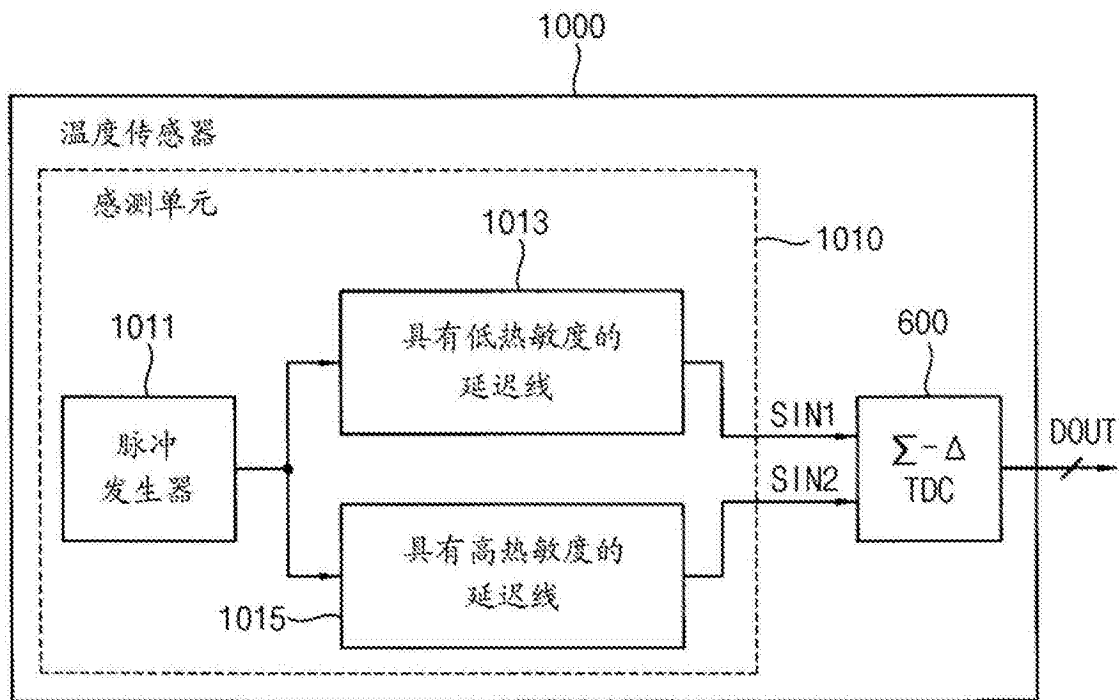


图37

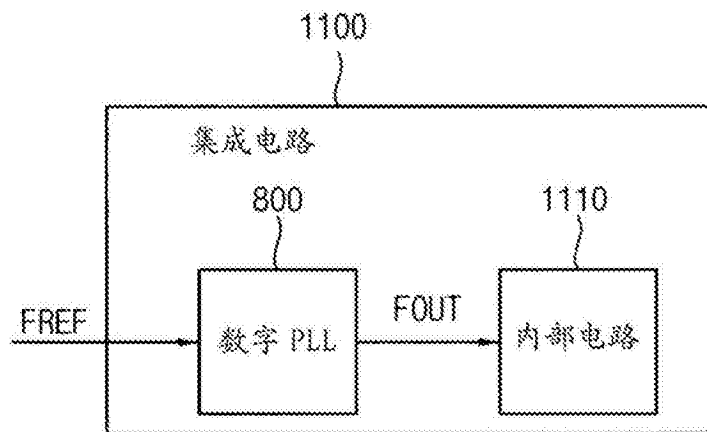


图38

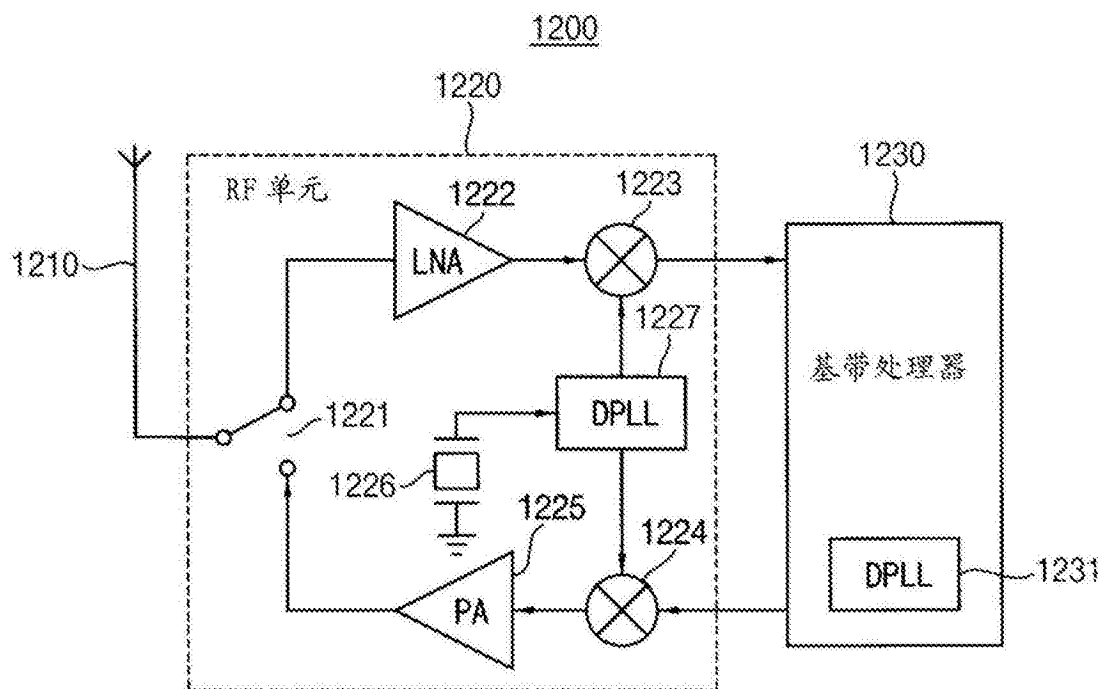


图39

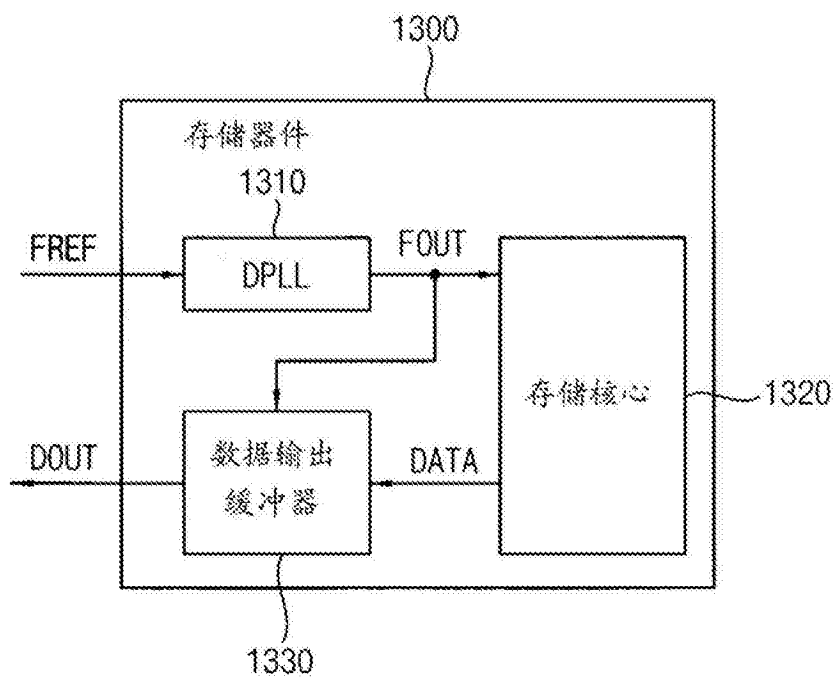


图40

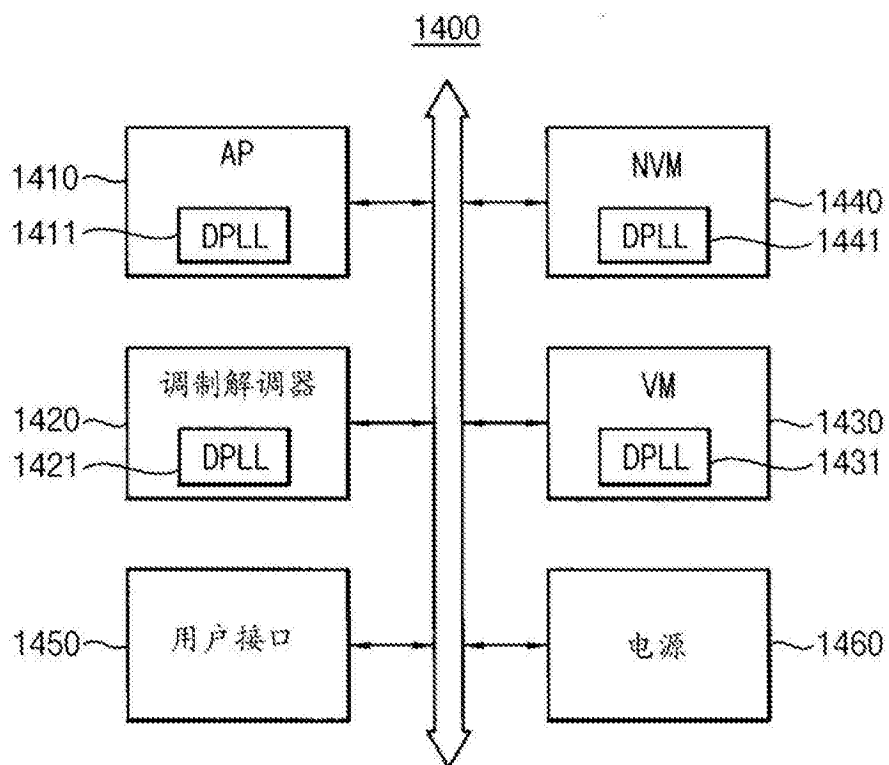


图41

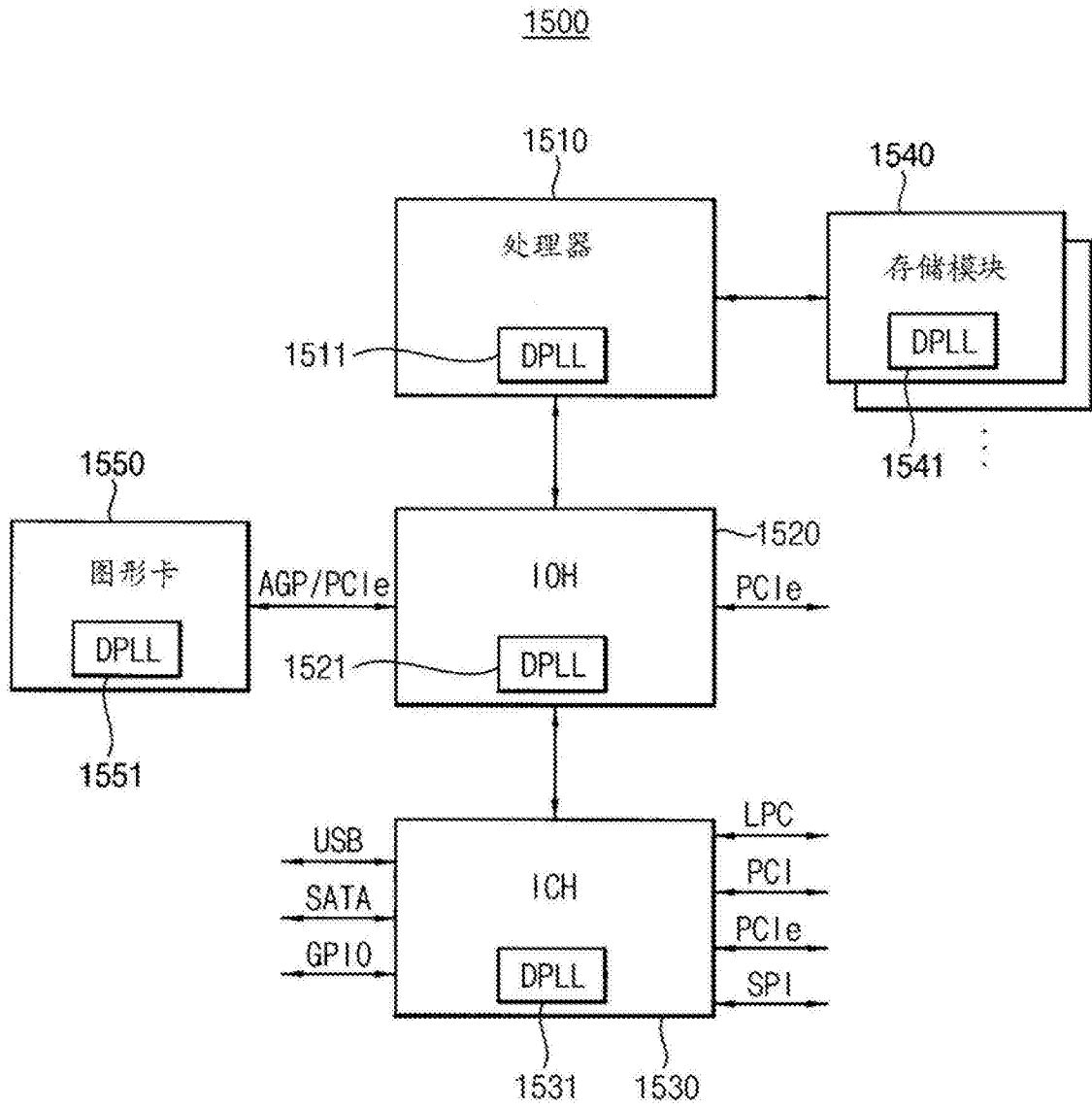


图42