(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年3月5日(05.03.2020)

WIPO | PCT

(10) 国際公開番号
WO 2020/044545 A1

(51) 国際特許分類:
H02M 7/12 (2006.01) *H02P 9/04* (2006.01)
H02M 7/155 (2006.01)

(21) 国際出願番号： PCT/JP2018/032385

(22) 国際出願日： 2018年8月31日(31.08.2018)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(71) 出願人: 本田技研工業株式会社 (**HONDA MOTOR CO.,LTD.**) [JP/JP]; 〒1078556 東京都港区南青山二丁目１番１号 Tokyo (JP).

(72) 発明者: 前田河 稔 (**MAEDAKO Minoru**); 〒3510193 埼玉県和光市中央一丁目４番１号 株式会社本田技術研究所内 Saitama (JP).

井上 智夫 (**INOUE Toshio**); 〒3510193 埼玉県和光市中央一丁目４番１号 株式会社本田技術研究所内 Saitama (JP).

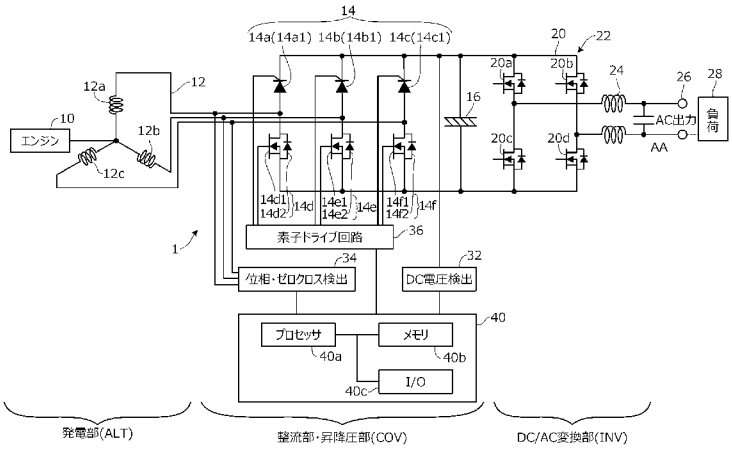
(74) 代理人: 西村 隆一, 外 (**NISHIMURA Ryuichi** et al.); 〒1700013 東京都豊島区東池袋三丁目１１番８号 サンライズ小林ビル５階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,

(54) **Title:** INVERTER-TYPE ENGINE GENERATOR

(54) 発明の名称： インバータ式発動発電機

[図1]



10 Engine
28 Load
32 DC voltage detection
34 Phase/zero-cross detection
36 Element drive circuit
40a Processor
40b Memory
ALT Generation part
COV Rectifying part, boosting/dropping part
INV DC/AC conversion part
AA AC output

(57) **Abstract:** Provided is an inverter-type engine generator that has one three-phase bridge circuit that functions as a rectifying circuit and a boosting/dropping circuit. An inverter-type engine generator (1) that comprises: an alternator (12); and a converter (14) that comprises a three-phase rectifying bridge circuit and converts three-phase alternating current that is outputted from the alternator (12) to direct current. The three-phase rectifying bridge circuit of the converter (14) has three up-down sets of elements (14a1 –14c1) that: on the up side, are formed at least from diode elements (14a1 –

WO 2020/044545 A1

［続葉有］

NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

14c1) that can be duty controlled; and, on the down side, are formed at least from switching elements (14d1 – 14f1) that can be duty controlled and comprise diodes (14d2–14f2).

(57) 要約:整流回路と昇降圧回路を１個の三相ブリッジ回路で実現するようにしたインバータ式発動発電機を提供する。オルタネータ(１２)と、上下３組の素子(１４ａ－１４ｆ)を有する三相整流ブリッジ回路からなると共に、オルタネータ(１２)から出力される三相交流を直流に変換するコンバータ(１４)を備えたインバータ式発動発電機(１)において、コンバータ(１４)の三相整流ブリッジ回路の上下３組の素子を、上側を少なくともデューティ制御可能なダイオード素子(１４ａ１－１４ｃ１)から構成し、下側を少なくともデューティ制御可能でダイオード(１４ｄ２－１４ｆ２)を備えるスイッチング素子(１４ｄ１－１４ｆ１)から構成する。

明　細　書

発明の名称 ： インバータ式発動発電機

技術分野

[0001]　この発明はインバータ式発動発電機に関し、より具体的にはユーザが持ち運び可能な重量および寸法を有し、農作業用あるいはキャンプなどの野外用などの電気負荷に好適に電力を供給可能な発電機に関する。

背景技術

[0002]　この種の発電機では、下記の特許文献１に記載されるように、オルタネータから出力される三相交流電圧を整流する際にサイリスタとダイオードの混合ブリッジ回路を用い、サイリスタの点呼角制御によって一定電圧に降圧しながら整流していた。

先行技術文献

特許文献

[0003] 特許文献1：特開２０１０－３５２５８号公報

発明の概要

発明が解決しようとする課題

[0004]　その構成では通常の全波整流回路と比較して整流後のＤＣ昇降圧回路が不要となるが、降圧機能しか持たないため、各回転数でオルタネータの発電電圧を予め高めに設定しておく必要があり、特性、構造、耐圧などにおいて制約が大きい不都合があった。

[0005]　この発明の課題は上記した不都合を解消し、整流回路と昇降圧回路を１個の三相ブリッジ回路で実現するようにしたインバータ式発動発電機を提供することにある。

課題を解決するための手段

[0006]　上記した課題を解決するために、この発明は、三相巻線を有し、回転原動機で駆動されて発電するオルタネータと、上下３組の素子を有する三相整流ブリッジ回路からなると共に、前記オルタネータから出力される三相交流を

直流に変換するコンバータと、前記コンバータから出力される直流の端子電圧が目標電圧となるように前記三相整流ブリッジ回路の素子の駆動を制御するコンバータ制御部とを備えたインバータ式発動発電機において、前記コンバータの三相整流ブリッジ回路の上下３組の素子を、上側を少なくともデューティ制御可能なダイオード素子から構成し、下側を少なくともデューティ制御可能でダイオードを備えるスイッチング素子から構成するようにした。

図面の簡単な説明

[0007] [図1]この発明の第１実施形態に係るインバータ式発動発電機を全体的に示す電気回路図である。

[図2]図１の電子制御ユニット（制御部）の発電出力の昇降圧制御を示すフロー・チャートである。

[図3]図２の制御を説明するタイム・チャートである。

[図4]図２の制御を全体的に示す図１のコンバータの等価回路図である。

[図5]図４の発電・昇圧の原理を示すオルタネータとコンバータの等価回路図である。

[図6]図５のオルタネータの一部の線間部に着目した等価回路図である。

[図7]図１のオルタネータの巻線数をＡＬＴ１、ＡＬＴ２としたときの高回転時の電圧・出力特性を示す説明図である。

[図8]図７で低回転時の電圧・出力特性を示す説明図である。

[図9]図７で低回転時のＡＬＴ２の昇圧整流による出力アップを示す説明図である。

[図10]図７で極低回転時のＡＬＴ２の昇圧整流による出力アップを示す説明図である。

[図11]この発明の第２実施形態に係るインバータ式発動発電機を全体的に示す電気回路図である。

発明を実施するための形態

[0008] 以下、添付図面を参照してこの発明の実施形態に係るインバータ式発動発電機ついて説明する。

[0009] （第１実施形態）

[0010] 図１はこの発明の第１実施形態に係るインバータ式発動発電機を全体的に示す電気回路図である。

[0011] インバータ式発動発電機（以下「発電機」といい、符号１で示す）は、ユーザが持ち運び可能な重量および寸法を有し、農作業用あるいはキャンプなどの野外用などの電気負荷に好適に電力を供給する発電機からなる。

[0012] 発電機１は、図示の如く、汎用エンジン（回転原動機）１０で駆動されて発電するオルタネータ（ＡＬＴ。発電部）１２と、オルタネータ１２に電気的に接続されてオルタネータ１２から出力される三相交流を直流に変換（整流）するコンバータ１４と、コンバータ１４の正側端子と負側端子の間に電気的に接続されてコンバータ１４で整流された直流を平滑するコンデンサ１６と、コンデンサ１６に電気的に接続されてコンデンサ１６で平滑された直流を交流に変換するインバータ２０とからなるインバータユニット２２を備える。

[0013] インバータユニット２２は、波形成形回路２４と出力端子２６を介して前記した農作業用などの電気負荷２８に接続される。

[0014] 汎用エンジン（以下「エンジン」という）１０は、例えばガソリンを燃料とする点火式の空冷エンジンであり、シリンダ内を往復動するピストンと、ピストンに同期して回転するクランクシャフト（出力軸）とを有する。エンジン１０の動力は、クランクシャフトを介してオルタネータ１２に出力される。

[0015] オルタネータ１２はＵＶＷの三相巻線１２ａ，１２ｂ，１２ｃを有し、エンジン１０により回転駆動されて交流電力を発電する多極オルタネータからなる。図示は省略するが、多極オルタネータはエンジン１０のクランクシャフトに連結されてそれと一体に回転する永久磁石からなるロータと、ロータの周面に配置されたステータとからなり、ステータには図示のように１２０度毎の位相角で配置されたＵＶＷの三相巻線１２ａ，１２ｂ，１２ｃからなる極が多数形成される。

[0016] インバータユニット２２のコンバータ１４などの構成を詳細に説明すると、コンバータ１４はオルタネータ１２のＵ相、Ｖ相、Ｗ相の各巻線に対応して接続された３対（計６個）の上下３組で計６個の素子１４ａ－１４ｆを有する三相整流ブリッジ回路からなる。

[0017] この実施形態においてはその三相整流ブリッジ回路の上下３組の素子１４ａ－１４ｆについて、上側の素子１４ａ，１４ｂ，１４ｃを少なくともデューティ制御可能なダイオード素子（例えばサイリスタ）１４ａ１－１４ｃ１から構成し、下側の素子１４ｄ，１４ｅ，１４ｆを少なくともデューティ制御可能でダイオードを備えるスイッチング素子（例えば寄生ダイオードを内蔵するＦＥＴ(Field Effect Transistor)ないしはＭＯＳＦＥＴ(Metal-Oxide Semiconductor Field Effect Transistor)、あるいはＩＧＢＴと並列接続されたダイオード、あるいはトランジスタと並列接続されたダイオード）のいずれかから構成する。この実施形態では寄生ダイオード１４ｄ２－１４ｆ２を内蔵するＭＯＳＦＥＴ（１４ｄ１－１４ｆ１）から構成した。尚、ここで「デューティ制御可能なダイオード素子」あるいは「デューティ制御可能でダイオードを備えるスイッチング素子」は上記したものに止まらないことはいうまでもない。

[0018] また、インバータユニット２２のインバータ２０は、図示の如く、上下２組で計４個の素子２０ａ－２０ｄからなるブリッジ回路から構成すると共に、この実施形態においてはその４個の素子２０ａ－２０ｄを、ダイオードを内蔵するＦＥＴ（あるいはＭＯＳＦＥＴ）から構成する。

[0019] インバータユニット２２においては、図示の如く、コンデンサ１６にはその正負端子間の直流電圧を検出するＤＣ電圧検出回路３２が接続されると共に、オルタネータ１２の三相巻線１２ａ－１２ｃとコンバータ１４の三相整流ブリッジ回路の中点を接続する接続回路には三相巻線の位相とゼロクロスを角度で検出する位相・ゼロクロス検出回路３４が介挿される。また、コンバータ１４の三相整流ブリッジ回路の上下の素子１４ａ１－１４ｆ１のゲート端子はオン信号を出力する素子ドライブ回路３６に接続される。

[0020] インバータユニット２２は、電子制御ユニット（Electronic Control Unit。以下「ＥＣＵ」という）４０を備える。ＥＣＵ４０は、バスを介して接続されるプロセッサ（ＣＰＵ）４０ａと、メモリ（ＲＯＭ，ＲＡＭ）４０ｂと、Ｉ／Ｏ４０ｃなどを少なくとも含むマイクロコンピュータから構成される。

[0021] ＥＣＵ４０（より詳しくはそのプロセッサ４０ａとメモリ４０ｂ）が制御部として動作し、オルタネータ１２の発電出力（交流出力）を整流するとき、ＤＣ電圧検出回路３２の出力から検出される検出値（ＤＣ電圧）が目標ＤＣ電圧（目標値）となるように昇降圧を、位相・ゼロクロス検出回路３４から検出される位相とゼロクロスの角度に基づいて素子ドライブ回路３６を介してコンバータ１４の素子１４ａ－１４ｆの動作を制御する。

[0022] 目標ＤＣ電圧は、予定される電気負荷２８から要求されると想定される交流電圧を満足するように予め決定される。また、制御部４０は電気負荷２８から実際に要求される交流電圧となるようにインバータ２０のブリッジ回路の素子２０ａ－２０ｄの動作を制御するが、この発明の特徴はコンバータ１４の構成にあるので、インバータ２０についての詳細な説明は省略する。

[0023] このようにインバータユニット２２のコンバータ１４とコンデンサ１６と制御部４０が整流部、昇降圧部（ＣＯＶ）として動作し、インバータ２０と制御部４０がＤＣ／ＡＣ変換部（ＩＮＶ）として動作する。また、エンジン１０とオルタネータ１２が発電部（ＡＬＴ）として動作する。

[0024] 次いで、上記した制御部４０の発電出力の昇降圧などについて図２以降を参照して説明する。

[0025] 図２は制御部４０の発電出力の昇降圧制御を示すフロー・チャート、図３はその制御を説明するタイム・チャート、図４はそれらを全体的に示すコンバータ１４の等価回路図、図５は図４の発電・昇圧の原理を示すオルタネータ１２とコンバータ１４の等価回路図、図６は図５のオルタネータ１２の一部の線間部に着目した等価回路図である。

[0026] 図２を参照して説明すると、Ｓ１０においてコンバータ１４の上側の素子

１４ａ－１４ｃのサイリスタ（１４ａ１－１４ｃ１）をＯＦＦ（オフ）し、下側の素子１４ｄ－１４ｆのＭＯＳＦＥＴ（以下「ＦＥＴ」と略称）（１４ｄ１－１４ｆ１）をＯＦＦ（オフ）する（Ｓ：処理ステップ）。尚、図２の処理は所定時間、例えば１０ｍｓｅｃごとに実行される。

[0027] 次いでＳ１２に進み、サイリスタ（１４ａ１－１４ｃ１）をＯＮ（オン）する一方、ＦＥＴ（１４ｄ１－１４ｆ１）はＯＦＦ（オフ）のままとする。

[0028] 次いでＳ１６に進み、サイリスタ（１４ａ１－１４ｃ１）をＯＮ（オン）状態に固定し、ＦＥＴ（１４ｄ１－１４ｆ１）をＰＷＭ（Pulse Width Modulation）制御する。サイリスタとＦＥＴのＯＮ／ＯＦＦ制御は素子ドライブ回路３６を通じて行う。

[0029] 図２フロー・チャートの処理を図３タイム・チャートに即して説明すると、Ｓ１０の処理は図３タイム・チャートの期間αの前の準備処理であり、素子の動作を初期状態にリセットし、ＤＣ電圧（検出値）と目標ＤＣ電圧（目標値）の比較を行う処理である。

[0030] いま期間αにあるとすると、図３Ａに示すようにＤＣ電圧が目標ＤＣ電圧を超えていることから、Ｓ１０の処理を継続することでサイリスタ（１４ａ１－１４ｃ１）の導通率の移動平均値は徐々に減少する。サイリスタの導通率の移動平均値は一定時間でのサイリスタのＯＮ時間の割合であることから、Ｓ１０の処理を継続することによって図３Ｃに示すように経時的に減少する。

[0031] 図３においては期間αの終端でＤＣ電圧が目標ＤＣ電圧に一致し、続く期間βで目標ＤＣ電圧未満となることから、Ｓ１２の処理に進む。即ち、図３Ｂに示すようにサイリスタ（１４ａ１－１４ｃ１）の動作はＯＦＦからＯＮに変更される結果、図３Ｃに示すようにサイリスタの導通率の移動平均値は上昇に転じる。図３Ｂの右端にサイリスタのＯＮ／ＯＦＦ制御（デューティ制御）を誇張して示す。

[0032] 続く期間γで導通率が飽和することから、Ｓ１４に進み、サイリスタをＯＮ固定したままＦＥＴ（１４ｄ１－１４ｆ１）をデューティ制御することで

ＤＣ電圧を昇圧させる。ここで、デューティ制御は目標ＤＣ電圧（目標値）とＤＣ電圧（検出値）の偏差に応じてＦＥＴ（１４ｄ１－１４ｆ１）をＯＮするデューティを可変にして検出値を目標値に近づける制御を意味する。

[0033] この昇圧制御については後で詳細に説明する。

[0034] その結果、図３Ａに示すように期間Δにおいて検出ＤＣ電圧が目標ＤＣ電圧を超えたことから、再びＳ１０の処理に戻り、上記を繰り返す。

[0035] 尚、コンバータ１４において下側の素子１４ｄ－１４ｆをＦＥＴに代え、ＩＧＢＴとダイオードとした場合、Ｓ１４のＦＥＴのPWM制御はＩＧＢＴをPWM制御することを意味する。尚、ＦＥＴとＩＧＢＴ＋ダイオードのいずれを選定するかは使用する電流と電圧による。

[0036] 図４を参照して図２と図３に示す制御を敷衍する。

[0037] 図４の左端に示す発電・降圧時の場合、Ｓ１０とＳ１２の処理に示すようにＩＧＢＴとＦＥＴがＯＦＦされることから、三相の発電出力の一つの相の発電出力（電流）は上側のサイリスタ（１４ａ１－１４ｃ１）と下側のＦＥＴ（１４ｄ１－１４ｆ１）の寄生ダイオード（１４ｄ２－１４ｆ２）を通って矢印で示すように流れる。このとき、図３Ｃに示すようにサイリスタの導通率を低下させることで、発電出力を降圧させてＤＣ電圧を目標ＤＣ電圧に近づけることができる。

[0038] 図４の右端に示す発電・昇圧時の場合、Ｓ１２，Ｓ１４の処理に示すようにサイリスタ（１４ａ１－１４ｃ１）をＯＮ固定させたまま、オルタネータ１２の三相巻線１２ａのインダクタンスＬを利用しつつＦＥＴ（１４ｄ１－１４ｆ１）を制御して昇圧させる。三相の発電出力の一つの相に着目したとき電流は矢印で示すように流れる。

[0039] 図５を参照してその昇圧制御をさらに説明すると、同図はオルタネータ１２の三相巻線１２ａ，１２ｂ，１２ｃとコンバータ１４の等価回路図である。図６は三相巻線１２ａのａ－ｂ線間部のみに着目した等価回路図である。

[0040] この制御は概説すると、サイリスタ（１４ａ１－１４ｃ１）をＯＮ固定してダイオードとして使用し、三相巻線１２ａとＦＥＴ（１４ｄ１－１４ｆ１

）の制御を組み合わせることにより、整流しながらＤＣで電圧の昇圧制御を可能にするものである。

[0041] 即ち、昇圧時はサイリスタ（１４ａ１）のゲート端子は常時ＯＮ信号を与えてダイオードとして使用する。発電出力が生じたときにＦＥＴ（１４ｄ１）をＯＮすると、電流はｉ１のように流れ、三相巻線１２ａのインダクタンスに磁気エネルギが蓄えられる。

[0042] 次いで、ＦＥＴ（１４ｅ１）をＯＦＦすると、電流はｉ２のように流れる。即ち、三相巻線１２ａに蓄えられた磁気エネルギが放出される結果、発電出力は電流ｉ２の分だけ嵩上げされて昇圧される。従って、三相整流ブリッジ回路のＦＥＴ（１４ｄ１－１４ｅ１）をデューティ制御することでＤＣ電圧を発電出力に必要な電圧まで昇圧させることが可能となる。

[0043] ＦＥＴ（１４ｄ１－１４ｅ１）のゲート端子にＯＮ信号を供給するタイミングは、図１の位相・ゼロクロス検出回路の出力から波形の位相を検出し、素子ドライブ回路３６を通じて最適な位相で制御する。尚、素子（１４ｄ１－１４ｆ１）としてＦＥＴに代え、ＩＧＢＴとダイオードから構成したときはＩＧＢＴをデューティ制御することは前記したとおりである。

[0044] この実施形態に係る発電機はコンバータ１４の三相整流ブリッジ回路の上下３組の素子１４ａ－１４ｆを、上側１４ａ－１４ｃをデューティ制御可能なダイオード素子（例えばサイリスタ）（１４ａ１－１４ｃ１）から構成し、下側の素子１４ｄ－１４ｅを少なくともデューティ制御可能でダイオードを備えるスイッチング素子（例えば寄生ダイオード１４ｄ２－１４ｆ２を内蔵したＦＥＴ１４ｄ１－１４ｆ１など）から構成するようにしたので、コンバータ１４において、整流回路と昇降圧回路を１個の三相ブリッジ回路で実現することができる。

[0045] ここで、この実施形態の発電機１の回転数における利点について図７から図１０を参照して説明する。

[0046] 同一のコアを用いて巻線数を変えたオルタネータを、ＡＬＴ１，ＡＬＴ２（巻線数：ＡＬＴ１＜ＡＬＴ２）としたときの電圧・出力特性は、例えば高

回転時が図７、低回転時が図８に示すとおりとなる。また、図９は低回転時のＡＬＴ２の昇圧整流による出力アップを、図１０は極低回転時のＡＬＴ２の昇圧整流による出力アップを示す。

[0047] 図７の高回転時にはＡＬＴ２は出力が大きくて望ましいが、ＤＣ電圧を降圧するときは目標ＤＣ電圧以上の電圧が必要となり、図８の低回転時にはＡＬＴ２の方が必要な出力を確保できることになる。

[0048] しかしながら、この実施形態で述べたようにＤＣ昇降圧が可能となると、ＡＬＴ２の最大回転数でオルタネータ１２の出力の最大ピーク点が確保できるように巻線数を設定し、図９に示す如く、低回転時は昇圧整流を行って必要な電圧を確保することで、その回転数のオルタネータ１２の出力ピークまで発電出力を使用することができる。

[0049] また、図１０に示す如く、オルタネータ電圧が目標ＤＣ電圧に達しない極低回転時においても、図２から図４を参照して説明した昇圧整流することで電圧を確保できるため、電気負荷２８から要求される出力が可能となる。これにより、軽負荷時のアイドル回転数をさらに下げることも可能となり、エンジン１０の回転数を低く抑えることができ、騒音・燃費などで大きなメリットを得ることができる。

[0050] このように、この実施形態に係る発電機１は、最大回転数・最大出力ポイントにあわせたオルタネータ１２の巻線仕様として、同一サイズのオルタネータ１２で最大の出力と低回転域での出力を両立できることになり、オルタネータ１２の巻線仕様の制約が減少させることができる。

[0051] また、昇圧整流のみの場合は低回転、高回転の全出力域でオルタネータ電圧を目標ＤＣ電圧より低くなるように設定する必要があるが、昇圧比には限界があるため、低回転の最大出力時に昇圧しきれず、ＤＣ電圧が目標ＤＣ電圧に到達できないことがある。その点からもこの実施形態における昇降圧の両方が可能な整流手法はメリットが大きい。

[0052] （第２実施形態）

[0053] 図１１はこの発明の第２実施形態に係る発電機１を全体的に示す、図１と

同様な電気回路図である。

[0054] 第１実施形態と相違する点に焦点をおいて説明すると、第１実施形態にあっては回転原動機としてエンジン１０に代え、電動機１０ａを用いるようにした。尚

残余の構成および効果は第１実施形態と異ならない。

[0055] 上記した如く、第１、第２実施形態にあっては、三相巻線１２ａ，１２ｂ，１２ｃを有し、回転原動機（エンジン１０あるいは電動機１０ａ）で駆動されて発電するオルタネータ１２と、上下３組の素子１４ａ－１４ｆを有する三相整流ブリッジ回路からなると共に、前記オルタネータ１２から出力される三相交流を直流に変換するコンバータ１４と、前記コンバータ１４から出力される直流の端子電圧（ＤＣ電圧）が目標電圧（ＤＣ目標電圧）となるように前記三相整流ブリッジ回路の素子１４ａ－１４ｆの駆動を制御するコンバータ制御部（ＥＣＵ４０）とを備えたインバータ式発動発電機１において、前記コンバータ１４の三相整流ブリッジ回路の上下３組の素子を、上側を少なくともデューティ制御可能なダイオード素子（例えばサイリスタ）（１４ａ１－１４ｃ１）から構成し、下側を少なくともデューティ制御可能でダイオードを備えるスイッチング素子（ＦＥＴまたはＩＧＢＴ＋とダイオード、またはトランジスタと並列ダイオード、例えば寄生ダイオード１４ｄ２－１４ｆ２を内蔵するＭＯＳＦＥＴ（１４ｄ１－１４ｆ１））から構成したので、整流回路と昇降圧回路を１個の三相ブリッジ回路で実現することができる。

[0056] また、整流回路と別に昇圧・降圧回路を追加する必要がないため、サイズ、重量、部品点数をアップすることなく、発電時に一定のＤＣ電圧の供給が可能となる。

[0057] また、図７から図１０を参照して説明したように、発電時は昇圧・降圧両方に対応できるため、広い回数数領域でオルタネータ１２の出力を最大限に確保することができると共に、オルタネータ１２は同一コアで最大の出力を確保できる巻線仕様にでき、さらには負荷待機時（換言すれば無負荷時）の

回転数を従来の降圧型の整流手法のアイドル回転数よりも低下させることができる。

[0058] また、前記コンバータ制御部は、前記三相ブリッジ回路から出力される直流の端子電圧が目標電圧となるように前記上下３組の素子１４ａ－１４ｆの駆動を制御する如く構成したので、上記した効果に加え、昇降圧制御を効果的に行うことができる。

[0059] また、前記コンバータ制御部は、前記三相ブリッジ回路から出力される直流の端子電圧の検出値（ＤＣ電圧）を目標値（目標ＤＣ電圧）と比較し、前記検出値と前記目標値の比較結果に応じて前記上下３組の素子１４ａ－１４ｆの駆動を制御する（Ｓ１０－Ｓ１４）如く構成したので、上記した効果に加え、昇降圧制御を一層効果的に行うことができる。

[0060] また、前記コンバータ制御部は、前記出力される直流の端子電圧の前記検出値（ＤＣ電圧）が前記目標値（目標ＤＣ電圧）未満のとき、前記三相巻線に生じた磁気エネルギによる起電力分だけ前記三相ブリッジ回路の出力電圧が増加するように、前記上下３組の素子１４ａ－１４ｆのうちの上側の前記デューティ制御可能なダイオード素子１４ａ１－１４ｃ１をオンすると共に、下側の前記デューティ制御可能な素子１４ｄ１－１４ｆ１をデューティ制御する如く構成したので、上記した効果に加え、発電出力を超えた磁気エネルギ相当分の電圧までＤＣ電圧を昇圧させることができる。

[0061] 前記コンバータ制御部は、前記出力される直流の端子電圧の前記検出値（ＤＣ電圧）が前記目標値（目標ＤＣ電圧）を超えるとき、前記三相ブリッジ回路の出力電圧が減少するように、前記上下３組の素子１４ａ－１４ｆのうちの下側の前記デューティ制御可能な素子１４ｄ１－１４ｆ１をオフすると共に、上側の前記デューティ制御可能なダイオード素子１４ａ１－１４ｃ１をデューティ制御する如く構成したので、上記した効果に加え、ＤＣ電圧を所望の電圧に降圧させることができる。

[0062] また、前記回転原動機が汎用エンジン１０または電動機１０ａからなる如く構成したので、上記した効果に加え、回転原動機としてエンジン１０また

は電動機１０ａが用いられる場合でも、整流回路と昇降圧回路とを１個の三相ブリッジ回路で実現することができる。

産業上の利用可能性

[0063] この発明に係るインバータ式発電機は、エンジンなどの回転原動機で駆動される発電機に好適に使用することができる。

符号の説明

[0064] １　インバータ式発動発電機（発電機）、１０　エンジン（回転原動機）、１０ａ　電動機（回転原動機）、１２　オルタネータ、１４　コンバータ、１４ａ-１４ｆ　素子、１４ａ１－１４ｃ１　サイリスタ、１４ｄ１－１４ｆ１　ＭＯＳＦＥＴ（ＦＥＴ）、１４ｄ２－１４ｆ２　ダイオード、１６　コンデンサ、２０　インバータ、２２　インバータユニット、２８　電気負荷、３０　バッテリ（電源）、３２　ＤＣ電圧検出回路、３４　位相・ゼロクロス検出回路、３６　素子ドライブ回路、４０　電子制御ユニット（ＥＣＵ。制御部）、４０ａ　ＣＰＵ、４０ｂ　メモリ

請求の範囲

[請求項1] 三相巻線を有し、回転原動機で駆動されて発電するオルタネータと、

上下３組の素子を有する三相整流ブリッジ回路からなると共に、前記オルタネータから出力される三相交流を直流に変換するコンバータと、

前記コンバータから出力される直流の端子電圧が目標電圧となるように前記三相整流ブリッジ回路の素子の駆動を制御するコンバータ制御部と、

を備えたインバータ式発動発電機において、

前記コンバータの三相整流ブリッジ回路の上下３組の素子を、上側を少なくともデューティ制御可能なダイオード素子から構成し、下側を少なくともデューティ制御可能でダイオードを備えるスイッチング素子から構成したことを特徴とするインバータ式発動発電機。

[請求項2] 前記コンバータ制御部は、前記三相ブリッジ回路から出力される直流の端子電圧が目標電圧となるように前記上下３組の素子の駆動を制御することを特徴とする請求項１記載のインバータ式発動発電機。

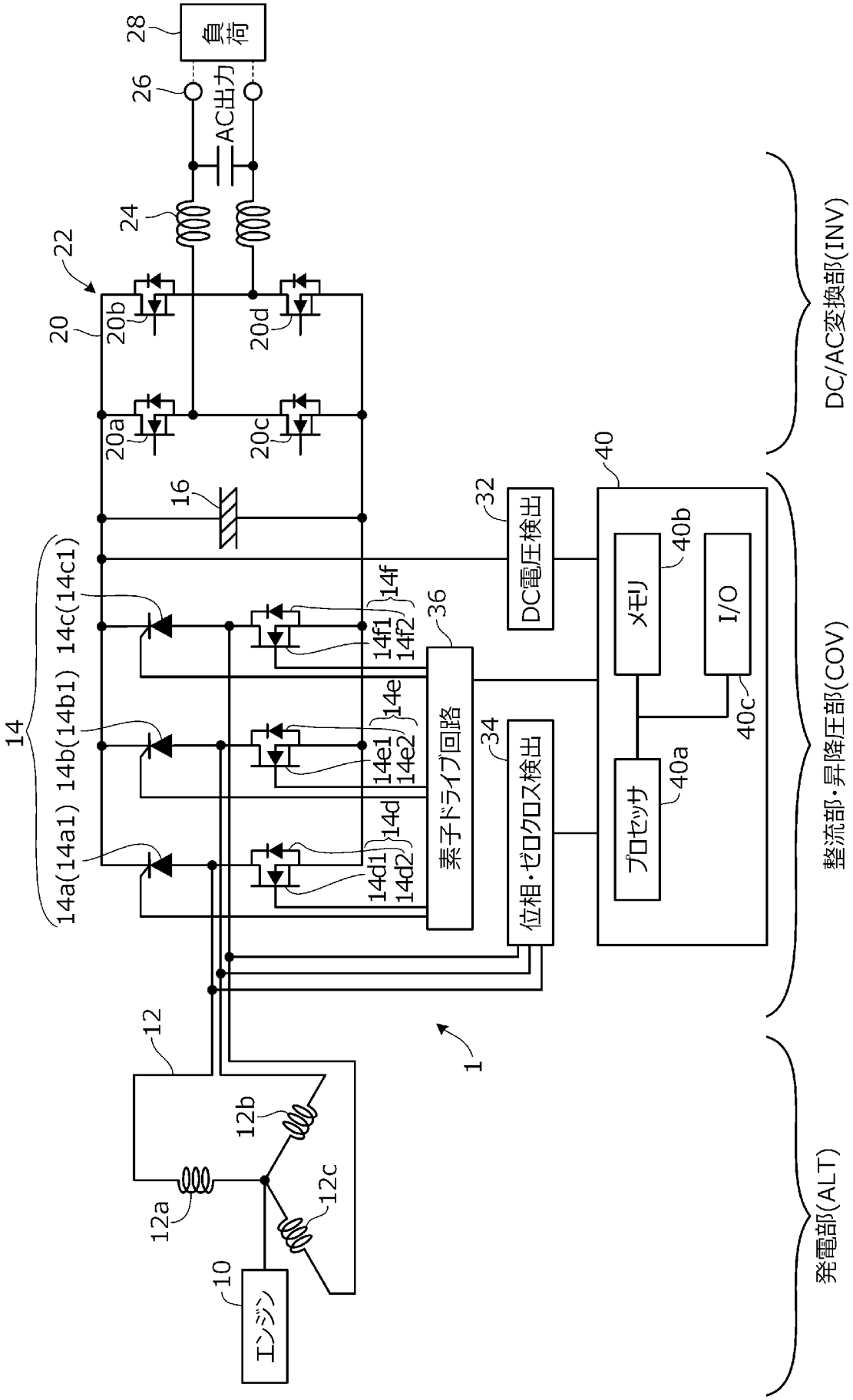
[請求項3] 前記コンバータ制御部は、前記三相ブリッジ回路から出力される直流の端子電圧の検出値を目標値と比較し、前記検出値と前記目標値の比較結果に応じて前記上下３組の素子の駆動を制御することを特徴とする請求項２記載のインバータ式発動発電機。

[請求項4] 前記コンバータ制御部は、前記出力される直流の端子電圧の前記検出値が前記目標値未満のとき、前記三相巻線に生じた磁気エネルギによる起電力分だけ前記三相ブリッジ回路の出力電圧が増加するように、前記上下３組の素子のうちの上側の前記デューティ制御可能なダイオード素子をオンすると共に、下側の前記デューティ制御可能な素子をデューティ制御することを特徴する請求項２または３記載のインバータ式発動発電機。

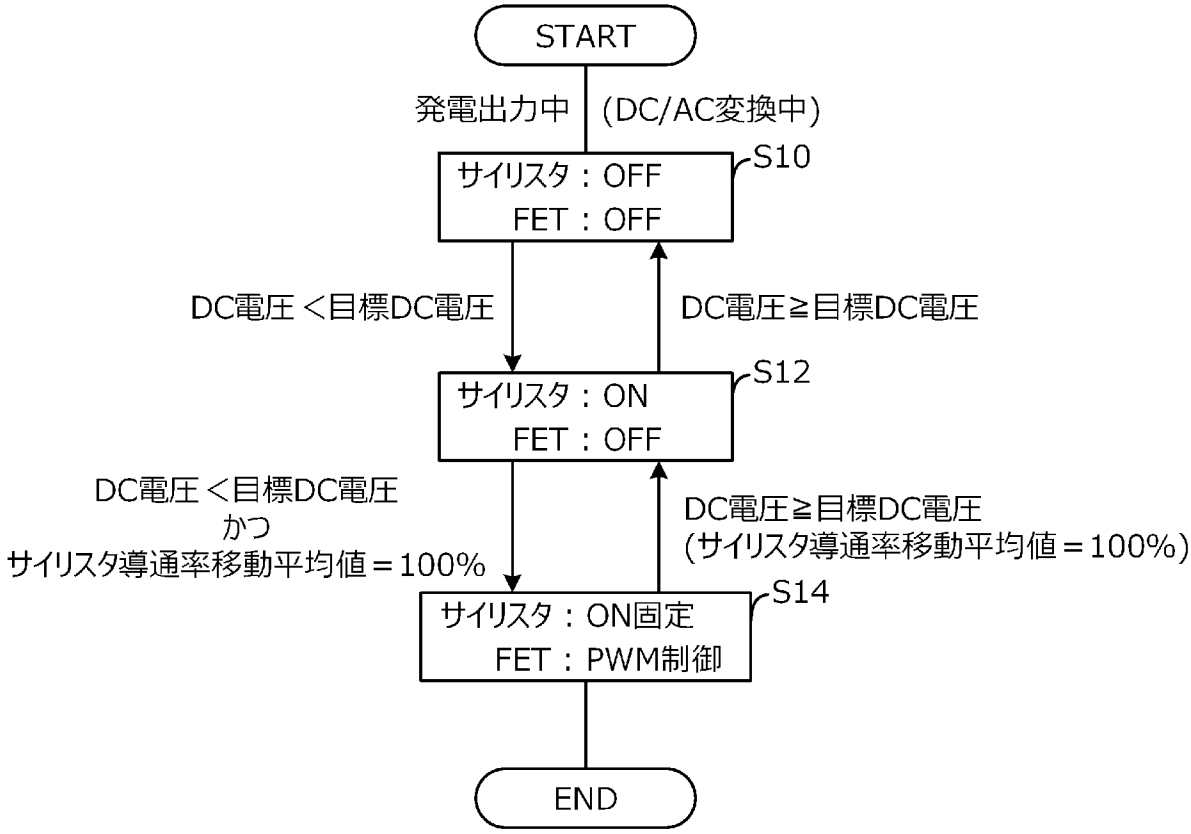
[請求項5] 前記コンバータ制御部は、前記出力される直流の端子電圧の前記検出値が前記目標値を超えるとき、前記三相ブリッジ回路の出力電圧が減少するように、前記上下３組の素子のうちの下側の前記デューティ制御可能な素子をオフすると共に、上側の前記デューティ制御可能なダイオード素子をデューティ制御することを特徴する請求項３または４記載のインバータ式発動発電機。

[請求項6] 前記回転原動機が汎用エンジンまたは電動機からなることを特徴する請求項１から５のいずれか１項に記載のインバータ式発動発電機。

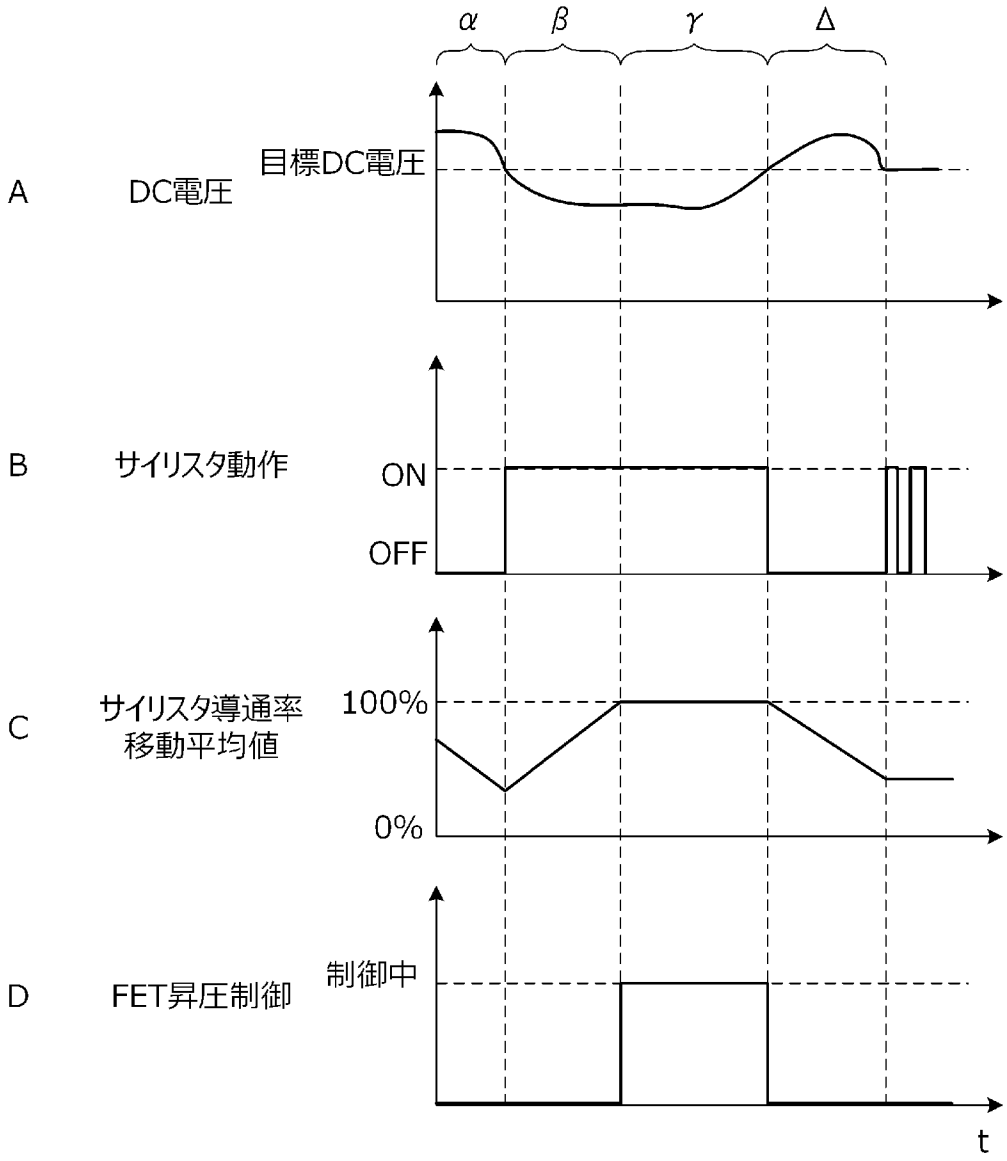
[図1]


負荷
28
26
AC出力
24
22
20
20b
20d
20a
20c
16
14
14a(14a1) 14b(14b1) 14c(14c1)
14f1
14f2
14f
14e1
14e2
14e
14d1
14d2
14d
36
素子ドライブ回路
32
DC電圧検出
34
位相・ゼロクロス検出
40
メモリ
40b
I/O
40c
プロセッサ
40a
1
12
12b
12a
12c
10
エンジン
DC/AC変換部(INV)
整流部・昇降圧部(COV)
発電部(ALT)

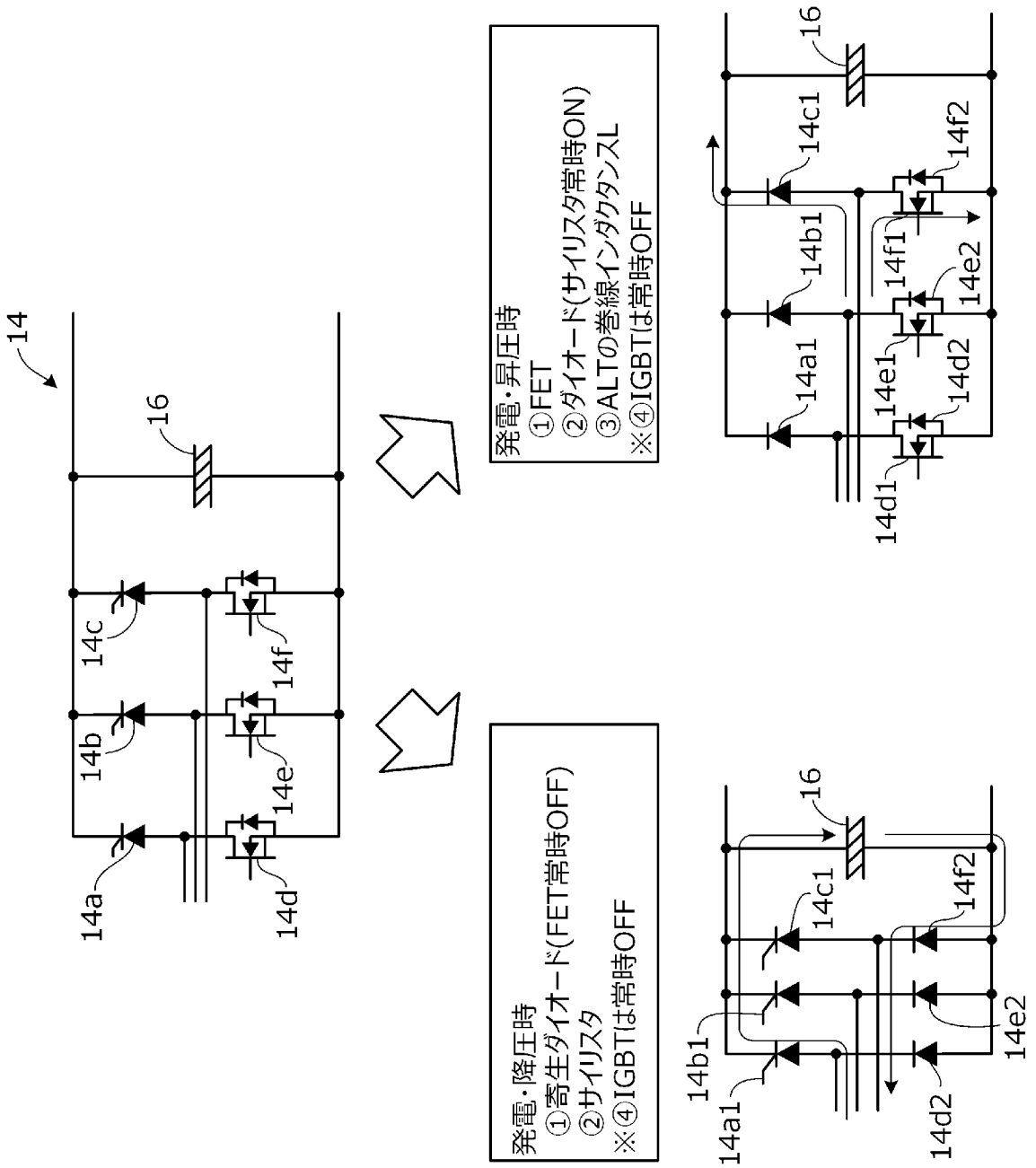
[図2]


START
発電出力中
(DC/AC変換中)
サイリスタ：OFF
FET：OFF
S10
DC電圧＜目標DC電圧
DC電圧≧目標DC電圧
サイリスタ：ON
FET：OFF
S12
DC電圧＜目標DC電圧
かつ
サイリスタ導通率移動平均値＝100%
DC電圧≧目標DC電圧
(サイリスタ導通率移動平均値＝100%)
サイリスタ：ON固定
FET：PWM制御
S14
END

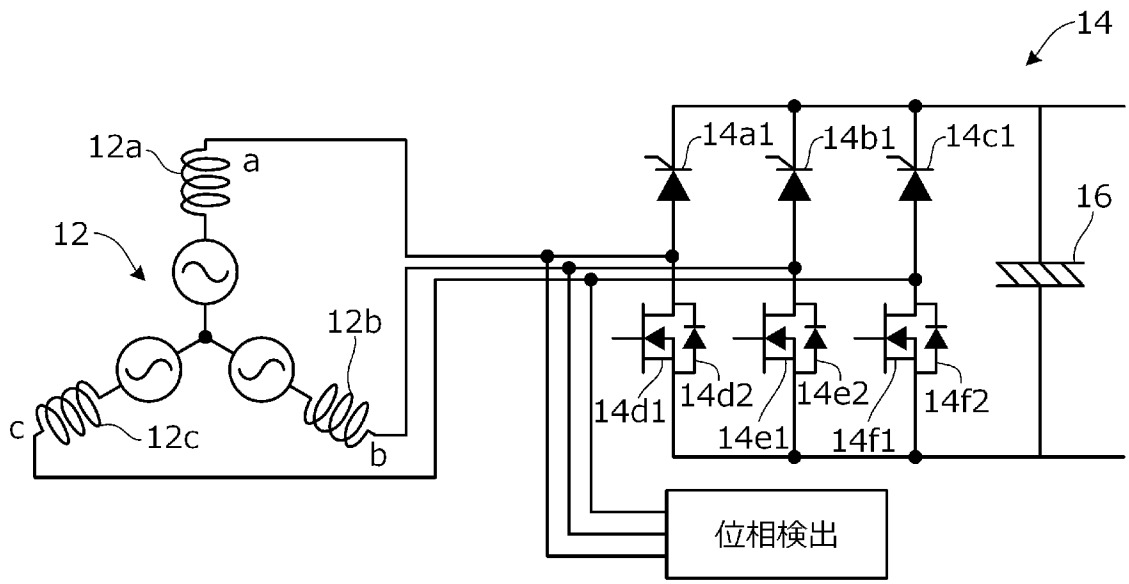
[図3]


α
β
γ
Δ
A
DC電圧
目標DC電圧
B
サイリスタ動作
ON
OFF
C
サイリスタ導通率
移動平均値
100%
0%
D
FET昇圧制御
制御中
t

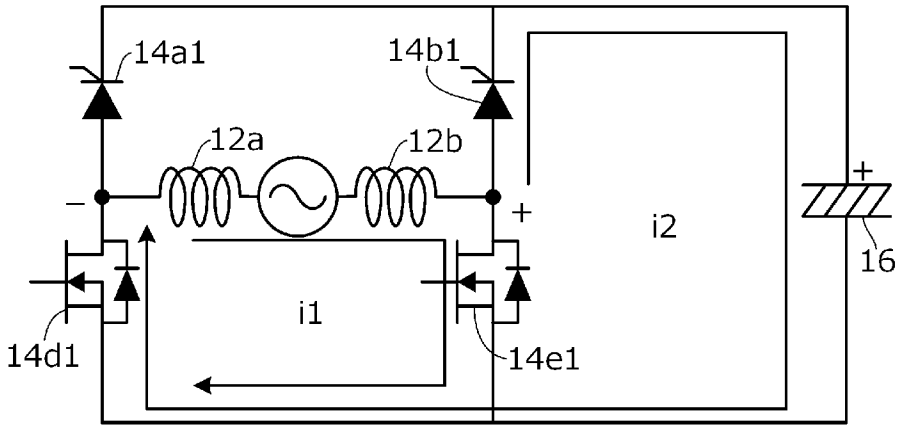
[図4]


14
16
14c
14f
14b
14e
14a
14d
発電・昇圧時
①FET
②ダイオード(サイリスタ常時ON)
③ALTの巻線インダクタンスL
※④IGBTは常時OFF
14c1
14f2
14b1
14f1
14e2
14a1
14e1
14d2
14d1
発電・降圧時
①寄生ダイオード(FET常時OFF)
②サイリスタ
※④IGBTは常時OFF

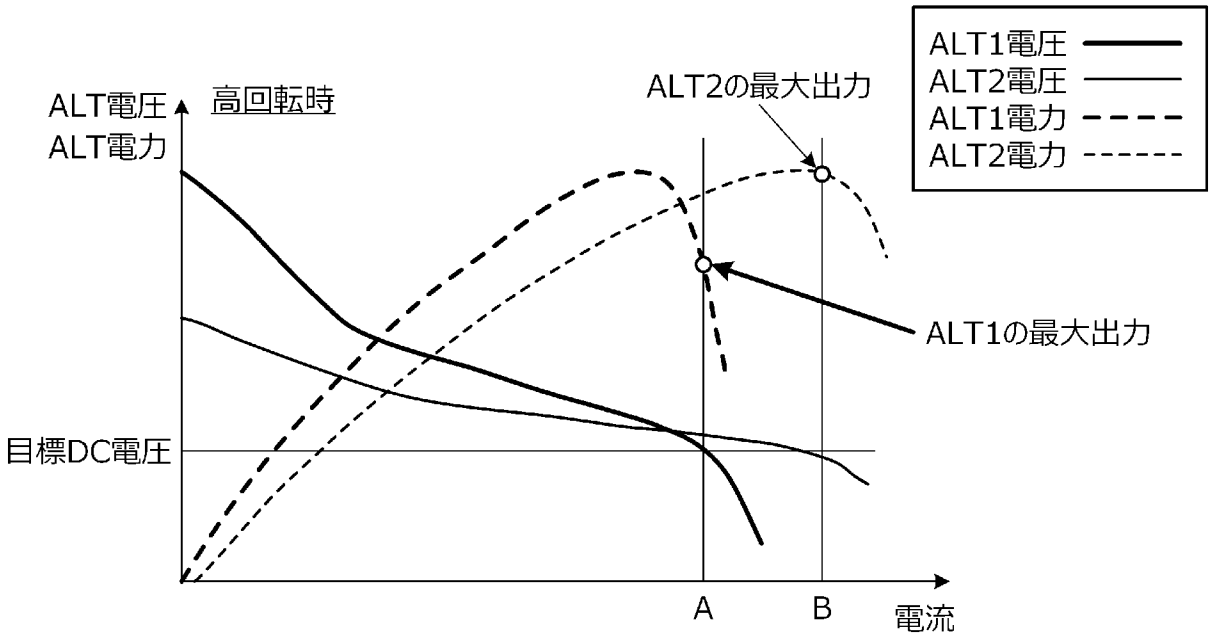
[図5]


14
12a
a
12
12b
c
12c
b
14a1
14b1
14c1
16
14d1
14d2
14e2
14f2
14e1
14f1
位相検出

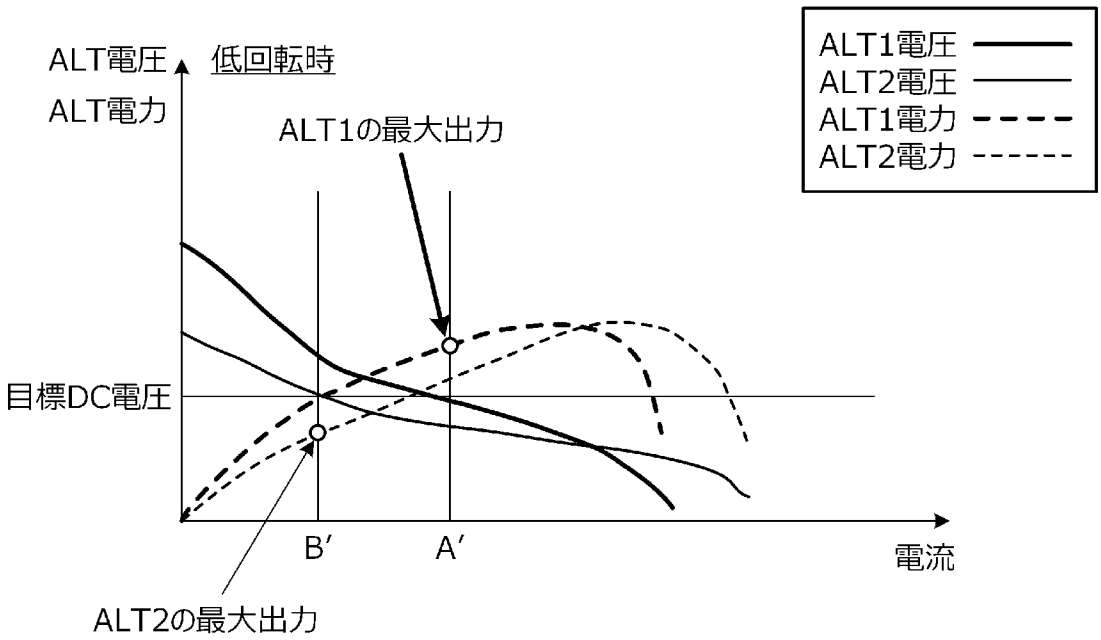
[図6]


14a1
14b1
12a
12b
−
+
i2
+
16
i1
14d1
14e1

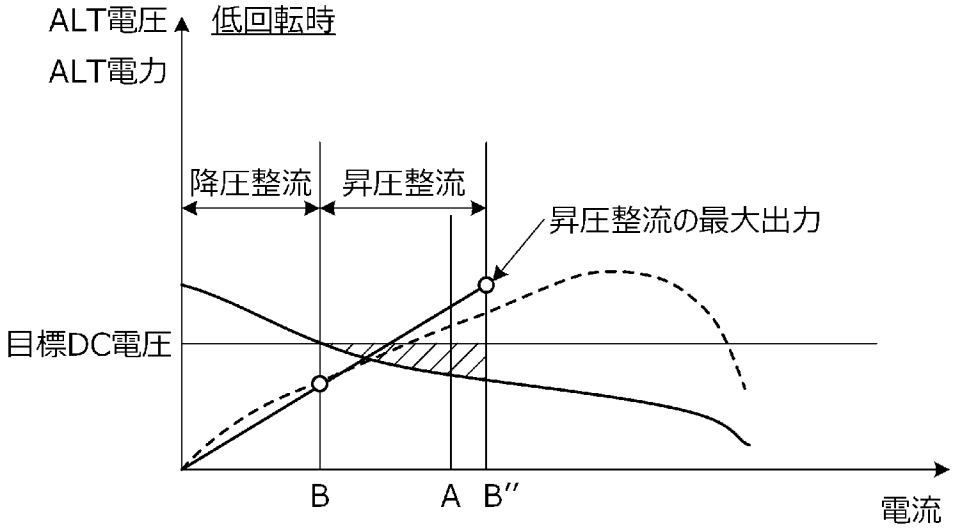
[図7]


ALT1電圧
ALT2電圧
ALT1電力
ALT2電力
ALT電圧
ALT電力
高回転時
ALT2の最大出力
ALT1の最大出力
目標DC電圧
A
B
電流

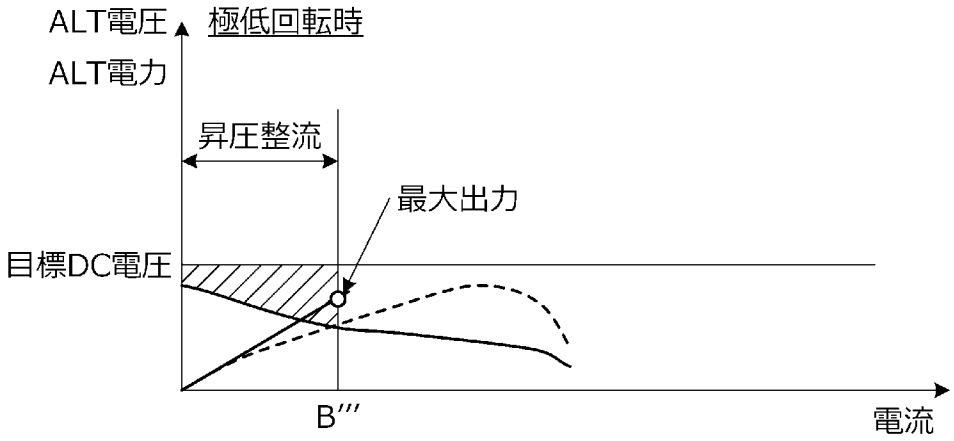
[図8]


ALT1電圧
ALT2電圧
ALT1電力
ALT2電力
ALT電圧
ALT電力
低回転時
ALT1の最大出力
目標DC電圧
B′
A′
電流
ALT2の最大出力

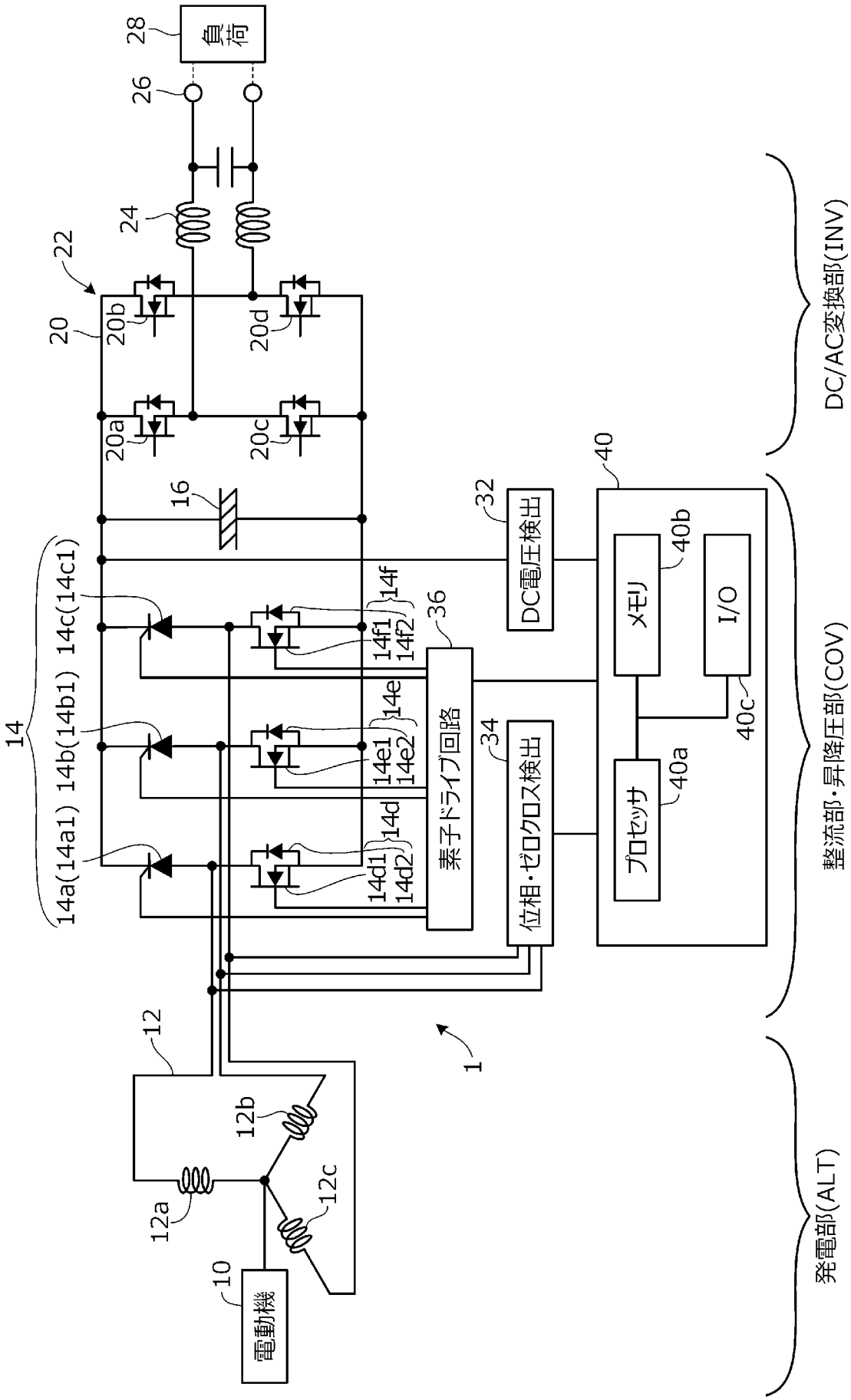
[図9]


ALT電圧
ALT電力
低回転時
降圧整流
昇圧整流
昇圧整流の最大出力
目標DC電圧
B
A
B″
電流

[図10]


ALT電圧
ALT電力
極低回転時
昇圧整流
最大出力
目標DC電圧
B‴
電流

[図11]


負荷
28
26
24
22
20
20b
20d
20a
20c
16
32
DC電圧検出
40
メモリ
40b
I/O
40c
プロセッサ
40a
14
14a(14a1) 14b(14b1) 14c(14c1)
14f
14f1
14f2
14e
14e1
14e2
14d
14d1
14d2
36
素子ドライブ回路
34
位相・ゼロクロス検出
1
12
12b
12a
12c
10
電動機
DC/AC変換部(INV)
整流部・昇降圧部(COV)
発電部(ALT)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2018/032385

A. CLASSIFICATION OF SUBJECT MATTER
Int. Cl. H02M7/12(2006.01)i, H02M7/155(2006.01)i, H02P9/04(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int. Cl. H02M7/12, H02M7/155, H02P9/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2018
Registered utility model specifications of Japan 1996-2018
Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-119928 A (LEROY SOMER) 27 April 2001, entire text, all drawings	1-6
A	JP 11-196599 A (ROBERT BOSCH GMBH) 21 July 1999, paragraphs [0024]-[0026], fig. 4	1-6
A	JP 2008-532473 A (YORK INTERNATIONAL CORPORATION) 14 August 2008, paragraphs [0004], [0017], [0018], [0036]-[0042], fig. 5A	1-6

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
24.10.2018	06.11.2018
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

Form PCT/ISA/210 (second sheet) (January 2015)

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2018/032385

Patent Documents referred to in the Report	Publication Date	Patent Family	Publication Date
JP 2001-119928 A	2001.04.27	US 6713990 B1, entire text, all drawings EP 1076411 A1 FR 2797535 A1	
JP 11-196599 A	1999.07.21	US 6924629 B1, column 4, line 60 to column 5, line 20, fig. 4 DE 19845569 A1 FR 2769770 A1	
JP 2008-532473 A	2008.08.14	US 2006/0208685 A1, paragraphs [0004], [0017]-[0020], [0045]-[0051], fig. 5A WO 2006/093647 A1 WO 2006/093648 A1 CA 2596971 A1 CA 2596992 A1 KR 10-2007-0104927 A KR 10-2007-0104928 A CN 101160701 A CN 101160702 A CN 103178773 A TW 200637127 A TW 200635199 A	

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１８／０３２３８５

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H02M7/12(2006.01)i, H02M7/155(2006.01)i, H02P9/04(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H02M7/12, H02M7/155, H02P9/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１８年
日本国実用新案登録公報	１９９６－２０１８年
日本国登録実用新案公報	１９９４－２０１８年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2001-119928 A（ルロワーソメ）2001.04.27, 全文,全図	1-6
A	JP 11-196599 A（ローベルト　ボツシユ　ゲゼルシヤフト　ミツトベシユレンクテル　ハフツング）1999.07.21, 段落 24-26,図 4	1-6
A	JP 2008-532473 A（ヨーク・インターナショナル・コーポレーション）2008.08.14, 段落 4,段落 17-18,段落 36-42,図 5A	1-6

☐　Ｃ欄の続きにも文献が列挙されている。

☑　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
２４．１０．２０１８	０６．１１．２０１８

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｇ　９５６１
柳下　勝幸

電話番号　０３－３５８１－１１０１　内線　３５２６

国際調査報告
パテントファミリーに関する情報

国際出願番号 ＰＣＴ／ＪＰ２０１８／０３２３８５

引用文献	公表日	パテントファミリー文献
JP 2001-119928 A	2001.04.27	US 6713990 B1,全文,全図 EP 1076411 A1 FR 2797535 A1
JP 11-196599 A	1999.07.21	US 6924629 B1,第4欄第60行 -第5欄第20行,図4 DE 19845569 A1 FR 2769770 A1
JP 2008-532473 A	2008.08.14	US 2006/0208685 A1,段落4, 段落17-20,段落45-51,図5A WO 2006/093647 A1 WO 2006/093648 A1 CA 2596971 A1 CA 2596992 A1 KR 10-2007-0104927 A KR 10-2007-0104928 A CN 101160701 A CN 101160702 A CN 103178773 A TW 200637127 A TW 200635199 A