



(12) 发明专利申请

(10) 申请公布号 CN 103839781 A

(43) 申请公布日 2014. 06. 04

(21) 申请号 201210477231. 2

(22) 申请日 2012. 11. 21

(71) 申请人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市浦东新区张江路 18 号

(72) 发明人 何其暘

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 骆苏华

(51) Int. Cl.

H01L 21/027(2006. 01)

H01L 21/02(2006. 01)

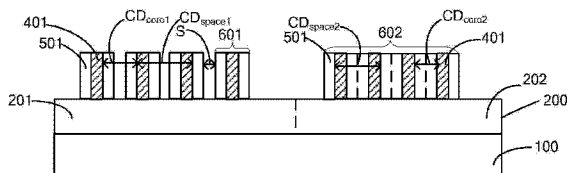
权利要求书2页 说明书6页 附图5页

(54) 发明名称

半导体精细图案的形成方法

(57) 摘要

一种半导体精细图案的形成方法,包括:提供半导体衬底,所述半导体衬底表面具有待刻蚀材料层,所述待刻蚀材料层具有第一区域和第二区域;在待刻蚀材料层第一区域的表面形成若干分立的第一牺牲层,在待刻蚀材料层第二区域的表面形成若干分立的第二牺牲层;分别在第一牺牲层和第二牺牲层的两侧形成第一侧墙;去除第一牺牲层和第二牺牲层;在第一侧墙两侧形成第二侧墙,形成若干分立的第一掩膜层和连续的第二掩膜层;以所述第一掩膜层和第二掩膜层为掩膜,刻蚀待刻蚀材料层,在待刻蚀材料层的第一区域形成具有间隔的重复图形,在待刻蚀材料层的第二区域形成连续图形。本发明的技术方案,能同时形成具有间隔的重复图形和连续的大尺寸图形。



1. 一种半导体精细图案的形成方法,其特征在于,包括:

提供半导体衬底,所述半导体衬底表面具有待刻蚀材料层,所述待刻蚀材料层具有第一区域和第二区域;

在待刻蚀材料层第一区域的表面形成若干分立的第一牺牲层,在待刻蚀材料层第二区域的表面形成若干分立的第二牺牲层;

分别在第一牺牲层和第二牺牲层的两侧形成第一侧墙;

去除第一牺牲层和第二牺牲层,位于待刻蚀材料层第一区域表面的第一侧墙之间的间距大于位于待刻蚀材料层第二区域表面的第一侧墙之间的间距;

在第一侧墙两侧形成第二侧墙,位于待刻蚀材料层第一区域表面的第一侧墙及其两侧的第二侧墙形成若干分立的第一掩膜层,位于待刻蚀材料层第二区域表面的第一侧墙及其两侧的第二侧墙形成连续的第二掩膜层;

以所述第一掩膜层和第二掩膜层为掩膜,刻蚀待刻蚀材料层,在待刻蚀材料层的第一区域形成具有间隔的重复图形,在待刻蚀材料层的第二区域形成连续图形。

2. 根据权利要求1所述的半导体精细图案的形成方法,其特征在于,所述第一牺牲层宽度相同并且相邻第一牺牲层之间具有第一间隔,第一牺牲层与第一间隔组成多个周期性图形,其中一个周期的宽度为第一节距 P_1 ,所述第二牺牲层宽度相同并且相邻第一牺牲层之间具有第二间隔,第二牺牲层与第二间隔组成多个周期性图形,其中一个周期的宽度为第二节距 P_2 ,且 $P_2 < P_1$ 。

3. 根据权利要求2所述的半导体精细图案的形成方法,其特征在于,所述第一节距 $P_1 > 65\text{nm}$ 。

4. 根据权利要求2所述的半导体精细图案的形成方法,其特征在于,所述刻蚀材料层第一区域表面的第一侧墙及其两侧的第二侧墙形成的若干分立的第一掩膜层之间的间距为 S ,并且使 $P_2 = P_1 - 2S$ 。

5. 根据权利要求4所述的半导体精细图案的形成方法,其特征在于,所述刻蚀材料层第一区域表面的第一侧墙及其两侧的第二侧墙,形成的若干分立的第一掩膜层之间的间距 $S < 20\%P_1$ 。

6. 根据权利要求4所述的半导体精细图案的形成方法,其特征在于,在待刻蚀材料层的第二区域形成的连续图形的宽度大于或等于 $P_1 - 2S$ 。

7. 根据权利要求2所述的半导体精细图案的形成方法,其特征在于,所述第一牺牲层的宽度为 CD_{core1} ,第二牺牲层的宽度为 CD_{core2} , $CD_{\text{core1}} < 1/2P_1$, $CD_{\text{core2}} < 1/2P_2$,并且 $1/2P_1 - CD_{\text{core1}} = 1/2P_2 - CD_{\text{core2}}$ 。

8. 根据权利要求7所述的半导体精细图案的形成方法,其特征在于,第一侧墙的宽度为 SP_1 ,第二侧墙的宽度为 SP_2 ,则 $CD_{\text{core1}} = 1/2P_1 - SP_1$, $CD_{\text{core2}} = 1/2P_2 - SP_1$ 。

9. 根据权利要求1所述的半导体精细图案的形成方法,其特征在于,所述第一牺牲层和第二牺牲层的材料为光刻胶、底层抗反射材料、有机材料、无定形碳、电介质或金属中的一种或几种。

10. 根据权利要求1所述的半导体精细图案的形成方法,其特征在于,所述第一牺牲层和第二牺牲层的形成工艺为光刻、等离子体刻蚀、湿法刻蚀、灰化、纳米压印自组装图形中的一种或几种。

11. 根据权利要求 1 所述的半导体精细图案的形成方法,其特征在于,所述第一侧墙和第二侧墙的材料为光刻胶、底层抗反射材料、有机材料、无定形碳、电介质或金属中的一种或几种。

12. 根据权利要求 11 所述的半导体精细图案的形成方法,其特征在于,所述第一侧墙的材料与第一牺牲层的材料不同,所述第一侧墙的材料与第二牺牲层的材料不同。

13. 根据权利要求 1 所述的半导体精细图案的形成方法,其特征在于,所述第一侧墙和第二侧墙的形成工艺为涂覆、化学气相沉积、物理气相沉积或原子层沉积。

14. 根据权利要求 1 所述的半导体精细图案的形成方法,其特征在于,去除所述第一牺牲层和第二牺牲层的工艺为湿法刻蚀、干法刻蚀或灰化。

15. 根据权利要求 1 所述的半导体精细图案的形成方法,其特征在于,所述第一侧墙的厚度为 5nm~20nm。

16. 根据权利要求 1 所述的半导体精细图案的形成方法,其特征在于,所述第二侧墙的厚度为 5nm~50nm。

17. 根据权利要求 1 所述的半导体精细图案的形成方法,其特征在于,通过调节第二侧墙的厚度调整形成的精细图案的尺寸。

18. 根据权利要求 1 所述的半导体精细图案的形成方法,其特征在于,刻蚀所述待刻蚀材料层的工艺为等离子体刻蚀。

半导体精细图案的形成方法

技术领域

[0001] 本发明涉及半导体技术领域,特别涉及一种半导体精细图案的形成方法。

背景技术

[0002] 随着集成电路设计的最小线宽和间距的不断缩小,当曝光线条的特征尺寸接近于曝光系统的理论分辨极限时,硅片表面的成像就会发生严重的畸变,从而导致光刻图形质量的严重下降。为了减小光学邻近效应的影响,工业界提出了光刻分辨率增强技术(RET),其中备受关注的双重图形技术(DPT)被认为是填补浸入式光刻和超紫外光刻(EUV)之间鸿沟的有力保障。

[0003] 目前,对于衬底上由相间排列的线(line)和间隔(space)形成的精细图案,一般采用自对准双图案(SADP, Self-Aligned Double Patterning)技术。

[0004] 现有采用 SADP 技术形成精细图案的方法包括以下步骤,下面结合附图的图 1 至图 5 进行说明。

[0005] 请参考图 1,在半导体衬底 10 上沉积刻蚀材料层 20。

[0006] 请参考图 2,在刻蚀材料层 20 的表面依次形成待刻蚀牺牲材料层(未示出),刻蚀所述待刻蚀牺牲材料层,形成图形化的牺牲层 30。

[0007] 请参考图 3,在图形化的牺牲层 30 表面以及显露出的刻蚀材料层 20 表面沉积侧墙层,并各向异性刻蚀所述侧墙层,在图形化的牺牲层 30 两侧形成侧墙 40,其宽度为精细图案的线宽。相邻侧墙 40 之间的空隙宽度同样定义了精细图案的间隔。

[0008] 请参考图 4,去除图形化的牺牲层 30。

[0009] 请参考图 5,以侧墙 40 为掩膜,对刻蚀材料层进行刻蚀,形成精细图案 21。

[0010] 采用现有的 SADP 技术可以在半导体衬底上形成线宽和间隙都很小的重复图形。但是如果在半导体衬底的其他区域需要形成较大尺寸的图案的话,就需要分开形成,工艺步骤较为复杂。

[0011] 更多自对准双图形技术请参考公开号为 US20090146322A1 的美国专利文献。

发明内容

[0012] 本发明解决的问题是提出了一种半导体精细图案的形成方法,所述方法能够同时在半导体衬底表面形成小尺寸的精细图案和大尺寸的图案。

[0013] 为解决上述问题,本发明提出了一种半导体精细图案的形成方法,包括:提供半导体衬底,所述半导体衬底表面具有待刻蚀材料层,所述待刻蚀材料层具有第一区域和第二区域;在待刻蚀材料层第一区域的表面形成若干分立的第一牺牲层,在待刻蚀材料层第二区域的表面形成若干分立的第二牺牲层;分别在第一牺牲层和第二牺牲层的两侧形成第一侧墙;去除第一牺牲层和第二牺牲层,位于待刻蚀材料层第一区域表面的第一侧墙之间的间距大于位于待刻蚀材料层第二区域表面的第一侧墙之间的间距;在第一侧墙两侧形成第二侧墙,位于待刻蚀材料层第一区域表面的第一侧墙及其两侧的第二侧墙形成若干分立的

第一掩膜层,位于待刻蚀材料层第二区域表面的第一侧墙及其两侧的第二侧墙形成连续的第二掩膜层;以所述第一掩膜层和第二掩膜层为掩膜,刻蚀待刻蚀材料层,在待刻蚀材料层的第一区域形成具有间隔的重复图形,在待刻蚀材料层的第二区域形成连续图形。

[0014] 优选的,所述第一牺牲层宽度相同并且相邻第一牺牲层之间具有第一间隔,第一牺牲层与第一间隔组成多个周期性图形,其中一个周期的宽度为第一节距 P_1 ,所述第二牺牲层宽度相同并且相邻第一牺牲层之间具有第二间隔,第二牺牲层与第二间隔组成多个周期性图形,其中一个周期的宽度为第二节距 P_2 ,且 $P_2 < P_1$ 。

[0015] 优选的,所述第一节距 $P_1 > 65\text{nm}$ 。

[0016] 优选的,所述刻蚀材料层第一区域表面的第一侧墙及其两侧的第二侧墙形成的若干分立的第一掩膜层之间的间距为 S ,并且使 $P_2 = P_1 - 2S$ 。

[0017] 优选的,所述刻蚀材料层第一区域表面的第一侧墙及其两侧的第二侧墙形成的若干分立的第一掩膜层之间的间距 $S < 20\%P_1$ 。

[0018] 优选的,在待刻蚀材料层的第二区域形成的连续图形的宽度大于或等于 $P_1 - 2S$ 。

[0019] 优选的,所述第一牺牲层的宽度为 CD_{core1} ,第二牺牲层的宽度为 CD_{core2} ,
 $CD_{\text{core1}} < 1/2P_1$, $CD_{\text{core2}} < 1/2P_2$,并且 $1/2P_1 - CD_{\text{core1}} = 1/2P_2 - CD_{\text{core2}}$ 。

[0020] 优选的,第一侧墙的宽度为 SP_1 ,第二侧墙的宽度为 SP_2 ,则 $CD_{\text{core1}} = 1/2P_1 - SP_1$,
 $CD_{\text{core2}} = 1/2P_2 - SP_2$ 。

[0021] 优选的,所述第一牺牲层和第二牺牲层的材料为光刻胶、底层抗反射材料、有机材料、无定形碳、电介质或金属中的一种或几种。

[0022] 优选的,所述第一牺牲层和第二牺牲层的形成工艺为光刻、等离子体刻蚀、湿法刻蚀、灰化、纳米压印自组装图形中的一种或几种。

[0023] 优选的,所述第一侧墙和第二侧墙的材料为光刻胶、底层抗反射材料、有机材料、无定形碳、电介质或金属中的一种或几种。

[0024] 优选的,所述第一侧墙的材料与第一牺牲层的材料不同,所述第一侧墙的材料与第二牺牲层的材料不同。

[0025] 优选的,所述第一侧墙和第二侧墙的形成工艺为涂覆、化学气相沉积、物理气相沉积或原子层沉积。

[0026] 优选的,去除所述第一牺牲层和第二牺牲层的工艺为湿法刻蚀、干法刻蚀或灰化。

[0027] 优选的,所述第一侧墙的厚度为 $5\text{nm} \sim 20\text{nm}$ 。

[0028] 优选的,所述第二侧墙的厚度为 $5\text{nm} \sim 50\text{nm}$ 。

[0029] 优选的,通过调节第二侧墙的厚度调整形成的精细图案的尺寸。

[0030] 优选的,刻蚀所述待刻蚀材料层的工艺为等离子体刻蚀。

[0031] 与现有技术相比,本发明具有以下优点:

[0032] 本发明的技术方案在半导体衬底表面的待刻蚀材料层的第一区域表面形成若干分立的第一牺牲层,在待刻蚀材料层第二区域的表面形成若干分立的第二牺牲层;然后在第一牺牲层和第二牺牲层的两侧形成第一侧墙后,去除所述第一牺牲层和第二牺牲层,位于待刻蚀材料层第一区域表面的第一侧墙之间的间距大于第二区域表面的第一侧墙之间的间距。所以当在所述第一侧墙两侧形成第二侧墙时,当所述第二侧墙正好填满第二区域表面的第一侧墙之间的间距时,所述第一区域表面的第一侧墙之间的间隔还未被填充

满。所以第一区域表面的第一侧墙与第二侧墙形成的第一掩膜层之间具有间隔，而第二区域表面的第一侧墙与第二侧墙形成的第二掩膜层则是连续的。这样以所述第一掩膜层和第二掩膜层作为掩膜来刻蚀待刻蚀材料层时，就会在第一区域形成有间隔的重复小尺寸图形，同时会在第二区域形成连续的较大尺寸的图形。采用本发明的技术方案采用双重图形技术可以同时半导体衬底上形成小尺寸和大尺寸两种图形，节约了工艺步骤。

[0033] 进一步的，本发明的技术方案可以通过调整形成第二侧墙的工艺参数，来形成符合设计要求的第二侧墙的厚度，对第一区域形成的图形的尺寸和间距进行调整。

附图说明

[0034] 图 1 至图 5 是现有技术利用自对准双重图形作为掩膜的刻蚀过程的剖面示意图；

[0035] 图 6 至图 14 是本发明的实施例中半导体精细图案的形成方法的剖面示意图。

具体实施方式

[0036] 如背景技术中所述，现有技术中利用双重图形技术形成半导体精细图形，能够形成具有间隔的重复小尺寸的精细图案，但是如果需要在半导体衬底的其他区域形成大尺寸图案则需要其他的刻蚀方法才可以形成，工艺步骤复杂。

[0037] 为解决上述问题，本发明提出了一种半导体精细图案的形成方法，所述半导体衬底表面具有待刻蚀材料层，利用双重图形技术，可以在待刻蚀材料层的第一区域形成具有间隔的重复小尺寸的精细图案的同时，又在待刻蚀材料层的第二区域形成连续的较大尺寸的图案，两种图案同时形成，简化了工艺步骤。

[0038] 为使本发明的上述目的、特征和优点能够更为明显易懂，下面结合附图对本发明的具体实施方式做详细的说明。所描述的实施例仅仅是本发明的可实施方式的一部分，而不是其全部。在详述本发明实施例时，为便于说明，示意图会不依一般比例作局部放大，而且所述示意图只是示例，其在此不应限制本发明的保护范围。此外，在实际制作中应包含长度、宽度及深度的三维空间尺寸。根据所述实施例，本领域的普通技术人员在无需创造性劳动的前提下可获得的所有其它实施方式，都属于本发明的保护范围。因此本发明不受下面公开的具体实施的限制。

[0039] 请参考图 6，提供半导体衬底 100，所述半导体衬底表面具有待刻蚀材料层 200 和待刻蚀材料层表面的牺牲材料层 300。

[0040] 具体的，所述半导体衬底 100 的材料包括硅、锗、锗化硅、砷化镓等半导体材料，可以是体材料也可以是复合结构如绝缘体上硅。本领域的技术人员可以根据半导体衬底 100 上形成的半导体器件选择所述半导体衬底 100 的类型，因此所述半导体衬底的类型不应限制本发明的保护范围。

[0041] 所述待刻蚀材料层 200 的材料为氧化硅层、氮化硅层、多晶硅层、低 K 介质材料、无定形碳、金属层等其中的一种或几种。所述待刻蚀材料层 200 可以为单层材料层或多层堆叠的材料层。所述待刻蚀材料层 200 具有第一区域 201 和第二区域 202。后续在所述第一区域 201 形成具有间隔的重复小尺寸的精细图案，在第二区域 202 形成较大尺寸的连续图案。

[0042] 所述牺牲材料层 300 的材料为光刻胶、底层抗反射层、有机薄膜、无定形碳、电介

质薄膜、金属层中的一种或多种。牺牲材料层 300 的形成工艺为化学气相沉积、物理气相沉积或涂覆。本实施例中,所述牺牲材料层 300 的材料为光刻胶,形成工艺为涂覆工艺。

[0043] 请参考图 7,刻蚀所述牺牲材料层 300 (请参考图 6),在待刻蚀材料层的第一区域 201 表面形成若干分立的第一牺牲层 301,在待刻蚀材料层的第二区域 202 表面形成若干分立的第二牺牲层 302。

[0044] 具体的,本实施例中,由于所述牺牲材料层 300 的材料为光刻胶,所以形成分立第一牺牲层 301 和第二牺牲层 302 的工艺为光刻。在本发明的其他实施例中,采用其他材料例如抗反射材料、有机材料、无定形碳、电介质、金属等,还可以采用光刻、等离子体刻蚀、湿法刻蚀、灰化、纳米压印、自组装等中的一种或几种工艺形成。

[0045] 所述各个分立的第一牺牲层 301 的宽度相同并且相邻第一牺牲层之间具有第一间隔 310,第一牺牲层 301 与第一间隔 310 组成多个周期性图形,其中一个周期的宽度为第一节距 P_1 ,所述第一牺牲层 301 的宽度小于 $1/2P_1$;所述各个分立的第二牺牲层 302 的宽度相同并且相邻第二牺牲层之间具有第二间隔 320,第二牺牲层 302 与第二间隔 320 组成多个周期性图形,其中一个周期的宽度为第二节距 P_2 ,所述第二牺牲层 302 的宽度小于 $1/2P_2$,并且 $P_1 > P_2$ 。本实施例中,设定所述第一节距 $P_1=128\text{nm}$,第二节距 $P_2=108\text{nm}$ 。

[0046] 请参考图 8,在所述待刻蚀材料层 200 的表面以及第一牺牲层 301 和第二牺牲层 302 的表面形成第一侧墙材料层 400。

[0047] 具体的,所述第一侧墙材料层 400 的材料可以是光刻胶、底层抗反射材料、有机材料、无定形碳、电介质或金属等材料。所述第一侧墙材料层 400 的材料与第一牺牲层 301 和第二牺牲层 302 的材料不同,两者具有较高的选择比。所述第一侧墙材料层 400 的形成工艺可以是涂覆、化学气相沉积、物理气相沉积或原子层沉积。本实施例中,采用的第一侧墙材料层 400 的材料为电介质氧化硅,形成工艺为原子层沉积工艺,形成的第一侧墙材料层 400 的厚度为 18nm 。在本发明的其他实施例中,所述第一侧墙材料层 400 的厚度范围为 $5\text{nm} \sim 20\text{nm}$ 。

[0048] 请参考图 9,采用无掩膜刻蚀工艺刻蚀所述第一侧墙材料层 400 (请参考图 8),在第一牺牲层 301 和第二牺牲层 302 的侧壁都形成第一侧墙 401。

[0049] 具体的,所述刻蚀所述第一侧墙材料层 400 的工艺为等离子体刻蚀工艺,利用等离子体刻蚀工艺垂直刻蚀所述第一侧墙材料层 400,直到去除待刻蚀材料层 200 表面、第一牺牲层 301 顶面和第二牺牲层 302 顶面的部分第一侧墙材料层,形成覆盖所述第一牺牲层和第二牺牲层侧壁的第一侧墙 401,所述第一侧墙 401 的厚度与第一侧墙材料层 400 的厚度相同为 $5\text{nm} \sim 20\text{nm}$ 。此时,两个相邻的第一牺牲层 301 之间的间隔距离为 CD_{space1} ,两个相邻的第二牺牲层 302 之间的间隔距离为 CD_{space2} ,第一侧墙 401 厚度为 SP_1 ,并且 $CD_{\text{space1}}=1/2P_1+SP_1$, $CD_{\text{space2}}=1/2P_2+SP_1$;由于 $P_1 > P_2$,所以 $CD_{\text{space1}} > CD_{\text{space2}}$ 。并且,通过调整第一侧墙的厚度,使得相邻的第一侧墙 401 之间的距离相同,即

$$[0050] \quad CD_{\text{core1}}=CD_{\text{space1}}-2SP_1=1/2P_1+SP_1-2SP_1=1/2P_1-SP_1,$$

$$[0051] \quad CD_{\text{core2}}=CD_{\text{space2}}-2SP_1=1/2P_2+SP_1-2SP_1=1/2P_2-SP_1。$$

[0052] 这就要求,在最初形成第一牺牲层 301 和第二牺牲层 302 时,形成的第二牺牲层 302 的宽度 CD_{core2} 与 $1/2P_2$ 之间的差值与第一牺牲层 301 的宽度 CD_{core1} 与 $1/2P_1$ 之间的差值相等,正好等于后续形成的第一侧墙 401 的宽度 SP_1 。

[0053] 本实施例中,设定形成的第一侧墙厚度 $SP_1=18\text{nm}$,所以要求形成的第一牺牲层 301 的宽度 $CD_{\text{core1}}=1/2P_1-SP_1=46\text{nm}$,第二牺牲层 302 的宽度 $CD_{\text{core2}}=1/2P_2-SP_1=36\text{nm}$ 。

[0054] 请参考图 10,去除所述第一牺牲层 301 和第二牺牲层 302 (请参考图 9)。

[0055] 具体的,由于本实施例中,采用光刻胶作为牺牲层材料,本实施例采用灰化工艺去除所述第一牺牲层 301 和第二牺牲层 302。所述灰化工艺的反应气体为 O_2 ,将所述氧气等离子体化,并利用所述氧气等离子体与牺牲层 301 发生反应,形成挥发性的一氧化碳、二氧化碳、水等主要生成物,从而去除所述第一牺牲层 301 和第二牺牲层 302。在其他实施例中,所述灰化工艺的反应气体还可以包括 N_2 或 H_2 等,所述 N_2 或 H_2 有利于提高去除牺牲光刻胶层和残余聚合物的能力。在本发明的其他实施例中,还可以采用湿法刻蚀、干法刻蚀等工艺去除所述第一牺牲层 301 和第二牺牲层 302。去除第一牺牲层和第二牺牲层之后,位于待刻蚀材料层第一区域 201 表面的第一侧墙之间的间距大于第二区域 202 表面的第一侧墙之间的间距。

[0056] 请参考图 11,在所述待刻蚀材料层 200 的表面以及第一侧墙 401 表面形成第二侧墙材料层 500。

[0057] 具体的,所述第二侧墙材料层 500 的材料可以是光刻胶、底层抗反射材料、有机材料、无定形碳、电介质或金属等材料。所述第二侧墙材料层 500 的形成工艺可以是涂覆、化学气相沉积、物理气相沉积或原子层沉积。本实施例中,采用的第二侧墙材料层 500 的材料为氮化硅,形成工艺为化学气相沉积。所述第二侧墙材料层 500 的厚度为 $5\text{nm}\sim 50\text{nm}$ 。调整第二侧墙材料层的厚度,使得所述第二侧墙材料层 500 正好填满材料牺牲层 200 的第二区域 202 表面的两个相邻的第一侧墙之间的间隔距离,由于材料牺牲层 200 的第一区域 201 表面的两个相邻的第一侧墙之间的间隔距离大于第二区域 202 表面的两个相邻的第一侧墙之间的间隔距离,所以,所述第二侧墙材料层 500 不能填满第一区域 201 表面的两个相邻的第一侧墙之间的间隔。

[0058] 请参考图 12,采用无掩膜刻蚀工艺刻蚀所述第二侧墙材料层 500 (请参考图 11),在第一侧墙 401 的侧壁形成第二侧墙 501。刻蚀材料层 200 第一区域 201 表面的第一侧墙 401 及其两侧的第二侧墙 501 形成若干分立的第一掩膜层 601,待刻蚀材料层第二区域 202 表面的第一侧墙 401 及其两侧的第二侧墙 501 形成互相连接的第二掩膜层 602。

[0059] 具体的,刻蚀所述第二侧墙材料层 500 的工艺为等离子体刻蚀工艺,利用等离子体刻蚀工艺垂直刻蚀所述第二侧墙材料层 500,直到去除待刻蚀材料层 200 表面及第一侧墙 401 顶面的部分第二侧墙材料层,形成覆盖所述牺牲层侧壁的第二侧墙 501,所述第二侧墙 501 的厚度与第二侧墙材料层 500 的厚度相同,为 $5\sim 50\text{nm}$ 。所述第一侧墙 401 和两侧的第二侧墙 501 形成第一掩膜层 601。所述第一掩膜层 601 之间的间隔相等,所述间隔为 S 。所以, $CD_{\text{space1}}=S+2SP_2+2SP_1$, $CD_{\text{space2}}=2SP_2+2SP_1$, 由于第一节距 $P_1=CD_{\text{core1}}+CD_{\text{space1}}$ (请参考图 9), $CD_{\text{core1}}=2SP_2+S$ (请参考图 12), $CD_{\text{space1}}=2SP_2+2SP_1+S$ (请参考图 12), 所以, $P_1=CD_{\text{core1}}+CD_{\text{space1}}=2SP_2+S+2SP_2+2SP_1+S=4SP_2+2SP_1+2S$ 。由于第二节距 $P_2=CD_{\text{core2}}+CD_{\text{space2}}$ (请参考图 9), $CD_{\text{core2}}=2SP_2$ (请参考图 12), $CD_{\text{space2}}=2SP_2+2SP_1$ (请参考图 12), 所以, $P_2=CD_{\text{core2}}+CD_{\text{space2}}=2SP_2+2SP_2+2SP_1=4SP_2+2SP_1$ 。所以 $P_2=P_1-2S$ 。

[0060] 本实施例中,第一节距 $P_1=128\text{nm}$,第二节距 $P_2=108\text{nm}$,所以 $S=1/2(P_1-P_2)=10\text{nm}$ 。

[0061] 请参考图 13,以所述第一掩膜层 601 和第二掩膜层 602 作为掩膜,刻蚀所述待刻蚀

材料层 200 (如图 12 所示),在所述待刻蚀材料层的第一区域形成具有间隔图形 203,在所述待刻蚀材料层的第二区域形成连续的较大尺寸图形 204。

[0062] 具体的,本实施例中刻蚀所述待刻蚀材料层的工艺为等离子体刻蚀,在本发明的其他实施例中,也可以采用其他干法刻蚀工艺对所述待刻蚀层进行刻蚀。由于现有技术中,形成的第一侧墙的厚度较小,而以所述第一侧墙作为掩膜层对待刻蚀材料层进行刻蚀的过程中,采用干法刻蚀的方法会在刻蚀过程中对所述第一侧墙造成损伤,使其形貌发生变化,从而影响刻蚀待刻蚀材料层之后形成的刻蚀图形的形貌;并且,在刻蚀过程中,由于等离子体刻蚀过程中的不均匀性及等离子体之间的散射作用,会使得对待刻蚀层进行刻蚀的过程中,除了垂直方向的刻蚀之外,在水平方向也会有一定的损伤,从而使得最终得到的图形尺寸小于第一侧墙的尺寸,最终得到的图形尺寸受到损失,小于需要的图形尺寸,不能满足设计的需求。所以在本实施例中,形成一定厚度的第二侧墙,使得所述第二侧墙与第一侧墙构成的图形化掩膜层的尺寸大于最终需要得到的刻蚀图案的尺寸,进而弥补刻蚀过程中图案尺寸的损失,使其最终能满足设计的要求。并且通过改变第二侧墙的厚度,可以简单的调节掩膜图形的尺寸从而调节最终形成的图形尺寸的大小。

[0063] 所述待刻蚀材料层第二区域形成的连续图形的尺寸具有一个最小值为 $P_1 - 2S$ 。所述长度正好为一个周期的第二牺牲层的宽度,即一个第二节距。一方面,受到形成第二牺牲层的曝光条件的限制,使得形成的第二牺牲层图案的第二节距不能无限变小,若所述第二节距过小,会无法形成尺寸均匀精确的图形,所以,本实施例中,要求 $P_1 > 65\text{nm}$ 并且 $S < 20\%P_1$; 另一方面,如果第二节距 P_2 过小,会使第一侧墙之间的间距 $CD_{\text{core}2} = 1/2P_2 - SP_1$ (请参考图 12) 变得很小,第一侧墙过于密集,会在形成第二侧墙的时候,第二侧墙材料无法填充入第一侧墙之间的间隔,无法形成连续的第二掩膜层 602,最终无法在待刻蚀材料层的第二区域 202 (请参考图 12) 形成连续的图形 204。

[0064] 请参考图 14,去除所述第一掩膜层 601 和第二掩膜层 602。

[0065] 上述通过实施例的说明,应能使本领域专业技术人员更好地理解本发明,并能够再现和使用本发明。本领域的专业技术人员根据本文中所述的原理可以在不脱离本发明的实质和范围的情况下对上述实施例作各种变更和修改是显而易见的。因此,本发明不应被理解为限制于本文所示的上述实施例,其保护范围应由所附的权利要求书来界定。

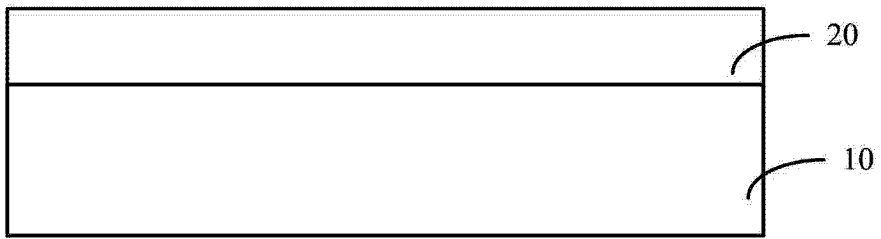


图 1

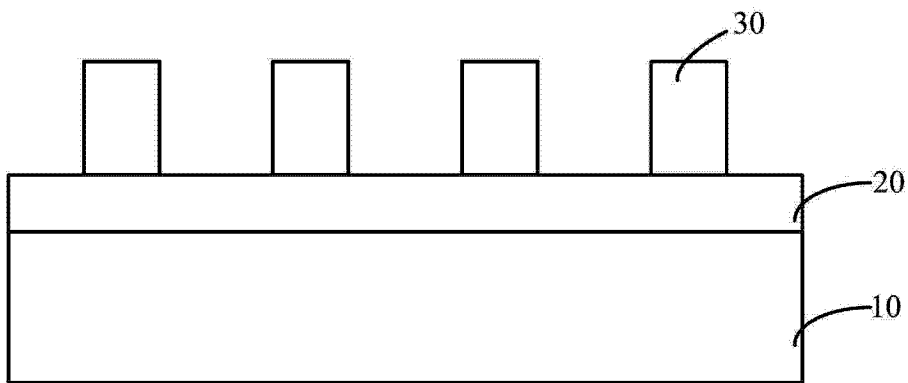


图 2

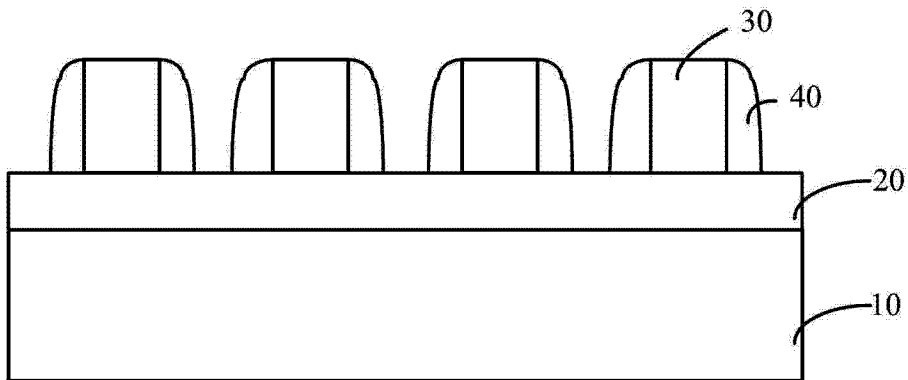


图 3

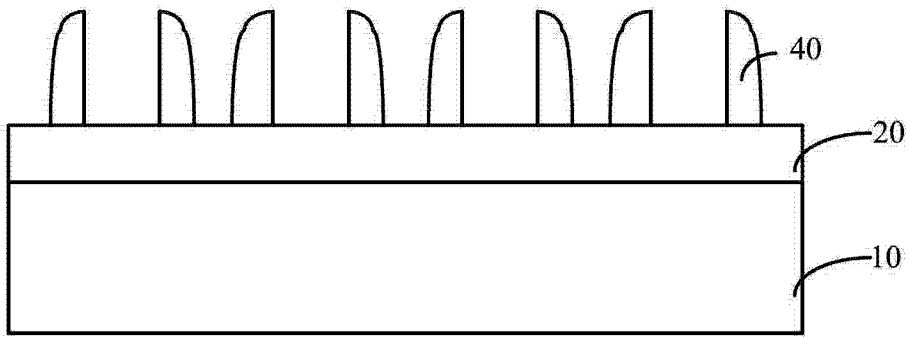


图 4

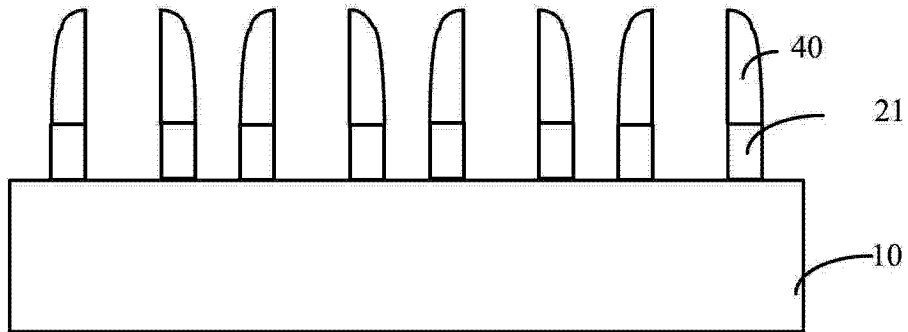


图 5

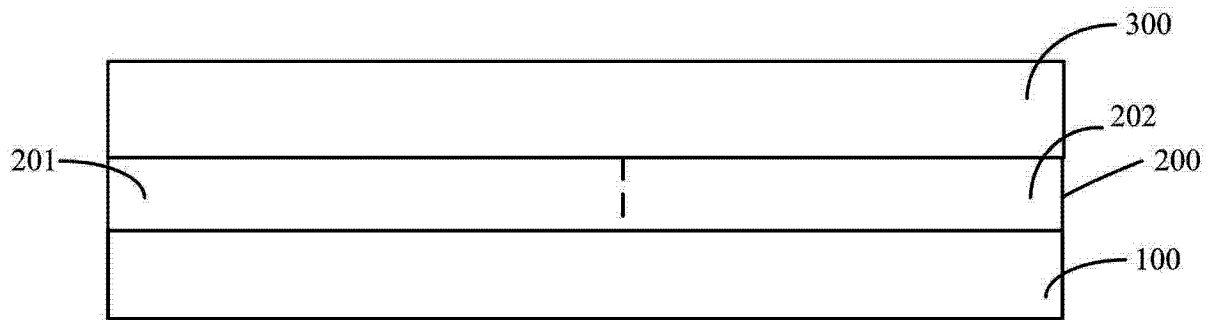


图 6

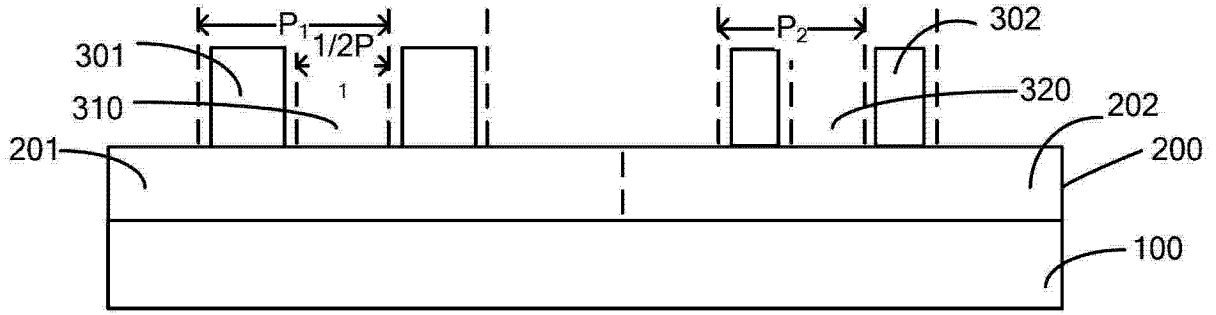


图 7

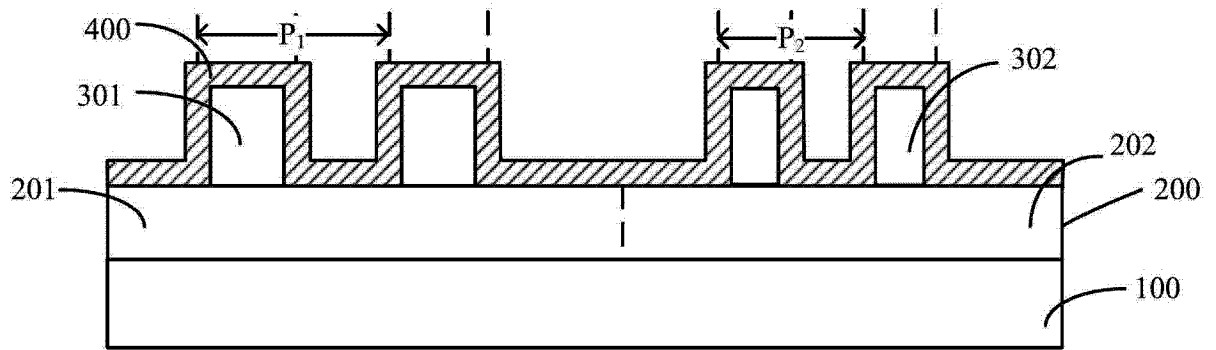


图 8

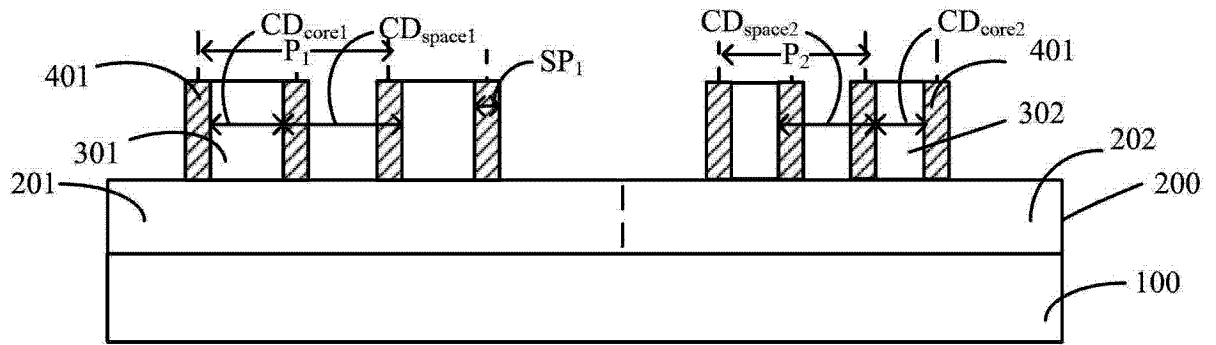


图 9

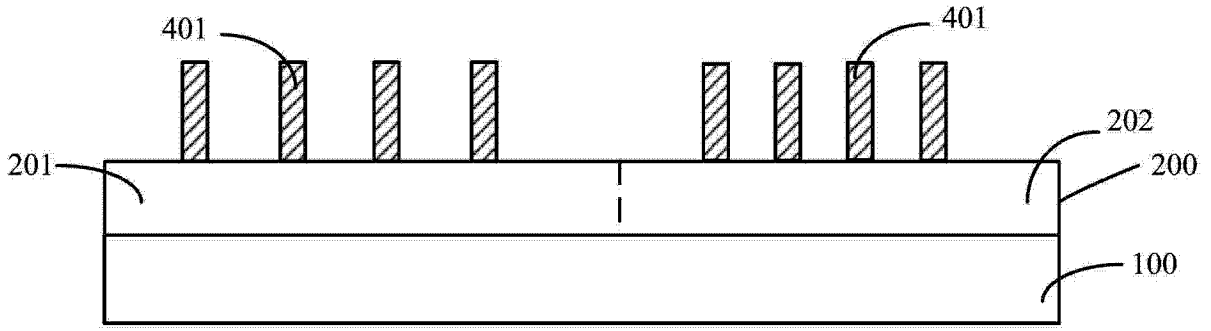


图 10

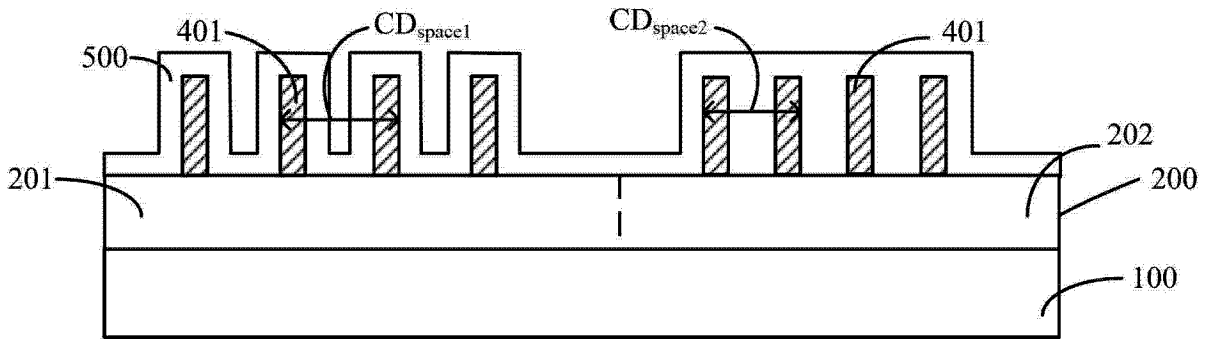


图 11

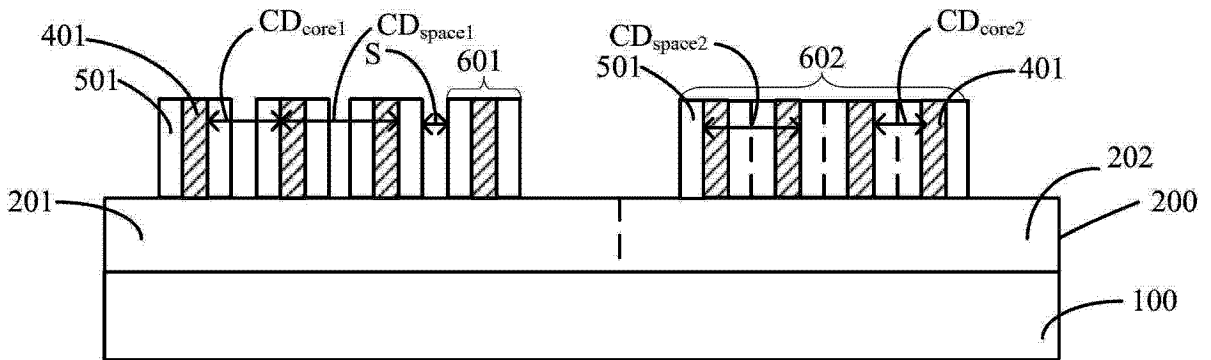


图 12

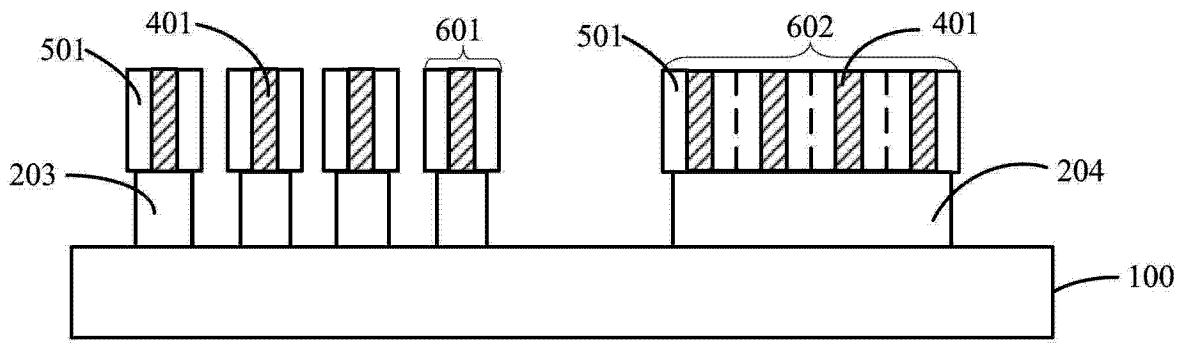


图 13

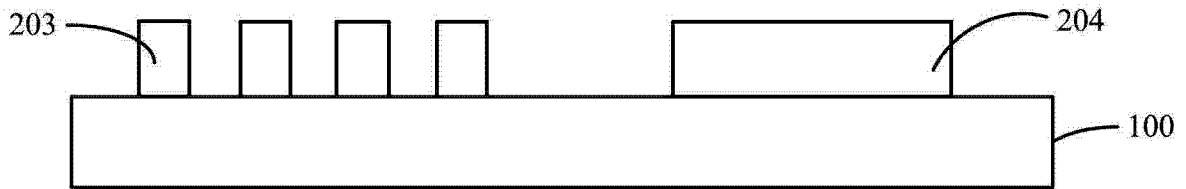


图 14