



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0041092
(43) 공개일자 2015년04월15일

- (51) 국제특허분류(Int. Cl.)
G06F 12/08 (2006.01) *G06F 15/78* (2006.01)
- (52) CPC특허분류
G06F 12/0893 (2013.01)
G06F 12/0806 (2013.01)
- (21) 출원번호 10-2015-7005965
- (22) 출원일자(국제) 2013년08월07일
심사청구일자 없음
- (85) 번역문제출일자 2015년03월06일
- (86) 국제출원번호 PCT/US2013/054004
- (87) 국제공개번호 WO 2014/025920
국제공개일자 2014년02월13일
- (30) 우선권주장
13/571,426 2012년08월10일 미국(US)
- (71) 출원인
퀄컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
- (72) 발명자
강, 승 에이치.
미국 92121 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
추, 시아오준
미국 92121 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
우, 시아오시아
미국 92121 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
- (74) 대리인
특허법인 남엔드남

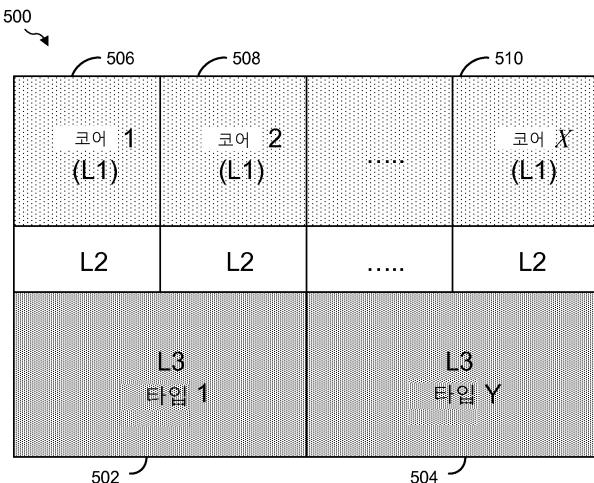
전체 청구항 수 : 총 24 항

(54) 발명의 명칭 멀티-코어 프로세서들에 대한 튜닝 가능한 멀티-티어드 STT-MRAM 캐시

(57) 요 약

멀티-코어 프로세서가 제공된다. 멀티-코어 프로세서는, 멀티-코어 프로세서의 제 1 코어와 연관되고 제 1 속성들에 따라 튜닝되는 제 1 STT-MRAM(spin transfer torque magnetoresistive random-access memory) 캐시, 및 멀티-코어 프로세서의 제 2 코어와 연관되고 제 2 속성들에 따라 튜닝되는 제 2 STT-MRAM 캐시를 포함한다.

대 표 도 - 도5



(52) CPC특허분류

G06F 15/7807 (2013.01)

G06F 2212/222 (2013.01)

명세서

청구범위

청구항 1

멀티-코어 프로세서로서,

상기 멀티-코어 프로세서의 제 1 코어와 연관되고, 제 1 속성들에 따라 튜닝되는 제 1 STT-MRAM(spin transfer torque magnetoresistive random-access memory) 캐시, 및

상기 멀티-코어 프로세서의 제 2 코어와 연관되고, 제 2 속성들에 따라 튜닝되는 제 2 STT-MRAM 캐시를 포함하는,

멀티-코어 프로세서.

청구항 2

제 1 항에 있어서,

상기 제 1 STT-MRAM 캐시 및 상기 제 2 STT-MRAM 캐시는 하위 레벨 캐시인,

멀티-코어 프로세서.

청구항 3

제 1 항에 있어서,

상기 제 1 STT-MRAM 캐시 및 상기 제 2 STT-MRAM 캐시는 중간-레벨 캐시인,

멀티-코어 프로세서.

청구항 4

제 1 항에 있어서,

상기 제 1 STT-MRAM 캐시 및 상기 제 2 STT-MRAM 캐시는 각각의 코어와 임베딩되거나 모놀리식으로 (monolithically) 통합되는,

멀티-코어 프로세서.

청구항 5

제 1 항에 있어서,

상기 제 1 속성들 및 제 2 속성들은 적어도 레이턴시(latency), 캐시 히트(hit)/미스(miss) 레이트, 에너지, 에너지-지연 프로덕트(energy-delay product), 데이터 활용도, 영역 크기, 용량 크기 및/또는 데이터 신뢰성을 포함하는,

멀티-코어 프로세서.

청구항 6

제 1 항에 있어서,

각각의 코어는 하나의 타입의 STT-MRAM 캐시와 연관되는,

멀티-코어 프로세서.

청구항 7

제 1 항에 있어서,

적어도 하나의 다른 코어는 상기 제 1 STT-MRAM 캐시 또는 상기 제 2 STT-MRAM 캐시와 연관되는, 멀티-코어 프로세서.

청구항 8

제 1 항에 있어서,

상기 멀티-코어 프로세서의 제 3 코어와 연관되고, 제 3 속성들에 따라 튜닝되는 제 3 STT-MRAM 캐시를 더 포함하는,

멀티-코어 프로세서.

청구항 9

제 1 항에 있어서,

상기 제 1 STT-MRAM 캐시 및 상기 제 2 STT-MRAM 캐시는 동질적인(homogenous) 하위 레벨 통합 프로세스를 사용하여 제조되는,

멀티-코어 프로세서.

청구항 10

제 1 항에 있어서,

상기 멀티-코어 프로세서는 모바일 폰, 셋톱 박스, 음악 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 네비게이션 디바이스, 컴퓨터, 핸드-헬드 개인용 통신 시스템(PCS) 유닛, 휴대용 데이터 유닛 및/또는 고정 위치 데이터 유닛에 통합되는,

멀티-코어 프로세서.

청구항 11

멀티-코어 프로세서로서,

상기 멀티-코어 프로세서의 제 1 코어와 연관되고, 제 1 속성들에 따라 튜닝되는 제 1 저장 수단, 및

상기 멀티-코어 프로세서의 제 2 코어와 연관되고, 제 2 속성들에 따라 튜닝되는 제 2 저장 수단을 포함하는,

멀티-코어 프로세서.

청구항 12

제 11 항에 있어서,

상기 멀티-코어 프로세서는 모바일 폰, 셋톱 박스, 음악 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 네비게이션 디바이스, 컴퓨터, 핸드-헬드 개인용 통신 시스템(PCS) 유닛, 휴대용 데이터 유닛 및/또는 고정 위치 데이터 유닛에 통합되는,

멀티-코어 프로세서.

청구항 13

멀티-코어 프로세서에서 캐시들을 연관시키기 위한 방법으로서,

제 1 속성들에 따라 튜닝되는 제 1 STT-MRAM(spin transfer torque magnetoresistive random-access memory) 캐시와 상기 멀티-코어 프로세서의 제 1 코어를 연관시키는 단계, 및

제 2 속성들에 따라 튜닝되는 제 2 STT-MRAM 캐시와 상기 멀티-코어 프로세서의 제 2 코어를 연관시키는 단계를 포함하는,

멀티-코어 프로세서에서 캐시들을 연관시키기 위한 방법.

청구항 14

제 13 항에 있어서,

상기 멀티-코어 프로세서를 모바일 폰, 셋톱 박스, 음악 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 네비게이션 디바이스, 컴퓨터, 핸드-헬드 개인용 통신 시스템(PCS) 유닛, 휴대용 데이터 유닛 및/또는 고정 위치 데이터 유닛에 통합하는 단계를 더 포함하는,

멀티-코어 프로세서에서 캐시들을 연관시키기 위한 방법.

청구항 15

멀티-코어 프로세서에서 캐시들을 연관시키기 위한 방법으로서,

제 1 속성들에 따라 튜닝되는 제 1 STT-MRAM(spin transfer torque magnetoresistive random-access memory) 캐시와 상기 멀티-코어 프로세서의 제 1 코어를 연관시키는 단계, 및

제 2 속성들에 따라 튜닝되는 제 2 STT-MRAM 캐시와 상기 멀티-코어 프로세서의 제 2 코어를 연관시키는 단계를 포함하는,

멀티-코어 프로세서에서 캐시들을 연관시키기 위한 방법.

청구항 16

제 15 항에 있어서,

상기 제 1 STT-MRAM 캐시 및 상기 제 2 STT-MRAM 캐시는 하위 레벨 캐시인,

멀티-코어 프로세서에서 캐시들을 연관시키기 위한 방법.

청구항 17

제 15 항에 있어서,

상기 연관시키는 단계는 상기 제 1 STT-MRAM 캐시 및 상기 제 2 STT-MRAM 캐시를 각각의 코어와 임베딩하거나 모듈리식으로 통합하는 단계를 포함하는,

멀티-코어 프로세서에서 캐시들을 연관시키기 위한 방법.

청구항 18

제 15 항에 있어서,

상기 멀티-코어 프로세서를 모바일 폰, 셋톱 박스, 음악 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 네비게이션 디바이스, 컴퓨터, 핸드-헬드 개인용 통신 시스템(PCS) 유닛, 휴대용 데이터 유닛 및/또는 고정 위치 데이터 유닛에 통합하는 단계를 더 포함하는,

멀티-코어 프로세서에서 캐시들을 연관시키기 위한 방법.

청구항 19

멀티-코어 프로세서에 대한 캐시들을 제조하기 위한 방법으로서,

제 1 속성들에 따라 제 1 STT-MRAM(spin transfer torque magnetoresistive random-access memory) 캐시를 튜닝하는 단계, 및

제 2 속성들에 따라 제 2 STT-MRAM 캐시를 튜닝하는 단계를 포함하는,

멀티-코어 프로세서에 대한 캐시들을 제조하기 위한 방법.

청구항 20

제 19 항에 있어서,

상기 제 1 속성들 및 제 2 속성들은 적어도 레이턴시, 캐시 히트/미스 레이트, 에너지, 에너지-지연 프로덕트, 데이터 활용도, 영역 크기, 용량 크기 및/또는 데이터 신뢰성을 포함하는,

멀티-코어 프로세서에 대한 캐시들을 제조하기 위한 방법.

청구항 21

제 20 항에 있어서,

상기 제 1 STT-MRAM 캐시 및 상기 제 2 STT-MRAM 캐시를 튜닝할 때, 동질적인 하위 레벨 통합 프로세스를 사용하는 단계를 더 포함하는,

멀티-코어 프로세서에 대한 캐시들을 제조하기 위한 방법.

청구항 22

제 19 항에 있어서,

상기 멀티-코어 프로세서를 모바일 폰, 셋톱 박스, 음악 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 네비게이션 디바이스, 컴퓨터, 핸드-헬드 개인용 통신 시스템(PCS) 유닛, 휴대용 데이터 유닛 및/또는 고정 위치 데이터 유닛에 통합하는 단계를 더 포함하는,

멀티-코어 프로세서에 대한 캐시들을 제조하기 위한 방법.

청구항 23

멀티-코어 프로세서에 대한 캐시들을 제조하기 위한 방법으로서,

제 1 속성들에 따라 제 1 STT-MRAM(spin transfer torque magnetoresistive random-access memory) 캐시를 튜닝하는 단계, 및

제 2 속성들에 따라 제 2 STT-MRAM 캐시를 튜닝하는 단계를 포함하는,

멀티-코어 프로세서에 대한 캐시들을 제조하기 위한 방법.

청구항 24

제 23 항에 있어서,

상기 멀티-코어 프로세서를 모바일 폰, 셋톱 박스, 음악 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 네비게이션 디바이스, 컴퓨터, 핸드-헬드 개인용 통신 시스템(PCS) 유닛, 휴대용 데이터 유닛 및/또는 고정 위치 데이터 유닛에 통합하는 단계를 더 포함하는,

멀티-코어 프로세서에 대한 캐시들을 제조하기 위한 방법.

발명의 설명

기술 분야

[0001] 본 발명은 일반적으로 STT-MRAM(spin transfer torque magnetoresistive random-access memory) 캐시에 관한 것이다. 더 상세하게는, 본 발명은 멀티-코어 프로세서에서 STT-MRAM 캐시를 연관시키고 튜닝하는 것에 관한 것이다.

배경 기술

[0002] 통상적으로, 인텔® 코어™ i7 프로세서와 같은 멀티-코어 프로세서들은 멀티-티어(tier) 메모리 계층을 갖는다. 멀티-코어 프로세서 내의 각각의 코어는 전용화된 계층의 캐시(레벨 1(L1) - 레벨 2(L2))를 가질 수 있고, 또한 하위 레벨 캐시(레벨 3(L3))를 공유할 수 있다. 하위 레벨 캐시는 증가된 칩 영역을 갖는 경향이 있고, 따라서 하위 레벨 캐시는 멀티-코어 프로세서들과 연관된 비용들을 증가시키는 경향이 있다.

[0003] 일부 종래 기술의 시스템들에서, 임베딩된 캐시(예를 들면, L1-L3)는 SRAM(static random access memory)을 사용하는 경향이 있다. SRAM이 로직 호환 가능하고 빠르기 때문에, SRAM이 바람직 할 수 있다. 그런데도, SRAM은 고가의 원인이 되는 큰 크기 영역을 갖고, 또한, SRAM은 전력을 누설하는 경향이 있다. 따라서, 멀티-코어 프로세서의 하위 레벨 캐시에 대해 SRAM의 사용은, 적어도 증가된 비용 및 전력 소비로 인해 바람직하지 않을 수

있다.

[0004] 다른 종래 기술의 시스템들은 하이브리드 캐시(예를 들면, TSS(through silicon stacking) 또는 PoP(package on package))를 가질 수 있다. 하이브리드 캐시는 캐시 레벨들에서 상이한 타입들의 메모리를 사용하는 시스템을 지칭한다. 하이브리드 캐시는 인터-레벨 하이브리드 캐시, 인트라-레벨 하이브리드 캐시 또는 3-차원(3D) 하이브리드 캐시로서 구성될 수 있다.

[0005] 도 1은 종래 기술의 인터-레벨 하이브리드 캐시(100)의 예를 예시한다. 도 1에 예시된 바와 같이, 코어(102)(L1을 포함함) 및 L2 캐시(104)는 SRAM을 사용할 수 있고, L3 캐시(106)는 eDRAM(embedded dynamic random access memory), MRAM 또는 PRAM(phase-change random access memory)와 같은 상이한 타입의 메모리를 사용할 수 있다. 인터-레벨 하이브리드 캐시(100)는 도 1에서 논의된 메모리 타입들로 제한되지 않고, 각각의 캐시 계층(102-106)에 대해 다양한 메모리 타입들을 사용할 수 있다.

[0006] 도 2는 종래 기술의 인트라-레벨 하이브리드 캐시(200)의 예를 예시한다. 도 2에 예시된 바와 같이, 코어(202)(L1을 가짐) 및 제 1 L2 캐시(204)는 SRAM을 사용할 수 있다. 구체적으로, 제 1 L2 캐시(204)는 고속 메모리를 위해 구성될 수 있고, 따라서 제 1 L2 캐시(204)는 SRAM을 사용할 수 있다. 또한, 제 2 L2 캐시(206)는 저속 메모리를 위해 구성될 수 있고, 따라서 제 2 L2 캐시(206)는 제 1 L2 캐시(204)에 사용되는 메모리의 타입과 상이한 메모리의 타입일 수 있다. 예를 들면, 제 2 L2 캐시(206)는 eDRAM, MRAM 또는 PRAM을 사용할 수 있다. 인트라-레벨 하이브리드 캐시(200)는 도 2에 예시된 메모리 타입들로 제한되지 않고, 각각의 캐시 계층(202-206)에 대해 다양한 메모리 타입들을 사용할 수 있다.

[0007] 인터-레벨 또는 인트라-레벨 하이브리드 캐시는 다양한 메모리 기술들을 사용할 수 있다. 그런데도, 인터-레벨 캐시 및 인트라-레벨 하이브리드 캐시는 복잡하고, 다양한 메모리 기술들의 모놀리식 통합(monolithic intergration)으로 인해 증가된 제조 비용들을 갖는다. 따라서, 멀티-코어 프로세서의 하위 레벨 캐시에 인터-레벨 또는 인트라-레벨 하이브리드 캐시의 사용은 증가된 비용들 및 복잡성으로 인해 바람직하지 않다.

[0008] 도 3은 종래 기술의 3D 하이브리드 캐시(300)의 예를 예시한다. 도 3에 예시된 바와 같이, 코어(302)(L1을 가짐) 및 제 1 L2 캐시(304)는 SRAM을 사용할 수 있다. 또한, 제 2 L2 캐시(306)는 저속 메모리를 사용하도록 구성될 수 있고, 따라서 제 2 L2 캐시(306)는 eDRAM, MRAM 또는 PRAM과 같은 상이한 타입의 메모리를 사용할 수 있다. 또한, 코어(302), 제 1 L2 캐시(304) 및 제 2 L2 캐시(306) 모두는 단일 칩 상에 정의될 수 있다. L3 캐시(308)는 PRAM과 같은 메모리를 사용할 수 있고, 코어(302), 제 1 L2 캐시(304) 및 제 2 L2 캐시(306)를 포함하는 칩에 접속된 별개의 다이 상에 정의될 수 있다. 즉, L3 캐시(308)는 코어(302), 제 1 L2 캐시(304) 및 제 2 L2 캐시(306)를 포함하는 계층과 상이한 층(예를 들면, 칩) 상에 존재한다.

[0009] 3D 하이브리드 캐시는 알려진 양호한 다이 내의 고밀도 메모리들 및 다수의 층들에서의 이질적인(heterogeneous) 메모리들의 사용으로 인해 바람직할 수 있다. 그런데도, 3D 하이브리드 캐시는 적층되는 멀티-다이 솔루션을 지정한다. 따라서, 3D 하이브리드 캐시는 적층되는 다이로 인해 비용들을 증가시킬 수 있다. 게다가, 다이의 적층은 또한 오버헤드(예를 들면, 비용, 신뢰성)를 증가시킨다.

발명의 내용

[0010] 본 발명의 양상에 따라, 멀티-코어 프로세서가 제공된다. 멀티-코어 프로세서는 멀티-코어 프로세서의 제 1 코어와 연관되고, 제 1 속성들에 따라 튜닝되는 제 1 STT-MRAM(spin transfer torque magnetoresistive random-access memory) 캐시를 포함한다. 멀티-코어 프로세서는 멀티-코어 프로세서의 제 2 코어와 연관되고, 제 2 속성들에 따라 튜닝되는 제 2 STT-MRAM 캐시를 더 포함한다.

[0011] 다른 양상에 따라, 멀티-코어 프로세서가 제공된다. 멀티-코어 프로세서는 멀티-코어 프로세서의 제 1 코어와 연관되고, 제 1 속성들에 따라 튜닝되는 제 1 저장 수단을 포함한다. 멀티-코어 프로세서는 또한 멀티-코어 프로세서의 제 2 코어와 연관되고, 제 2 속성들에 따라 튜닝되는 제 2 저장 수단을 포함한다.

[0012] 또 다른 양상에 따라, 멀티-코어 프로세서에서 캐시들을 연관시키기 위한 방법이 제공된다. 상기 방법은 제 1 속성들에 따라 튜닝되는 제 1 STT-MRAM(spin transfer torque magnetoresistive random-access memory) 캐시와 상기 멀티-코어 프로세서의 제 1 코어를 연관시키는 단계를 포함한다. 상기 방법은 또한 제 2 속성들에 따라 튜닝되는 제 2 STT-MRAM 캐시와 상기 멀티-코어 프로세서의 제 2 코어를 연관시키는 단계를 포함한다.

[0013] 다른 양상에 따라, 멀티-코어 프로세서에 대한 캐시들을 제조하기 위한 방법이 제공된다. 상기 방법은 제 1 속성들에 따라 제 1 STT-MRAM(spin transfer torque magnetoresistive random-access memory) 캐시를 튜닝하는

단계를 포함한다. 상기 방법은 또한 및 제 2 속성들에 따라 제 2 STT-MRAM 캐시를 튜닝하는 단계를 포함한다.

[0014] 여기서는 후술하는 상세한 설명이 더 잘 이해될 수 있도록, 본 발명의 특징들 및 기술적 이점들을 상당히 광범위하게 서술하였다. 본 발명의 추가적인 특징들 및 이점들이 이하에 설명될 것이다. 본 발명이 본 발명의 동일한 목적들을 수행하기 위한 다른 구조들을 수정하거나 설계하기 위한 기초로서 용이하게 활용될 수 있다는 것이 당업자들에 의해 인식되어야 한다. 또한, 이러한 동등한 구성들이 첨부된 청구항들에서 설명된 바와 같이 본 발명의 교시들로부터 벗어나지 않는다는 것이 당업자들에 의해 인식되어야 한다. 추가적인 목적들 및 이점들과 함께, 본 발명의 구조 및 동작의 방법 둘 모두에 대해 본 발명의 특성인 것으로 믿어지는 신규의 특징들은, 첨부된 도면들과 관련하여 고려될 때 이하의 설명으로부터 더 잘 이해될 것이다. 그러나, 도면들 각각이 예시 및 설명의 목적으로만 제공되고, 본 발명의 제한들의 정의로서 의도되지 않는다는 것이 명백하게 이해된다.

도면의 간단한 설명

[0015] 본 발명의 특징들, 성질 및 이점들은 도면들과 관련하여 취해질 때, 아래에 제시된 상세한 설명으로부터 더 명백해질 것이다.

도 1 내지 도 3은 종래 기술은 메모리 시스템들을 예시한다.

도 4 및 도 5는 본 발명의 양상에 따른 STT-MRAM 캐시를 사용하여 멀티-티어드 멀티-코어 프로세서를 예시한다.

도 6은 본 발명의 양상에 따른, 멀티-코어 프로세서에서 STT-MRAM 캐시를 연관시키고 튜닝하는 방법에 대한 블록도를 예시한다.

도 7은 본 발명의 실시예가 이를 사용될 수 있는 예시적인 무선 통신 시스템을 예시한다.

도 8은 본 발명의 일 양상에 따른 반도체 컴포넌트의 회로, 레이아웃 및 로직 설계에 사용되는 설계 워크스테이션을 예시한 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0016] 첨부된 도면들과 관련하여 아래에서 설명되는 상세한 설명은 다양한 구성들의 설명으로서 의도되며, 본원에서 설명된 개념들이 실시될 수 있는 유일한 구성들만을 나타내는 것으로 의도되지 않는다. 상세한 설명은 다양한 개념들의 완전한 이해를 제공할 목적으로 특정한 세부사항들을 포함한다. 그러나 이들 개념들은 이를 특정한 세부사항들 없이 실시될 수 있다는 것이 당업자들에게 자명하게 될 것이다. 몇몇 예들에서, 잘-알려진 구조들 및 컴포넌트들은 이러한 개념들을 모호하게 하는 것을 방지하기 위해 블록도 형태로 도시된다.

[0017] 본 발명의 일 양상은, 비용들 및 복잡성을 감소시키면서, 속도, 전력 및 밀도에 대해 튜닝 가능할 수 있는 하위 레벨 캐시를 제공한다. 본 발명의 일 양상에서, 멀티-코어 프로세서에 대한 멀티-티어드 STT-MRAM 캐시가 설명된다.

[0018] 종래의 랜덤 액세스 메모리(RAM) 칩 기술들과 달리, MRAM(magnetoresistive RAM)에서, 데이터는 전기 전하로서 저장되지 않지만, 대신에 저장 엘리먼트들의 자기 분극(magnetic polarization)에 의해 저장된다. 저장 엘리먼트들은 터널링 층에 의해 분리된 2 개의 강자성 층들로부터 형성된다. 고정층 또는 피닝된(pinned) 층으로 지정되는 2 개의 강자성 층들 중 하나는 특정 방향으로 고정된 자화(magnetization)를 갖는다. 자유층으로 지정되는 다른 강자성 자기층은, 자유층 자화가 고정층 자화에 역평행할 때 "1"을 나타내거나, 자유층 자화가 고정층 자화에 평행할 때 "0"을 나타내도록 변경될 수 있는 자화 방향을 갖는다. 고정층, 터널링 층 및 자유층을 갖는 하나의 그러한 디바이스는 MTJ(magnetic tunnel junction)이다. MTJ의 전기 저항은 자유층 자화 및 고정층 자화가 서로 평행하는지 또는 역평행하는지에 의존한다. MRAM과 같은 메모리 디바이스는 개별적으로 어드레싱 가능한 MTJ들의 어레이로부터 구축된다.

[0019] STT-MRAM은 MRAM의 타입이다. STT-MRAM의 자유층 자화는 MTJ를 통과하는 전류에 의해 스위칭될 수 있다. 따라서, STT-MRAM은 자기장을 사용하는 종래의 MRAM과 구별된다. STT-MRAM은 속도, 전력, 밀도 및 비용에 대해 튜닝 가능하다. STT-MRAM은 하위 레벨 캐시에 사용되는 메모리들에 대한 대안으로서 맞춤화될 수 있다. 또한, STT-MRAM 셀들 및 매크로들은, 추가의 프로세스 단계들 및 비용을 발생시키지 않고서 모놀리식 다이(monolithic die) 상에서 다수의 구성들(예를 들면, 멀티-티어드)로 제조될 수 있다. 따라서, 각각의 프로세서 코어에 대한

멀티-티어드 하위 레벨 캐시로서 STT-MRAM을 사용하는 것이 바람직할 수 있다. STT-MRAM이 하위 레벨(L3) 캐시로 제한되지 않고, 원한다면 다른 캐시 계층들(예를 들면, L1 또는 L2)에 사용될 수 있다는 것이 유의되어야 한다.

[0020] 멀티-코어 프로세서에서, 각각의 프로세서 코어는 상이한 작업량들을 프로세싱할 수 있고, 따라서, 각각의 프로세서 코어는 상이한 타입의 메모리를 지정할 수 있다. 예를 들면, 하나의 프로세서 코어는 고성능을 위해 튜닝되는 메모리를 지정할 수 있고, 반면에 제 2 프로세서 코어는 저전력을 위해 튜닝된 메모리를 지정할 수 있다. 통상적인 멀티-코어 프로세서에서, 하위 레벨 캐시는 동일한 회로이고, 각각의 코어에 대해 튜닝되지 않는다. 본 양상에 따라, 멀티-티어드 STT-MRAM 캐시는 각각의 프로세서 코어에 대해 튜닝(예를 들면, 맞춤화)될 수 있어서, 맞춤화된 멀티-티어드 STT-MRAM 캐시는 각각의 프로세서 코어의 효율을 개선하고, 이로써 개선된 칩-레벨 전력-성능을 산출할 수 있다. 일부 양상들에 따라, 각각의 멀티-티어드 STT-MRAM은 적어도 2 개의 프로세서 코어들에 의해 공유될 수 있다. 본 발명에서, 용어, 프로세서 코어는 때때로 코어로서 지칭될 수 있다.

[0021] 도 4는 본 발명의 일 양상에 따른 STT-MRAM 캐시를 사용하는 멀티-티어드 멀티-코어 프로세서(400)를 예시한다. 도 4에 예시된 바와 같이, 멀티-코어 프로세서의 각각의 코어(408-412)(코어 1 - 코어 X)는 캐시(L1-L3)의 티어들과 연관된다. L1 및 L2 캐시들은 각각의 코어에 전용화될 수 있다. X가 코어들의 수와 동일하고, 각각의 코어의 캐시에 사용될 수 있는 STT-MRAM 타입들의 수와 동일하거나 이보다 더 크다는 것이 유의되어야 한다. 또한, Y는 STT-MRAM 캐시 타입들에 수와 동일하고, Y는 X와 동일하거나 그 미만이다.

[0022] 도 4에 예시된 바와 같이, 각각의 하위 레벨 STT-MRAM 캐시(402-406)는 특성 속성들(타입 1 - 타입 Y)에 따라 튜닝될 수 있다. 일 양상에 따라, 타입 1 STT-MRAM 캐시(402)는 고속 액세스(예를 들면, 증가된 성능)를 위해 제 1 세트의 속성들로 튜닝될 수 있다. 즉, 타입 1 STT-MRAM 캐시(402)는 짧은 레이턴시 및 고속 사이클 시간을 포함하도록 튜닝될 수 있다. 타입 1 STT-MRAM 캐시(402) 셀의 크기는 또한 다른 타입들의 STT-MRAM 캐시의 통상적인 셀 크기보다 더 크도록(예를 들면, 2 트랜지스터들(T)/1 MTJ) 튜닝될 수 있다. 일부 양상들에 따라, 타입 1 STT-MRAM 캐시(402)의 MTJ의 크기는 다른 타입들의 STT-MRAM 캐시의 MTJ의 크기보다 더 작을 수 있다. MTJ의 감소된 크기는 증가된 전류 밀도로 인해 STT-MRAM 캐시의 속도를 증가시킬 수 있다.

[0023] 또한, 타입 Y STT-MRAM 캐시(404)는 제 2 세트의 속성들로 튜닝될 수 있다. 이러한 예에서, 타입 Y STT-MRAM 캐시(404)는 더 높은 밀도를 위해 튜닝될 수 있다. 즉, 타입 Y STT-MRAM 캐시(404)는 다른 타입들의 STT-MRAM 캐시의 밀도보다 더 큰 밀도를 갖도록 튜닝될 수 있다. 예를 들면, 타입 1 STT-MRAM 캐시(402)는 8 메가비트들(Mb)의 밀도를 가질 수 있고, 타입 Y STT-MRAM 캐시(404)는 16-32 Mb의 밀도를 가질 수 있다. 타입 Y STT-MRAM 캐시(404)의 증가된 밀도는 캐시 크기를 증가시키고, 이로써 캐시 히트(hit) 레이트를 증가시키고 캐시 미스(miss) 레이트를 감소시킨다. 타입 Y STT-MRAM 캐시(404)의 밀도를 증가시키기 위해, 타입 Y STT-MRAM 캐시(404)의 셀 크기는 다른 타입들의 STT-MRAM의 크기보다 더 작을 수 있다. 예를 들면, 타입 Y STT-MRAM 캐시(404)의 셀 크기는 1 트랜지스터-1 MTJ(1T-1J)일 수 있다. 타입 Y STT-MRAM 캐시(404)가 증가된 밀도를 갖기 때문에, 타입 Y STT-MRAM 캐시(404)는 파워-다운 및 인스턴트-온(예를 들면, 운영 시스템(OS)의 부분들)에 대한 프로그래밍 코드와 같은 데이터를 저장할 수 있다.

[0024] 일부 양상들에 따라, 속성들은 전부 또는 일부의 STT-MRAM 캐시 타입들에 대해 유사할 수 있다. 예를 들면, 타입 2 STT-MRAM 캐시(406)는 타입 1 STT-MRAM 캐시(402) 또는 타입 Y STT-MRAM 캐시(404)와 동일한 속성들을 가질 수 있다. 대안적으로, 속성들은 각각의 타입의 STT-MRAM 캐시에 대해 상이할 수 있다. 예를 들면, 타입 1 STT-MRAM 캐시(402), 타입 2 STT-MRAM 캐시(406) 및 타입 Y STT-MRAM 캐시(404)의 속성들 각각은 상이할 수 있다. 또한, 그 타입들의 STT-MRAM 캐시의 튜닝은 도 4에 설명된 구성들로 제한되지 않는다. 즉, STT-MRAM은, 예를 들면, 보안, 성능, 신뢰성, 데이터 타입, 전력, 용도, 밀도 및 다양한 메모리 타입들과 연관된 다른 구성들과 같은 다양한 구성들에 대해 튜닝될 수 있다.

[0025] 도 5는 본 발명의 다른 양상에 따른 STT-MRAM 캐시를 사용하는 멀티-티어드 멀티-코어 프로세서(500)를 예시한다. 도 5에 예시된 바와 같이, 멀티-코어 프로세서의 각각의 코어(506-510)(코어 1-코어 X)는 고레벨 캐시(L1) 및 중간 레벨 캐시(L2)와 연관되고, 또한, 하위 레벨 캐시(L3)가 코어들 사이에 공유된다. X가 코어들의 수와 동일하고, X가 2보다 더 클 때, STT-MRAM 캐시가 코어들 사이에서 공유될 수 있다는 것이 유의되어야 한다. 또한, Y는 STT-MRAM 캐시 타입들의 수와 동일하고, Y는 X와 동일하거나 그 미만이다.

[0026] 도 5에 예시된 바와 같이, 각각의 하위 레벨의 STT-MRAM 캐시는 특성 속성들(타입 1-타입 Y)에 따라 튜닝될 수 있다. 또한, 타입 1 STT-MRAM 캐시(502)는 코어 1(506) 및 코어 2(510)에 대해 공유된 캐시일 수 있고, 타입 Y STT-MRAM 캐시(504)는 모든 다른 코어들에 대해 공유된 캐시일 수 있다. 일 양상에 따라, 타입 1 STT-MRAM

캐시(502)는 제 1 세트의 속성들에 따라 튜닝될 수 있고, 타입 Y STT-MRAM 캐시(504)는 제 2 세트의 속성들에 따라 튜닝될 수 있다. 또한, STT-MRAM 캐시의 공유는 도 5에 예시된 양상으로 제한되지 않고, STT-MRAM 캐시는 2 개보다 더 많은 코어들에 의해 공유될 수 있고, 일부 코어들은 공유 구성에서 STT-MRAM 캐시를 공유하지 않을 수 있다. 즉, 일부 타입들의 STT-MRAM 캐시는 하나의 코어와만 연관될 수 있고, 반면에 다른 타입들의 STT-MRAM 캐시는 코어들 사이에서 공유될 수 있다.

[0027] 이전에 논의된 바와 같이, 그 타입들의 STT-MRAM은 특성 속성들에 따라 튜닝될 수 있다. 속성들은 레이턴시, 캐시 히트/미스 레이트, 에너지, 에너지-지연 프로덕트(예를 들면, 성능 및 에너지 소비의 조합), 데이터 활용도(예를 들면, 충격 계수(duty factor): 판독, 기록 또는 홀드/저장), 및 데이터 신뢰도 및 보안(예를 들면, 강한 데이터 보유 및 보호)을 포함할 수 있다. 상술된 속성들은 그 타입들의 STT-MRAM 캐시를 튜닝하도록 구성될 수 있는 다양한 속성들의 예들이고, 본 발명은 상술된 속성들로 제한되지 않고, 다른 속성들에 대해 고려된다. 본 발명에서, 속성들이 파라미터들을 포함한다는 것이 유의되어야 한다.

[0028] 다양한 속성들은 각각 STT-MRAM 캐시가 성능(예를 들면, 레이턴시, 캐시 히트/미스 레이트), 데이터 타입 용도, 신뢰성, 전력 및 밀도에 대해 맞춤화되도록 허용한다. 또한, STT-MRAM 캐시는, 상이한 티어들의 하위 레벨 캐시가 동시에 제조되기 때문에, 동질적인 하위 레벨 프로세스 통합을 사용하여 어떠한 추가의 프로세스 오버헤드를 발생시키지 않는다. 즉, 동일한 제조 프로세스들은, 전체 프로세스 흐름에서 약간의 변동만으로 각각의 타입의 STT-MRAM 캐시에 사용될 수 있다. 예를 들면, 상이하게 튜닝된 캐시들을 생성하기 위해 상이한 마스크 레이아웃들이 동일한 프로세스 흐름 내에서 사용될 수 있다.

[0029] 또한, STT-MRAM 캐시의 사용은 칩 비용들을 감소시킬 수 있다. 즉, STT-MRAM 캐시는 SRAM 캐시와 비교하여 더 적은 공간을 사용할 수 있다. 예를 들면, 일부 양상들에 따라, STT-MRAM 캐시는 동일한 밀도의 SRAM 하위 레벨 캐시와 비교하여 대략 2 배 내지 3 배의 영역을 절약할 수 있다.

[0030] 도 6은 STT-MRAM 캐시들을 연관시키고 튜닝하기 위한 방법(600)의 블록도를 예시한다. 도 6에 예시된 바와 같이, 블록(602)에 도시된 바와 같이, 제 1 STT-MRAM 캐시는 제 1 코어와 연관된다. 블록(604)에 도시된 바와 같이, 제 1 STT-MRAM은 제 1 속성들에 따라 튜닝된다. 또한, 블록(606)에 도시된 바와 같이, 제 2 STT-MRAM 캐시는 제 2 코어와 연관된다. 부가적으로, 제 2 STT-MRAM 캐시는, 블록(608)에 도시된 바와 같이, 제 2 속성들에 따라 튜닝된다. 상기 방법은 또한, 블록(610)에 도시된 바와 같이, 적어도 하나의 다른 코어와 제 1 STT-MRAM 캐시 또는 제 2 STT-MRAM을 연관시키는 것을 포함할 수 있다.

[0031] 도 7은, 본 발명의 실시예가 유리하게 사용될 수 있는 예시적인 무선 통신 시스템(700)을 도시한다. 예시의 목적으로, 도 7은 3 개의 원격 유닛들(720, 730, 및 750), 및 2 개의 기지국들(740)을 도시한다. 무선 통신 시스템들이 더 많은 원격 유닛들 및 기지국들을 가질 수 있다는 것이 인식될 것이다. 원격 유닛들(720, 730, 및 750)은 하위 레벨 STT-MRAM 캐시(725A, 725B 및 725C)를 갖는 멀티-코어 프로세서들을 포함한다. 도 7은 기지국들(740)로부터 원격 유닛들(720, 730, 및 750)로의 순방향 링크 신호들(770) 및 원격 유닛들(720, 730, 및 750)로부터 기지국들(740)로의 역방향 링크 신호들(710)을 도시한다.

[0032] 도 7에서, 원격 유닛(720)은 모바일 휴대폰으로서 도시되고, 원격 유닛(730)은 휴대용 컴퓨터로서 도시되며, 원격 유닛(750)은 무선 로컬 루프 시스템에서 고정 위치 원격 유닛으로서 도시된다. 예를 들어, 원격 유닛들은 셀 폰들, 핸드-헬드 개인용 통신 시스템들(PCS) 유닛들, 셋톱 박스, 음악 플레이어, 비디오 플레이어, 엔터테인먼트 유닛들, 네비게이션 디바이스, 휴대용 데이터 유닛, 예컨대, 휴대 정보 단말기(personal data assistant)들, 또는 고정 위치 데이터 유닛들, 예컨대, 미터 판독 장비일 수 있다. 도 7이 본 발명의 교시들에 따른 하위 레벨 STT-MRAM 캐시(725A, 725B, 725C)를 갖는 멀티-코어 프로세서들을 사용할 수 있는 원격 유닛들을 예시하지만, 본 발명은 이러한 예시적인 예시된 유닛들로 제한되지 않는다. 예를 들면, 본 발명의 양상들에 따른 하위 레벨 STT-MRAM 캐시를 갖는 멀티-코어 프로세서들은 임의의 디바이스들에 적절하게 사용될 수 있다.

[0033] 도 8은, 반도체 컴포넌트의 회로, 레이아웃, 및 로직 설계, 예컨대, 앞서 개시된 하위 레벨 STT-MRAM 캐시를 갖는 멀티-코어 프로세서에 이용된 설계 워크스테이션을 예시하는 블록도이다. 설계 워크스테이션(800)은, 운영 시스템 소프트웨어, 지원 파일들, 및 설계 소프트웨어, 예컨대, Cadence 또는 OrCAD를 포함하는 하드 디스크(801)를 포함한다. 설계 워크스테이션(800)은 또한, 회로(810) 또는 반도체 컴포넌트(812), 예컨대, 하위 레벨 STT-MRAM 캐시를 갖는 멀티-코어 프로세서의 설계를 용이하게 하기 위한 디스플레이(802)를 포함한다. 회로 설계(810) 또는 반도체 컴포넌트(812)를 유형으로(tangibly) 저장하기 위한 저장 매체(804)가 제공된다. 회로 설계(810) 또는 반도체 컴포넌트(812)는 GDSII 또는 GERBER과 같은 파일 포맷으로 저장 매체(804)에 저장될 수 있다. 저장 매체(804)는, CD-ROM, DVD, 하드 디스크, 플래시 메모리, 또는 다른 적절한 디바이스일 수 있다. 게

다가, 설계 워크스테이션(800)은 저장 매체(804)로부터의 입력을 수용하거나 또는 저장 매체(804)에 출력을 기입하기 위한 드라이브 장치(803)를 포함한다.

[0034] 저장 매체(804) 상에 기록된 데이터는 로직 회로 구성들, 포토리소그래피 마스크들을 위한 패턴 데이터, 또는 전자 빔 리소그래피와 같은 직렬 기입 툴(serial write tool)들을 위한 마스크 패턴 데이터를 특정할 수 있다. 데이터는 로직 시뮬레이션들과 관련된 넷(net) 회로들 또는 타이밍도들과 같은 로직 검증 데이터를 추가로 포함할 수 있다. 저장 매체(804)에 데이터를 제공하는 것은 반도체 웨이퍼들을 설계하기 위한 프로세스들의 수를 감소시킴으로써 회로 설계(810) 또는 반도체 컴포넌트(812)의 설계가 용이하게 한다.

[0035] 일 구성에서, 메모리 장치는 멀티-코어 프로세서의 제 1 코어와 연관되고 제 1 속성들에 따라 튜닝되는 제 1 저장 수단을 포함한다. 메모리 장치는 또한 멀티-코어 프로세서의 제 2 코어와 연관되고 제 2 속성들에 따라 튜닝되는 제 2 저장 수단을 포함한다. 저장 수단은 하위 레벨 STT-MRAM 캐시(402-406, 502-504), 레벨 2(L2) 캐시 및/또는 식별 수단에 의해 언급된 기능들을 수행하도록 구성된 다른 메모리 타입들일 수 있다.

[0036] 특정 회로가 제시되었지만, 개시된 회로 전부가 개시된 실시예들을 실시하기 위해 요구되지는 않는다는 것이 당업자들에 의해 인지될 것이다. 또한, 본 발명에 대한 초점을 유지하기 위해 특정한 잘 알려진 회로들이 설명되지 않았다.

[0037] 본원에 설명된 방법은 애플리케이션들에 따라 다양한 수단에 의해 구현될 수도 있다. 예를 들어, 그러한 방법은 하드웨어, 펌웨어, 소프트웨어, 및/또는 이들의 임의의 조합으로 구현될 수 있다. 하드웨어 구현에 대해, 프로세싱 유닛들은, 하나 이상의 주문형 집적 회로(ASIC)들, 디지털 신호 프로세서(DSP)들, 디지털 신호 프로세싱 디바이스(DSPD)들, 프로그래머블 로직 디바이스(PLD)들, 펠드 프로그래머블 게이트 어레이(FPGA)들, 프로세서들, 제어기들, 마이크로-제어기들, 마이크로프로세서들, 전자 디바이스들, 본원에 설명된 기능들을 수행하도록 설계된 다른 전자 유닛들 또는 이들의 조합으로 구현될 수 있다.

[0038] 펌웨어 및/또는 소프트웨어 구현에 대해, 방법들은 본원에 설명된 기능들을 수행하는 모듈들(예를 들어, 프로시저들, 함수들 등)로 구현될 수 있다. 명령들을 유형으로 구현하는 임의의 기계 또는 컴퓨터 판독 가능 매체는 본원에 설명된 방법들을 구현하는데 이용될 수 있다. 예를 들어, 소프트웨어 코드는 메모리에 저장되고 프로세서 유닛에 의해 실행될 수 있다. 프로세서에 의해 실행될 때, 소프트웨어 코드를 실행하는 것은 본원에 제시된 교시들의 상이한 양상들의 다양한 방법들 및 기능들을 구현하는 동작 환경을 생성한다. 메모리는 프로세서 내에 또는 프로세서 외부에 구현될 수 있다. 본원에 이용된 바와 같이, "메모리"란 용어는 임의의 타입의 장기, 단기, 휘발성, 비휘발성, 또는 다른 메모리를 지칭하고, 임의의 특정한 타입의 메모리 또는 메모리들의 수, 또는 메모리가 저장되는 매체들의 타입으로 제한되지 않는다.

[0039] 본원에 설명된 방법들 및 기능들을 정의하는 소프트웨어 코드를 저장하는 기계 또는 컴퓨터 판독 가능 매체는 물리적 컴퓨터 저장 매체들을 포함한다. 저장 매체는 컴퓨터에 의해 액세스될 수 있는 임의의 이용 가능한 매체일 수 있다. 한정이 아닌 예로서, 이러한 컴퓨터-판독 가능 매체들은 RAM, ROM, EEPROM, CD-ROM 또는 다른 광학 디스크 저장부, 자기 디스크 저장부 또는 다른 자기 저장 디바이스들, 또는 컴퓨터에 의해 액세스될 수 있고 명령들 또는 데이터 구조들의 형태로 원하는 프로그램 코드를 저장하는데 이용될 수 있는 임의의 다른 매체를 포함할 수 있다. 본원에 이용되는 바와 같이, 디스크(disk) 및/또는 디스크(disc)는 콤팩트 디스크(CD; compact disc), 레이저 디스크(laser disc), 광학 디스크(optical disc), 디지털 다기능 디스크(DVD; digital versatile disc), 플로피 디스크(floppy disk) 및 블루-레이 디스크(blu-ray disc)를 포함하며, 여기서 디스크(disk)들은 통상적으로 자기적으로 데이터를 재생하는 반면에, 디스크(disc)들은 레이저들을 통해 데이터를 광학적으로 재생한다. 전술한 것들의 조합들이 또한 컴퓨터 판독 가능 매체들의 범위 내에 포함되어야 한다.

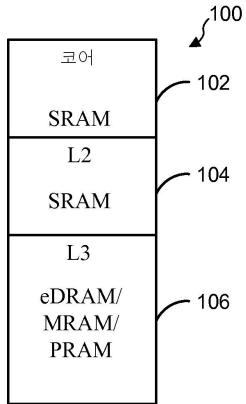
[0040] 컴퓨터 판독 가능 매체 상의 저장뿐만 아니라, 통신 장치에 포함된 송신 매체들 상에서 신호들로서 명령들 및/또는 데이터가 제공될 수 있다. 예를 들어, 통신 장치는 명령들 및 데이터를 나타내는 신호들을 갖는 트랜시버를 포함할 수 있다. 명령들 및 데이터는 하나 이상의 프로세서들이 청구항들에 개략된 기능들을 구현하게 하도록 구성된다.

[0041] 본 교시들 및 그들의 이점들이 상세하게 설명되었지만, 첨부된 청구항들에 의해 정의된 바와 같이 본 교시들의 기술로부터 벗어나지 않고, 본원에서 다양한 변화들, 치환들 및 변경들이 이루어질 수 있다는 것을 이해해야 한다. 더욱이, 본 출원의 범위는, 본 명세서에서 설명된 프로세스, 머신, 제조, 재료의 조성, 수단, 방법들 및 단계들의 특정 양상들로 제한되도록 의도되지 않는다. 당업자가 본 발명으로부터 용이하게 인식할 바와 같이, 본원에 설명된 대응하는 양상들과 실질적으로 동일한 기능을 수행하거나 또는 실질적으로 동일한 결과를 달성하

는, 현재 존재하거나 또는 나중에 개발될 프로세스들, 머신들, 제조, 재료의 조성들, 수단들, 방법들 또는 단계들이 본 교시들에 따라 활용될 수 있다. 따라서, 첨부된 청구항들은 이러한 프로세스들, 머신들, 제조, 재료의 조성들, 수단들, 방법들 또는 단계들을 청구항들의 범위 내에 포함하도록 의도된다.

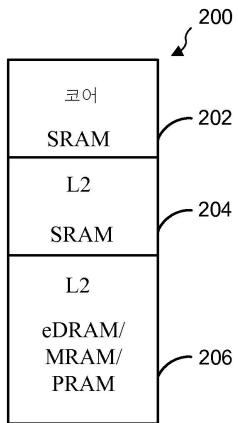
도면

도면1



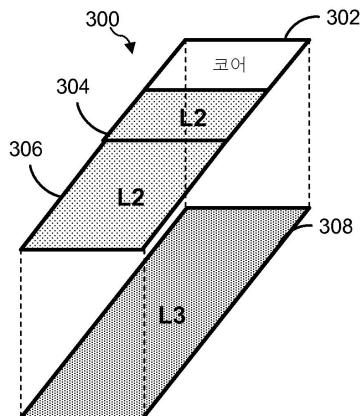
(종래 기술)

도면2



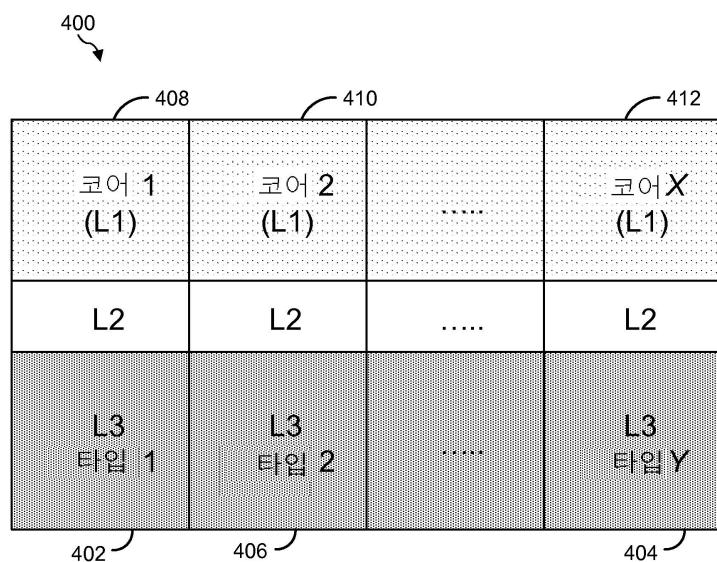
(종래 기술)

도면3

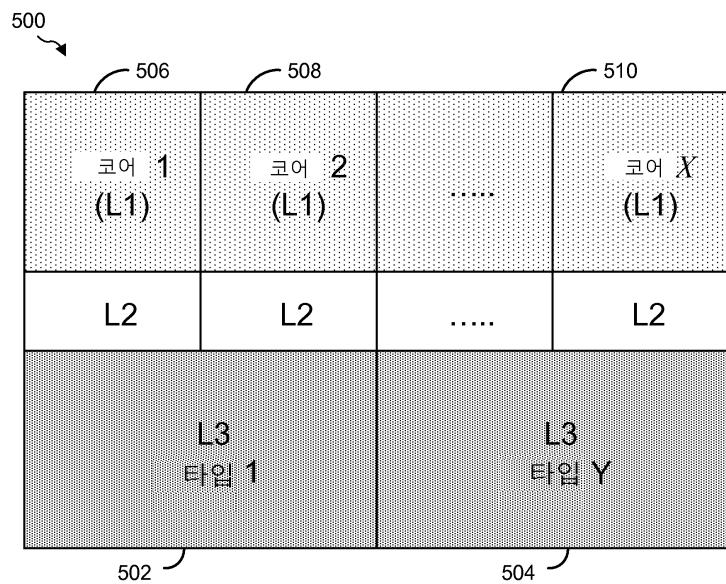


(증래 기술)

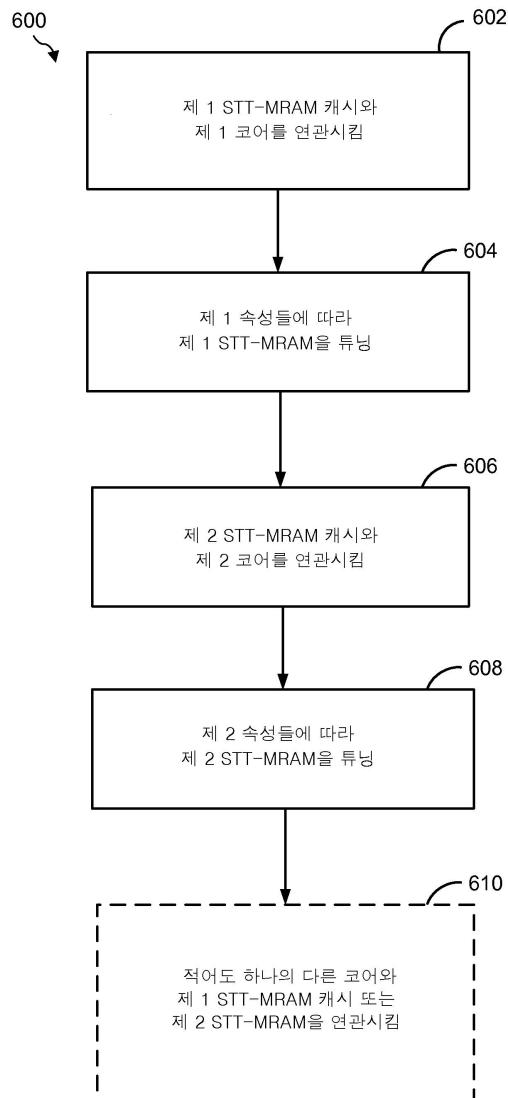
도면4



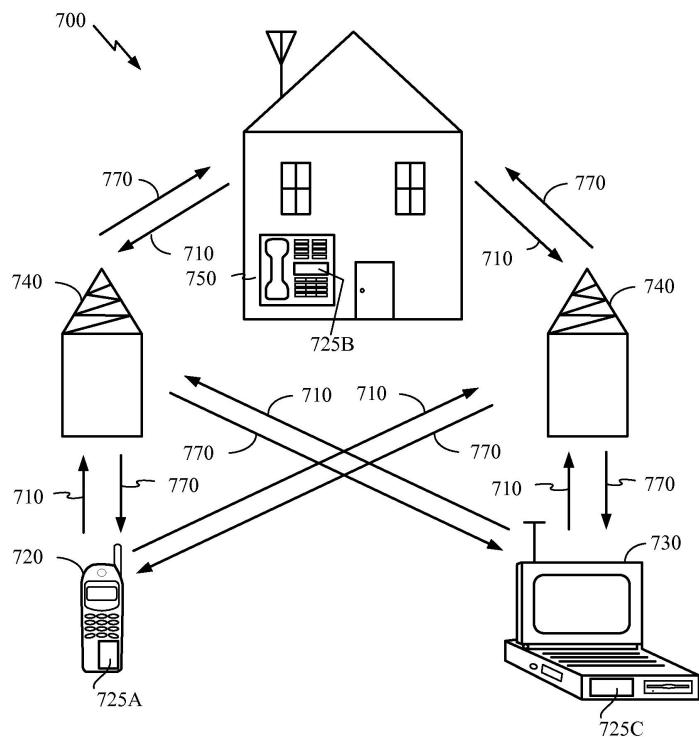
도면5



도면6



도면7



도면8

