



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I599018 B

(45)公告日：中華民國 106 (2017) 年 09 月 11 日

(21)申請案號：102105835

(22)申請日：中華民國 102 (2013) 年 02 月 20 日

(51)Int. Cl. : H01L27/092 (2006.01)

H01L29/78 (2006.01)

(30)優先權：2012/02/29 日本

2012-044279

(71)申請人：半導體能源研究所股份有限公司(日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：王丸拓郎 OHMARU, TAKURO (JP)；長塚修平 NAGATSUKA, SHUHEI (JP)

(74)代理人：林志剛

(56)參考文獻：

US 7,821,035B2

US 7,940,085B2

US 2010/0085081A1

審查人員：邱青松

申請專利範圍項數：11 項 圖式數：19 共 105 頁

(54)名稱

半導體裝置

SEMICONDUCTOR DEVICE

(57)摘要

本發明的目的之一是提供一種使用藉由控制電晶體的臨界電壓來增大驅動頻率的反相器電路的半導體裝置。並且，本發明的目的之一是提供一種使用耗電量得到降低的反相器電路的半導體裝置。本發明的一個方式是一種半導體裝置，包括：分別包括形成通道的半導體膜；夾著半導體膜設置的一對閘極電極；以及與半導體膜接觸的源極電極及汲極電極的第一電晶體及第二電晶體，其中，藉由控制供應到一對閘極電極的電位，使第一電晶體的特性成為常導通，並使第二電晶體的特性成為常截止。由此，成為驅動頻率得到增大的反相器電路。

To provide a semiconductor device including an inverter circuit whose driving frequency is increased by control of the threshold voltage of a transistor or a semiconductor device including an inveter circuit with low power consumption. An inverter circuit includes a first transistor and a second transistor each including a semiconductor film in which a channel is formed, a pair of gate electrodes between which the semiconductor film is placed, and source and drain electrodes in contact with the semiconductor film. Controlling potentials applied to the pair of gate electrodes makes the first transistor have normally-on characteristics and the second transistor have normally-off characteristics. Thus, the driving frequency of the inverter circuit is increased.

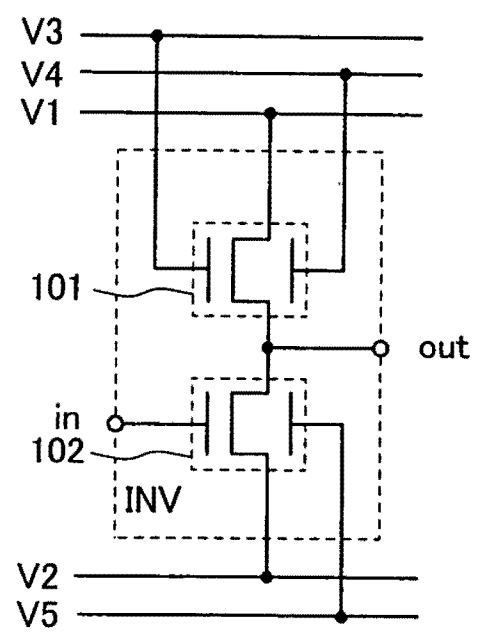
指定代表圖：

圖 1A

符號簡單說明：

101 . . . 電晶體

102 . . . 電晶體



發明摘要

※申請案號：102105835

※申請日：102年02月20日

※IPC分類：

【發明名稱】(中文/英文)

半導體裝置

Semiconductor device

H01L 27/092 (2006.01)

H01L 27/118 (2006.01)

【中文】

本發明的目的之一是提供一種使用藉由控制電晶體的臨界電壓來增大驅動頻率的反相器電路的半導體裝置。並且，本發明的目的之一是提供一種使用耗電量得到降低的反相器電路的半導體裝置。本發明的一個方式是一種半導體裝置，包括：分別包括形成通道的半導體膜；夾著半導體膜設置的一對閘極電極；以及與半導體膜接觸的源極電極及汲極電極的第一電晶體及第二電晶體，其中，藉由控制供應到一對閘極電極的電位，使第一電晶體的特性成為常導通，並使第二電晶體的特性成為常截止。由此，成為驅動頻率得到增大的反相器電路。

【 英文 】

To provide a semiconductor device including an inverter circuit whose driving frequency is increased by control of the threshold voltage of a transistor or a semiconductor device including an inveter circuit with low power consumption. An inverter circuit includes a first transistor and a second transistor each including a semiconductor film in which a channel is formed, a pair of gate electrodes between which the semiconductor film is placed, and source and drain electrodes in contact with the semiconductor film. Controlling potentials applied to the pair of gate electrodes makes the first transistor have normally-on characteristics and the second transistor have normally-off characteristics. Thus, the driving frequency of the inverter circuit is increased.

【代表圖】

【本案指定代表圖】：第(1A)圖。

【本代表圖之符號簡單說明】：

101：電晶體

102：電晶體

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置

Semiconductor device

【技術領域】

本發明係關於一種使用邏輯電路的半導體裝置。

【先前技術】

近年來，對使用形成在具有絕緣表面的基板上的半導體薄膜構成電晶體的技術進行了開發，該電晶體廣泛地應用於如積體電路（IC）及影像顯示裝置（顯示裝置）等的電子裝置。

作為可以應用於電晶體的半導體材料，矽被廣泛地周知。但是，作為其他材料，氧化物半導體如氧化銦、氧化鋅等或 III-V 族化合物半導體如砷化鎵等受到關注。

例如，專利文獻 1 公開了使用包含銦（In）、鎵（Ga）及鋅（Zn）的非晶氧化物半導體的電晶體。

但是，使用上述氧化物半導體製造的電晶體成為 n 通道型電晶體。由此，當使用該電晶體構成邏輯電路時，構成單極邏輯電路。

〔專利文獻 1〕日本專利申請公開第 2006-165528 號公報

當作爲單極邏輯電路構成反相器電路時，需要分別控制反相器電路所包括的多個電晶體的臨界電壓。例如，反相器電路以一方電晶體爲電流源且以另一方電晶體爲開關而工作。

但是，在單極反相器電路中的截止狀態的一方電晶體成爲導通狀態時，發生由於反相器電路的輸出信號的上升時間的延長導致驅動頻率降低的問題。另外，還有一個問題是由於在一方或另一方電晶體處於截止狀態時的洩漏電流會使耗電量增大。

【發明內容】

鑒於上述問題，本發明的目的之一是提供一種使用驅動頻率得到提高的邏輯電路的半導體裝置。另外，本發明的目的之一是提供一種使用耗電量得到降低的邏輯電路的半導體裝置。本發明的一個方式實現上述目的中的任一個。

在本發明的一個方式中，使用如下電晶體構成邏輯電路，即：包括形成通道的半導體膜、夾著該半導體膜設置的一對閘極電極以及以接觸於半導體膜的方式設置的源極電極及汲極電極的電晶體。在該電晶體中，一對閘極電極中的一方隔著第一閘極絕緣膜與半導體膜重疊，一對閘極電極中的另一方隔著第二閘極絕緣膜與半導體膜重疊。在此，將一對閘極電極中的一方稱爲第一閘極電極，將一對閘極電極中的另一方稱爲第二閘極電極。

在作為邏輯電路構成反相器電路時，例如，在被供應電源電位的第一電源線與被供應接地電位的第二電源線之間串聯連接第一電晶體與第二電晶體。就是說，電連接第一電晶體的源極電極與第二電晶體的汲極電極。此時，第一電晶體的一對閘極電極中的一方與第三電源線連接，一對閘極電極中的另一方與第四電源線連接，源極電極與第二電晶體的汲極電極及輸出端子連接。另外，第二電晶體的一對閘極電極中的一方與輸入端子連接，一對閘極電極中的另一方與第五電源線連接。

藉由在第一電晶體及第二電晶體中分別設置一對閘極電極中的另一方（第二閘極電極）並分別控制第一電晶體及第二電晶體的臨界電壓，可以使第一電晶體的特性成為常導通，並使第二電晶體的特性成為常截止。

藉由使第一電晶體的特性成為常導通，可以提高第一電晶體的電流驅動能力。由此，與在第一電晶體中不使用一對閘極電極中的另一方（第二閘極電極）的情況相比，可以縮短反相器電路的輸出信號的上升時間。由此，可以增大反相器電路的驅動頻率。另外，藉由使第二電晶體的特性成為常截止，可以降低在第二電晶體處於截止狀態時產生的洩漏電流，由此可以降低耗電量。

藉由串聯連接奇數級的上述反相器電路（也記載為第一反相器電路）並連接最終級的反相器電路的輸出端子與初級的反相器電路的輸入端子，可以構成環形振盪器。

由於第一反相器電路的輸出信號的上升時間短，所以

驅動頻率高。因此，藉由使用奇數級的第一反相器電路構成環形振盪器，可以增大環形振盪器的振盪頻率。另外，可以縮短各第一反相器電路的遲延時間。而且，藉由高振盪頻率可以使環形振盪器高速工作。

另外，爲了控制對第一反相器電路所包括的第一電晶體的一對閘極電極中的另一方供應的電位，環形振盪器也可以具備控制用反相器電路（也記載爲第二反相器電路）。

與第一反相器電路相同的輸入信號輸入到第二反相器電路的輸入端子，第二反相器電路的輸出端子與第一反相器電路所包括的第一電晶體的一對閘極電極中的另一方連接。由此，對第一電晶體的一對閘極電極中的另一方輸入輸入信號的反轉信號。

在第二反相器電路中，例如，在被供應電源電位的第六電源線與被供應接地電位的第七電源線之間串聯連接第三電晶體與第四電晶體。此時，第三電晶體的一對閘極電極中的一方與第八電源線連接，一對閘極電極中的另一方與第九電源線連接，源極電極與第四電晶體的汲極電極及輸出端子連接。另外，第四電晶體的一對閘極電極中的一方與輸入端子連接，一對閘極電極中的另一方與第十電源線連接。

在第二反相器電路中，藉由在第三電晶體及第四電晶體中分別設置一對閘極電極中的另一方（第二閘極電極）並分別控制第三電晶體及第四電晶體的臨界電壓，可以使

第三電晶體的特性成爲常導通，並使第四電晶體的特性成爲常截止。

另外，在第一反相器電路中，藉由在第一電晶體及第二電晶體中分別設置一對閘極電極中的另一方（第二閘極電極）並分別控制第一電晶體及第二電晶體的臨界電壓，可以使第一電晶體的特性成爲常導通或常截止，並使第二電晶體的特性成爲常截止。

藉由使第三電晶體的特性成爲常導通，可以提高第三電晶體的電流驅動能力。由此，與在第三電晶體中不使用一對閘極電極中的另一方（第二閘極電極）的情況相比，可以縮短第二反相器電路的輸出信號的上升時間。由此，可以提高第二反相器電路的驅動頻率。另外，藉由使第四電晶體的特性成爲常截止，可以降低在第四電晶體處於截止狀態時產生的洩漏電流，由此可以降低耗電量。

另外，根據第二反相器電路的輸出信號而可以控制第一電晶體的特性的常導通或常截止。由此，與在第一電晶體中不使用一對閘極電極中的另一方（第二閘極電極）的情況相比，可以縮短第一反相器電路的輸出信號的上升時間。由此，可以提高第一反相器電路的驅動頻率。再者，藉由使第一電晶體的特性成爲常截止可以抑制貫通電流，由此可以增大輸出信號的振幅。

可以使用奇數級的第一反相器電路構成環形振盪器。在構成環形振盪器時，串聯連接奇數級的第一反相器電路並連接最終級的反相器電路的輸出端子與初級的反相器電

路的輸入端子，即可。另外，第二反相器電路的數量與第一反相器電路相同。各第一反相器電路的輸入端子與各第二反相器電路的輸入端子連接，各第二反相器電路的輸出端子與各第一反相器電路所包括的第一電晶體的一對電極中的另一方連接。

藉由連接第二反相器電路的輸出端子與第一反相器電路所包括的第一電晶體的一對閘極電極中的另一方（第二閘極電極），根據從第二反相器電路輸出的輸出信號而可以將第一電晶體的特性控制為常導通或常截止。由此，與在第一電晶體中不使用一對閘極電極中的另一方（第二閘極電極）的情況相比，可以縮短第一反相器電路的輸出信號的上升時間。由此，可以提高第一反相器電路的驅動頻率。因此，藉由使用第一反相器電路構成環形振盪器，可以提高環形振盪器的振盪頻率。另外，可以縮短各第一反相器電路的遲延時間。而且，藉由高振盪頻率可以使環形振盪器高速工作。再者，藉由使第一電晶體的特性成為常截止可以抑制貫通電流，由此可以增大第一反相器電路的輸出信號的振幅。因此，由於可以增大環形振盪器的增益，所以可以擴大環形振盪器的工作範圍。

此外，為了在不使用控制用反相器電路的情況下將反轉信號輸入到反相器電路所包括的第一電晶體的一對閘極電極中的另一方（第二閘極電極），也可以採用下面的結構。

在奇數級的反相器電路中，連接一個反相器電路的輸

出端子與下一級的反相器電路的輸入端子及下下一級的反相器電路所包括的第一電晶體的一對閘極電極中的另一方。另外，連接最終級的反相器電路的輸出端子與初級的反相器電路的輸入端子。另外，既可以對初級的反相器電路所包括的第一電晶體的一對閘極電極中的另一方輸入其他電路所生成的反轉信號，又可以將初級的反相器電路所包括的第一電晶體的一對閘極電極中的另一方與最終級的上一級的反相器電路的輸出端子連接。

在第一反相器電路中，第一電晶體的通道寬度 W 與通道長度 L 的比率 (W/L) 較佳小於第二電晶體的通道寬度 W 與通道長度 L 的比率 (W/L)。另外，在第二反相器電路中，第三電晶體的通道寬度 W 與通道長度 L 的比率 (W/L) 較佳小於第四電晶體的通道寬度 W 與通道長度 L 的比率 (W/L)。

另外，可以將上述環形振盪器用作鎖相環路所具備的電壓控制振盪器。

作為用於第一電晶體至第四電晶體的半導體膜，例如可以使用 In-Ga-Zn 類氧化物半導體膜。另外，作為用於第一電晶體至第四電晶體的半導體材料，除了該氧化物半導體膜之外，還可以使用氮化鎵、砷化鎵或砷化銦鎵等化合物半導體。

根據本發明的一個方式，可以提供一種使用藉由控制電晶體的臨界電壓來增大驅動頻率的邏輯電路的半導體裝置。另外，可以提供一種使用耗電量得到降低的邏輯電路

的半導體裝置。

【圖式簡單說明】

在圖式中：

圖 1A 至圖 1C 是根據本發明的一個方式的邏輯電路及半導體裝置；

圖 2A 至圖 2C 是根據本發明的一個方式的邏輯電路及半導體裝置；

圖 3A 和圖 3B 是根據本發明的一個方式的邏輯電路及半導體裝置；

圖 4 是根據本發明的一個方式的半導體裝置；

圖 5A 和圖 5B 是根據本發明的一個方式的邏輯電路及半導體裝置；

圖 6A 和圖 6B 是根據本發明的一個方式的半導體裝置；

圖 7A 至圖 7F 是半導體裝置的製程的剖面圖；

圖 8A 至圖 8D 是半導體裝置的製程的剖面圖；

圖 9 是說明振盪電路的塊圖；

圖 10 是可攜式電子裝置的塊圖；

圖 11 是電子書閱讀器的塊圖；

圖 12A 和圖 12B 是示出實施例 1 所製造的電晶體的 VG-ID 特性的圖；

圖 13A 和圖 13B 是實施例 2 所製造的反相器電路；

圖 14A 和圖 14B 是實施例 2 所製造的電晶體；

圖 15A 和圖 15B 是根據實施例 2 的環形振盪器的振幅及頻率；

圖 16A 和圖 16B 是根據比較例的環形振盪器的振幅及頻率；

圖 17A 和圖 17B 是實施例 3 所製造的反相器電路；

圖 18A 和圖 18B 是環形振盪器 A 至 C 的振幅及頻率；

圖 19A 和圖 19B 是環形振盪器 D 至 F 的振幅及頻率。

【實施方式】

參照圖式對本發明的實施方式的一個例子進行詳細說明。但是，本發明不侷限於以下說明，所屬技術領域的普通技術人員可以很容易地理解一個事實就是其方式及詳細內容在不脫離本發明的宗旨及其範圍的情況下可以被變換為各種各樣的形式。因此，本發明不應該被解釋為僅限定於以下所示的實施方式的記載內容中。注意，在以下說明的結構中，不同的圖式共同使用同一元件符號來表示同一部分或具有同一功能的部分，而有時省略其重複說明。

注意，為了便於理解，在圖式等中表示的各結構的位置、大小及範圍等有時不表示實際上的位置、大小及範圍等。因此，本發明的一個方式不一定侷限於圖式等所公開的位置、大小、範圍等。

另外，本說明書等中的“第一”、“第二”、“第

三”等序數詞是爲了避免構成要素的混淆而附記的，而不是用於在數目方面上進行限制。

另外，在本說明書等中，有時“電壓”及“電位”是同義的。

此外，在採用極性不同的電晶體的情況或在電路工作中電流方向發生變化的情況等下，“源極”和“汲極”的功能有時互相調換。因此，在本說明書等中，可以互相調換使用“源極”和“汲極”。

另外，在本說明書等中，“電連接”包括藉由“具有某種電作用的元件”連接的情況。這裏，“具有某種電作用的元件”只要可以進行連接目標間的電信號的授受，就對其沒有特別的限制。

在本說明書等中，“電晶體處於導通（狀態）”是指供應到電晶體的第一閘極電極的電位爲臨界電壓以上的狀態。另外，“電晶體處於截止（狀態）”是指供應到電晶體的第一閘極電極的電位低於臨界電壓的狀態。例如，具有“常導通”的電特性的電晶體是指在供應到電晶體的第一閘極電極的電位爲 0V 時處於導通狀態的電晶體。就是說，“常導通的電晶體”是臨界電壓爲 0V 以下的電晶體。另外，具有“常截止”的電特性的電晶體是指在供應到電晶體的第一閘極電極的電位爲 0V 時處於截止狀態的電晶體。就是說，“常截止的電晶體”是臨界電壓高於 0V 的電晶體。

實施方式 1

在本實施方式中，參照圖 1A 至圖 2C 說明根據本發明的一個方式的環形振盪器。圖 1B 和圖 1C 所示的環形振盪器作為反相器電路使用圖 1A 所示的反相器電路 INV。由此，首先說明圖 1A 所示的反相器電路 INV。

圖 1A 是示出反相器電路 INV 的具體結構的電路圖。反相器電路 INV 包括電晶體 101 及電晶體 102。在反相器電路 INV 中，在被供應電源電位 V1 的電源線 V1 與被供應電源電位 V2 的電源線 V2 之間串聯連接電晶體 101 與電晶體 102。就是說，電晶體 101 的源極電極與電晶體 102 的汲極電極是電連接著的。

電晶體 101 的導電型與電晶體 102 的導電型相同。由此，只要電晶體 101 的導電型與電晶體 102 的導電型相同，就無論是 n 通道型電晶體還是 p 通道型電晶體都可以被採用。在使電晶體 101 及電晶體 102 成為 n 通道型電晶體時，使電源電位 V1 高於電源電位 V2。另外，使電源電位 V2 例如為接地電位或負電位。就是說，使電源電位 V1 成為高電源電位，使電源電位 V2 成為低電源電位。在使電晶體 101 及電晶體 102 成為 p 通道型電晶體時，使電源電位 V1 低於電源電位 V2。另外，使電源電位 V1 例如為接地電位或負電位。就是說，使電源電位 V1 成為低電源電位，使電源電位 V2 成為高電源電位。

電晶體 101 及電晶體 102 分別包括形成通道的半導體膜、夾著半導體膜設置的一對閘極電極以及以接觸於半導

體膜的方式設置的源極電極及汲極電極。在該電晶體中，一對閘極電極中的一方隔著第一閘極絕緣膜與半導體膜重疊，一對閘極電極中的另一方隔著第二閘極絕緣膜與半導體膜重疊。在此，將一對閘極電極中的一方稱為第一閘極電極，將一對閘極電極中的另一方稱為第二閘極電極（也稱為背閘極）。

另外，作為用於電晶體 101 及電晶體 102 的半導體膜，可以使用氧化物半導體，氮化鎵、砷化鎵、砷化銮或砷化銮鎵等化合物半導體。

在本實施方式中，說明作為半導體膜使用氧化物半導體膜的情況。形成該氧化物半導體膜的通道的區域較佳為藉由減少雜質且減少氧缺陷實現高度純化的區域。被高度純化的氧化物半導體（purified OS）是 i 型（本質半導體）或無限趨近於 i 型。由此，將上述氧化物半導體用於形成通道的區域的電晶體具有關態電流（off-state current）顯著低臨界電壓不容易向負方向漂移（即，容易得到常截止的特性）的特性。

在反相器電路 INV 中，電晶體 101 的第一閘極電極與被供應電源電位 V3 的電源線 V3 連接，電晶體 101 的汲極電極與被供應電源電位 V1 的電源線 V1 連接，第二閘極電極與被供應電源電位 V4 的電源線 V4 連接，源極電極與電晶體 102 的汲極電極及輸出端子 out 連接。另外，電晶體 102 的第一閘極電極與被輸入輸入信號的輸入端子 in 連接，源極電極與被供應電源電位 V2 的電源線

V2 連接，第二閘極電極與被供應電源電位 V5 的電源線 V5 連接。

電源線 V3 與產生電源電位 V3 的第一電位產生電路連接，電源線 V4 與產生電源電位 V4 的第二電位產生電路連接，電源線 V5 與產生電源電位 V5 的第三電位產生電路連接（未圖示）。第一電位產生電路至第三電位產生電路可以分別產生多個電位。

接著，說明圖 1A 所示的反相器電路 INV 的工作。在此，說明電晶體 101 及電晶體 102 為 n 通道型電晶體時的工作。

在反相器電路 INV 中，電晶體 101 用作電流源，電晶體 102 用作開關。就是說，藉由使電晶體 102 處於導通狀態或截止狀態，從反相器電路 INV 的輸出端子 out 輸出反轉信號。因此，在電晶體 102 的電流驅動能力低於電晶體 101 的電流驅動能力時，反相器電路不工作。

在反相器電路 INV 中，藉由使電源電位 V5 成為與電源電位 V2 大致相同或低於電源電位 V2 的電位，電晶體 102 的臨界電壓向正方向漂移，從而電晶體 102 的特性成為常截止。

另外，藉由使電源電位 V3 和電源電位 V4 中的一方成為與電源電位 V1 大致相同或高於電源電位 V1 的電位，並使電源電位 V3 和電源電位 V4 中的另一方成為正電位，電晶體 101 的臨界電壓向負方向漂移，從而電晶體 101 的特性成為常導通。

藉由在這樣狀態下作為輸入信號將低位準電位（例如，VSS）輸入到輸入端子 in，電晶體 102 成為截止狀態。此外，由於電晶體 101 處於導通狀態，所以作為反轉信號從輸出端子 out 輸出高位準電位（例如，VDD）。

另外，藉由作為輸入信號將高位準電位輸入到輸入端子 in，電晶體 102 成為導通狀態。此時，由於電晶體 102 的電流驅動能力大於電晶體 101，所以即使電晶體 101 處於導通狀態流過電晶體 102 的電流也多於流過電晶體 101 的電流。由此，作為反轉信號從輸出端子 out 輸出低位準電位。

如圖 1A 所示，藉由在電晶體 101 及電晶體 102 中分別設置第二閘極電極並分別控制電晶體 101 及電晶體 102 的臨界電壓，可以使電晶體 101 的特性成為常導通，使電晶體 102 的特性成為常截止。

藉由使電晶體 101 的特性成為常導通，可以提高電晶體 101 的電流驅動能力。由此，與在電晶體 101 中不使用第二閘極電極的情況相比，可以縮短反相器電路 INV 的輸出信號的上升時間。由此，可以增大反相器電路 INV 的驅動頻率。另外，藉由使電晶體 102 的特性成為常截止，可以降低在電晶體 102 處於截止狀態時產生的洩漏電流，由此可以降低耗電量。

另外，由於在圖 1A 所示的反相器電路 INV 中需要使電晶體 101 的電流驅動能力小於電晶體 102，所以電晶體 101 的尺寸較佳小於電晶體 102。就是說，電晶體 101 的

通道寬度 (W) (或者 , 通道寬度 (W) 與通道長度 (L) 的比率 (W/L)) 較佳小於電晶體 102 的通道寬度 (W) (或者 , 通道寬度 (W) 與通道長度 (L) 的比率 (W/L)) 。

接著 , 參照圖 1B 和圖 1C 說明將圖 1A 所示的反相器電路 INV 應用於環形振盪器的情況 。

在圖 1B 所示的環形振盪器中 , 將奇數級的圖 1A 所示的反相器電路 INV 串聯連接 , 並使最終級的反相器電路 INV ($2m-1$) ($m>0$) 的輸出端子 out 回歸初級的反相器電路 INV1 的輸入端子 in 而進行自激振盪 。

另外 , 圖 1C 具體示出圖 1B 所示的環形振盪器的第一級至第三級 。

另外 , 在圖 1B 所示的環形振盪器中 , 電源線 V1 與各反相器電路 INV 的電晶體 101 的汲極電極連接 , 電源線 V2 與各反相器電路 INV 的電晶體 102 的源極電極連接 , 電源線 V3 與各反相器電路 INV 的電晶體 101 的第一閘極電極連接 , 電源線 V4 與各反相器電路 INV 的電晶體 101 的第二閘極電極連接 , 電源線 V5 與各反相器電路 INV 的電晶體 102 的第二閘極電極連接 。

由於圖 1A 所示的反相器電路 INV 的輸出信號的上升時間短 , 所以驅動頻率高 。

因此 , 藉由使用該反相器電路 INV 構成圖 1B 所示的環形振盪器 , 可以增大環形振盪器的振盪頻率 。

另外 , 可以縮短各反相器電路 INV 的遲延時間 。

而且 , 藉由高振盪頻率可以使環形振盪器高速工作 。

或者，在反相器電路 INV 中，藉由使電源電位 V3 成爲與電源電位 V1 大致相同的電位並使電源電位 V4 成爲低於電源電位 V2 的電位，電晶體 101 的臨界電壓向正方向漂移，從而也可以使電晶體 101 的特性成爲常截止。藉由使電晶體 101 的特性成爲常截止，可以降低電晶體 101 的洩漏電流。因此，可以進一步降低反相器電路 INV 的耗電量。此外，可以降低使用該反相器電路 INV 的環形振盪器的耗電量。

如此，藉由改變施加到電晶體 101 的第二閘極電極的電源電位 V4，可以調整反相器電路 INV 的高速工作導致的驅動頻率的增大或低速驅動導致的耗電量的減少。由此，在進行反相器電路 INV 的高速驅動時，使電晶體 101 的特性成爲常導通即可，在進行反相器電路 INV 的低速驅動時，使電晶體 101 的特性成爲常截止即可。電源電位 V4 可以由第二電位產生電路控制。

接著，圖 2A 至圖 2C 示出其一部分與圖 1A 至圖 1C 不同的反相器電路 INV 及環形振盪器。

在圖 2A 所示的反相器電路 INV 中，電晶體 101 的汲極電極與被供應電源電位 V1 的電源線 V1 連接，第二閘極電極與被供應電源電位 V4 的電源線 V4 連接，第一閘極電極與源極電極及輸出端子 out 連接。由此，電晶體 101 的第一閘極電極與源極電極之間的電壓成爲 0V，電晶體 101 處於截止狀態。

但是，藉由使電源電位 V4 成爲正電位，電晶體 101

的臨界電壓向負方向漂移，從而可以使電晶體 101 的特性成爲常導通。

藉由使電晶體 101 的特性成爲常導通，可以提高電晶體 101 的電流驅動能力。由此，與在電晶體 101 中不使用第二閘極電極的情況相比，可以縮短反相器電路 INV 的輸出信號的上升時間。由此，可以增大反相器電路 INV 的驅動頻率。此外，由於不需要使用電源線 V3，所以與圖 1A 相比可以減少電源線的數量。

在圖 2A 所示的反相器電路 INV 中，電晶體 101 的第一閘極電極與源極電極連接（反二極體連接），其電流驅動能力顯著低。因此，電晶體 101 的尺寸較佳大於電晶體 102。就是說，電晶體 101 的通道寬度（W）（或者，通道寬度（W）與通道長度（L）的比率（W/L））較佳大於電晶體 102 的通道寬度（W）（或者，通道寬度（W）與通道長度（L）的比率（W/L））。

參照圖 2B 和圖 2C 說明將圖 2A 所示的反相器電路 INV 應用於環形振盪器的情況。

在圖 2B 所示的環形振盪器中，將奇數級的圖 2A 所示的反相器電路 INV 串聯連接，並使最終級的反相器電路 INV（ $2m-1$ ）（ $m>0$ ）的輸出端子 out 回歸初級的反相器電路 INV1 的輸入端子 in 而進行自激振盪。另外，圖 2C 具體示出圖 2B 所示的環形振盪器的第一級至第三級。

由於圖 2B 和圖 2C 所示的環形振盪器與圖 1B 和圖 1C 所示的環形振盪器相比可以減少電源線的數量，所以

可以減小電路面積。

另外，與圖 1A 所示的反相器電路 INV 同樣，由於圖 2A 所示的反相器電路 INV 的輸出信號的上升時間短，所以驅動頻率高。因此，藉由使用該反相器電路 INV 構成圖 2B 所示的環形振盪器，可以增大環形振盪器的振盪頻率。另外，可以縮短反相器電路 INV 的遲延時間。而且，藉由高振盪頻率可以使環形振盪器高速工作。

本實施方式可以與其他實施方式所記載的結構適當地組合而實施。

實施方式 2

在本實施方式中，參照圖 3A 至圖 6B 說明與上述實施方式不同的環形振盪器。

在圖 3B 所示的環形振盪器中，使用圖 3A 所示的反相器電路 INVa 及用來控制施加到反相器電路 INVa 所包括的電晶體 101 的第二閘極電極的電壓的控制用反相器電路 INVb。由此，首先說明圖 3A 所示的反相器電路 INVa 及控制用反相器電路 INVb。

圖 3A 是示出反相器電路 INVa 及控制用反相器電路 INVb 的具體結構的電路圖。反相器電路 INVa 包括電晶體 101 及電晶體 102，控制用反相器電路 INVb 包括電晶體 103 及電晶體 104。在反相器電路 INVa 中，在被供應電源電位 V1 的電源線 V1 與被供應電源電位 V2 的電源線 V2 之間串聯連接電晶體 101 與電晶體 102。就是說，電晶體

101 的源極電極與電晶體 102 的汲極電極是電連接著的。另外，在控制用反相器電路 INVb 中，在被供應電源電位 V6 的電源線 V6 與被供應電源電位 V7 的電源線 V7 之間串聯連接電晶體 103 與電晶體 104。就是說，電晶體 103 的源極電極與電晶體 104 的汲極電極是電連接著的。

電晶體 101 的導電型與電晶體 102 的導電型相同。由此，只要電晶體 101 的導電型與電晶體 102 的導電型相同，就無論是 n 通道型電晶體還是 p 通道型電晶體都可以被採用。在使電晶體 101 及電晶體 102 成爲 n 通道型電晶體時，使電源電位 V1 高於電源電位 V2。另外，使電源電位 V2 例如爲接地電位或負電位。就是說，使電源電位 V1 成爲高電源電位，使電源電位 V2 成爲低電源電位。在使電晶體 101 及電晶體 102 成爲 p 通道型電晶體時，使電源電位 V1 低於電源電位 V2。另外，使電源電位 V1 例如爲接地電位或負電位。就是說，使電源電位 V1 成爲低電源電位，使電源電位 V2 成爲高電源電位。

另外，電晶體 103 的導電型與電晶體 104 的導電型相同。由此，只要電晶體 103 的導電型與電晶體 104 的導電型相同，就無論是 n 通道型電晶體還是 p 通道型電晶體都可以被採用。在使電晶體 103 及電晶體 104 成爲 n 通道型電晶體時，使電源電位 V6 高於電源電位 V7。另外，使電源電位 V7 例如爲接地電位或負電位。就是說，使電源電位 V6 成爲高電源電位，使電源電位 V7 成爲低電源電位。在使電晶體 103 及電晶體 104 成爲 p 通道型電晶體

時，使電源電位 V_6 低於電源電位 V_7 。另外，使電源電位 V_6 例如為接地電位或負電位。就是說，使電源電位 V_6 成為低電源電位，使電源電位 V_7 成為高電源電位。

電晶體 101 至電晶體 104 分別包括：形成通道的半導體膜；夾著半導體膜設置的一對閘極電極；以及以接觸於半導體膜的方式設置的源極電極及汲極電極。在該電晶體中，一對閘極電極中的一方隔著第一閘極絕緣膜與半導體膜重疊，一對閘極電極中的另一方隔著第二閘極絕緣膜與半導體膜重疊。在此，將一對閘極電極中的一方稱為第一閘極電極，將一對閘極電極中的另一方稱為第二閘極電極（也稱為背閘極）。

另外，作為用於電晶體 101 至電晶體 104 的半導體膜，可以使用氧化物半導體，氮化鎵、砷化鎵、砷化銮或砷化銮鎵等化合物半導體。

在本實施方式中，作為半導體膜使用氧化物半導體膜。該氧化物半導體膜中的形成有通道的區域較佳為藉由減少雜質且減少氧缺陷來實現高度純化。被高度純化的氧化物半導體（purified OS）是 i 型（本質半導體）或無限趨近於 i 型。由此，將上述氧化物半導體用於形成通道的區域的電晶體具有關態電流顯著低臨界電壓很少向負方向漂移（即，容易得到常截止的特性）的特性。

在控制用反相器電路 INVb 中，電晶體 103 的第一閘極電極與被供應電源電位 V_8 的電源線 V_8 連接，電晶體 103 的汲極電極與被供應電源電位 V_6 的電源線 V_6 連接，

第二閘極電極與被供應電源電位 V9 的電源線 V9 連接，源極電極與電晶體 104 的汲極電極及輸出端子 out 連接。另外，電晶體 104 的第一閘極電極與輸入端子 in 連接，源極電極與被供應電源電位 V7 的電源線 V7 連接，第二閘極電極與被供應電源電位 V10 的電源線 V10 連接。

另外，反相器電路 INVa 是其一部分與圖 1A 所示的反相器電路 INV 不同的結構。反相器電路 INVa 與反相器電路 INV 的不同之處是：在電晶體 101 中，第二閘極電極（也稱為端子 A）與控制用反相器電路 INVb 的輸出端子 out 連接。

電源線 V3 與產生電源電位 V3 的第一電位產生電路連接，電源線 V4 與產生電源電位 V4 的第二電位產生電路連接，電源線 V5 與產生電源電位 V5 的第三電位產生電路連接（未圖示）。第一電位產生電路至第三電位產生電路可以分別產生多個電位。電源線 V8 與產生電源電位 V8 的第四電位產生電路連接，電源線 V9 與產生電源電位 V9 的第五電位產生電路連接，電源線 V10 與產生電源電位 V10 的第六電位產生電路連接（未圖示）。第四電位產生電路至第六電位產生電路可以分別產生多個電位。

接著，說明圖 3A 所示的反相器電路 INVa 及控制用反相器電路 INVb 的工作。在此，說明電晶體 101 至電晶體 104 為 n 通道型電晶體時的情況。

反相器電路 INVa 的輸入端子與控制用反相器電路 INVb 的輸入端子連接，並被輸入相同的輸入信號。

在控制用反相器電路 INVb 中，電晶體 103 用作電流源，電晶體 104 用作開關。就是說，藉由使電晶體 104 處於導通狀態或截止狀態，從控制用反相器電路 INVb 的輸出端子 out 輸出反轉信號。因此，在電晶體 104 的電流驅動能力低於電晶體 103 的電流驅動能力時，反相器電路不工作。

在控制用反相器電路 INVb 中，藉由使電源電位 V10 成爲與電源電位 V7 大致相同或低於電源電位 V7 的電位，電晶體 104 的臨界電壓向正方向漂移，從而電晶體 104 的特性成爲常截止。

另外，藉由使電源電位 V8 和電源電位 V9 中的一方成爲與電源電位 V6 大致相同或高於電源電位 V6 的電位並使電源電位 V8 和電源電位 V9 中的另一方成爲正電位，電晶體 103 的臨界電壓向負方向漂移，從而電晶體 103 的特性成爲常導通。

在反相器電路 INVa 中，藉由在將與電源電位 V1 大致相同的電位的電源電位 V3 施加到電晶體 101 的第一閘極電極的狀態下將從控制用反相器電路 INVb 輸出的輸出信號輸入到電晶體 101 的第二閘極電極，根據從控制用反相器電路 INVb 輸出的輸出信號而改變電晶體 101 的臨界電壓。由此，可以將電晶體 101 的特性改變爲常導通或常截止。

另外，藉由使電源電位 V5 成爲與電源電位 V2 大致相同或低於電源電位 V2 的電位，電晶體 102 的臨界電壓

向正方向漂移，從而電晶體 102 的特性成爲常截止。

藉由在這樣的狀態下作爲輸入信號將低位準電位輸入到控制用反相器電路 INVb 的輸入端子 in，使電晶體 104 成爲截止狀態。此外，由於電晶體 103 處於導通狀態，所以從控制用反相器電路 INVb 的輸出端子 out 作爲反轉信號輸出高位準電位。

另外，由於也對反相器電路 INVa 的輸入端子 in 輸入低位準電位，所以電晶體 102 處於截止狀態。此時，從控制用反相器電路 INVb 輸出的高位準電位施加到電晶體 101 的第二閘極電極。由此，電晶體 101 的臨界電壓向負方向漂移，從而電晶體 101 的特性成爲常導通。因此，電晶體 101 成爲導通狀態，並從反相器電路 INVa 的輸出端子 out 輸出高位準電位。

另外，藉由作爲輸入信號將高位準電位輸入到控制用反相器電路 INVb 的輸入端子 in，電晶體 104 成爲導通狀態。此時，即使電晶體 103 處於導通狀態，由於電晶體 104 的電流驅動能力大於電晶體 103，所以流過電晶體 104 的電流也多於流過電晶體 103 的電流。由此，作爲反轉信號從控制用反相器電路 INVb 的輸出端子 out 輸出低位準電位。

另外，由於也對反相器電路 INVa 的輸入端子 in 輸入高位準電位，所以電晶體 102 處於導通狀態。此時，從控制用反相器電路 INVb 輸出的低位準電位施加到電晶體 101 的第二閘極電極。由此，電晶體 101 的臨界電壓向正

方向漂移，從而電晶體 101 的特性成爲常截止。因此，電晶體 101 成爲截止狀態，並從反相器電路 INVa 的輸出端子 out 輸出低位準電位。

如圖 3A 所示，在控制用反相器電路 INVb 中，藉由在電晶體 103 及電晶體 104 中分別設置第二閘極電極並分別控制電晶體 103 及電晶體 104 的臨界電壓，可以使電晶體 103 的特性成爲常導通，使電晶體 104 的特性成爲常截止。

另外，在反相器電路 INVa 中，藉由在電晶體 101 及電晶體 102 中分別設置第二閘極電極並分別控制電晶體 101 及電晶體 102 的臨界電壓，可以使電晶體 101 的特性成爲常導通或常截止，使電晶體 102 的特性成爲常截止。

藉由使電晶體 103 的特性成爲常導通，可以提高電晶體 103 的電流驅動能力。由此，與在電晶體 103 中不使用第二閘極電極的情況相比，可以縮短控制用反相器電路 INVb 的輸出信號的上升時間。由此，可以增大控制用反相器電路 INVb 的驅動頻率。另外，藉由使電晶體 104 的特性成爲常截止，可以降低在電晶體 104 處於截止狀態時產生的洩漏電流，由此可以降低耗電量。

此外，根據控制用反相器電路 INVb 的輸出信號而可以將電晶體 101 的特性控制爲常導通或常截止。由此，與在電晶體 101 中不使用第二閘極電極的情況相比，可以縮短反相器電路 INVa 的輸出信號的上升時間。由此，可以增大反相器電路 INVa 的驅動頻率。再者，藉由使電晶體

101 的特性成爲常截止來可以抑制貫通電流，由此與圖 1A 所示的反相器電路 INV 相比可以增大輸出信號的振幅。

另外，由於在反相器電路 INVa 中需要使電晶體 101 的電流驅動能力小於電晶體 102，所以電晶體 101 的尺寸較佳小於電晶體 102。就是說，電晶體 101 的通道寬度 (W) (或者，通道寬度 (W) 與通道長度 (L) 的比率 (W/L)) 較佳小於電晶體 102 的通道寬度 (W) (或者，通道寬度 (W) 與通道長度 (L) 的比率 (W/L))。

另外，由於在控制用反相器電路 INVb 中需要使電晶體 103 的電流驅動能力小於電晶體 104，所以電晶體 103 的尺寸較佳小於電晶體 104。就是說，電晶體 103 的通道寬度 (W) (或者，通道寬度 (W) 與通道長度 (L) 的比率 (W/L)) 較佳小於電晶體 104 的通道寬度 (W) (或者，通道寬度 (W) 與通道長度 (L) 的比率 (W/L))。

接著，參照圖 3B 和圖 4 說明將圖 3A 所示的反相器電路 INVa 及控制用反相器電路 INVb 應用於環形振盪器的情況。

在圖 3B 所示的環形振盪器中串聯連接奇數級的圖 3A 所示的反相器電路 INVa，並使最終級的反相器電路 INVa (2m-1) (m>0) 的輸出端子 out 回歸到初級的反相器電路 INVa1 的輸入端子 in 而進行自激振盪。另外，控制用反相器電路 INVb 的數量與反相器電路 INVa 相同。另外，圖 4 具體示出圖 3B 所示的環形振盪器的第一級至第

三級。

最終級的反相器電路 $INV_a(2m-1)$ 的輸出端子 out 與初級的反相器電路 INV_{a1} 的輸入端子 in 及控制用反相器電路 INV_{b1} 的輸入端子 in 連接，控制用反相器電路 INV_{b1} 的輸出端子 out 與反相器電路 INV_{a1} 的端子 A 連接。另外，反相器電路 INV_{a1} 的輸出端子 out 與反相器電路 INV_{a2} 的輸入端子 in 及控制用反相器電路 INV_{b2} 的輸入端子 in 連接。

如此，各反相器電路 INV_a 的輸入端子與各控制用反相器電路 INV_b 的輸入端子連接，各控制用反相器電路 INV_b 的輸出端子與各反相器電路 INV_a 所包括的電晶體 101 的第二閘極電極（端子 A ）連接。

另外，在圖 3B 所示的環形振盪器中，電源線 $V1$ 與各反相器電路 INV_a 的電晶體 101 的汲極電極連接，電源線 $V2$ 與各反相器電路 INV_a 的電晶體 102 的源極電極連接，電源線 $V3$ 與各反相器電路 INV_a 的電晶體 101 的第一閘極電極連接，電源線 $V5$ 與各反相器電路 INV_a 的電晶體 102 的第二閘極電極連接。

另外，電源線 $V6$ 與各控制用反相器電路 INV_b 的電晶體 103 的汲極電極連接，電源線 $V7$ 與各控制用反相器電路 INV_b 的電晶體 104 的源極電極連接，電源線 $V8$ 與各控制用反相器電路 INV_b 的電晶體 103 的第一閘極電極連接，電源線 $V9$ 與各控制用反相器電路 INV_b 的電晶體 103 的第二閘極電極連接，電源線 $V10$ 與各控制用反相器

電路 INVb 的電晶體 104 的第二閘極電極連接。

藉由連接控制用反相器電路 INVb 的輸出端子與反相器電路 INVa 的端子 A，根據從控制用反相器電路 INVb 輸出的輸出信號而可以將電晶體 101 的特性控制為常導通或常截止。由此，與在電晶體 101 中不使用第二閘極電極的情況相比，可以縮短反相器電路 INVa 的輸出信號的上升時間。由此，可以增大反相器電路 INVa 的驅動頻率。因此，藉由使用該反相器電路 INVa 構成圖 3B 所示的環形振盪器，可以增大環形振盪器的振盪頻率。另外，可以縮短各反相器電路 INVa 的遲延時間。而且，藉由高振盪頻率可以使環形振盪器高速工作。再者，藉由使電晶體 101 的特性成為常截止來可以抑制貫通電流，由此圖 3A 所示的反相器電路 INVa 與圖 1A 所示的反相器電路 INV 相比可以增大輸出信號的振幅。因此，由於可以增大環形振盪器的增益，所以可以擴大環形振盪器的工作範圍。

或者，在控制用反相器電路 INVb 中，藉由使電源電位 V8 成為與電源電位 V6 大致相同的電位並使電源電位 V9 成為低於電源電位 V7 的電位，電晶體 103 的臨界電壓向正方向漂移，從而也可以使電晶體 103 的特性成為常截止。藉由使電晶體 103 的特性成為常截止，可以降低電晶體 103 的洩漏電流。因此，可以進一步降低控制用反相器電路 INVb 的耗電量。此外，可以降低使用該控制用反相器電路 INVb 的環形振盪器的耗電量。

如此，藉由改變施加到電晶體 103 的第二閘極電極的

電源電位 V9，可以調整控制用反相器電路 INVb 的因高速工作的驅動頻率的增大或因低速驅動的耗電量的減少。由此，在使控制用反相器電路 INVb 高速驅動時，使電晶體 103 的特性成爲常導通即可，在使控制用反相器電路 INVb 低速驅動時，使電晶體 103 的特性成爲常截止即可。電源電位 V9 可以由第五電位產生電路控制。

接著，圖 5A 和圖 5B 示出其一部分與圖 3A 至圖 4 不同的反相器電路 INVa、控制用反相器電路 INVb 及環形振盪器。

在圖 5A 所示的控制用反相器電路 INVb 中，電晶體 103 的汲極電極與被供應電源電位 V6 的電源線 V6 連接，第二閘極電極與被供應電源電位 V9 的電源線 V9 連接，第一閘極電極與源極電極及輸出端子 out 連接。由此，電晶體 103 的第一閘極電極與源極電極之間的電壓成爲 0V，電晶體 103 處於截止狀態。

但是，藉由使電源電位 V9 成爲與電源電位 V1 大致相同或高於電源電位 V1 的電位，電晶體 103 的臨界電壓向負方向漂移，從而可以使電晶體 103 的特性成爲常導通。

藉由使電晶體 103 的特性成爲常導通，可以提高電晶體 103 的電流驅動能力。由此，與在電晶體 103 中不使用第二閘極電極的情況相比，可以縮短控制用反相器電路 INVb 的輸出信號的上升時間。由此，可以增大控制用反相器電路 INVb 的驅動頻率。此外，由於不需要使用電源

線 V8，所以與圖 3A 相比可以減少電源線的數量。

另外，由於在反相器電路 INVa 中需要使電晶體 101 的電流驅動能力小於電晶體 102，所以電晶體 101 的尺寸較佳小於電晶體 102。就是說，電晶體 101 的通道寬度 (W) (或者，通道寬度 (W) 與通道長度 (L) 的比率 (W/L)) 較佳小於電晶體 102 的通道寬度 (W) (或者，通道寬度 (W) 與通道長度 (L) 的比率 (W/L))。

此外，在控制用反相器電路 INVb 中，電晶體 103 的第一閘極電極與源極電極連接 (反二極體連接)，其電流驅動能力顯著變低。因此，電晶體 103 的尺寸較佳大於電晶體 104。就是說，電晶體 103 的通道寬度 (W) (或者，通道寬度 (W) 與通道長度 (L) 的比率 (W/L)) 較佳大於電晶體 104 的通道寬度 (W) (或者，通道寬度 (W) 與通道長度 (L) 的比率 (W/L))。

參照圖 5B 說明將圖 5A 所示的反相器電路 INVa 及控制用反相器電路 INVb 應用於環形振盪器的情況。

在圖 5B 所示的環形振盪器中串聯連接奇數級的圖 5A 所示的反相器電路 INVa，並使最終級的反相器電路 INVa (2m-1) (m>0) 的輸出端子 out 回歸到初級的反相器電路 INVa1 的輸入端子 in 而進行自激振盪。另外，控制用反相器電路 INVb 的數量與反相器電路 INVa 相同。

由於圖 5B 所示的環形振盪器與圖 4 所示的環形振盪器相比可以減少電源線的數量，所以可以減小電路面積。

另外，與圖 3A 所示的反相器電路同樣，由於圖 5A

所示的反相器電路 INV_a 的輸出信號的上升時間短，所以驅動頻率高。因此，藉由使用該反相器電路 INV_a 構成圖 5B 所示的環形振盪器，可以增大環形振盪器的振盪頻率。另外，可以縮短各反相器電路 INV_a 的遲延時間。而且，藉由高振盪頻率可以使環形振盪器高速工作。再者，藉由使電晶體 101 的特性成爲常截止來可以抑制貫通電流，由此圖 5A 所示的反相器電路 INV_a 與圖 2A 所示的反相器電路 INV 相比可以增大輸出信號的振幅。因此，由於可以增大環形振盪器的增益，所以可以擴大環形振盪器的工作範圍。

接著，圖 6A 和圖 6B 示出環形振盪器的另一個方式。用於圖 6A 和圖 6B 所示的環形振盪器的反相器電路 INV 的結構與圖 3A 所示的反相器電路 INV_a 相同。

在圖 6A 所示的環形振盪器中串聯連接奇數級的反相器電路 INV ，並使最終級的反相器電路 $INV(2m-1)$ ($m>0$) 的輸出端子 out 回歸到初級的反相器電路 $INV1$ 的輸入端子 in 而進行自激振盪。另外，圖 6B 具體示出圖 6A 所示的環形振盪器的第一級至第三級。

如圖 6B 所示，各反相器電路 INV 分別包括電晶體 101 及電晶體 102。另外，在各反相器電路 INV 中，在被供應電源電位 $V1$ 的電源線 $V1$ 與被供應電源電位 $V2$ 的電源線 $V2$ 之間串聯連接電晶體 101 與電晶體 102。

在初級的反相器電路 $INV1$ 中，電晶體 101 的第一閘極電極與被供應電源電位 $V3$ 的電源線 $V3$ 連接，電晶體

101 的汲極電極與被供應電源電位 V_1 的電源線 V_1 連接，第二閘極電極（或端子 A）與輸入輸入信號的反轉信號的輸入端子 inB 連接，源極電極與電晶體 102 的汲極電極及輸出端子 out 連接。另外，電晶體 102 的第一閘極電極與輸入從最終級的反相器電路 $INV(2m-1)$ 輸出的輸出信號的輸入端子 in 連接，源極電極與被供應電源電位 V_2 的電源線 V_2 連接，第二閘極電極與被供應電源電位 V_5 的電源線 V_5 連接。

另外，將從初級的反相器電路 INV_1 輸出的輸出信號輸出到下一級的反相器電路 INV_2 的輸入端子 in 和下下一級的反相器電路 INV_3 的端子 A（電晶體 101 的第二閘極電極）。

由此，在作為輸入信號將低位準電位輸入到各反相器電路 INV 的輸入端子 in 的同時，將低位準電位輸入到下一級的反相器電路 INV 的端子 A。

接著，說明圖 6A 和圖 6B 所示的反相器電路 INV 的工作。在此，說明電晶體 101 及電晶體 102 為 n 通道型電晶體時的工作。

例如，藉由作為輸入信號將低位準電位輸入到初級的反相器電路 INV_1 的輸入端子 in，電晶體 102 成為截止狀態。此時，輸入信號的反轉信號的高位準電位施加到電晶體 101 的第二閘極電極。由此，電晶體 101 的臨界電壓向負方向漂移，從而電晶體 101 的特性成為常導通。因此，電晶體 101 成為導通狀態，並從反相器電路 INV_1 的輸出

端子 out 輸出高位準電位。

另外，將從反相器電路 INV1 輸出的輸出信號輸入到反相器電路 INV2 的輸入端子 in 和反相器電路 INV3 的端子 A（電晶體 101 的第二閘極電極）。

另外，當作爲輸入信號將高位準電位輸入到初級的反相器電路 INV1 的輸入端子 in 時，電晶體 102 成爲導通狀態。此時，輸入信號的反轉信號的低位準電位施加到電晶體 101 的第二閘極電極。由此，電晶體 101 的臨界電壓向正方向漂移，從而電晶體 101 的特性成爲常截止。因此，電晶體 101 成爲截止狀態，並從反相器電路 INV1 的輸出端子 out 輸出低位準電位。

另外，將從反相器電路 INV1 輸出的輸出信號輸入到反相器電路 INV2 的輸入端子 in 和反相器電路 INV3 的端子 A（電晶體 101 的第二閘極電極）。

藉由將輸入信號的反轉信號輸入到反相器電路 INV 中的端子 A（電晶體 101 的第二閘極電極），根據反轉信號可以將電晶體 101 的特性控制爲常導通或常截止。因此，可以縮短各反相器電路 INV 的輸出信號的上升時間，由此可以增大環形振盪器的振盪頻率。另外，可以縮短各反相器電路 INV 的遲延時間。再者，藉由使電晶體 101 的特性成爲常截止來可以抑制貫通電流，由此可以增大輸出信號的振幅。因此，由於可以增大環形振盪器的增益，所以可以擴大環形振盪器的工作範圍。另外，與圖 4 和圖 5B 相比，可以使環形振盪器的電路結構簡化。

另外，由於在反相器電路 INV 中需要使電晶體 101 的電流驅動能力小於電晶體 102，所以電晶體 101 的尺寸較佳小於電晶體 102。就是說，電晶體 101 的通道寬度 (W) (或者，通道寬度 (W) 與通道長度 (L) 的比率 (W/L)) 較佳小於電晶體 102 的通道寬度 (W) (或者，通道寬度 (W) 與通道長度 (L) 的比率 (W/L))。

本實施方式可以與其他實施方式所記載的結構適當地組合而實施。

實施方式 3

在本實施方式中，說明用於上述實施方式所示的環形振盪器的電晶體的製造方法。

首先，在基板 400 上形成絕緣膜 401 (參照圖 7A)。

作為基板 400，例如可以使用以矽、碳化矽等為材料的單晶半導體基板、多晶半導體基板以及以矽鍺、鎵砷、磷化銮等為材料的化合物半導體基板。另外，也可以舉出鋁矽酸鹽玻璃、鋁硼矽酸鹽玻璃、鋇硼矽酸鹽玻璃等用於電子工業的各種玻璃基板、石英基板、陶瓷基板、藍寶石基板等。

絕緣膜 401 使用氧化矽、氧氮化矽、氮化矽等的單層結構或疊層結構形成。另外，作為絕緣膜 401 的形成方法，可以舉出熱氧化法、CVD 法、濺射法等。絕緣膜 401 的厚度為 10nm 以上且 200nm 以下，較佳為 50nm 以上且 150nm 以下。

接著，在絕緣膜 401 上形成用來形成閘極電極層（包括由與該層相同的層形成的佈線）的導電膜，並且對該導電膜進行加工來形成閘極電極層 402（參照圖 7B）。另外，閘極電極層 402 用作第二閘極電極（背閘極電極）。

閘極電極層 402 可以藉由濺射法或 PECVD 法並使用鈾、鈦、鉭、鎢、鋁、銅、鉻、鈹及釩等金屬材料或以上述金屬材料為主要成分的合金材料形成。另外，作為閘極電極層 402，可以使用氧化銻氧化錫、包含氧化鎢的銻氧化物、包含氧化鎢的銻鋅氧化物、包含氧化鈦的銻氧化物、包含氧化鈦的銻錫氧化物、氧化銻氧化鋅以及添加有氧化矽的銻錫氧化物等導電材料。此外，也可以採用上述導電材料與上述金屬材料的疊層結構。

接著，在絕緣膜 401 及閘極電極層 402 上形成絕緣膜 403（參照圖 7C）。

作為絕緣膜 403，可以使用如下材料以單層結構或疊層結構形成：氧化矽、氧氮化矽、氧化鋁、氧氮化鋁、氧化鉛、氧化鎳等氧化物絕緣膜；氮化矽、氮氧化矽、氮氧化鋁等氮化物絕緣膜；或它們的混合材料。另外，作為絕緣膜 403 的形成方法，可以舉出熱氧化法、CVD 法、濺射法等。絕緣膜 403 的厚度為 10nm 以上且 200nm 以下，較佳為 50nm 以上且 150nm 以下。

接著，對絕緣膜 403 進行直到閘極電極層 402 的頂面露出的平坦化處理（參照圖 7D）。

作為絕緣膜 403 的平坦化處理，除了化學機械拋光

(CMP: Chemical Mechanical Polishing, 以下稱爲 CMP 處理) 等拋光處理以外, 還可以採用蝕刻處理、電漿處理等。

在此, CMP 處理是指對被加工物的表面藉由化學、機械的複合作用進行平坦化的方法。更明確而言, CMP 處理是如下一種方法, 其中在拋光臺上貼附砂布, 且一邊對被加工物和砂布之間供應漿料(拋光劑), 一邊使拋光台和被加工物分別旋轉或搖動, 藉由漿料與被加工物之間的化學反應以及砂布與被加工物的機械拋光的作用對被加工物的表面進行拋光。

另外, 作爲電漿處理, 例如可以進行引入氬氣來產生電漿的反濺射。反濺射是指使用 RF 電源在氬氛圍下對基板一側施加電壓來在基板附近形成電漿以進行表面改性的方法。另外, 也可以使用氮、氦、氧等代替氬氛圍。藉由進行反濺射, 可以去除附著於絕緣膜 403 表面的粉狀物質(也稱爲微粒、塵屑)。

作爲平坦化處理, 既可以進行多次的拋光處理、乾蝕刻處理以及電漿處理, 又可以將上述組合。此外, 當組合上述處理而進行平坦化處理時, 對製程順序沒有特別的限制, 可以根據絕緣膜 403 表面的凹凸狀態適當地設定。

藉由對絕緣膜 403 進行平坦化處理, 可以將絕緣膜 403 表面的平均面粗糙度(Ra)設定爲 1nm 以下, 較佳爲 0.3nm 以下, 更佳爲 0.1nm 以下。另外, 在本說明書等中, 平均面粗糙度(Ra)是指爲了可以應用於曲面而將在

JISB0601 : 2001 (ISO4287 : 1997) 中定義的算術平均粗糙度擴大為三維來得到的值，使用“將從基準面到指定面的偏差的絕對值平均來得到的值”表示 Ra。

當指定面以 $Z=F(X, Y)$ 表示時，平均表面粗糙度 (Ra) 為從基準面到指定面的偏差的絕對值的平均值，並以如下算式 1 表示。

[算式 1]

$$Ra = \frac{1}{S_0} \int_{Y_1}^{Y_2} \int_{X_1}^{X_2} |F(X, Y) - Z_0| dXdY$$

這裏，指定面是指成為測量粗糙度對象的面，並且是由以座標 ($X_1, Y_1, F(X_1, Y_1)$)、($X_1, Y_2, F(X_1, Y_2)$)、($X_2, Y_1, F(X_2, Y_1)$)、($X_2, Y_2, F(X_2, Y_2)$) 表示的四個點圍繞的四角形的區域，指定面投影在 XY 平面的長方形的面積為 S_0 ，基準面的高度 (指定面的平均高度) 為 Z_0 。可以利用原子力顯微鏡 (AFM:Atomic Force Microscope) 測量平均表面粗糙度 (Ra)。

接著，在閘極電極層 402 及絕緣膜 403 上形成閘極絕緣膜 404 (參照圖 7E)。注意，閘極絕緣膜 404 用作第二閘極絕緣膜。

閘極絕緣膜 404 可以使用如下材料形成：氧化矽；氧化鎵；氧化鋁；氮化矽；氧氮化矽；氧氮化鋁；氮氧化矽。此外，藉由作為閘極絕緣膜 404 的材料使用氧化鉛、氧化鈮、矽酸鉛 ($HfSi_xO_y$ ($x>0, y>0$))、添加有氮的

矽酸鈣 (HfSiO_xN_y ($x>0$ 、 $y>0$))、鋁酸鈣 (HfAl_xO_y ($x>0$ 、 $y>0$)) 以及氧化鈾等 high-k 材料，可以降低閘極漏電流。此外，閘極絕緣膜 404 可以使用上述材料的單層結構或疊層結構形成。

另外，作為閘極絕緣膜 404 的形成方法，可以舉出濺射法、MBE 法、電漿 CVD 法、脈衝雷射沉積法、ALD 法等。另外，閘極絕緣膜 404 的厚度為 1nm 以上且 500nm 以下，較佳為 10nm 以上且 300nm 以下。

接著，也可以對基板 400、閘極電極層 402 及閘極絕緣膜 404 等進行加熱處理。例如，藉由 GRTA 裝置，以 650°C 進行 1 分鐘至 10 分鐘的加熱處理，即可。此外，也可以使用電爐以 350°C 以上且 500°C 以下進行 30 分鐘至 1 小時的加熱處理。藉由進行加熱處理，可以去除閘極絕緣膜 404 所包含的氫或水等。

另外，對後面形成的氧化物半導體膜來說，氫、鹼金屬元素、鹼土金屬元素、金屬元素如銅等以及其他的非構成氧化物半導體膜的元素等有可能成為雜質。另外，包含上述元素的分子（例如，水、氫化合物）等有可能成為雜質。但是，意圖性地添加到氧化物半導體的摻雜劑不在此內。

接著，也可以對閘極絕緣膜 404 進行添加氧的處理（也稱為氧添加處理或氧注入處理）。藉由進行氧添加處理，形成包括氧過剩區域的閘極絕緣膜 404。

氧至少包含氧自由基、臭氧、氧原子、氧離子（包括

分子離子、簇離子) 中的任一種。藉由對進行了脫水化處理或脫氫化處理的閘極絕緣膜 404 進行氧添加處理，可以使氧含有在閘極絕緣膜 404 中，也可以填補因上述熱處理而可能會脫離的氧，並且可以形成氧過剩區域。

作為對閘極絕緣膜 404 添加氧的方法，例如可以使用離子植入法、離子摻雜法、電漿浸沒離子佈植技術、電漿處理等。另外，作為離子植入法，也可以使用氣體簇離子束 (GCIB: Gas Cluster Ion Beam)。另外，作為氧的添加，可以對基板的整個面進行一次性的處理，例如可以使用線狀離子束。在使用線狀離子束的情況下，藉由移動 (掃描) 基板或離子束，能夠對閘極絕緣膜 404 的整體添加氧。此外，作為電漿處理，也可以利用灰化處理。

作為氧的供應氣體，使用包含 O 的氣體即可，例如可以使用 O₂ 氣體、N₂O 氣體、CO₂ 氣體、CO 氣體、NO₂ 氣體等。注意，也可以使氧的供應氣體中含有稀有氣體 (例如 Ar)。

另外，例如當藉由離子植入法進行添加氧時，將氧的劑量較佳為設定為 1×10^{13} ions/cm² 以上且 5×10^{16} ions/cm² 以下，氧添加處理之後的閘極絕緣膜 404 中的氧的含量較佳為超過閘極絕緣膜 404 的化學計量組成。另外，這種氧含量比上述化學計量組成多的區域只要存在於閘極絕緣膜 404 的一部分中，即可。另外，適當地設定注入條件來控制氧的注入深度，即可。

藉由以接觸於後面形成的氧化物半導體膜的方式形成

成爲氧的供應源的包含過剩的氧的閘極絕緣膜 404，並藉由在形成氧化物半導體膜之後進行的加熱處理，使氧從閘極絕緣膜 404 脫離，而可以對氧化物半導體膜供應氧。由此，能夠減少氧化物半導體膜中的氧缺陷。

注意，對閘極絕緣膜 404 添加氧的處理既可在閘極絕緣膜 404 的加熱處理之前進行，又可在閘極絕緣膜 404 的加熱處理之後進行。

● 接著，在閘極絕緣膜 404 上形成氧化物半導體膜 405（參照圖 7F）。

氧化物半導體膜 405 可以適當地利用濺射法、MBE（Molecular Beam Epitaxy：分子束磊晶）法、CVD 法諸如 LPCVD 法、PECVD 法、霧化 CVD 法（mist CVD method）等、脈衝雷射沉積法、ALD（Atomic Layer Deposition：原子層沉積）法等形式。另外，將氧化物半導體膜 405 的厚度設定爲 1nm 以上且 200nm 以下，較佳爲設定爲 5nm 以上且 50nm 以下。

● 用作氧化物半導體膜 405 的氧化物半導體較佳爲至少包含銦（In）。尤其是較佳爲包含銦（In）及鋅（Zn）。此外，除了銦或/及鋅以外，較佳爲還具有鎵（Ga）作爲穩定劑（stabilizer），該穩定劑用來減小使用上述氧化物半導體的電晶體的電特性的不均勻。另外，作爲穩定劑，較佳爲具有錫（Sn）、鈦（Hf）、鋁（Al）和鋯（Zr）中的一種或多種。

另外，作爲其他穩定劑，也可以包含鏷系元素的鏷

(La)、銻 (Ce)、鐳 (Pr)、釵 (Nd)、釷 (Sm)、銩 (Eu)、釱 (Gd)、錒 (Tb)、鐳 (Dy)、釷 (Ho)、銩 (Er)、銩 (Tm)、鐳 (Yb)、鐳 (Lu) 中的一種或多種。

例如，作為氧化物半導體可以使用三元金屬氧化物如 In-Ga-Zn 類氧化物（也稱為 IGZO）、In-Al-Zn 類氧化物、In-Sn-Zn 類氧化物、In-Hf-Zn 類氧化物、In-La-Zn 類氧化物、In-Ce-Zn 類氧化物、In-Pr-Zn 類氧化物、In-Nd-Zn 類氧化物、In-Sm-Zn 類氧化物、In-Eu-Zn 類氧化物、In-Gd-Zn 類氧化物、In-Tb-Zn 類氧化物、In-Dy-Zn 類氧化物、In-Ho-Zn 類氧化物、In-Er-Zn 類氧化物、In-Tm-Zn 類氧化物、In-Yb-Zn 類氧化物、In-Lu-Zn 類氧化物；以及四元金屬氧化物如 In-Sn-Ga-Zn 類氧化物、In-Hf-Ga-Zn 類氧化物、In-Al-Ga-Zn 類氧化物、In-Sn-Al-Zn 類氧化物、In-Sn-Hf-Zn 類氧化物、In-Hf-Al-Zn 類氧化物。

氧化物半導體膜 405 例如可以處於非單晶狀態。非單晶狀態例如由 c-axis aligned crystal (CAAC：c 軸配向結晶)、多晶、微晶和非晶部中的至少任一個構成。非晶部的缺陷態密度高於微晶和 CAAC 的缺陷態密度。微晶的缺陷態密度高於 CAAC 的缺陷態密度。注意，將包括 CAAC 的氧化物半導體稱為 CAAC-OS (c-axis aligned crystalline oxide semiconductor：c 軸配向結晶氧化物半導體)。

例如，氧化物半導體膜 405 可以包括 CAAC-OS。在 CAAC-OS 中，例如 c 軸配向且 a 軸及/或 b 軸在宏觀上不

一致。

例如，氧化物半導體膜 405 可以包括微晶。注意，將包括微晶的氧化物半導體稱為微晶氧化物半導體。微晶氧化物半導體膜例如包括大於或等於 1nm 且小於 10nm 的尺寸的微晶（也稱為奈米晶）。或者，微晶氧化物半導體膜例如包括具有 1nm 以上且小於 10nm 的結晶部的結晶-非晶混合相結構的氧化物半導體。

● 例如，氧化物半導體膜 405 可以包括非晶部。注意，將包括非晶部的氧化物半導體稱為非晶氧化物半導體。非晶氧化物半導體膜例如具有無秩序的原子排列且不具有結晶成分。或者，非晶氧化物半導體膜例如是完全的非晶，並且不具有結晶部。

● 另外，氧化物半導體膜 405 可以是 CAAC-OS、微晶氧化物半導體和非晶氧化物半導體中的混合膜。混合膜例如包括非晶氧化物半導體的區域、微晶氧化物半導體的區域和 CAAC-OS 的區域。並且，混合膜例如可以具有非晶氧化物半導體的區域、微晶氧化物半導體的區域和 CAAC-OS 的區域的疊層結構。

另外，氧化物半導體膜 405 例如可以處於單晶狀態。

氧化物半導體膜 405 較佳為包括多個結晶部。該結晶部的 c 軸較佳為在平行於形成有氧化物半導體膜的表面的法線向量或氧化物半導體膜的表面的法線向量的方向上一致。注意，在不同的結晶部之間，一個結晶部的 a 軸和 b 軸的方向可以與另一個結晶部的 a 軸和 b 軸的方向不同。

這種氧化物半導體膜的一個例子是 CAAC-OS 膜。

CAAC-OS 膜不是完全的非晶。CAAC-OS 膜例如包括具有結晶部和非晶部的結晶-非晶混合相結構的氧化物半導體。另外，在多數情況下，該結晶部是能夠收容在一個邊長小於 100nm 的立方體內的尺寸。在利用透射電子顯微鏡（TEM：Transmission Electron Microscope）觀察而得到的影像中，不能明確地觀察到 CAAC-OS 膜中的非晶部與結晶部之間的邊界以及結晶部與結晶部之間的邊界。另外，利用 TEM，不能明確地觀察到 CAAC-OS 膜中的晶界（grain boundary）。因此，在 CAAC-OS 膜中，起因於晶界的電子遷移率的降低得到抑制。

在包括在 CAAC-OS 膜中的結晶部中，例如 c 軸在平行於形成有 CAAC-OS 膜的表面的法線向量或 CAAC-OS 膜的表面的法線向量的方向上一致。並且，當從垂直於 ab 面的方向看時金屬原子排列為三角形或六角形，且當從垂直於 c 軸的方向看時，金屬原子排列為層狀或者金屬原子和氧原子排列為層狀。注意，在不同的結晶部之間，一個結晶部的 a 軸和 b 軸的方向可以與另一個結晶部的 a 軸和 b 軸的方向不同。在本說明書中，“垂直”的用語包括從 80°到 100°的範圍，較佳為包括從 85°到 95°的範圍。並且，“平行”的用語包括從 -10°到 10°的範圍，較佳為包括從 -5 到 5°的範圍。

在 CAAC-OS 膜中，結晶部的分佈不一定是均勻的。例如，在 CAAC-OS 膜的形成過程中，在從氧化物半導體

膜的表面一側產生結晶生長的情況下，有時氧化物半導體膜的表面附近的結晶部的比例高於形成有氧化物半導體膜的表面附近的結晶部的比例。另外，當將雜質添加到 CAAC-OS 膜時，有時添加有雜質的區域中的結晶部成為非晶。

因為包括在 CAAC-OS 膜中的結晶部的 c 軸在平行於形成有 CAAC-OS 膜的表面的法線向量或 CAAC-OS 膜的表面的法線向量的方向上一致，所以有時根據 CAAC-OS 膜的形狀（形成有 CAAC-OS 膜的表面的剖面形狀或 CAAC-OS 膜的表面的剖面形狀） c 軸的方向可以彼此不同。結晶部在成膜時或者在成膜之後進行諸如加熱處理等晶化處理時形成。因此，結晶部的 c 軸在平行於形成有 CAAC-OS 膜的表面的法線向量或 CAAC-OS 膜的表面的法線向量的方向上一致。

在使用 CAAC-OS 膜的電晶體中，起因於可見光或紫外光的照射的電特性的變動小。因此，該電晶體具有高可靠性。

另外，構成氧化物半導體膜的氧的一部分也可以用氮取代。

另外，像 CAAC-OS 膜那樣的具有結晶部的氧化物半導體膜可以進一步降低塊內缺陷，藉由提高表面的平坦性，可以得到處於非晶狀態的氧化物半導體的遷移率以上的載流子遷移率。爲了提高表面的平坦性，較佳爲在平坦的表面上形成氧化物半導體膜 405，具體地，較佳爲在平

均面粗糙度 (Ra) 為 1nm 以下，較佳為 0.3nm 以下，更佳為 0.1nm 以下的表面上形成氧化物半導體膜 405。

爲了提高氧化物半導體膜 405 形成面的平坦性，較佳爲對閘極絕緣膜 404 中的氧化物半導體膜 405 接觸地形成的區域進行平坦化處理。對平坦化處理沒有特別的限制，可以使用拋光處理（例如，化學機械拋光法（Chemical Mechanical Polishing：CMP））、乾蝕刻處理及電漿處理。

作爲平坦化處理，既可以進行多次的拋光處理、乾蝕刻處理以及電漿處理，又可以將上述處理組合。此外，當組合上述處理而進行平坦化處理時，對製程順序也沒有特別的限制，可以根據閘極絕緣膜 404 表面的凹凸狀態適當地設定。

另外，雖然在圖 7F 中形成單層結構的氧化物半導體膜 405，但也可以形成疊層結構的氧化物半導體膜。例如，也可以作爲氧化物半導體膜 405 使用第一氧化物半導體膜和第二氧化物半導體膜的疊層，並且第一氧化物半導體膜和第二氧化物半導體膜分別使用不同的組成的金屬氧化物。例如，也可以作爲第一氧化物半導體膜使用三元金屬氧化物，作爲第二氧化物半導體膜使用二元金屬氧化物。另外，例如，也可以作爲第一氧化物半導體膜和第二氧化物半導體膜都使用三元金屬氧化物。

此外，也可以使第一氧化物半導體膜和第二氧化物半導體膜的構成元素相同，並使兩者的組成不同。例如，也

可以將第一氧化物半導體膜的原子數比設定為 $\text{In} : \text{Ga} : \text{Zn}=1 : 1 : 1$ ，將第二氧化物半導體膜的原子數比設定為 $\text{In} : \text{Ga} : \text{Zn}=3 : 1 : 2$ 。另外，也可以將第一氧化物半導體膜的原子數比設定為 $\text{In} : \text{Ga} : \text{Zn}=1 : 3 : 2$ ，將第二氧化物半導體膜的原子數比設定為 $\text{In} : \text{Ga} : \text{Zn}=2 : 1 : 3$ 。

此時，較佳為將第一氧化物半導體膜和第二氧化物半導體膜中的離第一閘極電極近的一側（通道一側）的氧化物半導體膜的 In 和 Ga 的含有率設定為 $\text{In} > \text{Ga}$ 。另外，較佳為將離第一閘極電極遠的一側（背通道一側）的氧化物半導體膜的 In 和 Ga 的含有率設定為 $\text{In} \leq \text{Ga}$ 。

在氧化物半導體中，重金屬的 s 軌道主要有助於載流子傳導，並且藉由增加 In 的含有率呈現增加 s 軌道的重疊率的傾向，由此具有 $\text{In} > \text{Ga}$ 的組成的氧化物的遷移率比具有 $\text{In} \leq \text{Ga}$ 的組成的氧化物高。另外， Ga 的氧缺陷的形成能量比 In 大而 Ga 不容易產生氧缺陷，由此具有 $\text{In} \leq \text{Ga}$ 的組成的氧化物與具有 $\text{In} > \text{Ga}$ 的組成的氧化物相比具有穩定的特性。

藉由在通道一側使用具有 $\text{In} > \text{Ga}$ 的組成的氧化物半導體並在背通道一側使用具有 $\text{In} \leq \text{Ga}$ 的組成的氧化物半導體，可以進一步提高電晶體的遷移率及可靠性。

另外，也可以作為第一氧化物半導體膜和第二氧化物半導體膜使用結晶性不同的氧化物半導體。就是說，也可以採用適當地組合單晶氧化物半導體、多晶氧化物半導體、非晶氧化物半導體或 CAAC-OS 的結構。此外，在第

一氧化物半導體膜和第二氧化物半導體膜至少一方使用非晶氧化物半導體時，可以緩和氧化物半導體膜 405 的內部應力或外部應力，降低電晶體的特性不均勻，並進一步提高電晶體的可靠性。

另一方面，非晶氧化物半導體容易吸收氫等雜質，並且，容易產生氧缺陷而容易被 n 型化。由此，通道一側的氧化物半導體膜較佳為使用 CAAC-OS 等具有結晶性的氧化物半導體。

另外，作為氧化物半導體膜 405 也可以採用三層以上的疊層結構。並且，作為氧化物半導體膜 405 也可以採用非晶氧化物半導體膜夾在具有結晶性的多個氧化物半導體膜之間的結構。另外，也可以採用具有結晶性的氧化物半導體膜與非晶氧化物半導體膜交替層疊的結構。

另外，在作為氧化物半導體膜 405 採用多個層的疊層結構時，上述結構可以被適當地組合而使用。

另外，作為氧化物半導體膜 405 也可以採用多個層的疊層結構並在形成各氧化物半導體膜之後進行氧添加處理。作為氧添加處理，可以使用氧氛圍下的熱處理、離子植入法、離子摻雜法、電漿浸沒離子佈植技術、在包含氧的氛圍下進行的電漿處理等。

藉由每在形成各氧化物半導體膜之後添加氧，可以提高降低氧化物半導體內的氧缺損的效果。

另外，包含在氧化物半導體膜 405 中的氫或水濃度較佳盡可能低。這是因為如下緣故：當氫濃度高時，有可能

包含在氧化物半導體中的元素與氫接合，而產生作為載流子的電子。

因此，在氧化物半導體膜 405 的成膜製程中，為了儘量不使氧化物半導體膜 405 包含雜質，作為形成氧化物半導體膜 405 的預處理，較佳為在濺射裝置的預熱室內對形成有閘極絕緣膜 404 的基板進行預熱，來使基板及閘極絕緣膜 404 中的雜質脫離並進行排出。作為設置在預熱室中的排氣裝置較佳為使用低溫泵。

此外，較佳為在成膜時包含多量的氧的條件（例如，在氧為 30%以上且 100%以下的氛圍下利用濺射法進行成膜等）下形成氧化物半導體膜 405，使其成為包含多量的氧（較佳為包括與氧化物半導體處於結晶狀態時的化學計量組成相比氧含量過剩的區域）的膜。

作為在形成氧化物半導體膜 405 時使用的氣體，較佳為使用去除了雜質的高純度氣體。

在保持為減壓狀態的成膜室中保持基板。然後，一邊去除殘留在成膜室內的水分一邊引入雜質少的氣體，以 130°C 以上且 700°C 以下的溫度使用氧化物半導體靶材在基板上形成氧化物半導體膜 405。較佳為使用吸附型真空泵，例如，低溫泵、離子泵、鈦昇華泵來去除殘留在成膜室內的水分。另外，作為排氣裝置，也可以使用配備有冷阱的渦輪分子泵。尤其是，藉由使用低溫泵或冷阱，例如對殘留水分高效地進行排氣，由此可以降低在該成膜室中形成的氧化物半導體膜 405 所包含的雜質的濃度。

另外，在本實施方式中，作為氧化物半導體膜 405 藉由使用具有 AC 電源裝置的濺射裝置的濺射法形成厚度為 35nm 的 In-Ga-Zn 類氧化物膜（也稱為 IGZO 膜）。在本實施方式中，使用原子數比為 In:Ga:Zn=3:1:2 的 In-Ga-Zn 類氧化物靶材。另外，作為成膜條件採用如下條件：在氧及氬氛圍下（氧流量比率為 50%）；將壓力設定為 0.4Pa；將電極面積為 6000cm² 時的電源功率設定為 0.5kW；將基板溫度設定為 200℃。

另外，較佳為在形成閘極絕緣膜 404 之後以不使閘極絕緣膜 404 暴露於大氣的方式連續形成閘極絕緣膜 404 和氧化物半導體膜 405。藉由以不使閘極絕緣膜 404 暴露於大氣的方式連續形成閘極絕緣膜 404 和氧化物半導體膜 405，可以防止閘極絕緣膜 404 表面包含雜質。

在此，也可以對氧化物半導體膜 405 進行用來去除過剩的氫（包括水或羥基）（脫水化或脫氫化）的加熱處理。將加熱處理的溫度設定為 300℃ 以上且 700℃ 以下，或者設定為低於基板的應變點。加熱處理可以在減壓下、氧氛圍下或氮氛圍下等進行。注意，可以將“氧氛圍”廣泛地稱為“氧化氣體氛圍”。例如，也可以是包含如下氣體的氛圍：氧化氣體的氧、一氧化二氮氣體及臭氧；或超乾燥空氣（使用 CRDS（cavity ring-down laser spectroscopy：光腔衰蕩光譜法）方式的露點儀測量時的水分含量為 20ppm（露點換算為 -55℃）以下，較佳為 1ppm 以下，更佳為 10ppb 以下的空氣）。

在本實施方式中，使用加熱處理裝置之一的電爐，在氮氛圍下以 450°C 對氧化物半導體膜 405 進行 1 小時的加熱處理，並且在氮及氧氛圍下以 450°C 對氧化物半導體膜 405 進行 1 小時的加熱處理。

另外，加熱處理裝置不侷限於電爐，也可以使用利用電阻發熱體等的發熱體所產生的熱傳導或熱輻射對被處理物進行加熱的裝置。例如，可以使用 LRTA 裝置、GRTA 裝置等的 RTA 裝置。例如，作為加熱處理，也可以進行如下 GRTA，即將基板放入加熱為 650°C 至 700°C 的高溫的惰性氣體中，在加熱幾分鐘之後，將基板從惰性氣體中取出。

另外，在加熱處理中，氮、氧或諸如氦、氖、氬等稀有氣體較佳為不包含水、氫等。或者，較佳為將引入到加熱處理裝置中的氣體的純度設定為 6N (99.9999%) 以上，較佳為設定為 7N (99.99999%) 以上 (即，將雜質濃度設定為 1ppm 以下，較佳為設定為 0.1ppm 以下)。

另外，也可以在減壓下或惰性氛圍下對氧化物半導體膜 405 進行加熱，然後在氧氛圍下進行加熱。即使因在減壓下或惰性氛圍下對氧化物半導體膜 405 進行加熱處理，而在去除氧化物半導體膜 405 中的雜質時產生氧缺陷，也可以在後面藉由在氧氛圍下進行加熱處理來降低氧化物半導體膜 405 的氧缺陷。

另外，用來實現脫水化或脫氫化的加熱處理可以在將氧化物半導體膜加工為島狀之前或將氧化物半導體膜加工

為島狀之後進行。另外，用來實現脫水化或脫氫化的加熱處理既可以進行多次，又可以兼作其他加熱處理。此外，藉由對氧化物半導體膜 405 進行加熱處理，可以提高氧化物半導體膜 405 的結晶性。

藉由在將氧化物半導體膜 405 加工為島狀之前，即在氧化物半導體膜覆蓋閘極絕緣膜 404 的狀態下進行用來實現脫水化或脫氫化的加熱處理，可以防止因加熱處理使包含在閘極絕緣膜 404 中的氧釋放到外部。

接著，藉由光微影製程在氧化物半導體膜 405 上形成光阻遮罩，對氧化物半導體膜 405 選擇性地進行蝕刻來形成島狀的氧化物半導體膜 405（參照圖 8A）。在形成島狀的氧化物半導體膜 405 之後，去除光阻遮罩。可以藉由噴墨法形成用於形成島狀氧化物半導體膜 405 的光阻遮罩。因為當藉由噴墨法形成光阻遮罩時不使用光遮罩，所以可以減少製造成本。

氧化物半導體膜 405 的蝕刻可以採用乾蝕刻和濕蝕刻中的一者或兩者。例如，作為用於氧化物半導體膜 405 的濕蝕刻的蝕刻劑，可以使用混合有磷酸、醋酸及硝酸的溶液等。此外，也可以使用 ITO-07N（關東化學株式會社製造）。另外，也可以藉由 ICP（Inductively Coupled Plasma：電感耦合電漿）蝕刻法進行蝕刻加工。

較佳為在對氧化物半導體膜 405 進行蝕刻時採用有充分的蝕刻比的條件，以防止對閘極絕緣膜 404 進行過剩的蝕刻。

接著，在閘極絕緣膜 404 及氧化物半導體膜 405 上形成後面成爲源極電極層及汲極電極層（包括由與其相同的層形成的佈線）的導電膜，並且加工該導電膜來形成源極電極層 406a 及汲極電極層 406b（參照圖 8B）。

源極電極層 406a 及汲極電極層 406b 可以藉由濺射法或 PECVD 法並使用金屬材料諸如鉬、鈦、鉭、鎢、鋁、銅、鉻、鈹、銦等或以上述金屬材料爲主要成分的合金材料形成。另外，源極電極層 406a 及汲極電極層 406b 也可以使用氮化金屬材料諸如氮化鎢、氮化鉭、氮化鈦或氮化鉬等形成。另外，作爲源極電極層 406a 及汲極電極層 406b，也可以應用氧化銮氧化錫、包含氧化鎢的氧化銮、包含氧化鎢的氧化銮鋅、包含氧化鈦的氧化銮、包含氧化鈦的氧化銮錫、氧化銮氧化鋅、添加有氧化矽的氧化銮錫等導電材料。此外，也可以採用上述導電材料與上述金屬材料的疊層結構。

注意，有時構成源極電極層 406a 及汲極電極層 406b 的元素、存在於處理室內的元素、以及構成用於蝕刻的蝕刻氣體的元素作爲雜質附著在由於源極電極層 406a 及汲極電極層 406b 的形成而露出的氧化物半導體膜 405 的表面。

當附著有上述雜質時，容易導致電晶體的關態電流的增加或電晶體的電特性的劣化。此外，在氧化物半導體膜 405 中容易產生寄生通道，而使應該被電分離的電極藉由氧化物半導體膜 405 容易電連接。

於是，也可以在用來形成源極電極層 406a 及汲極電極層 406b 的蝕刻結束之後，進行用來去除附著於氧化物半導體膜 405 的表面及側面的雜質的洗滌處理（雜質去除處理）。

雜質去除處理可以藉由電漿處理或使用溶液的處理來進行。作為電漿處理，可以使用氧電漿處理或一氧化二氮電漿處理等。此外，作為電漿處理，也可以使用稀有氣體（典型地是氬）。

此外，作為使用溶液的洗滌處理，可以使用 TMAH（Tetramethylammonium Hydroxide：四甲基氫氧化銨）溶液等鹼性的溶液、稀氫氟酸等酸性的溶液或者水。例如，當使用稀氫氟酸時，使用水將 50wt% 氫氟酸稀釋為 $1/10^2$ 至 $1/10^5$ 左右，較佳為使用稀釋為 $1/10^3$ 至 $1/10^5$ 左右的稀氫氟酸。就是說，較佳為將濃度為 5×10^{-4} wt% 至 0.5wt% 的稀氫氟酸，較佳為 5×10^{-4} wt% 至 5×10^{-2} wt% 的稀氫氟酸用於洗滌處理。藉由進行洗滌處理，可以去除附著在露出的氧化物半導體膜 405 表面的上述雜質。

另外，藉由使用稀氫氟酸溶液進行雜質去除處理，可以對露出的氧化物半導體膜 405 的表面進行蝕刻。就是說，與氧化物半導體膜 405 的一部分一起去掉附著在露出的氧化物半導體膜 405 的表面的雜質或混入到氧化物半導體膜 405 的表面附近的雜質。

藉由進行雜質去除處理，可以將藉由 SIMS 分析獲得的氧化物半導體膜表面的氬濃度的峰值設定為 $1 \times 10^{19}/\text{cm}^3$

以下（較佳為 $5 \times 10^{18}/\text{cm}^3$ 以下，更佳為 $1 \times 10^{18}/\text{cm}^3$ 以下）。另外，可以將硼濃度的峰值設定為 $1 \times 10^{19}/\text{cm}^3$ 以下（較佳為 $5 \times 10^{18}/\text{cm}^3$ 以下，更佳為 $1 \times 10^{18}/\text{cm}^3$ 以下）。此外，可以將鋁濃度設定為 $1 \times 10^{19}/\text{cm}^3$ 以下（較佳為 $5 \times 10^{18}/\text{cm}^3$ 以下，更佳為 $1 \times 10^{18}/\text{cm}^3$ 以下）。

接著，在氧化物半導體膜 405、源極電極層 406a 及汲極電極層 406b 上形成閘極絕緣膜 407（參照圖 8C）。此外，閘極絕緣膜 407 用作第一閘極絕緣膜。

閘極絕緣膜 407 的形成方法及材料與閘極絕緣膜 404 同樣，由此省略詳細說明。另外，閘極絕緣膜 407 的厚度為 1nm 以上且 500nm 以下，較佳為 10nm 以上且 300nm 以下。

另外，與閘極絕緣膜 404 同樣，也可以對閘極絕緣膜 407 進行加熱處理或氧添加處理。

接著，在閘極絕緣膜 407 上的與閘極電極層 402 及氧化物半導體膜 405 重疊的區域形成用來形成閘極電極層（包括使用與其相同的層形成的佈線）的導電膜，對該導電膜進行加工，來形成閘極電極層 408（參照圖 8C）。此外，閘極電極層 408 用作第一閘極電極。

閘極電極層 408 的形成方法及材料與閘極電極層 402 同樣，由此省略詳細說明。

接著，以閘極電極層 408 為遮罩，隔著閘極絕緣膜 407 對氧化物半導體膜 405 添加摻雜劑，來形成包含摻雜劑的區域 412a、412b。

作為對氧化物半導體膜 405 添加的摻雜劑，可以選擇第 15 族元素諸如氮、磷或硼等；稀有氣體元素諸如氦、氖、氬、氪或氙等；或者氫中的至少一個。另外，作為對氧化物半導體膜 405 添加摻雜劑的方法，可以使用離子摻雜法或離子植入法。藉由使用離子摻雜法或離子植入法，容易控制摻雜劑的添加深度（添加區域），來可以高精度地添加摻雜劑。此外，當使用離子摻雜法或離子植入法添加摻雜劑時，也可以一邊對基板進行加熱一邊進行添加。

此外，還可以利用與離子摻雜法和離子植入法不同的方法來進行摻雜劑的添加。例如，藉由在包含添加的元素的氣體氛圍下產生電漿，並對被添加物進行電漿處理，可以添加摻雜劑。作為進行電漿處理的裝置，可以使用乾處理蝕刻裝置、電漿 CVD 設備、高密度電漿 CVD 設備等。此時，當氧化物半導體膜的添加摻雜劑的區域包括結晶部時，有時因添加摻雜劑的損傷使結晶性降低而成為非晶區域。

可以藉由適當地設定加速電壓、劑量等的注入條件或者摻雜劑透過的膜的厚度來控制摻雜劑的添加。在本實施方式中，作為摻雜劑使用硼，利用離子植入法進行硼離子的注入。另外，也可以將摻雜劑的劑量設定為 $1 \times 10^{13}/\text{cm}^2$ 以上且 $5 \times 10^{16}/\text{cm}^2$ 以下。

較佳為藉由對氧化物半導體膜 405 添加摻雜劑，將含摻雜劑的區域 412a、412b 的摻雜劑的濃度設定為 $5 \times 10^{18}/\text{cm}^3$ 以上且 $1 \times 10^{22}/\text{cm}^3$ 以下。

另外，也可以進行多次將摻雜劑引入到氧化物半導體膜 405 中的處理，並且，也可以使用多種摻雜劑。

另外，也可以在添加摻雜劑之後進行加熱處理。作為加熱條件較佳為採用如下條件：溫度為 300℃ 以上且 700℃ 以下，較佳為 300℃ 以上且 450℃ 以下；在氧氣氛圍下；進行 1 小時。此外，也可以在氮氛圍下、減壓下或大氣（超乾燥空氣氛圍）下進行加熱處理。

藉由上述製程，可以製造電晶體 410（參照圖 8C）。

接著，在閘極絕緣膜 407 及閘極電極層 408 上形成成為層間絕緣膜（保護絕緣膜、平坦化絕緣膜）的絕緣膜 409（參照圖 8D）。

保護絕緣膜可以使用與絕緣膜 403 同樣的材料及方法而形成。例如，可以使用藉由濺射法形成的氧化鋁膜或氮化矽膜。另外，也可以在形成保護絕緣膜之後進行加熱處理。例如，在氮氛圍下以 300℃ 進行 1 小時的加熱處理。

此外，藉由形成平坦化絕緣膜，可以減少起因於電晶體的表面凹凸。作為平坦化絕緣膜，可以使用聚醯亞胺樹脂、丙烯酸樹脂、苯並環丁烯樹脂等的有機材料。此外，除了上述有機材料之外，還可以使用低介電常數材料（low-k 材料）等。另外，也可以層疊多個由上述材料形成的絕緣膜來形成平坦化絕緣膜。例如，作為平坦化絕緣膜，可以形成厚度為 1.5 μm 的丙烯酸樹脂膜。丙烯酸樹脂膜能夠利用塗敷法在塗敷之後進行燒結（例如在氮氛圍下

以 250°C 進行 1 小時的燒結) 來形成。

也可以在形成絕緣膜 409 之後進行加熱處理。例如，在氮氛圍下以 250°C 進行 1 小時的加熱處理。另外，也可以多次進行加熱處理。

接著，利用光微影製程在絕緣膜 409 上形成光阻遮罩，並對絕緣膜 409 及閘極絕緣膜 407 選擇性地進行蝕刻來在絕緣膜 409 及閘極絕緣膜 407 中設置開口部。

接著，在絕緣膜 409 上形成後面成爲源極佈線層及汲極佈線層的導電膜，對該導電膜進行加工來形成與源極電極層 406a 及汲極電極層 406b 連接的源極佈線層 411a 及汲極佈線層 411b (參照圖 8D)。

成爲源極佈線層 411a 及汲極佈線層 411b 的導電膜的形成方法及材料與源極電極層 406a 及汲極電極層 406b 同樣，由此省略詳細說明。

根據本實施方式的電晶體藉由在氧化物半導體膜 405 中減少雜質且減少氧缺陷來實現高度純化。被高度純化的氧化物半導體 (purified OS) 是 i 型 (本質半導體) 或無限趨近於 i 型。由此，藉由將上述氧化物半導體用於形成通道的區域，具有電晶體的關態電流顯著低而可以抑制臨界電壓向負方向漂移 (即，容易得到常截止的特性) 的特性。

明確而言，較佳爲利用二次離子質譜分析法 (SIMS: Secondary Ion Mass Spectrometry) 測量的氧化物半導體膜 405 的氫濃度值低於 $5 \times 10^{18}/\text{cm}^3$ ，較佳爲

$5 \times 10^{17}/\text{cm}^3$ 以下，更佳為 $1 \times 10^{16}/\text{cm}^3$ 以下。另外，較佳為藉由霍爾效應測量可以測量的氧化物半導體膜的載流子密度低於 $1 \times 10^{14}/\text{cm}^3$ ，較佳低於 $1 \times 10^{12}/\text{cm}^3$ ，更佳低於 $1 \times 10^{11}/\text{cm}^3$ 。此外，氧化物半導體的帶隙為 2eV 以上，較佳為 2.5eV 以上，更佳為 3eV 以上。藉由將充分降低雜質濃度並減少氧缺陷來實現高度純化的氧化物半導體用於形成通道的區域，可以降低電晶體的關態電流而抑制臨界電壓向負方向漂移（即，得到常截止的特性）。

另外，在通道形成區中含有上述氧化物半導體的電晶體的關態電流可以為如下：每通道寬度 $1\mu\text{m}$ 的關態電流為 100yA ($1 \times 10^{-22}\text{A}$) 以下；較佳為每通道寬度 $1\mu\text{m}$ 的關態電流為 10yA ($1 \times 10^{-23}\text{A}$) 以下；更佳為每通道寬度 $1\mu\text{m}$ 的關態電流為 1yA ($1 \times 10^{-24}\text{A}$) 以下。另外，在本說明書等中，關態電流是指當電晶體處於非導通狀態時流過源極與汲極之間的電流。在 n 通道型電晶體（例如，臨界電壓為 0 至 2V 左右）中，關態電流是指當施加到閘極與源極之間的電壓為負電壓時流過源極與汲極之間的電流。

另外，藉由在氧化物半導體膜 405 中減少雜質或氧缺陷，可以抑制載流子的產生。藉由抑制載流子密度增大，可以抑制起因於載流子密度的電晶體的臨界電壓向負方向漂移。因此，根據施加到電晶體的第二閘極電極的電位而可以容易控制電晶體的臨界電壓。

另外，在第一閘極絕緣膜的材料與第二閘極絕緣膜的材料相同時，可以根據厚度比控制電晶體的臨界電壓的漂

移量。在第一閘極絕緣膜與第二閘極絕緣膜的厚度比為 1 : 10 時，與厚度比為 1 : 1 的情況相比，電晶體的臨界電壓的漂移量有增加的傾向。

另外，藉由使用上述電晶體構成根據上述實施方式的反相器電路 INV，根據施加到電晶體的第二閘極電極的電位而可以容易控制電晶體的臨界電壓。

另外，藉由使用根據上述實施方式的反相器電路 INV 構成環形振盪器，可以增大振盪頻率。由此，可以縮短反相器電路 INV 的遲延時間。如上所述，藉由使用關態電流低的電晶體，可以增大輸出信號的振幅。

另外，也可以以層疊在使用矽等的電晶體上的方式形成使用上述氧化物半導體的電晶體。

實施方式 4

在本實施方式中，說明使用根據本發明的一個方式的環形振盪器的鎖相環路(PLL:Phase Locked Loop)。鎖相環路具有如下功能：生成與從外部輸入的週期信號同步的週期信號；或者生成具有從外部輸入的週期信號的 n 倍的週期的週期信號。

圖 9 是示出根據本實施方式的鎖相環路的方塊圖。

鎖相環路 300 包括：相位檢測器 301 (PFD: Phase Frequency Detector)；環路濾波器 302 (LPF: Loop Filter)；電壓控制振盪器 303 (VCO: Voltage Controlled Oscillator)；分頻器 304；以及緩衝器 305。另外，也可

以在相位檢測器 301 與環路濾波器 302 之間設置有電荷泵。

對相位檢測器 301 輸入兩個週期信號，即：從外部輸入的週期信號(REF_CLK)、使用分頻器 304 對從電壓控制振盪器 303 輸出的信號進行分頻的週期信號，而輸出根據兩個週期信號的相位差決定的信號（也稱為相位差信號）。

藉由環路濾波器 302 將從相位檢測器 301 輸出的相位差信號轉換為電壓信號。然後，將該電壓信號輸入到電壓控制振盪器 303。

電壓控制振盪器 303 使用根據本發明的一個方式的環形振盪器。因此，使用環路濾波器 302 轉換的電壓信號輸入到環形振盪器。環形振盪器根據被輸入的電壓信號而振盪頻率，並將生成的信號作為週期信號輸出到分頻器 304 及緩衝器 305。

鎖相環路 300 整體是回饋控制系統，連續進行上述工作，當從外部對相位檢測器 301 輸入的週期信號與從分頻器 304 對相位檢測器 301 輸入的週期信號之間的相位差成為零時，鎖相環路 300 的控制被鎖定。換言之，對電壓控制振盪器 303 輸入的電壓信號成為恆定（也稱為穩定電壓），因此從電壓控制振盪器 303 輸出的週期信號的週期（頻率）成為恆定。

藉由作為電壓控制振盪器 303 使用根據本發明的一個方式的環形振盪器，可以縮短週期信號的上升時間及下降

時間，而可以增大振盪頻率。另外，可以在大範圍中控制被輸出的週期信號的週期。此外，可以實現低耗電量化。

接著，說明將使用根據本發明的一個方式的鎖相環路 300 的半導體裝置應用於行動電話、智慧手機或電子書閱讀器等可攜式電子裝置的情況。

圖 10 是可攜式電子裝置的方塊圖。圖 10 所示的可攜式電子裝置包括：RF 電路 421；類比基帶電路 422；數字基帶電路 423；電池 424；電源電路 425；應用處理器 426；快閃記憶體 430；顯示控制器 431；儲存電路 432；顯示器 433；觸摸感測器 439；音頻電路 437；以及鍵盤 438 等。顯示器 433 由顯示部 434、源極驅動器 435 以及閘極驅動器 436 構成。應用處理器 426 具有 CPU427、DSP428 以及介面 429。

根據本發明的一個方式的鎖相環路可以應用於 CPU427 等中的內部時脈產生電路，RF 電路 421 等頻率合成器（Frequency Synthesizer）、數位基帶電路 423 等 FM 信號解調器。藉由使用根據本發明的一個方式的鎖相環路生成 CPU427 等的內部時脈，可以生成穩定的同步時脈。另外，由於可以生成高頻率，所以可以進行高速工作。

圖 11 是電子書閱讀器的方塊圖。電子書閱讀器包括：電池 451；電源電路 452；微處理器 453；快閃記憶體 454；音頻電路 455；鍵盤 456；儲存電路 457；觸控面板 458；顯示器 459；以及顯示控制器 460。此外，微處理器 453 具有 CPU461、DSP462 以及介面 463。

根據本發明的一個方式的鎖相環路可以應用於 CPU461 等中的內部時脈產生電路等。藉由使用根據本發明的一個方式的鎖相環路生成 CPU461 等中的內部時脈，可以生成穩定的同步時脈。另外，由於可以生成高頻率，所以可以進行高速工作。

本實施方式可以與上述實施方式適當地組合而實施。

實施例 1

在本實施例中，說明對電晶體的電特性進行評價的結果。

參照實施方式 3 說明用於評價的兩個條件的電晶體的製造方法。在如下兩個條件下分別製造電晶體：在條件 1 下，第一閘極絕緣膜與第二閘極絕緣膜的厚度比為 1 : 1（第一閘極絕緣膜的厚度為 100nm，第二閘極絕緣膜的厚度為 100nm）；在條件 2 下，第一閘極絕緣膜與第二閘極絕緣膜的厚度比為 1 : 10（第一閘極絕緣膜的厚度為 30nm，第二閘極絕緣膜的厚度為 300nm）。

首先，對條件 1 的電晶體的製造方法進行說明。

藉由作為基板 400 使用矽晶片，對該矽晶片進行熱氧化處理，來在該矽晶片上作為絕緣膜 401 形成厚度為 100nm 的氧化矽膜。在相對於氧含量包含 3vol.% 的 HCl 的氛圍下以 950℃ 進行 3 小時的熱氧化處理來形成氧化矽膜。

接著，在絕緣膜 401 上形成厚度為 100nm 的鎢膜。

鎢膜的成膜條件是如下：利用濺射法；氫氣體的流量為 90sccm；壓力為 0.8Pa；電源功率為 1kW；以及設定溫度為 230℃。接著，藉由光微影製程在鎢膜上形成光阻遮罩，對鎢膜選擇性地進行蝕刻，來形成閘極電極層 402。然後，去除光阻遮罩。

接著，在絕緣膜 401 及閘極電極層 402 上作為絕緣膜 403 形成厚度為 200nm 的氧化矽膜。氧化矽膜的成膜條件是如下：利用濺射法；氧氣體的流量為 50sccm；壓力為 0.4Pa；電源功率為 1.5kW；T-S 間距離（靶材與基板之間的距離）為 60mm；以及基板溫度為 100℃。

接著，對絕緣膜 403 進行直到閘極電極層 402 的頂面露出的 CMP 處理。

接著，在絕緣膜 403 及閘極電極層 402 上作為閘極絕緣膜 404 形成厚度為 100nm 的氧化矽膜。氧化矽膜的成膜條件是如下：氧氣體的流量為 50sccm；壓力為 0.4Pa；電源功率為 1.5kW；T-S 間距離為 60mm；以及基板溫度為 100℃。

接著，在形成閘極絕緣膜 404 之後，藉由使用 In:Ga:Zn=3:1:2〔原子數比〕的氧化物靶材的濺射法，以不暴露於大氣的方式作為氧化物半導體膜 405 形成厚度為 20nm 的 IGZO 膜。IGZO 膜的成膜條件是如下：在氫和氧（氫/氧=30sccm/10sccm）的氛圍下；壓力為 0.4Pa；電源功率為 0.5kW；以及基板溫度為 200℃。

接著，藉由光微影製程在氧化物半導體膜 405 上形成

光阻遮罩，對氧化物半導體膜 405 選擇性地進行蝕刻來形成島狀氧化物半導體膜 405。然後，去除光阻遮罩。

接著，在島狀氧化物半導體膜 405 上藉由濺射法形成厚度為 50nm 的鎢膜。鎢膜的成膜條件是如下：利用濺射法；氬氣體的流量為 90sccm；壓力為 0.8Pa；電源功率為 1kW；以及設定溫度為 230℃。接著，藉由光微影製程在鎢膜上形成光阻遮罩，對鎢膜選擇性地進行蝕刻，來形成源極電極層 406a 及汲極電極層 406b。

接著，在氧化物半導體膜 405、源極電極層 406a 及汲極電極層 406b 上作為閘極絕緣膜 407 形成厚度為 100nm 的氧化矽膜。氧化矽膜的成膜條件是如下：氧氣體的流量為 50sccm；壓力為 0.4Pa；電源功率為 1.5kW；T-S 間距離為 60mm；以及基板溫度為 100℃。

接著，對閘極絕緣膜 407 及氧化物半導體膜 405 進行氧添加處理。氧添加處理的條件是如下：利用離子植入法；加速電壓為 25kV；以及劑量為 $1.0 \times 10^{16} \text{cm}^{-2}$ 。

接著，在閘極絕緣膜 407 上的與閘極電極層 402 及氧化物半導體膜 405 重疊的區域形成厚度為 30nm 的氮化鉬膜和厚度為 135nm 的鎢膜。氮化鉬膜的成膜條件是如下：利用濺射法；在氬和氮（氬/氮=50sccm/10sccm）的氛圍下；壓力為 0.6Pa；以及電源功率為 1.0kW。另外，鎢膜的成膜條件是如下：利用濺射法；氬氣體的流量為 110sccm；壓力為 2.0Pa；電源功率為 4kW；以及設定溫度為 230℃。接著，藉由光微影製程在鎢膜上形成光阻遮

罩，對鎢膜及氮化鉭膜選擇性地進行蝕刻，來形成閘極電極層 408。

接著，以閘極電極層 408 為遮罩，隔著閘極絕緣膜 407 對氧化物半導體膜 405 添加硼。硼的添加處理的條件是如下：利用離子植入法；加速電壓為 30kV；以及劑量為 $3.0 \times 10^{15} \text{cm}^{-2}$ 。

接著，在閘極絕緣膜 407 及閘極電極層 408 上作為絕緣膜 409 形成厚度為 50nm 的氧化鋁膜和厚度為 300nm 的氧氮化矽膜。氧化鋁膜的成膜條件是如下：利用濺射法；在氫和氧（氫/氧=25sccm/25sccm）的氛圍下；壓力為 0.4Pa；電源功率為 2.5kW；T-S 間距離為 60mm；以及基板溫度為 250°C。另外，氧氮化矽膜藉由 CVD 法形成。

接著，藉由光微影製程在氧氮化矽膜上形成光阻遮罩，對氧氮化矽膜、氧化鋁膜及氧化矽膜選擇性地進行蝕刻來在氧氮化矽膜、氧化鋁膜及氧化矽膜中設置開口部。

接著，在氧氮化矽膜上形成厚度為 50nm 的鈦膜、厚度為 100nm 的鋁膜及厚度為 50nm 的鈦膜。鈦膜的成膜條件是如下：利用濺射法；氫氣體的流量為 20sccm；壓力為 0.1Pa；電源功率為 12kW；以及室溫。另外，鋁膜的成膜條件是如下：利用濺射法；氫氣體的流量為 50sccm；壓力為 0.4Pa；電源功率為 1kW；以及室溫。接著，藉由光微影製程在鈦膜上形成光阻遮罩，對鈦膜、鋁膜及鈦膜選擇性地進行蝕刻，來形成與源極電極層 406a 及汲極電極層 406b 連接的源極佈線層 411a 及汲極佈線層 411b。

最後，藉由加熱處理完成條件 1 的電晶體的製造。

接著，對條件 2 的電晶體的製造方法進行說明。

條件 2 的電晶體與條件 1 的電晶體不同之處是閘極絕緣膜 404（第二閘極絕緣膜）及閘極絕緣膜 407（第一閘極絕緣膜）的厚度。除此之外，條件 2 的電晶體的製造方法與條件 1 的電晶體相同。因此，以下只說明與條件 1 的電晶體不同的製程，而省略除此之外的製程的詳細說明。

與條件 1 的電晶體同樣，在基板 400 上形成絕緣膜 401、閘極電極層 402 及絕緣膜 403，然後對絕緣膜 403 進行直到閘極電極層 402 的頂面露出的 CMP 處理。

接著，在絕緣膜 403 及閘極電極層 402 上作為閘極絕緣膜 404 形成厚度為 300nm 的氧化矽膜。氧化矽膜的成膜條件是如下：氧氣體的流量為 50sccm；壓力為 0.4Pa；電源功率為 1.5kW；T-S 間距離為 60mm；以及基板溫度為 100℃。

接著，形成閘極絕緣膜 404，然後以不暴露於大氣的方式在形成氧化物半導體膜 405 後將氧化物半導體膜 405 形成為島狀。

接著，在島狀氧化物半導體膜 405 上形成源極電極層 406a 及汲極電極層 406b。

接著，在氧化物半導體膜 405、源極電極層 406a 及汲極電極層 406b 上作為閘極絕緣膜 407 形成厚度為 30nm 的氧化矽膜。氧化矽膜的成膜條件是如下：氧氣體的流量為 50sccm；壓力為 0.4Pa；電源功率為 1.5kW；T-S 間距

離為 60mm；以及基板溫度為 100°C。

接著，對閘極絕緣膜 407 及氧化物半導體膜 405 進行氧添加處理。氧添加處理的條件是如下：利用離子植入法；加速電壓為 10kV；以及劑量為 $5.0 \times 10^{15} \text{cm}^{-2}$ 。

接著，在閘極絕緣膜 407 上的與閘極電極層 402 及氧化物半導體膜 405 重疊的區域形成閘極電極層 408。

接著，以閘極電極層 408 為遮罩，隔著閘極絕緣膜 407 對氧化物半導體膜 405 添加硼。硼添加處理的條件是如下：利用離子植入法；加速電壓為 30kV；以及劑量為 $3.0 \times 10^{15} \text{cm}^{-2}$ 。

接著，在閘極絕緣膜 407 及閘極電極層 408 上形成絕緣膜 409 之後，在絕緣膜 409 中設置開口部，來形成與源極電極層 406a 及汲極電極層 406b 連接的源極佈線層 411a 及汲極佈線層 411b。

最後，藉由加熱處理完成條件 2 的電晶體的製造。

接著，對在兩個條件下製造的電晶體進行電晶體的電特性之一的汲極電流 I_D -閘極電壓 V_G 測量。在條件 1 及條件 2 的電晶體中，測量汲極電壓 V_D 為 10V 且第一閘極電壓 V_G 為 -10V 至 +10V 時的汲極電流 I_D [A]。另外，在條件 1 中，使第二閘極電壓 V_{BG} 以 2V 間隔在 -10V 至 +10V 之間變化，在條件 2 中，使第二閘極電壓 V_{BG} 以 5V 間隔在 -15V 至 +15V 之間變化。

圖 12A 表示條件 1 的電晶體的 V_G - I_D 曲線，圖 12B 表示條件 2 的電晶體的 V_G - I_D 曲線。橫軸表示第一閘極

電壓 V_G [V] ，縱軸表示汲極電流 I_D [A] 。注意，在條件 1 及條件 2 的電晶體中，通道長度 L 為 $3\mu\text{m}$ ，通道寬度 W 為 $200\mu\text{m}$ 。

在圖 12A 中，實線 1201 表示施加到第二閘極電極的電壓 V_{BG} 為 -10V 時的汲極電流 I_D ，實線 1202 表示施加到第二閘極電極的電壓 V_{BG} 為 -8V 時的汲極電流 I_D ，實線 1203 表示施加到第二閘極電極的電壓 V_{BG} 為 -6V 時的汲極電流 I_D ，實線 1204 表示施加到第二閘極電極的電壓 V_{BG} 為 -4V 時的汲極電流 I_D ，實線 1205 表示施加到第二閘極電極的電壓 V_{BG} 為 -2V 時的汲極電流 I_D ，實線 1206 表示施加到第二閘極電極的電壓 V_{BG} 為 0V 時的汲極電流 I_D ，實線 1207 表示施加到第二閘極電極的電壓 V_{BG} 為 2V 時的汲極電流 I_D ，實線 1208 表示施加到第二閘極電極的電壓 V_{BG} 為 4V 時的汲極電流 I_D ，實線 1209 表示施加到第二閘極電極的電壓 V_{BG} 為 6V 時的汲極電流 I_D ，實線 1210 表示施加到第二閘極電極的電壓 V_{BG} 為 8V 時的汲極電流 I_D ，實線 1211 表示施加到第二閘極電極的電壓 V_{BG} 為 10V 時的汲極電流 I_D 。

此外，在圖 12B 中，實線 1221 表示施加到第二閘極電極的電壓 V_{BG} 為 -15V 時的汲極電流 I_D ，實線 1222 表示施加到第二閘極電極的電壓 V_{BG} 為 -10V 時的汲極電流 I_D ，實線 1223 表示施加到第二閘極電極的電壓 V_{BG} 為 -5V 時的汲極電流 I_D ，實線 1224 表示施加到第二閘極電極的電壓 V_{BG} 為 0V 時的汲極電流 I_D ，實線 1225 表示施

加到第二閘極電極的電壓 VBG 為 5V 時的汲極電流 ID，實線 1226 表示施加到第二閘極電極的電壓 VBG 為 10V 時的汲極電流 ID，實線 1227 表示施加到第二閘極電極的電壓 VBG 為 15V 時的汲極電流 ID。

如圖 12A 所示，在條件 1 的電晶體中，在施加到第二閘極電極的電壓 VBG 變動 2V 時，臨界電壓分別變動大約 2V。另外，如圖 12B 所示，在條件 2 的電晶體中，在施加到第二閘極電極的電壓 VBG 變動 5V 時，臨界電壓分別變動大約 0.5V。就是說，條件 2 的電晶體的由施加到第二閘極電極的電壓 VBG 導致的臨界值的變動量比條件 1 的電晶體小。另外，如圖 12A 和圖 12B 所示，條件 1 及條件 2 的電晶體的關態電流為半導體參數分析儀的測量下限 (1×10^{-13} A) 以下，而不能估算出正確的值。

從圖 12A 和圖 12B 的結果可知，臨界電壓的變動量根據第一閘極絕緣膜與第二閘極絕緣膜的厚度比而變化。

從圖 12A 和圖 12B 的結果可知，電晶體的臨界電壓的變動量可以根據第一閘極絕緣膜與第二閘極絕緣膜的厚度比控制。因此，藉由使用上述電晶體製造根據本發明的一個方式的環形振盪器，可以製造能夠得到良好特性的環形振盪器。

實施例 2

接著，說明對使用實施例 1 所示的條件 2 的電晶體製造的環形振盪器的振幅和頻率進行評價的結果。

首先，說明在本實施例中製造的環形振盪器。

在本實施例中製造的環形振盪器中，作為反相器電路使用圖 13A 所示的反相器電路 INV，並將 7 級的該反相器電路 INV 連接為環狀。

另外，在圖 13A 中，電晶體 1011 及電晶體 1012 作為圖 14A 所示的電晶體根據實施例 1 所示的條件 2（第一閘極絕緣膜與第二閘極絕緣膜的厚度比為 1：10）製造。另外，電晶體 1011 及電晶體 1012 的通道長度 L 都為 $3\mu\text{m}$ ，電晶體 1011 的通道寬度 W 為 $20\mu\text{m}$ ，電晶體 1012 的通道寬度 W 為 $200\mu\text{m}$ 。

接著，說明作為比較例製造的環形振盪器。

在作為比較例製造的環形振盪器中，作為反相器電路使用圖 13B 所示的反相器電路 INV，並將 7 級的該反相器電路 INV 連接為環狀。

另外，在圖 17B 中，電晶體 1021 及電晶體 1022 作為圖 14B 所示的電晶體除了不形成第二閘極電極層之外根據實施例 1 所示的條件 2 製造。另外，電晶體 1021 及電晶體 1022 的通道長度 L 都為 $3\mu\text{m}$ ，電晶體 1021 的通道寬度 W 為 $20\mu\text{m}$ ，電晶體 1022 的通道寬度 W 為 $200\mu\text{m}$ 。

接著，對在本實施例中製造的環形振盪器及作為比較例製造的環形振盪器的振幅和頻率進行測量。每個環形振盪器的樣本的數量 n 都為 3。

圖 15A 表示在本實施例中製造的環形振盪器的振幅 [V]，圖 15B 表示在本實施例中製造的環形振盪器的頻

率〔MHz〕。此外，圖 16A 表示作為比較例製造的環形振盪器的振幅〔V〕，圖 16B 表示作為比較例製造的環形振盪器的頻率〔MHz〕。注意，在圖 15A 和圖 15B 中，將在本實施例中製造的環形振盪器表示為 RO，在圖 16A 和圖 16B 中，將作為比較例製造的環形振盪器表示為 refRO。

如圖 15B 所示，可以使在本實施例中製造的環形振盪器的振盪頻率比圖 16B 所示的作為比較例製造的環形振盪器高。

從圖 15A 至圖 16B 所示的結果可知，藉由在反相器電路所包括的電晶體中設置第二閘極電極並控制電位，來可以增大環形振盪器的振盪頻率。由此可知，可以縮短反相器電路的遲延時間。

實施例 3

接著，說明對使用實施例 1 所示的條件 1 的電晶體製造的環形振盪器的振幅和頻率進行評價的結果。

首先，說明在本實施例中製造的環形振盪器。在本實施例中，製造 6 個環形振盪器。

在本實施例中製造的環形振盪器 A、環形振盪器 B 及環形振盪器 C 中，作為反相器電路使用圖 17A 所示的反相器電路 INV，並將 7 級的該反相器電路 INV 連接為環狀。

另外，在圖 17A 中，電晶體 1031 及電晶體 1032 根據

實施例 1 所示的條件 1 (第一閘極絕緣膜與第二閘極絕緣膜的厚度比為 1:1) 製造以具有圖 14A 所示的電晶體的結構。

另外，在作為比較例製造的環形振盪器 D、環形振盪器 E 及環形振盪器 F 中，作為反相器電路使用圖 17B 所示的反相器電路 INVa 及控制用反相器電路 INVb，並將 7 級的該反相器電路 INVa 連接為環狀。

另外，在圖 17B 中，電晶體 1041 至電晶體 1044 作為圖 14A 所示的電晶體根據實施例 1 所示的條件 1 製造。

接著，表 1 和表 2 示出環形振盪器 A、環形振盪器 B 及環形振盪器 C 的電晶體 1031、1032 以及環形振盪器 D、環形振盪器 E 及環形振盪器 F 的電晶體 1041 至 1044 的通道長度 L 和通道寬度 W。

[表 1]

	環形振盪器 A		環形振盪器 B		環形振盪器 C	
	通道寬度 W	通道長度 L	通道寬度 W	通道長度 L	通道寬度 W	通道長度 L
	[μm]	[μm]	[μm]	[μm]	[μm]	[μm]
電晶體 1031	20	3	20	1	20	0.5
電晶體 1032	200	3	200	1	200	0.5

〔表 2〕

	環形振盪器 D		環形振盪器 E		環形振盪器 F	
	通道寬度 W	通道長度 L	通道寬度 W	通道長度 L	通道寬度 W	通道長度 L
	[μm]	[μm]	[μm]	[μm]	[μm]	[μm]
電晶體 1041	20	3	20	1	20	0.5
電晶體 1042	200	3	200	1	200	0.5
電晶體 1043	20	3	20	1	20	0.5
電晶體 1044	200	3	200	1	200	0.5

接著，對在本實施例中製造的環形振盪器 A 至 C 及作為比較例製造的環形振盪器 D 至 F 的振幅和頻率進行測量。每個環形振盪器的樣本的數量 n 都為 3。

圖 18A 表示在本實施例中製造的環形振盪器 A 至 C 的振幅〔V〕，圖 18B 表示在本實施例中製造的環形振盪器 A 至 C 的頻率〔MHz〕。此外，圖 19A 表示作為比較例製造的環形振盪器 D 至 F 的振幅〔V〕，圖 19B 表示作為比較例製造的環形振盪器 D 至 F 的頻率〔MHz〕。注意，在圖 18A 至圖 19B 中，將環形振盪器記載為 RO。

如圖 18A 和圖 19A 所示，與環形振盪器 A 至 C 相比，環形振盪器 D 至 F 的振幅〔V〕增大。另外，如圖 18B 和圖 19B 所示，環形振盪器 A 至 C 以及環形振盪器 D 至 F 得到良好的頻率。

在環形振盪器 D 至 F 中，控制用反相器電路 INVb 的輸出信號（電位）施加到反相器電路 INVa 的電晶體 1041 的第二閘極電極。由此，與施加到電晶體 1042 的第一閘極電極的電位相反的電位施加到電晶體 1041 的第二閘極

電極。因此，可以將電晶體 1041 的特性控制為常導通或常截止。由此可以認為：由於藉由使電晶體 1041 的特性成為常截止來可以抑制貫通電流，所以增大了環形振盪器 D 至 F 的振幅。

從圖 19A 和圖 19B 所示的結果可知，藉由將反轉信號輸入到反相器電路 INVa 的電晶體 1041 的第二閘極電極，可以增大環形振盪器的振幅。另外，從圖 19A 和圖 19B 所示的結果可知，藉由在反相器電路所包括的電晶體中設置第二閘極電極並控制電位，可以增大環形振盪器的頻率。

【符號說明】

- 101：電晶體
- 102：電晶體
- 103：電晶體
- 104：電晶體
- 300：鎖相環路
- 301：相位檢測器
- 302：環路濾波器
- 303：電壓控制振盪器
- 304：分頻器
- 305：緩衝器
- 400：基板
- 401：絕緣膜

- 402 : 閘極電極層
- 403 : 絕緣膜
- 404 : 閘極絕緣膜
- 405 : 氧化物半導體膜
- 406a : 源極電極層
- 406b : 汲極電極層
- 407 : 閘極絕緣膜
- 408 : 閘極電極層
- 409 : 絕緣膜
- 410 : 電晶體
- 411a : 源極佈線層
- 411b : 汲極佈線層
- 412a : 區域
- 412b : 區域
- 421 : RF 電路
- 422 : 類比基帶電路
- 423 : 數字基帶電路
- 424 : 電池
- 425 : 電源電路
- 426 : 應用處理器
- 427 : CPU
- 428 : DSP
- 429 : 介面
- 430 : 快閃記憶體

431 : 顯示控制器

432 : 儲存電路

433 : 顯示器

434 : 顯示部

435 : 源極驅動器

436 : 閘極驅動器

437 : 音頻電路

438 : 鍵盤

439 : 觸摸感測器

451 : 電池

452 : 電源電路

453 : 微處理器

454 : 快閃記憶體

455 : 音頻電路

456 : 鍵盤

457 : 儲存電路

458 : 觸控面板

459 : 顯示器

460 : 顯示控制器

461 : CPU

462 : DSP

463 : 介面

1011 : 電晶體

1012 : 電晶體

- 1021 : 電 晶 體
- 1022 : 電 晶 體
- 1031 : 電 晶 體
- 1032 : 電 晶 體
- 1041 : 電 晶 體
- 1042 : 電 晶 體
- 1044 : 電 晶 體
- 1201 : 實 線
- 1202 : 實 線
- 1203 : 實 線
- 1204 : 實 線
- 1205 : 實 線
- 1206 : 實 線
- 1207 : 實 線
- 1208 : 實 線
- 1209 : 實 線
- 1210 : 實 線
- 1211 : 實 線
- 1221 : 實 線
- 1222 : 實 線
- 1223 : 實 線
- 1224 : 實 線
- 1225 : 實 線
- 1226 : 實 線

1227 : 實線

申請專利範圍

1. 一種半導體裝置，包括：

包括第一電晶體及第二電晶體的反相器，該第一電晶體及該第二電晶體分別包括：

氧化物半導體膜；

夾著該氧化物半導體膜設置的一對閘極電極；以及

源極電極及汲極電極，

其中，該第一電晶體的該源極電極和該汲極電極中的一方電連接到第一電源線，

該第二電晶體的該源極電極和該汲極電極中的一方電連接到第二電源線，

該第一電晶體的該一對閘極電極中的一方電連接到第三電源線，

該第二電晶體的該一對閘極電極中的一方電連接到第四電源線，

該第一電晶體的該一對閘極電極中的另一方電連接到該第一電晶體的該源極電極和該汲極電極中的另一方、該第二電晶體的該源極電極和該汲極電極中的另一方及該反相器的輸出端子，

該第二電晶體的該一對閘極電極中的另一方電連接到該反相器的輸入端子，

該第一電源線的電位係高於該第二電源線的電位，

該第三電源線的電位為該第一電源線的該電位以上，

並且，該第四電源線的電位為該第二電源線的該電位以下。

2. 一種半導體裝置，包括：

包括第一電晶體及第二電晶體的反相器，該第一電晶體及該第二電晶體分別包括：

氧化物半導體膜；

夾著該氧化物半導體膜設置的一對閘極電極；以及

源極電極及汲極電極，

其中，該第一電晶體的該源極電極和該汲極電極中的一方電連接到第一電源線，

該第二電晶體的該源極電極和該汲極電極中的一方電連接到第二電源線，

該第一電晶體的該一對閘極電極中的一方電連接到第三電源線，

該第一電晶體的該一對閘極電極中的另一方電連接到第四電源線，

該第二電晶體的該一對閘極電極中的一方電連接到第五電源線，

該第一電晶體的該源極電極和該汲極電極中的另一方電連接到該第二電晶體的該源極電極和該汲極電極中的另一方及該反相器的輸出端子，

該第二電晶體的該一對閘極電極中的另一方電連接到該反相器的輸入端子，

該第一電源線的電位係高於該第二電源線的電位，

該第三電源線與該第四電源線之各者的電位為該第一電源線的該電位以上，

並且，該第五電源線的電位為該第二電源線的該電位以下。

3. 一種半導體裝置，包括：

包括第一電晶體及第二電晶體的第一反相器；以及

包括第三電晶體及第四電晶體的第二反相器，

其中，該第一電晶體、該第二電晶體、該第三電晶體及該第四電晶體分別包括：

氧化物半導體膜；

夾著該氧化物半導體膜設置的一對閘極電極；以及

源極電極及汲極電極，

其中，該第一電晶體的該源極電極和該汲極電極中的一方電連接到第一電源線，

該第二電晶體的該源極電極和該汲極電極中的一方電連接到第二電源線，

該第一電晶體的該一對閘極電極中的一方電連接到第三電源線，

該第二電晶體的該一對閘極電極中的一方電連接到第四電源線，

該第一電晶體的該一對閘極電極中的另一方電連接到該第二反相器的輸出端子，

該第一電晶體的該源極電極和該汲極電極中的另一方電連接到該第二電晶體的該源極電極和該汲極電極中的另一方及該第一反相器的輸出端子，

並且，該第二電晶體的該一對閘極電極中的另一方電連接到該第二反相器的輸入端子。

4. 根據申請專利範圍第 1 至 3 項中任一項之半導體裝置，

其中，該第一電晶體的通道寬度與通道長度的比率低於該第二電晶體的通道寬度與通道長度的比率。

5. 根據申請專利範圍第 3 項之半導體裝置，

其中，該第一電源線的電位高於該第二電源線的電位，

該第三電源線的電位為該第一電源線的該電位以上，

並且，該第四電源線的電位為該第二電源線的該電位以下。

6. 根據申請專利範圍第 1 或 2 項之半導體裝置，

其中，該第一電晶體與該第二電晶體具有相同的導電型。

7. 根據申請專利範圍第 3 項之半導體裝置，

其中，該第一電晶體、該第二電晶體、該第三電晶體及該第四電晶體具有相同的導電型。

8. 根據申請專利範圍第 1 至 3 項中任一項之半導體裝置，

其中，該氧化物半導體膜包含 In、Ga、Zn 及氧。

9. 根據申請專利範圍第 3 項之半導體裝置，

其中，該第三電晶體的該源極電極和該汲極電極中的一方電連接到第五電源線，

該第四電晶體的該源極電極和該汲極電極中的一方電連接到第六電源線，

該第三電晶體的該一對閘極電極中的一方電連接到第七電源線，

該第四電晶體的該一對閘極電極中的一方電連接到第八電源線，

該第三電晶體的該一對閘極電極中的另一方電連接到該第三電晶體的該源極電極和該汲極電極中的另一方、該第四電晶體的該源極電極和該汲極電極中的另一方及該第一電晶體的該一對閘極電極中的另一方，

並且，該第四電晶體的該一對閘極電極中的另一方電連接到該第一反相器的輸入端子。

10. 根據申請專利範圍第 3 項之半導體裝置，

其中，該第三電晶體的該源極電極和該汲極電極中的一方電連接到第五電源線，

該第四電晶體的該源極電極和該汲極電極中的一方電連接到第六電源線，

該第三電晶體的該一對閘極電極中的一方電連接到第七電源線，

該第三電晶體的該一對閘極電極中的另一方電連接到第八電源線，

該第四電晶體的該一對閘極電極中的一方電連接到第九電源線，

該第三電晶體的該源極電極和該汲極電極中的另一方電連接到該第四電晶體的該源極電極和該汲極電極中的另一方及該第一電晶體的該一對閘極電極中的另一方，

並且，該第四電晶體的該一對閘極電極中的另一方電連接到該第一反相器的輸入端子。

11. 一種包括根據申請專利範圍第 1 至 3 項中任一項之半導體裝置的環形振盪器。

圖式

圖 1A

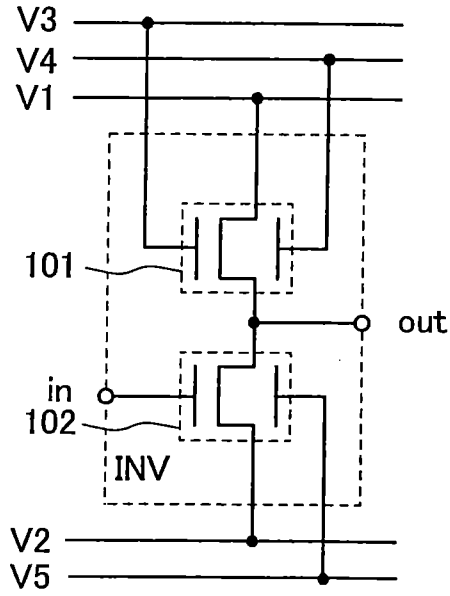


圖 1B

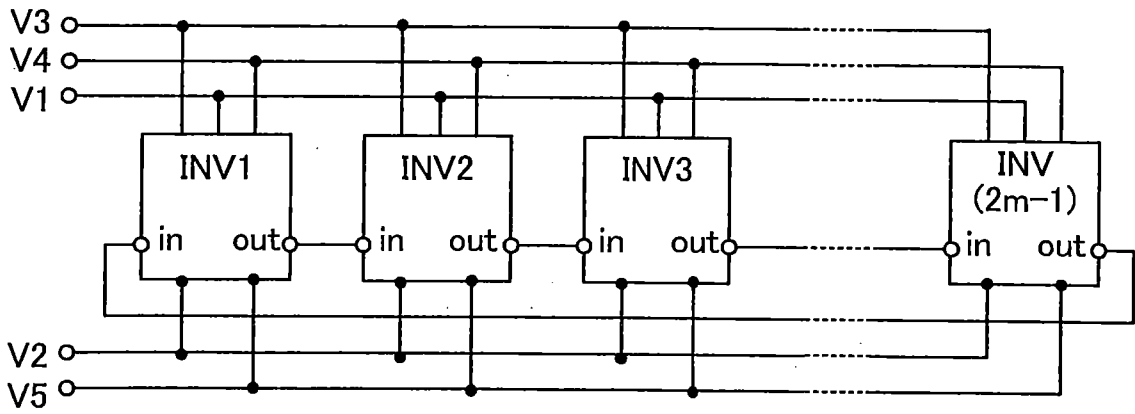


圖 1C

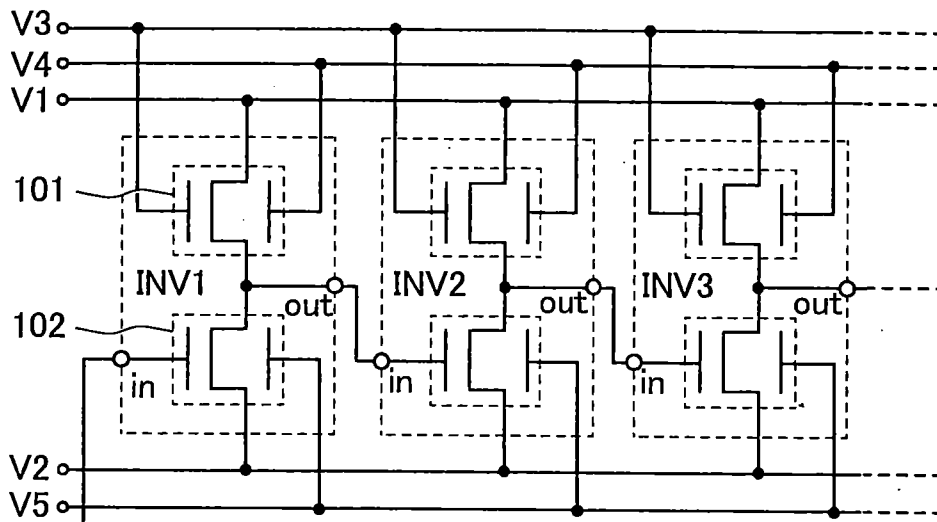


圖 2A

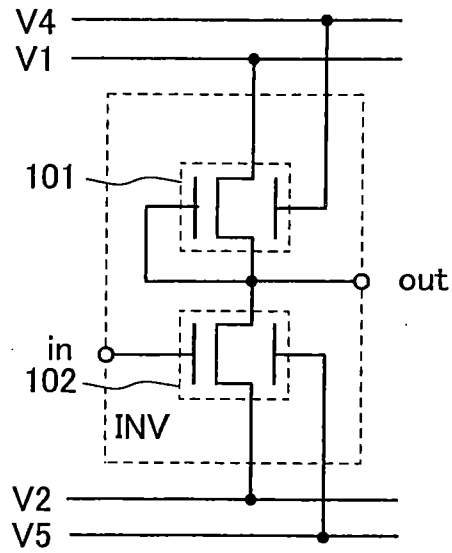


圖 2B

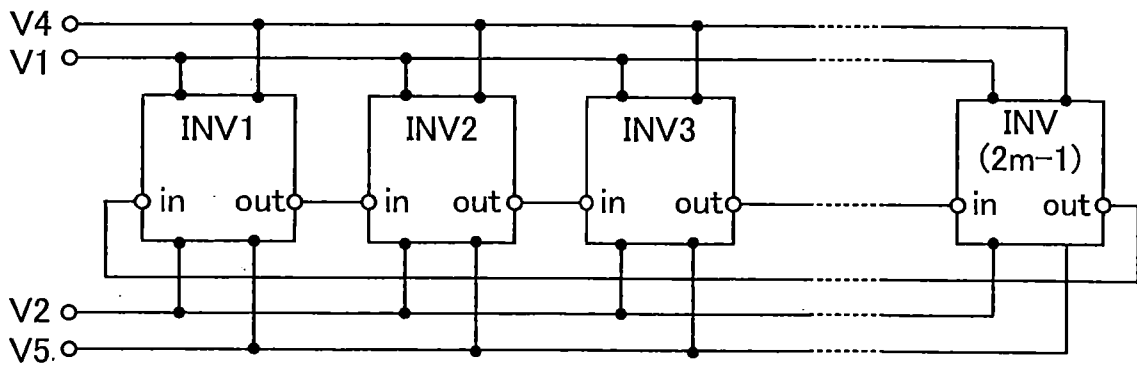


圖 2C

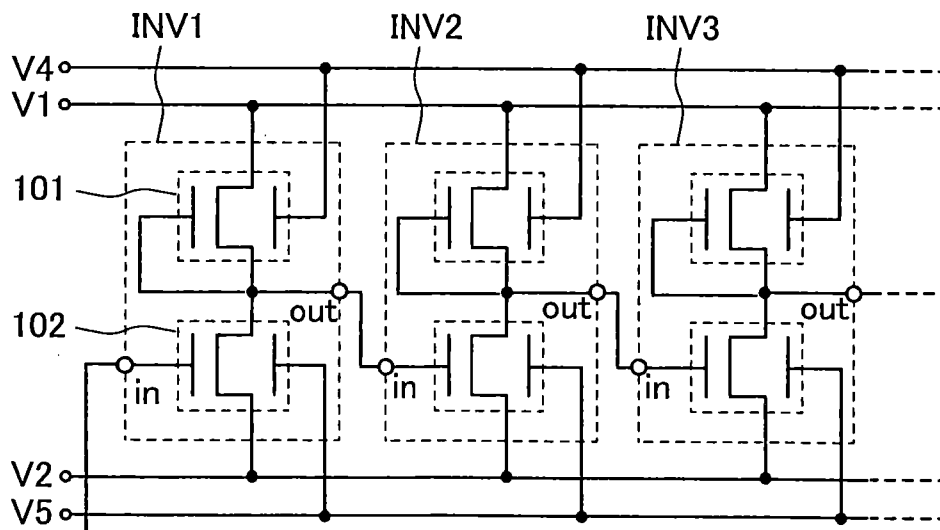


圖 3A

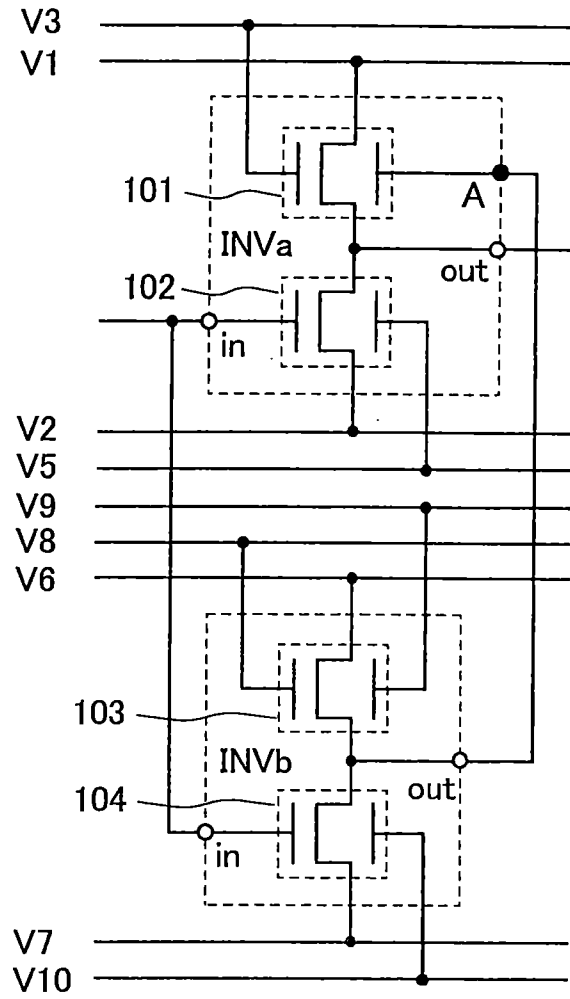
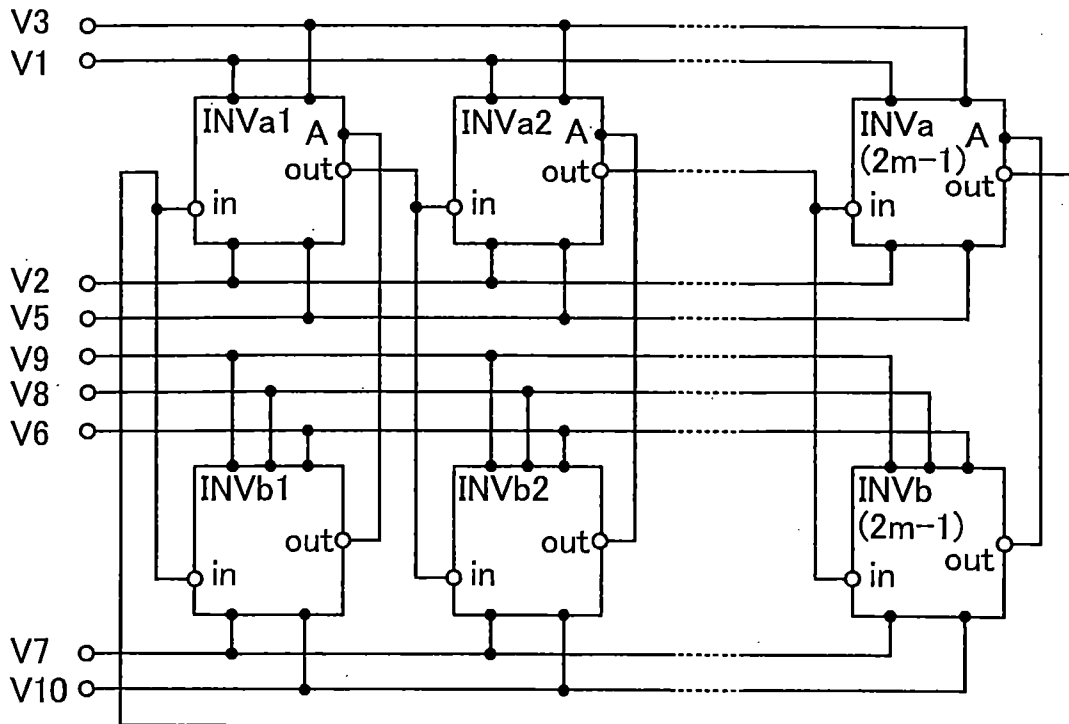


圖 3B



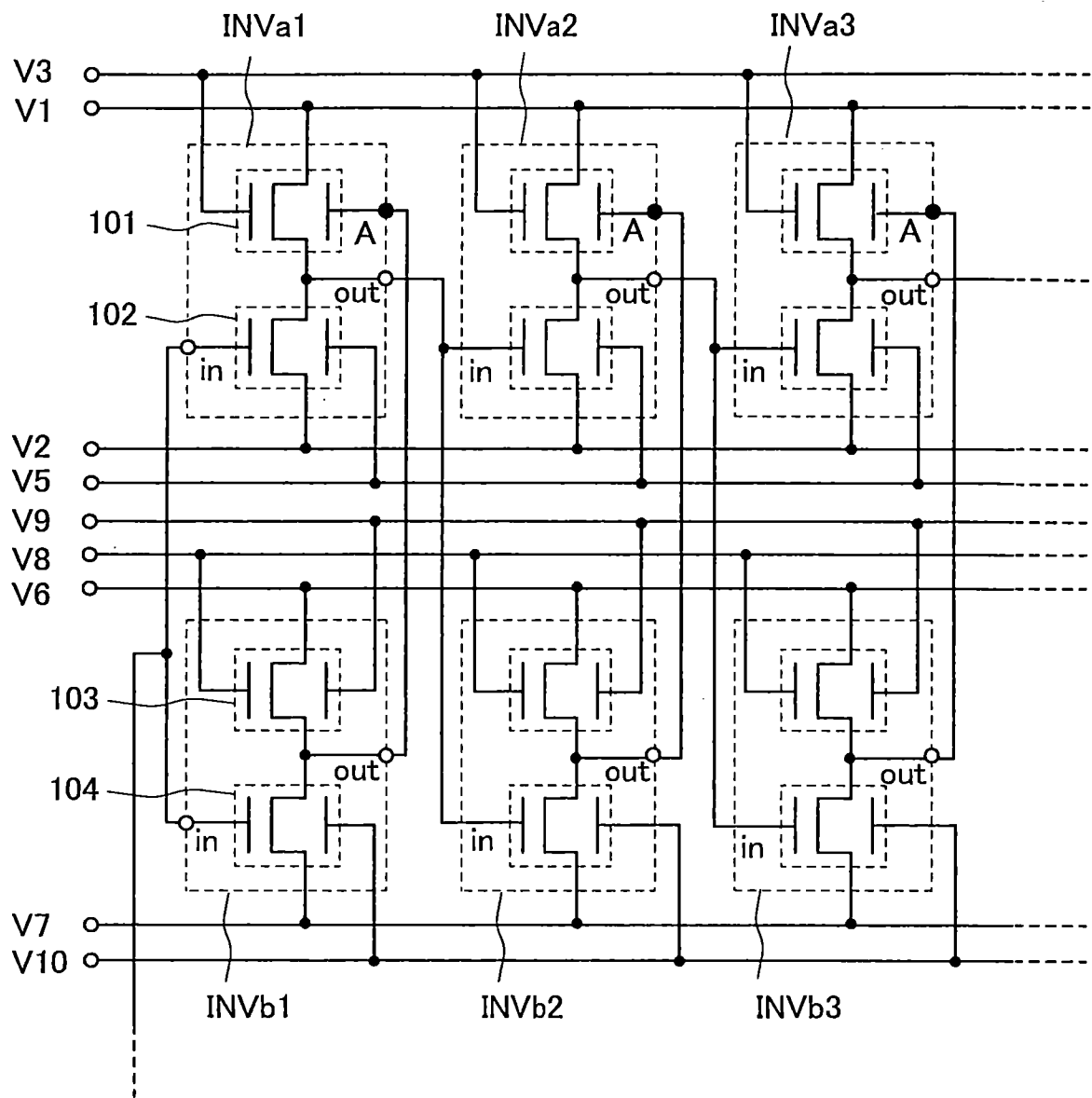


圖 4

圖 5A

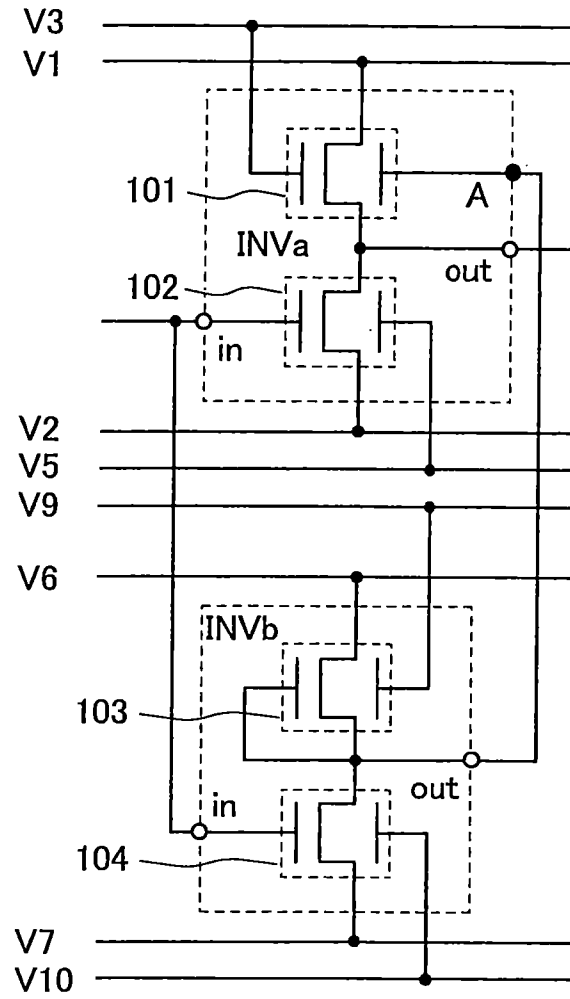


圖 5B

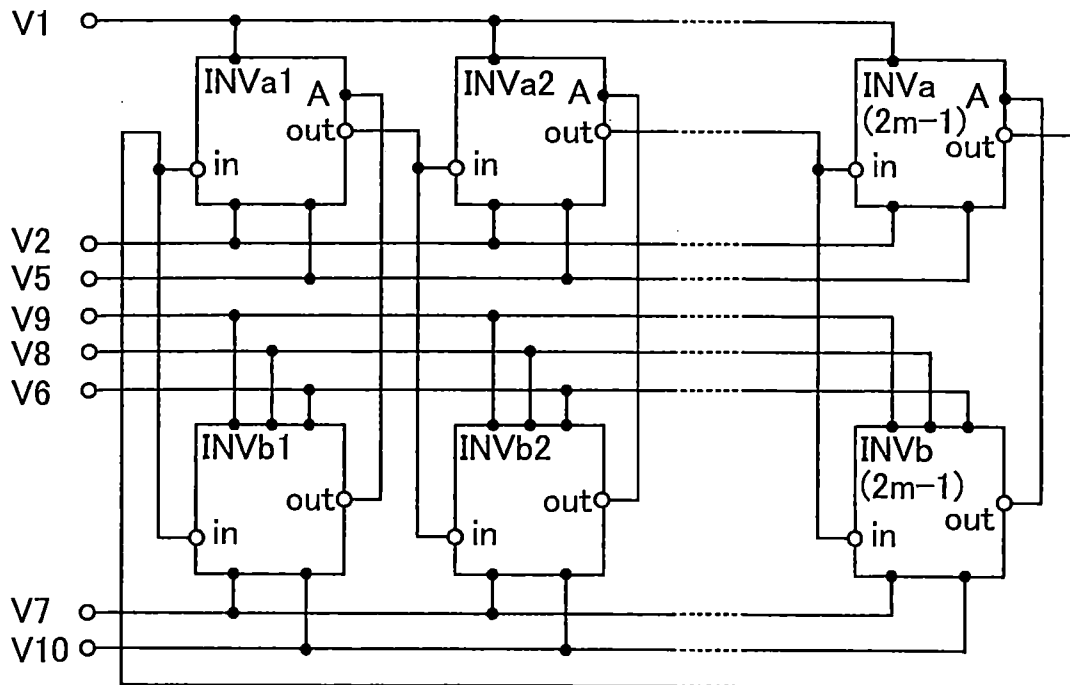


圖 6A

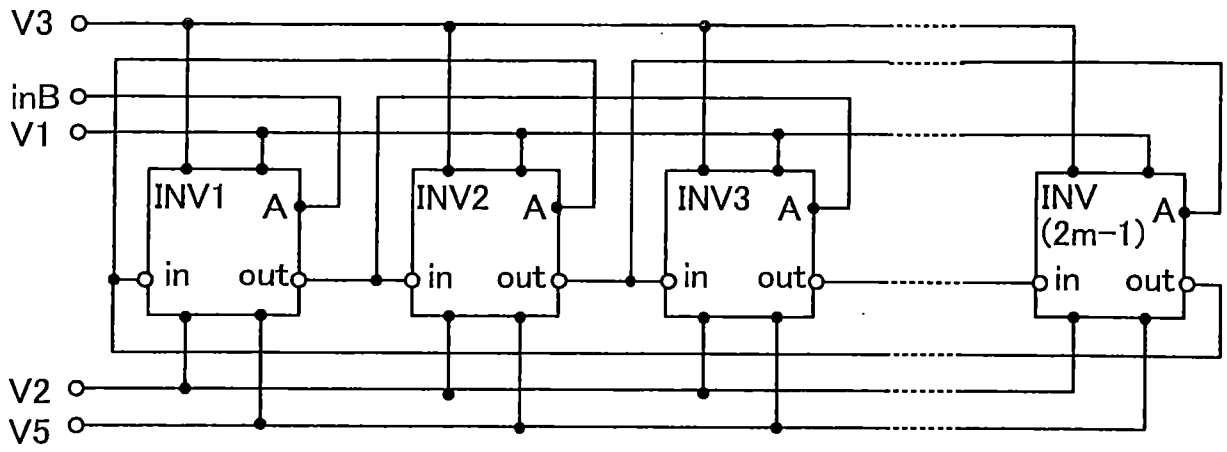


圖 6B

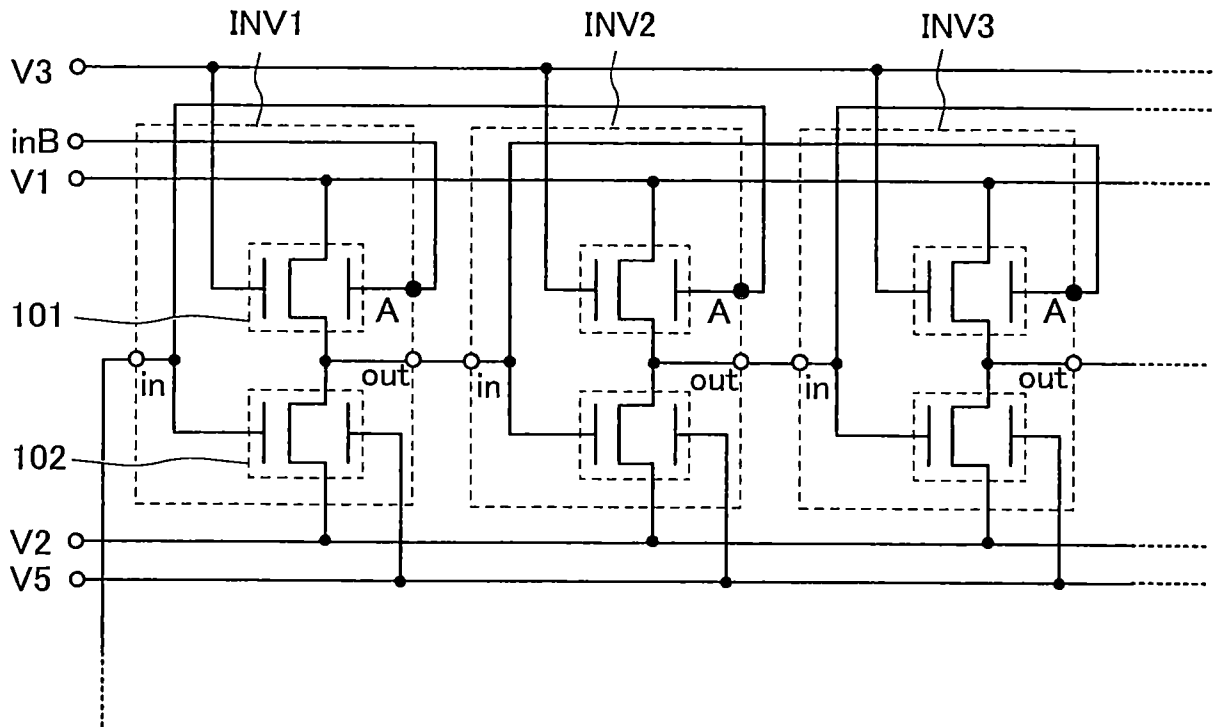


圖 7A

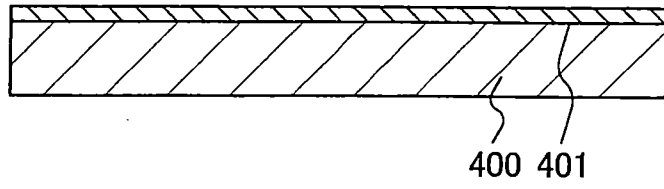


圖 7B

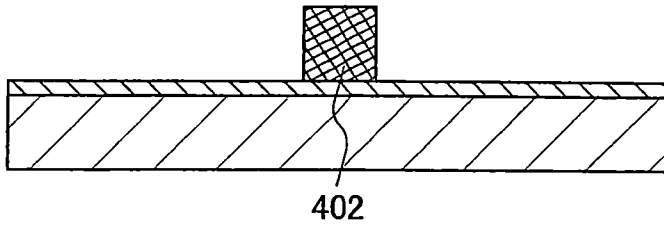


圖 7C

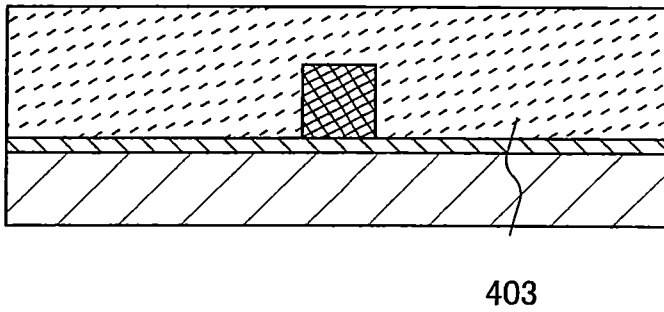


圖 7D

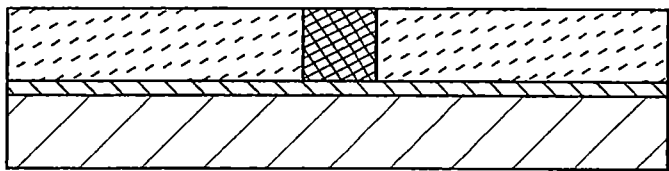


圖 7E

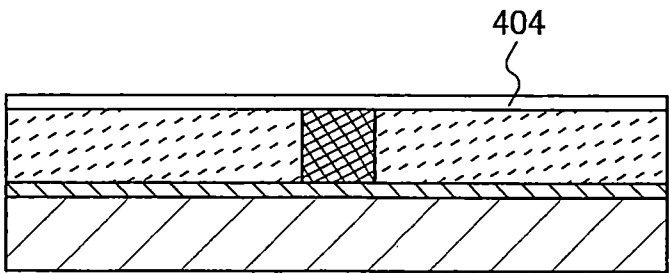


圖 7F

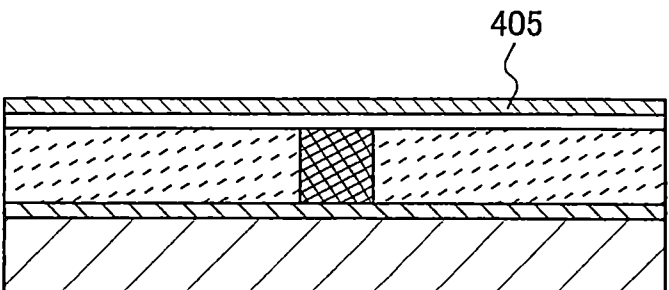


圖 8A

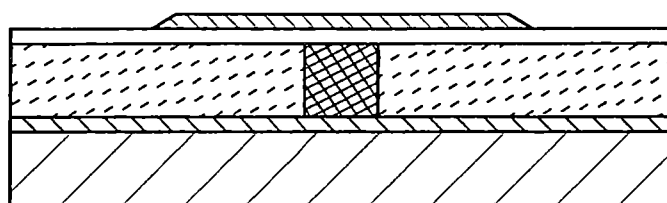


圖 8B

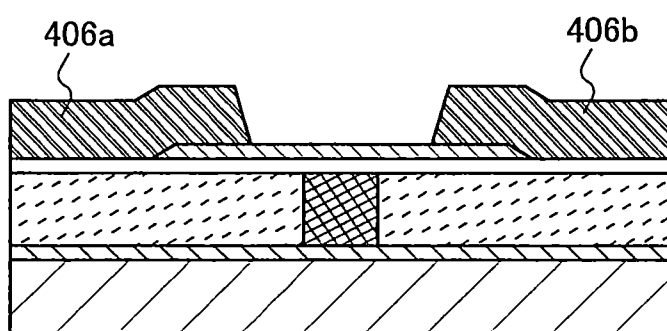


圖 8C

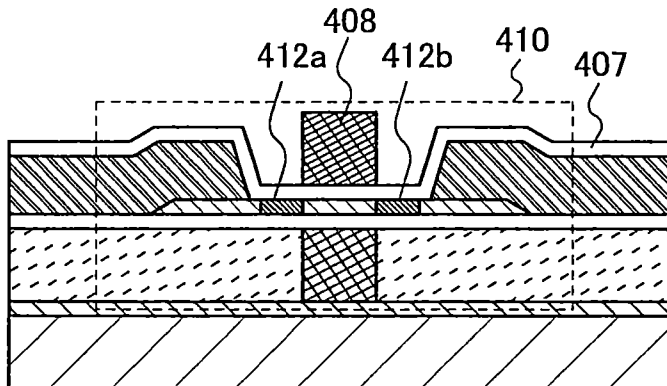
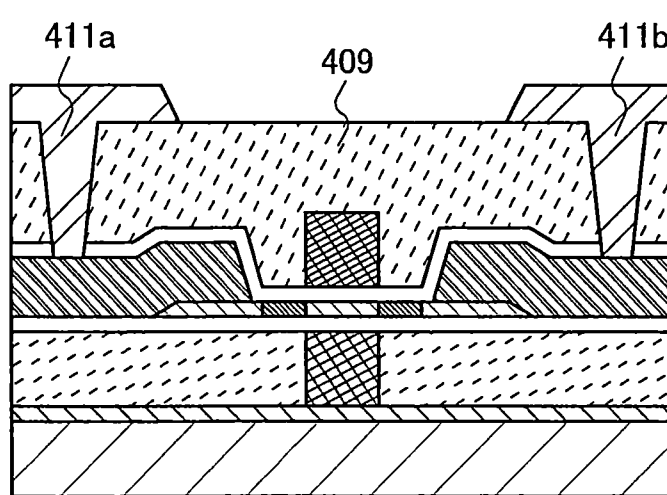


圖 8D



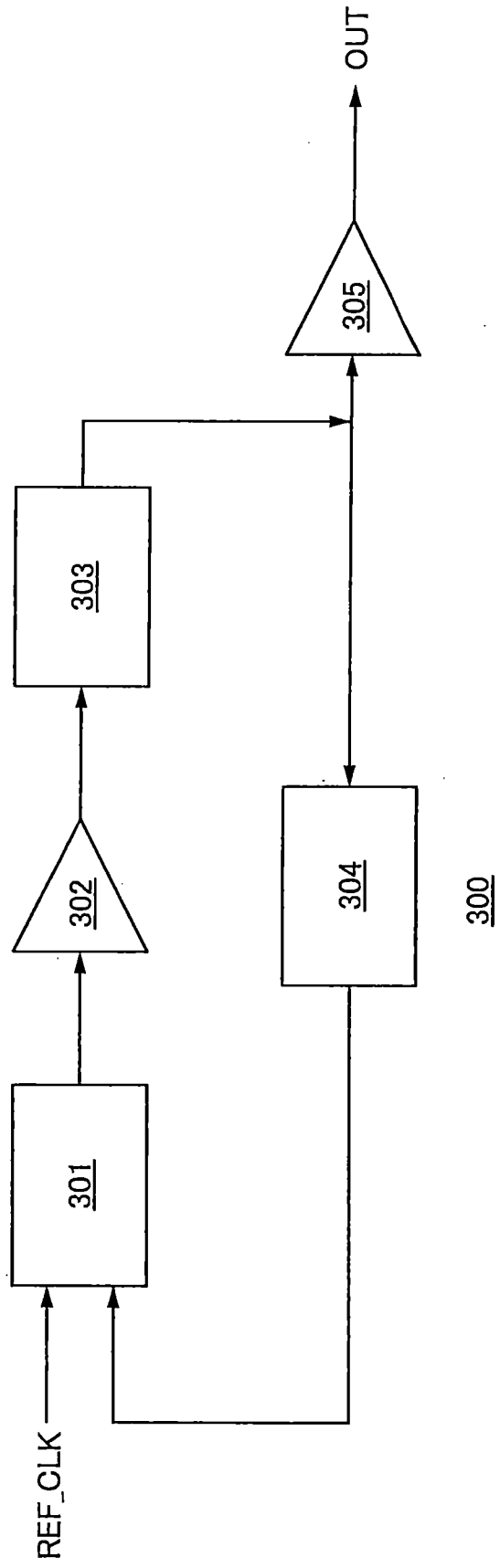


圖 9

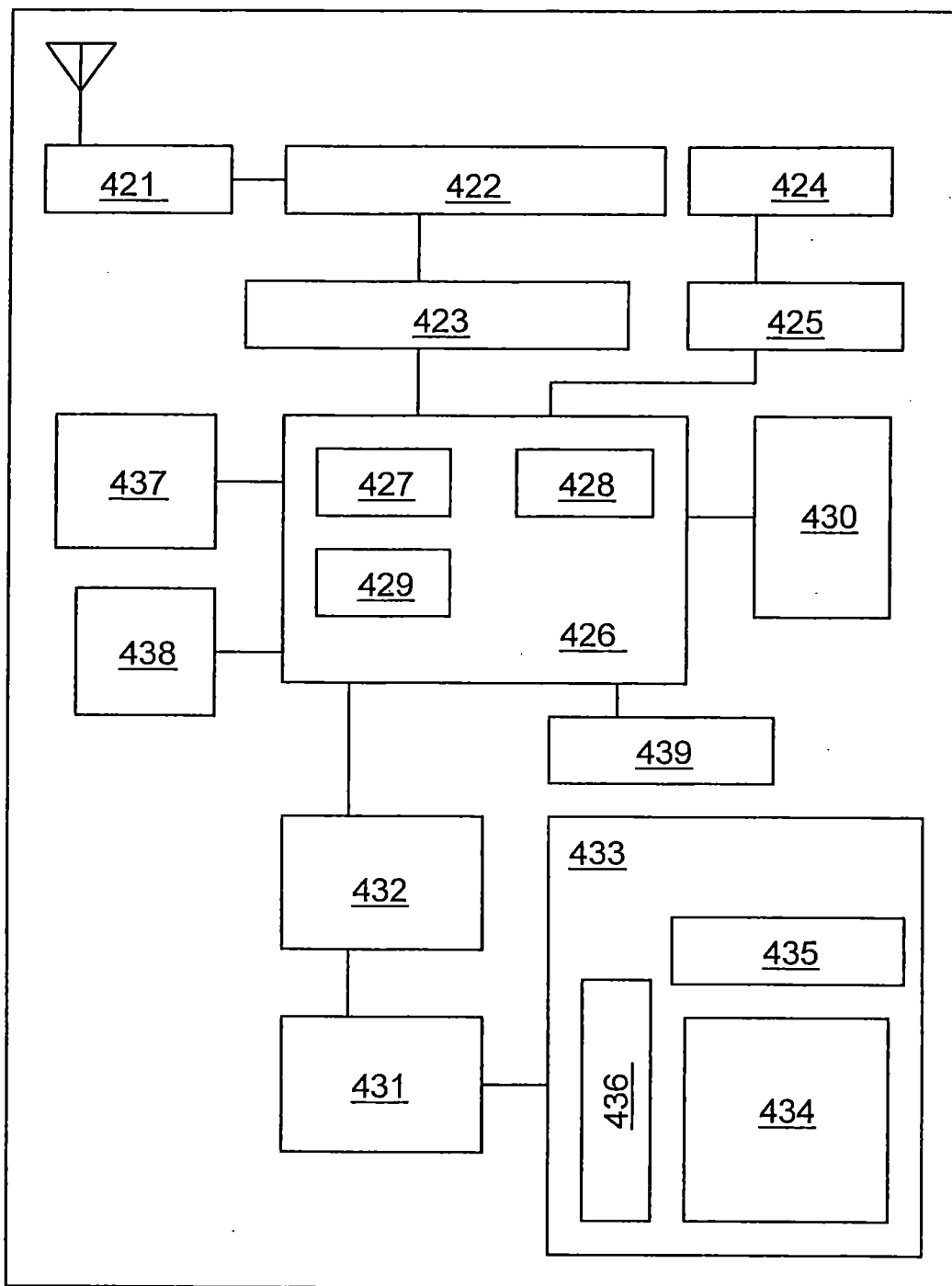


圖 10

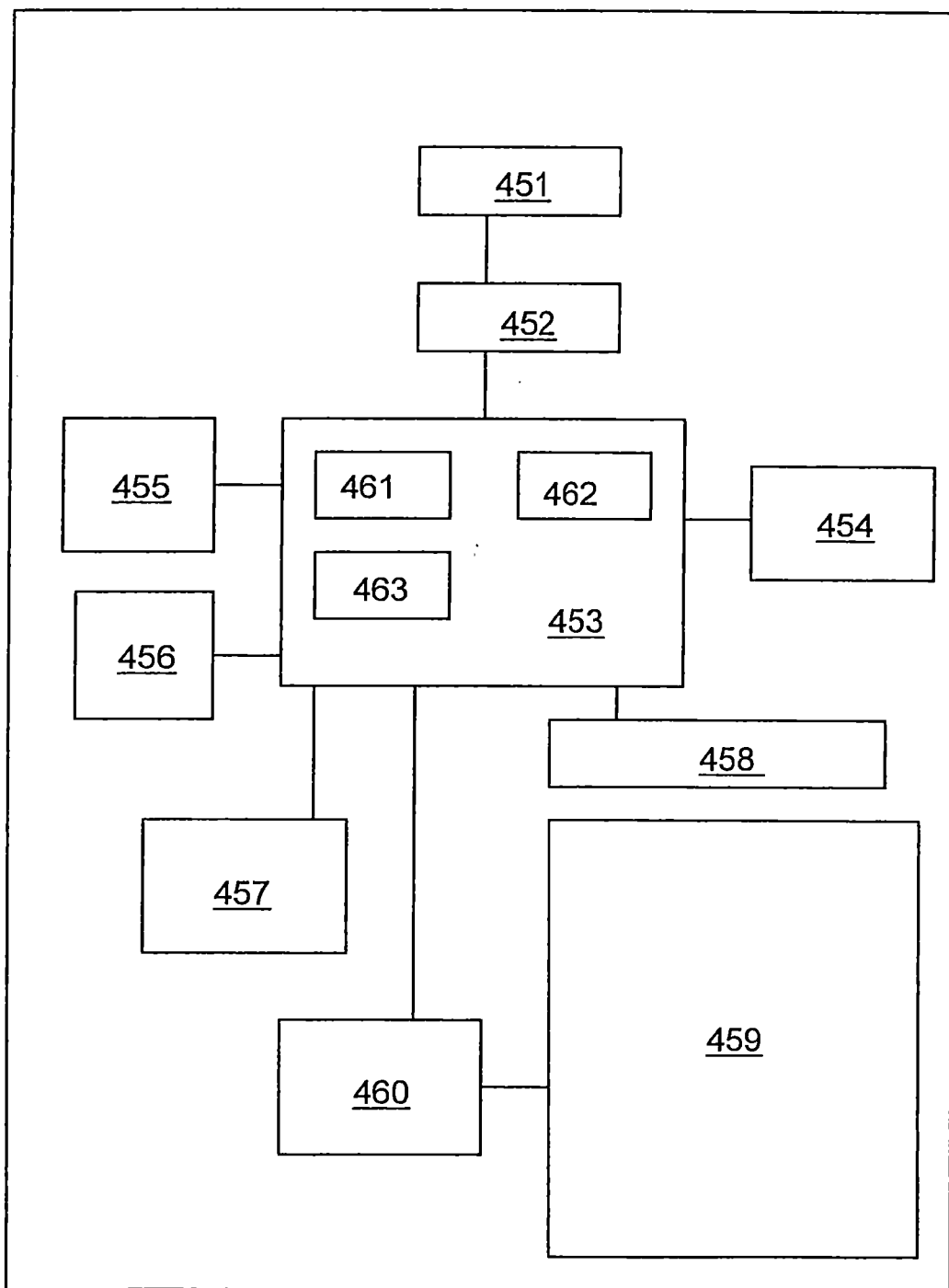


圖 11

圖 12A

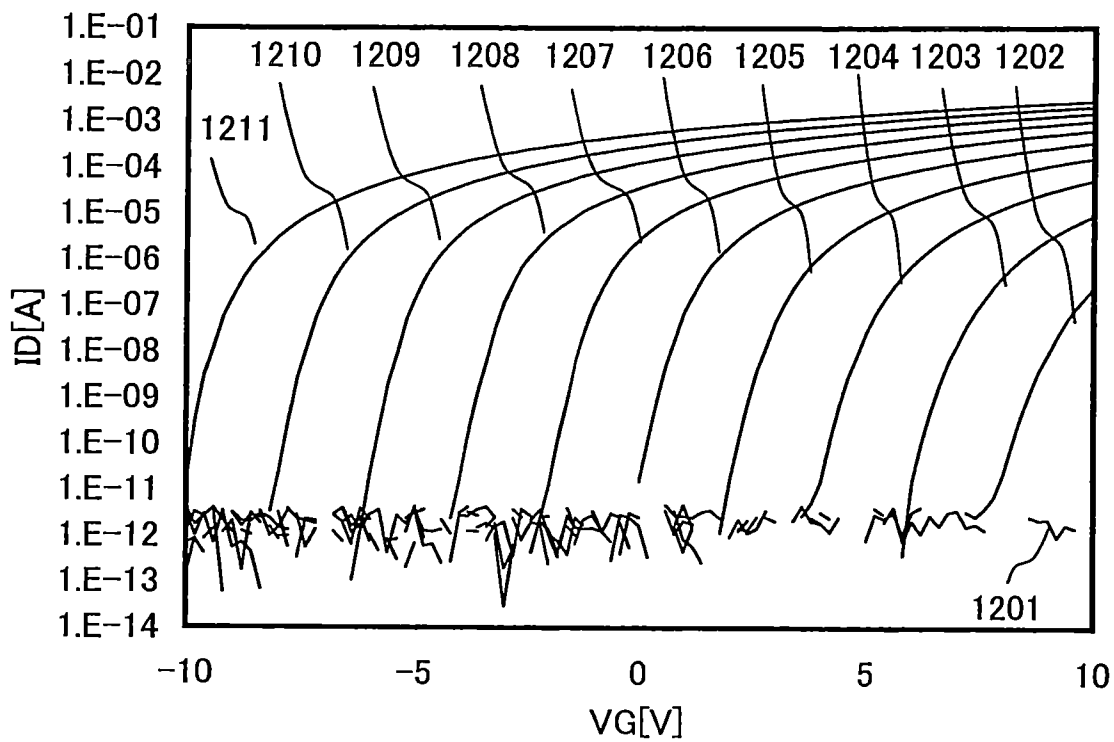


圖 12B

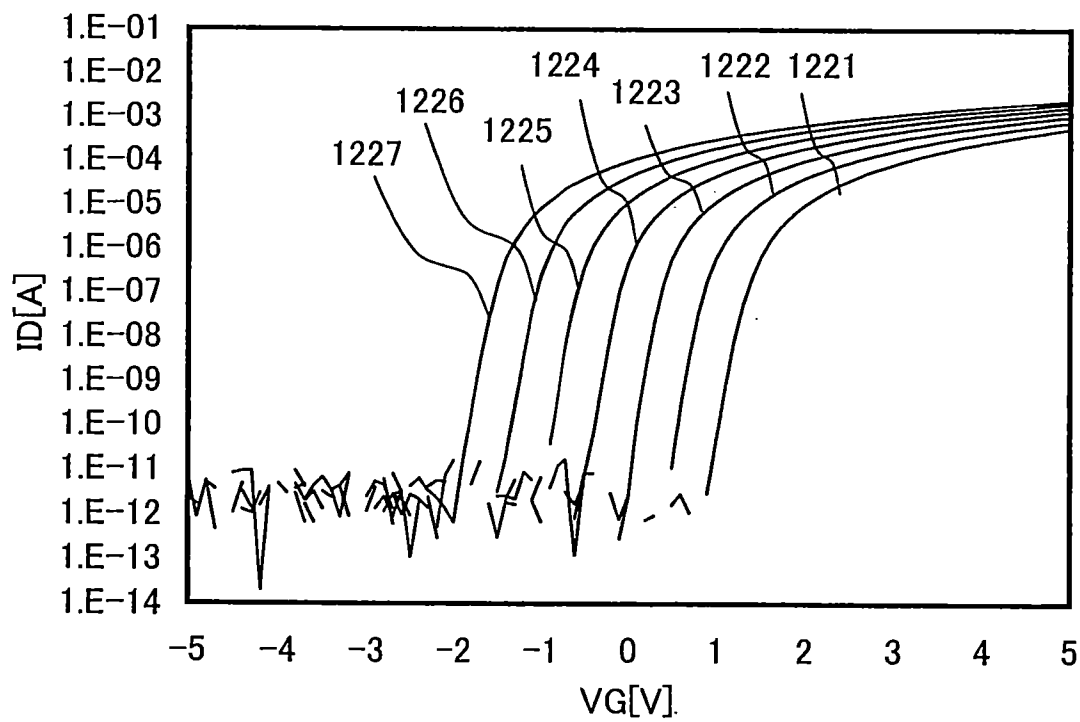


圖 13A

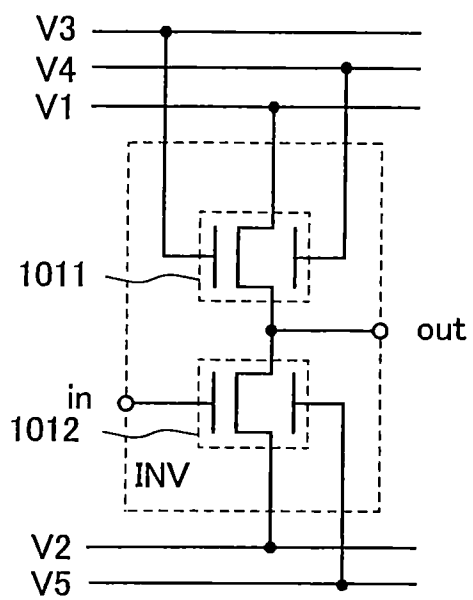


圖 13B

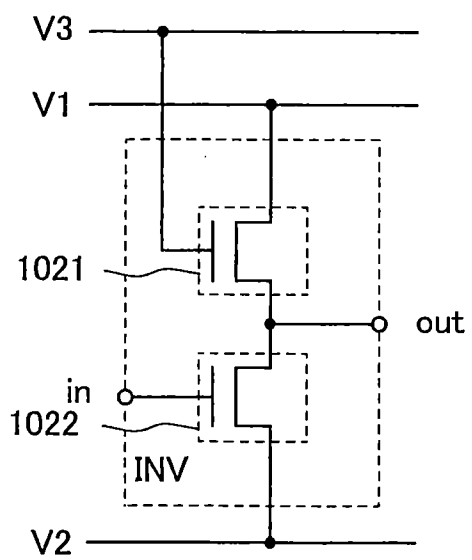


圖 14A

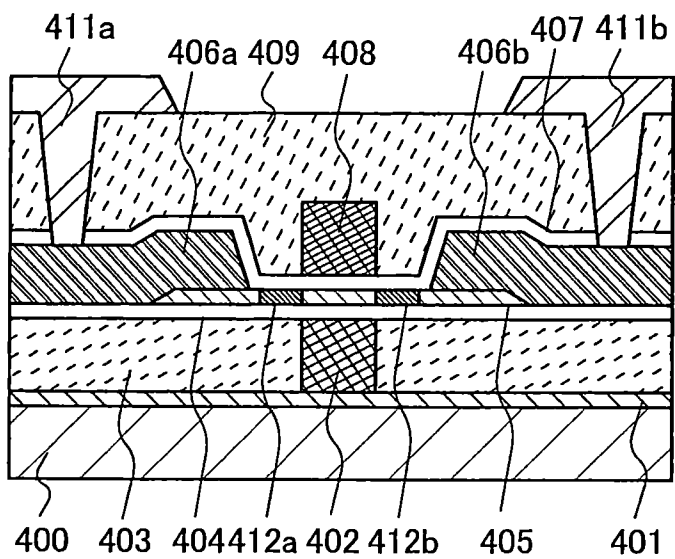


圖 14B

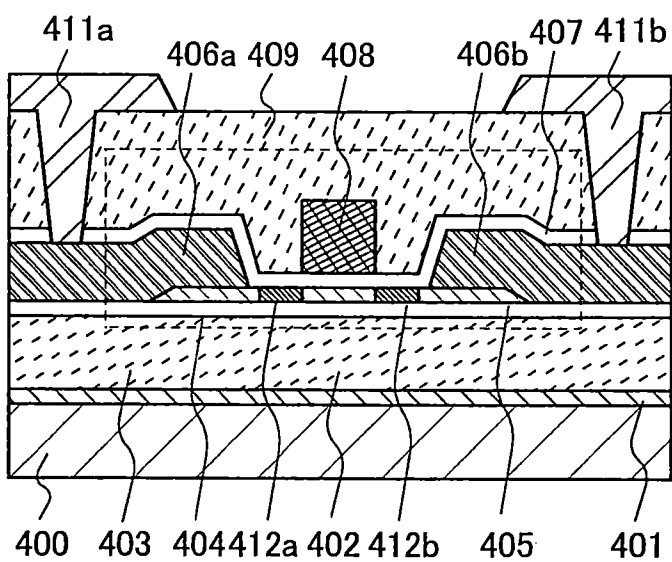


圖 15A

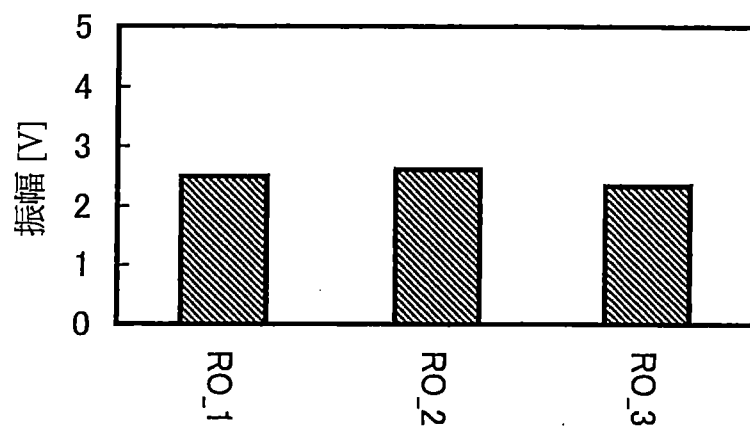


圖 15B

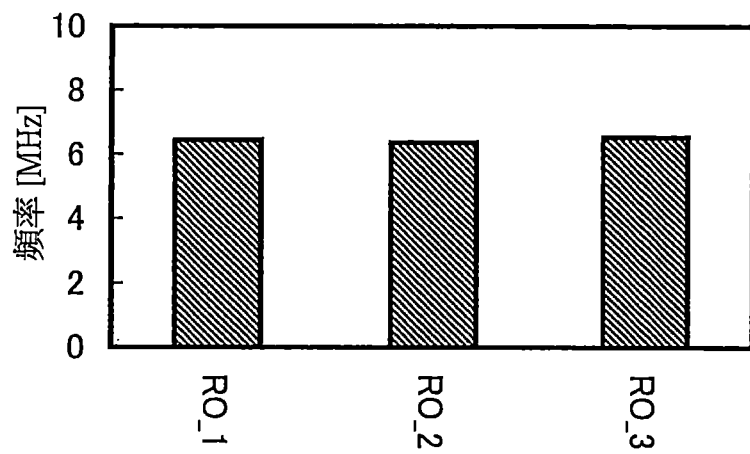


圖 16A

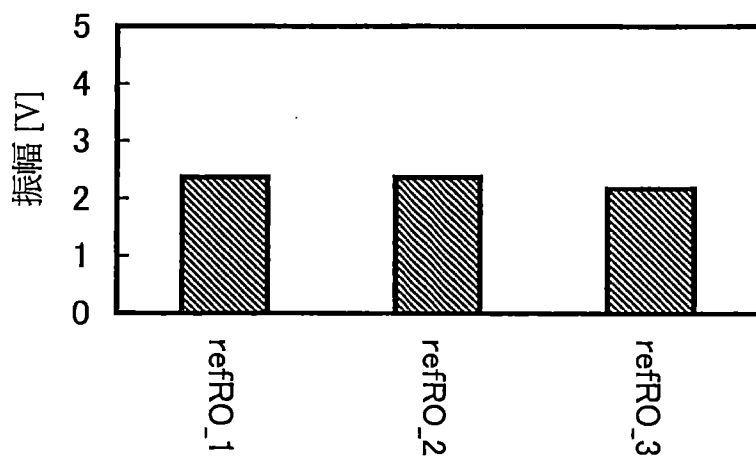


圖 16B

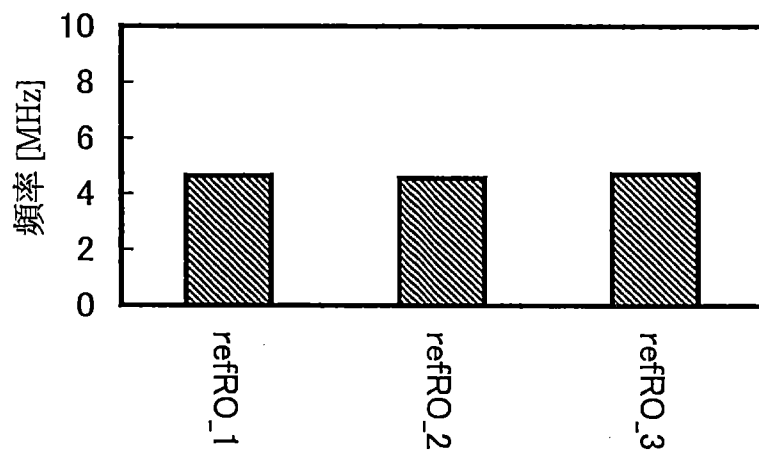


圖 17A

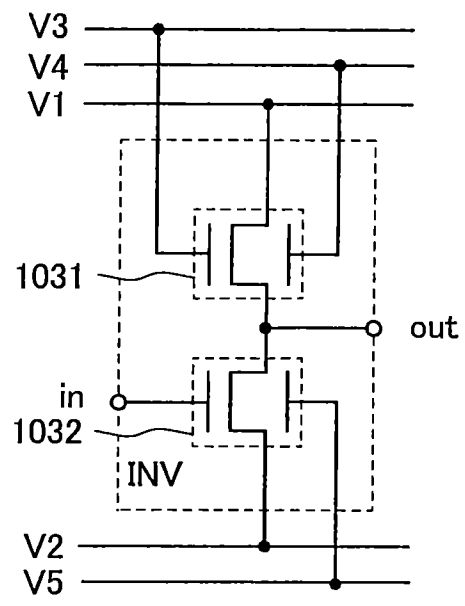


圖 17B

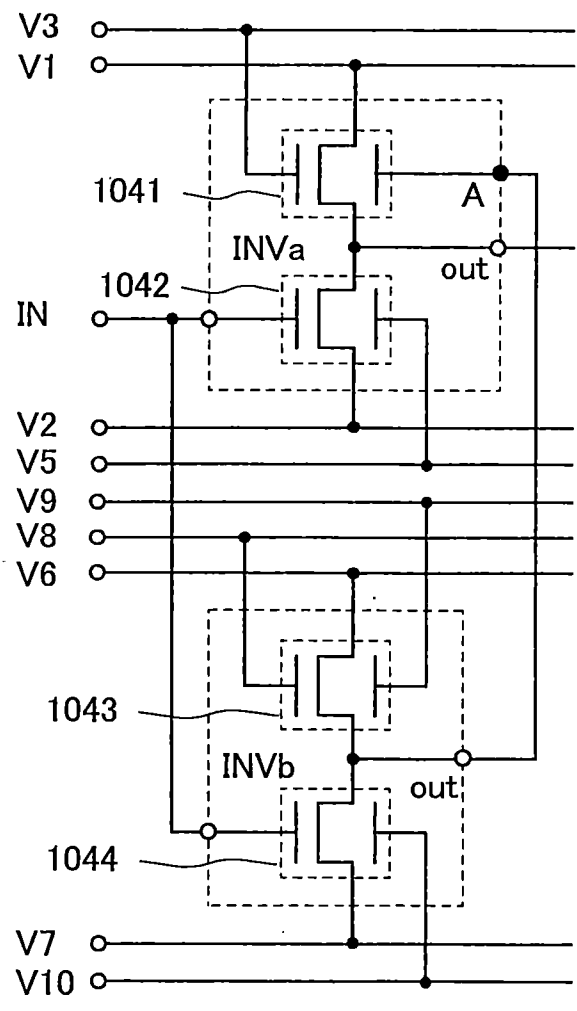


圖 18A

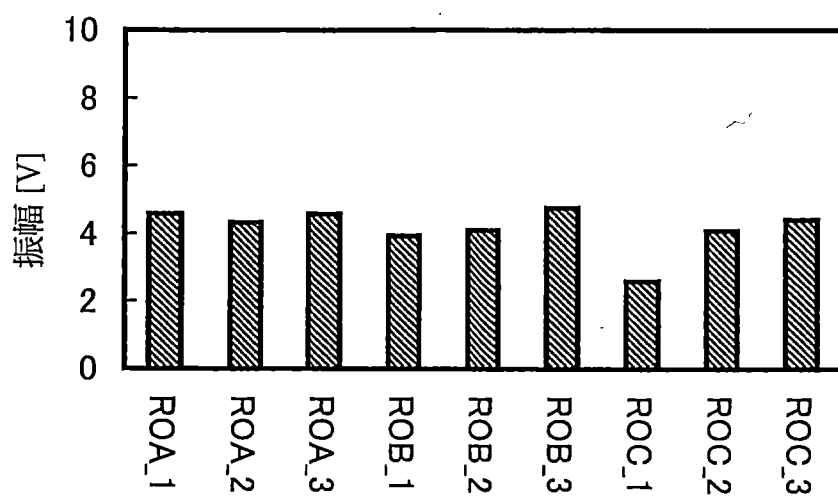


圖 18B

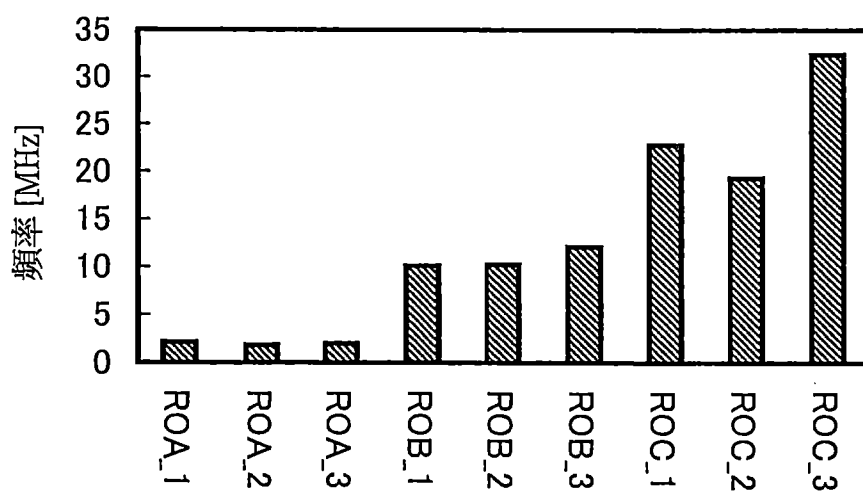


圖 19A

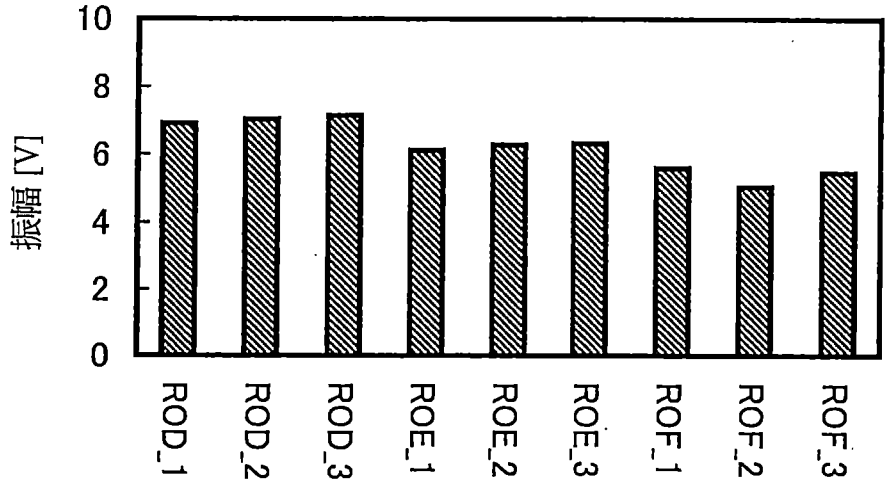


圖 19B

