

ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 国際調査報告（条約第21条(3)）
- 補正された請求の範囲（条約第19条(1)）

(57) 要約：電力変換回路の制御装置において、電流歪を適切に抑制する。第1制限器5において、電圧補償成分 dV_{i_FF} を補償電圧の切換レベル dV_{level} の絶対値の範囲内に制限する。ON遅延時間 dT_{on} とOFF遅延時間 dT_{off} の平均値に、直流電源電圧を三角波キャリア信号の半周期で除算した値 $V_{dc} / (T_c / 2)$ を乗算して誤差電圧成分の平均値 $dV_{t\_FB\_ave}$ を出力する。第2制限器6において、誤差電圧成分の平均値 $dV_{t\_FB\_ave}$ から、補償電圧の切換レベル dV_{level} の絶対値を超過した値を抽出する。制限後の電圧補償成分 $dV_{i\_FF\_b}$ と、制限後の誤差電圧成分 $dV_{t\_FB\_c}$ と、を加算して複合電圧補償成分 dV_{mixed} を出力する。

明 細 書

発明の名称：電力変換回路の制御装置

技術分野

[0001] 本発明は、半導体スイッチング素子をPWM変調制御する電力変換回路の制御装置に係り、特に、デッドタイム補償方式に関する。

背景技術

[0002] [基本となるシステム構成]

図14は、三相インバータによるモータ駆動システムの一例を示す図である。直流電源電圧 V_{dc} と6アームの半導体スイッチング素子 S_u , S_v , S_w , S_x , S_y , S_z を組み合わせ、三相電圧形インバータ（電力変換回路）を構成している。ここでは、半導体スイッチング素子として、IGBTと逆並列ダイオードを使用している。

[0003] 図15は、この三相電圧形インバータの制御例をブロック図として表したものである。これはベクトル制御などによって直交二軸回転座標系（ dq 軸）の電流指令値 I_{ref_dq} を与えられるものと仮定し、電流指令値 I_{ref_dq} 以降の機能を記載している。

[0004] ここでは負荷としてモータ M を想定しており、ディジタル制御では電流制御を回転角に同期した直交二軸回転座標系（ dq 軸）で構成することが多い。ここで、変数の表記を簡素化するために、三相成分や二軸成分などを電流成分なら I_{det_uvw} や I_{ref_dq} のように表すことにする。三相や二軸成分の一つの要素を表したいときだけ「U相電流検出値： $I_{det}(u)$ 」のように表す。

[0005] 図15の基本となる電流制御部は、回転座標系の二相の電流指令値 I_{ref_dq} と回転座標系の二相の電流検出値 I_{det_dq} の差分を電流制御部ACRにてPI制御してモータを駆動する回転座標系の二相の電圧指令値 V_{ref_dq} を出力する。

[0006] 電流検出センサHCTで検出されたアナログ値の電流検出値 i_{uvw} を

A/D変換器A/Dにてデジタル値に変換して三相の電流検出値 I_{det_uvw} を出力する。三相/二相変換器 $3ph/2ph$ は、三相の電流検出値 I_{det_uvw} を固定座標系の二相の電流検出値 $I_{det\_\alpha\beta}$ に変換する。回転座標変換器 $\alpha\beta/dq$ は固定座標系の二相の電流検出値 $I_{det\_\alpha\beta}$ を回転座標系の二相の電流検出値 I_{det_dq} に変換する。

[0007] 電流制御部ACRの出力電圧である回転座標系の二相の電圧指令値 V_{ref_dq} は、逆回転座標変換器 $dq/\alpha\beta$ において、固定座標系の二相の電圧指令値 $V_{ref\_\alpha\beta}$ に変換する。二相三相変換器 $2ph/3ph$ は固定座標系の二相の電圧指令値 $V_{ref\_\alpha\beta}$ を三相の電圧指令値 V_{ref_uvw} に変換する。そして、PWM生成部PWMにおいて、この三相の電圧指令値 V_{ref_uvw} と三角波キャリア信号 C_{ry} とを大小比較することにより、最終的な電圧形インバータのPWM指令値 PWM_ref を生成する。

[0008] さらに、デッドタイム付加器 $Dead\ time$ において、PWM指令値 PWM_ref にデッドタイム（短絡防止期間）を付加して、上下アームの半導体スイッチング素子に対する合計で6本のゲート信号 $Gate$ を生成する。主回路部では、電源電圧の電位である V_{dc} と0とを交互に出力して、電圧指令値と等価なPWM電圧を負荷に供給する。以上が、電圧形インバータを用いた電流制御系の基本部分である。

[0009] また、各相のPWM指令値 PWM_ref が下アームから上アームに転流する場合を「スイッチング=on（電位が $0 \rightarrow V_{dc}$ に変換）」、逆に上アームから下アームに転流する場合を「スイッチング=off（電位が $V_{dc} \rightarrow 0$ に変換）」と定義することにする。

[0010] しかし、ゲート駆動や主回路素子のスイッチング特性などの遅れ時間成分が存在するため、図14の上下アームの半導体スイッチング素子（例えば、 S_u と S_x ）に与えるゲート信号 $Gate$ には、デッドタイムという両アームともオフする短絡防止期間を挿入しなければならない。

[0011] これにより、PWM指令値 PWM_ref と実際に出力される電圧のパタ

ーンに誤差が生じてくることが知られており、これが電流制御に対する電圧外乱となって出力電流に歪を引き起こす。

[0012] デッドタイム期間中は上下の両方の IGBT がオフしているため、逆並列に接続されたダイオードに電流が流れる。しかし、出力電流の極性によって流路は上下アームの導通ダイオードに切り換わり、電流が負方向（負荷から主回路方向）の場合には上アーム側を流れるので出力端子に電位 V_{dc} が現れ、電流が正方向（主回路から負荷方向）の場合には下アーム側に流れるので零電位となる。

[0013] このように電流極性によって電位が変動する成分を「デッドタイムによる誤差電圧」などと呼んでいる。この誤差電圧は、電流の極性が切り替わるとき、つまり正弦波電流波形のうち零クロス付近に大きな歪を発生させる。

[0014] 電流制御は回転座標系の二相の電流指令値 I_{ref_dq} に追従させようと外乱電圧を補償しようとするが、制御の応答特性に限界があるため、どうしても電流零クロス部分に波形歪が残ってしまう。この電流歪によりトルク脈動が生じ、場合によってはモータの不安定現象を誘発することもある。

[0015] そこで、このデッドタイムに起因する電圧誤差成分を検出または推定して補償する方式が考案されており、これらは「デッドタイム補償」と呼ばれている。このデッドタイム補償方式については、既に多くの先行技術文献にて多種多様な方式が報告されているので個別の詳細な説明は省略し、大まかな原理によって分類して比較する。

[0016] [先行技術文献の原理による分類]

分類項目としては、「情報源を何にするか」、「補償を適用する箇所はどこか」、さらに「素子の電圧降下も考慮するか」などの視点で選定した。

[0017] （分類 1）基準となる情報による分類

（a）出力電流の情報（指令値や検出値）を利用する方式

（b）出力電圧の情報（指令値や検出値）を利用する方式

（c）スイッチング遅れ時間を計測する方式（出力電位を $V_{dc}/0$ の 2 値に近似する）

- (d) 上記のうち複数の情報を利用する方式
- (分類2) 補償を適用する対象による分類
 - (a) PWMパルスエッジ（スイッチングONとOFF）を遅延させて補正する方式
 - (b) PWM指令値生成前の電圧指令値に、誤差電圧成分を補正する方式
- (分類3) 補償演算のタイミングによる分類
 - (a) 三角波キャリア信号の半周期を最小単位として高速に補正演算を行う方式
 - (b) 基本波周期の実効値や6倍高調波などの脈動成分を検出して、長い時間を掛けて補正パターンを学習する方式
- (分類4) 補償する電圧誤差成分による分類
 - (a) スwitchング遅れ時間成分に起因する誤差電圧のみ補正する方式
 - (b) スwitchング遅れ時間成分に起因する誤差電圧だけでなく主回路の電圧誤差成分も補正する方式
 - (c) (b)に加えて、直流電源電圧Vdcに高速な変動があっても検出して補償する方式。

[0018] 従来例には多数の方式があるが、本願発明に関連している10個の方式を選定したものを先行技術文献に列記した。これらについて上記の分類を適用してみると下記のような表1となり、様々な組み合わせの多様な方式が存在していることがわかる。

[0019] また、本願では2つの実施形態について説明するが、参考としてこの分類を適用した結果も下段に追加してある。

[0020]

[表1]

	(分類1)	(分類2)	(分類3)	(分類4)	
特許文献 1	a : 検出	a	a	a	
特許文献 2	a : 指令	b	a	a	
非特許文献 1	c	a	a	a	
特許文献 3	c	a	a	a	
特許文献 4	c	b	a	a	
特許文献 5	b	b	a	c	
特許文献 6	a & b	b	a	b	
特許文献 7	a	b	a	c	
特許文献 8	a	b	b	b	
特許文献 9	a & b	b	b	b	
実施形態 1	a	b	a	a	
実施形態 2	a	b	a	b	

[0021] このうち、本願発明が利用する技術を含むものは、特許文献 2 と特許文献 4 および特許文献 6 であり、これらの機能を組み合わせた方式を説明する。それ以外の先行技術文献は、機能の対比のために引用している。後述する 2 つの実施形態において、使用する先行技術文献の機能との対応は下記となっている。

(実施形態 1) 特許文献 2 と特許文献 4 を組み合わせる方式

(実施形態 2) 特許文献 2 と特許文献 4 を組み合わせ、さらに、特許文献 6 の半導体スイッチング素子の電圧降下補償も組み合わせた方式

以降は、まず特許文献 2 と特許文献 4 および特許文献 6 について概要を説明しておく。

[0022] [特許文献 2 の概要]

図 15 は、特許文献 2 を本願発明の表現方法に合わせて表した制御ブロック図である。まず、「電流指令値による補償方式」2 について説明する。

- [0023] 電圧補償演算部 dV_{i_comp} は、三相の電流指令値 I_{ref_uvw} と電圧補償指令値 dV_{i_cmd} を入力し、各相の電流値に応じた電圧補償成分 dV_{i_FF} を演算する。この電圧補償成分 dV_{i_FF} を PWM 生成部 PWM の前段である三相の電圧指令値 V_{ref_uvw} に加算し、補正電圧指令値を算出している。
- [0024] 電圧補償演算部 dV_{i_comp} における電圧補償成分 dV_{i_FF} の演算には、図 16 に示すような電流と補償電圧との関数などを使用している。もし、図 16 の実線 (a) で示した曲線状の補正関数の場合には、図 17 に示すように正弦波状の電流 $i(u)$ に対して電圧補償成分 $dV_{i\_FF}(u)$ は台形に似た複雑な波形になる。
- [0025] しかし、半導体スイッチング素子の特性を厳密に表現するために図 16 の実線 (a) のような曲線の補正電圧関数を設定したり、さらにこれを厳密に計測などによって調整しようとするにはかなりの手間が必要になる。また、実際には半導体スイッチング素子が有するバラツキや温度変動などのドリフト成分があるため、図 16 の実線 (a) の複雑な関数を使用しても、高い補償精度が得られない場合もある。
- [0026] そのため、もっと簡略化して、飽和時の補償電圧 dV_{sat} などを設定値として、図 16 の一点鎖線 (b) のような台形状の折れ線で近似したり、もっと簡単に点線 (c) のような正負の 2 値などに近似して使用することが多い。
- [0027] 三相の電流指令値 I_{ref_uvw} の代わりに三相の電流検出値 I_{det_uvw} を利用する方法もあり、図 15 の「電流検出値による補償方式」3 にはこの方式を示している。この場合は、電圧補償演算部 dV_{i_comp} において、三相の電流検出値 I_{det_uvw} と電圧補償指令値 dV_{i_cmd} を入力し、電圧補償成分 dV_{i_FB} を演算して出力する。基準となる電流成分の情報源が異なるだけで、補償関数以降は同じ機能を使用し、電圧補償成分 dV_{i_FB} を三相の電圧指令値 V_{ref_uvw} に加算するものである。

[0028] 電流検出値の方が電流指令値より正確であると考えがちだが、実際には出力電流にはPWMリップルが含まれておりこれが外乱要因となる。また、電流センサの出力をサンプルホールドしさらにAD変換したり電流リップルを除去するためのフィルタなどの処理が必要となるため、どうしても時間遅れが存在する。

[0029] この検出の時間遅れは電流波形の零クロス歪を大きくさせるため、補償性能を劣化させる要因となる。電流制御を利用するシステム構成の場合であれば、時間遅れが少ない電流指令値を使用する補償方式の方が電流の零クロス歪を抑制できるという特長がある。ただし、V/F制御のように電流指令値自体が存在しない場合もあり、その場合には電流検出値の情報を使用するしかない。

[0030] [特許文献3と特許文献4の概要]

図18は、特許文献3と特許文献4の両方の構成例を示す図である。これらは、電位2値化部Signにて、三相の電圧検出値 V_{det_uvw} を $V_{dc}/2$ のような中間電位レベルと比較することにより、H(V_{dc} 電位)/L(零電位)という2値のデジタル値 PWM_det に近似して検出する。そして、図19のような回路にて、図20に示すような遅延時間計測部 dT_{count} の動作によってON遅延時間 dT_{on} 、OFF遅延時間 dT_{off} を検出する。

[0031] 電圧検出による遅延時間計測部 dT_{count} については、特許文献4の計測部分(図2, 図3, [0029]～[0034])と等価な機能を利用するものであり、また、(特許文献4の図3)の1クロックの時間を等価な電圧に変換した値は本願発明で変換係数 $V_{dc}/(T_c/2)$ =直流電源電圧を三角波キャリア信号の半周期で除算した値と等価である。しかし、特許文献4のように遅延時間の計測と電圧変換を同時に行うと分かりにくいので、図19(図2)では遅延時間計測部 dT_{count} と単位変換器 dV_{tcomp} を2個のブロックに分離して描いてある。

[0032] このように、この遅延時間の計測に関する構成に関しては従来例とほぼ同

じなので説明を省略し、（特許文献４，図３）と同様なタイムチャートを図２０に示して、異なる変数名の定義だけを明確にしておく。

[0033] 図２０はPWM生成部PWMとデッドタイム付加器`Deadtime`、および、遅延時間計測などの動作を示すタイミングチャートである。PWM生成部PWMでは三角波キャリア信号`Cry`が入力`Cry`に、三相の電圧指令値 V_u^* 、 V_v^* 、 V_w^* が入力`ref`に与えられ、これらの大小比較を行って出力`pwm`から三相のPWM指令値`PWM_ref`（図２０では P_u 、 P_v 、 P_w ）を生成する。

[0034] ここで、三角波キャリア信号`Cry`の上側頂点時刻のトリガ信号を`Carry_Top`、下側の頂点時刻のトリガ信号を`Carry_Btm`とする。

[0035] 三相のPWM指令値`PWM_ref`のうちU相にのみ着目すると、PWM指令値 P_u はデッドタイム付加器`Deadtime`にて上下アームの半導体スイッチング素子 S_u 、 S_x へのゲート信号 G_u 、 G_x に変換される。ゲート信号 G_u 、 G_x にはデッドタイム`Tdead`の期間だけ両方とも休止させてある。

[0036] このようなデッドタイム`Tdead`を含んだゲート信号 G_u 、 G_x で駆動されると、主回路から出力される電圧 $v(u)$ は電流 $i(u)$ の極性によって波形が異なってくる。U相電流が主回路から負荷方向に流れ出す場合には $[+I(u)]$ の場合]で示すような波形となり、逆にU相電流が負荷から主回路に流れ込む場合には $[-I(u)]$ の場合]で示すような波形になる。

[0037] 次に、スイッチングがONとOFFの場合において、個別にPWM指令値 P_u から $V(u)$ までの遅れ時間を計測する。スイッチングONは三角波キャリア信号`Cry`が下降する期間にしか発生しないので、トリガ信号`Carry_Top`の時刻でカウント値`ON_COUNT`を零にリセットしておき、PWM指令値 P_u （`PWM_ref`） $=H$ と $v(u)$ （`PWM_det`） $=L$ の期間だけカウントアップさせることにより遅延時間を計測する。

[0038] スwitchingが完了するとカウント値`ON_COUNT`は変化しなくなるので、トリガ信号`Carry_Btm`より少し遅れた時刻（スイッチング遅

れよりも十分に遅く、計測値が安定な期間中)にON遅延時間 dT_{on} として読み出す。

[0039] 同様に、スイッチングOFFは三角波キャリア信号 C_{ry} が上昇する期間にしか発生しないので、トリガ信号 C_{arry_Btm} の時刻でカウント値 OFF_COUNT を零にリセットしておき、PWM指令値 P_u (PWM_ref) = Lと $v(u)$ (PWM_det) = Hの期間だけカウントアップさせることにより遅延時間を計測する。スイッチングが完了するとカウント値 OFF_COUNT は変化しなくなるので、トリガ信号 C_{arry_Top} より少し遅れた計測値が安定な時刻に、OFF遅延時間 dT_{off} として読み出す。

[0040] 電流極性が $[+I(u)]$ の場合と $[-I(u)]$ の場合とでは、ON遅延時間 dT_{on} やOFF遅延時間 dT_{off} の値が異なるが、これによりデッドタイムによる影響成分を計測できていることになる。

[0041] 特許文献3では、前回のON遅延時間 dT_{on} とOFF遅延時間 dT_{off} に応じて、補正期間同期部 dT_{comp} にて補正期間を三角波キャリア信号 C_{ry} に同期させた後に、図18の遅延補正部1にて、この遅れ時間を補償するようにPWMパターンのON/OFF時刻を遅延、つまり、パルス波形の幅を調整して電圧外乱分を補償している。

[0042] 特許文献4では、計測したON遅延時間 dT_{on} とOFF遅延時間 dT_{off} を単位変換器 dV_{tcomp} において、 $V_{dc}/(T_c/2)$ の変換係数により、誤差電圧成分 dV_{tFB} に変換して、三相の電圧指令値に加算することにより誤差電圧成分を補償する。

[0043] したがって、これらは遅延時間という誤差電圧の時間方向の成分を検出して補正する方式であるといえる。前者の特許文献3では直流電源電圧 V_{dc} の情報を使用していないため、直流電源電圧 V_{dc} が一定でないと正確に補償できない。後者の特許文献4では誤差電圧の計測時とPWM生成時の直流電源電圧 V_{dc} が変動した場合でも、正確な誤差電圧を補正できるという利点がある。

[0044] 〔特許文献 6 の概要〕

これは特許文献 4 の方式に、（分類 4（b））の半導体スイッチング素子の電圧降下成分の補償機能を組み合わせたものである。各相の電流と半導体スイッチング素子の電圧降下成分を補償する電圧指令値との関係は、図 16 の電圧誤差の補償関数と似た特性である。したがって、特許文献 2 の電流による電圧補償の形態を利用して、補償量の設定値を飽和時の補償電圧 dV_{sat} から半導体スイッチング素子の電圧降下成分 dV_{drop} 相当に置き換えたものを電圧指令値に加算補正している。従って、特に新しい機能ブロックを考案したものではなく、従来の複数の機能を流用して組み合わせた方式と言える。

[0045] 前述の分類 1 には、（a）出力電流の情報（指令値や検出値）、（b）出力電圧の情報（指令値や検出値）、（c）スイッチング遅れ時間の計測という 3 種類が存在することを示した。この分類に対応して、次のような問題点がある。

（a）出力電流の情報（指令値や検出値）を使用する方式の問題点

前述したように、電流検出値を使用する方法では電流のリプル成分が外乱となること、また検出遅れがあるために補償電圧にも遅れが生じる。この時間遅れにより誤差電圧が補償できない成分が残るため、電流波形の零クロス付近に大きな歪が発生してしまう。

[0046] もう一方の電流指令値を使用する方式ではこの時間遅れの成分が生じなくなるが、図 16 に示すような補正電圧の関数（補正パターン）をどのように設定するかが問題となる。半導体スイッチング素子には個々にバラツキがあるし温度変動によるスイッチング特性の変化も存在する。したがって、常に良好な補償精度を得るためには、何らかの学習機能を実装したり、外乱オブザーバなどのロバスト性のある方式を組み合わせるなどの対策が必要になる。

[0047] （b）出力電圧の情報（指令値や検出値）を使用する方式の問題点

前述の先行技術文献の説明では省略しているが、電圧検出値を A/D 変換し

て補正に使用する方式もある。これについてはPWMパルス波形からどのようにして基本波成分を抽出するかが問題となる。PWMパルス波形には高い周波数成分（高調波成分）まで含まれているので、正確なフィルタや高速なAD変換器、および、AD変換後のデジタルフィルタ処理などが必要になる。そして、高調波成分除去用のフィルタには大きな遅れ時間が生じるため、電流検出値を利用する方式にて説明したように、遅延時間が大きな電流歪を発生させてしまう。

[0048] (c) スイッチング遅れ時間の計測を使用する方式の問題点

出力電圧をH/L（電位V_{dc}/0）の2値に近似してPWM波形として取り扱い、デジタル回路でスイッチング遅れ時間を計測する方式である。しかし、2値に近似する際に、半導体スイッチング素子の電圧降下成分などは無視してしまっている。さらに、誤差時間を電圧情報に変換するためには直流電源電圧V_{dc}の計測情報が必要である。

[0049] また、デッドタイムに起因するスイッチング遅れ時間は短いのだが、これを計測する期間は最低でも三角波キャリア信号の半周期 $T_c/2$ 以上の間隔が必要になる。さらにこの検出情報を使用して電圧指令値やPWMパルス幅の補正を実施するためには、更なる時間遅れが発生する。したがって、遅れ時間を計測する方法でも、補償値が反映されるまでの制御遅れ（ムダ時間）が大きいことが問題となっている。この制御遅れの影響による電流歪は、電流の零クロス付近で顕著に表れる。

[0050] このように、どの方式においても何らかの問題があり、すべての条件を満足する方式はまだない。以上示したようなことから、電力変換回路の制御装置において、電流歪を適切に抑制することが課題となる。

先行技術文献

特許文献

[0051] 特許文献1：特開昭60-118082号公報

特許文献2：特開平6-62580号公報

特許文献3：特開平2-307369号公報

特許文献4：特開2012-16232号公報

特許文献5：特開2015-47021号公報

特許文献6：特開2001-352762号公報

特許文献7：特開2008-178159号公報

特許文献8：特開2012-44785号公報

特許文献9：特開2004-201414号公報

非特許文献

- [0052] 非特許文献1：Y. Murai; T. Watanabe; H. Iwasaki: "Waveform Distortion and Correction Circuit for PWM Inverters with Switching Lag-Times", IEEE Trans. on Industry Applications, IA-23, Issue:5, p.881-886 (1987)

発明の概要

- [0053] 本発明は、前記従来の問題に鑑み、案出されたもので、その一態様は、電流指令値と電流検出値との偏差に基づいて電圧指令値を出力する電流制御部と、前記電圧指令値に複合電圧補償成分を加算した補正電圧指令値と、三角波キャリア信号と、に基づいてPWM指令値を出力するPWM生成部と、前記PWM指令値にデッドタイムを付加して、電力変換回路の半導体スイッチング素子にゲート信号を出力するデッドタイム付加器と、前記電流指令値に基づいて、電圧補償成分を演算する電圧補償演算部と、前記電圧補償成分を、補償電圧の切換レベルの絶対値の範囲内に制限する第1制限器と、電圧検出値を2値化して2値のデジタル値を出力する電位2値化部と、前記2値のデジタル値と前記PWM指令値とによりON遅延時間とOFF遅延時間を計測する遅延時間計測部と、前記ON遅延時間と前記OFF遅延時間の平均値に、直流電源電圧を三角波キャリア信号の半周期で除算した値を乗算して誤差電圧成分の平均値を出力する乗算部と、前記誤差電圧成分の平均値から、補償電圧の切換レベルの絶対値を超過した値を抽出する第2制限器と、前記制限後の電圧補償成分と、前記制限後の誤差電圧成分と、を加算して前記複合電圧補償成分を出力する加算器と、を備えたことを特徴とする。

- [0054] また、他の態様において、電流指令値と電流検出値との偏差に基づいて電

圧指令値を出力する電流制御部と、前記電圧指令値に複合電圧補償成分を加算した補正電圧指令値と、三角波キャリア信号と、に基づいてPWM指令値を出力するPWM生成部と、前記PWM指令値にデッドタイムを付加して、電力変換回路の半導体スイッチング素子にゲート信号を出力するデッドタイム付加器と、前記電流指令値に基づいて、電圧補償成分を演算する電圧補償演算部と、前記電圧補償成分を、補償電圧の切換レベルに半導体スイッチング素子の電圧降下成分を加算した値の絶対値の範囲内に制限する第1制限器と、電圧検出値を2値化して2値のデジタル値を出力する電位2値化部と、前記2値のデジタル値と前記PWM指令値とによりON遅延時間とOFF遅延時間を計測する遅延時間計測部と、前記ON遅延時間と前記OFF遅延時間の平均値に、直流電源電圧を三角波キャリア信号の半周期で除算した値を乗算して誤差電圧成分の平均値を出力する乗算部と、前記誤差電圧成分の平均値から、補償電圧の切換レベルの絶対値を超過した値を抽出する第2制限器と、前記制限後の電圧補償成分と、前記制限後の誤差電圧成分と、を加算して前記複合電圧補償成分を出力する加算器と、を備えたことを特徴とする。

[0055] また、その一態様として、前記電力変換回路の運転状態によって、前記補償電圧の切換レベルを調整することを特徴とする。

[0056] 本発明によれば、電力変換回路の制御装置において、電流歪を適切に抑制することが可能となる。

図面の簡単な説明

[0057] [図1]実施形態1における電力変換回路の制御機能を示すブロック図。

[図2]実施形態1における復号化ブロックを示すブロック図。

[図3]実施形態1における動作を説明するためのタイミングチャート。

[図4]電流を基準とするデッドタイム補償方式 ($dV_{i\_cmd} = 1.0 \times dV_{sat}$) の動作シミュレーションの一例を示すタイムチャート。

[図5]図4の時間軸拡大図。

[図6]電流を基準とするデッドタイム補償方式 ($dV_{i\_cmd} = 0.8 \times d$

V_{sat}) の動作シミュレーションの一例を示すタイムチャート。

[図7]図6の時間軸拡大図。

[図8]電圧検出を基準とするデッドタイム補償方式 ($dV_{icmd} = 0.8 \times dV_{sat}$) の動作シミュレーションの一例を示すタイムチャート。

[図9]図8の時間軸拡大図。

[図10]実施形態1におけるデッドタイム補償方式 ($dV_{icmd} = 0.8 \times dV_{sat}$, $dV_{level} = 0.7 \times dV_{sat}$) の動作シミュレーションの一例を示すタイムチャート。

[図11]図10の時間軸拡大図。

[図12]実施形態2における復号化ブロックを示すブロック図。

[図13]実施形態2における動作を説明するためのタイミングチャート。

[図14]三相電圧形インバータの一例を示す構成図。

[図15]電流を基準とするデッドタイム補償方式の従来例を示すブロック図。

[図16]電流波形と補償電圧成分の相関関数を示す図。

[図17]電流波形と補償電圧成分の時間波形を示すタイムチャート。

[図18]電圧検出を基準とするデッドタイム補償方式の従来例を示すブロック図。

[図19]図18の遅延時間計測部を示すブロック図。

[図20]PWM生成部PWMとデッドタイム付加器Deadtime、および、遅延時間計測などの動作を示すタイミングチャート。

発明を実施するための形態

[0058] 本願発明は、電流零クロス付近の誤差電圧の変化が大きな箇所には、時間遅れの少ない電流指令値を使用した補償方式を適用し、電流がある程度の振幅に達すると、比較的定常時の精度がよい遅延時間の計測による補償方式を適用したものである。

[0059] 以下、本願発明の電力変換回路の制御装置の実施形態1, 2を図1～図13に基づいて詳述する。

[0060] [実施形態1]

図1は、本実施形態1の電力変換回路の制御装置を示す図である。図15、図18と同様の箇所には同様の符号を付してその詳細な説明は省略する。これは、図15の「電流指令値の補償方式」2と、図18の特許文献4に相当する電位2値化部 $Sign$ 、遅延時間計測部 $dTcount$ 、単位変換器 $dVtcomp$ を利用しており、これらの補償情報を複合化ブロック4にて合成して複合電圧補償成分 dV_mixed を生成し、これを電圧指令値の補正量として加算することにより補正電圧指令値 $Vref\_uvw$ を生成している。

[0061] この複合化ブロック4とその前段の単位変換器 dVt_comp について、詳細な構成例を図2に示している。図2のポイントは異なる情報源による2種類の補償成分を合成するために、新たに補償電圧の切換レベル dV_level を設定したことにある。

[0062] 電流指令値に基づく電圧補償成分 dVi_FF を飽和特性（リミッタ）を有する第1制限器5を通して補償電圧の切換レベル dV_level の絶対値の範囲内に制限して制限後の電圧補償成分 dVi_FF_b とする。

[0063] 一方、遅延時間の計測値を基準とする補償については、電圧指令成分に変換したいので、先ずON遅延時間 dT_on からOFF遅延時間 dT_off を減算して $1/2$ を乗算して平均値を算出した後に、乗算部7において時間⇒電圧の変換係数（直流電源電圧を三角波キャリア信号の半周期で除算した値） $Vdc/(Tc/2)$ を掛けて誤差電圧成分の平均値 dVt_FB_ave にする。そして、設定されたレベルの不感帯特性（デッドゾーン）を有する第2制限器6を通して、補償電圧の切換レベル $\pm dV\_level$ の絶対値を超過した制限後の誤差電圧成分 dV_FB_c だけを抽出する。

[0064] そして、これらの2種類の第1、第2制限器5、6の出力、つまり、飽和特性（リミッタ）側の制限後の電圧補償成分 dVi_FF_b と不感帯特性（デッドゾーン）側の制限後の誤差電圧成分 dVt_FB_c とを加算器8で加算して新たな複合電圧補償成分 dV_mixed とする。

[0065] ここで、補償電圧は三角波キャリア信号 Cry の半周期 $Tc/2$ と同期さ

せたいので、三角波キャリア信号 C_{ry} の上と下の頂点時刻のトリガ信号 $C_{arry\_Top/Btm}$ でサンプルすることにより同期をとってある。このサンプラの設置位置は、もっと前段部分でもよく、ON 遅延時間 dT_{on} や OFF 遅延時間 dT_{off} の部分と電圧補償成分 dV_{i_FF} の部分などに分割して移行しても等価な動作をする。

[0066] このように、2 種類の特徴が異なる補償情報を、それぞれの長所が生きるように合成するために、補償電圧幅（補償電圧の切換レベル） $\pm dV_{level}$ の内側成分と外側成分とを抽出し、それらを組み合わせて再合成することが本実施形態 1 の構成である。

[0067] 図 3 は、U 相の電流波形と、ON 遅延時間 dT_{on} や OFF 遅延時間 dT_{off} の関係を示したものである。電流制御の電流指令値の U 相成分を (a) の破線で示したような $I_{ref}(u)$ とすると、電流制御による応答遅れが存在するので、電流出力値は実線で示した $i(u)$ のように電流指令値 $I_{ref}(u)$ に対して少し遅れて追従するようになる。

[0068] 電流出力値 $i(u)$ が (a) の実線で示すような波形の場合、ON 遅延時間 dT_{on} は (b1) の一点鎖線のように、また OFF 遅延時間 dT_{off} は (b2) の破線のように変化する。このように、電流の極性によって半波ごとに遅延時間の発生量が異なるという特徴がある。

[0069] この 2 種類の遅延時間のうち ON 遅延時間 dT_{on} の期間の方は出力電圧を減少させ、OFF 遅延時間 dT_{off} の期間の方は出力電圧を増加するような誤差電圧を発生させる。

[0070] そこで、図 2 に示すように、ON 遅延時間 dT_{on} の方を補償するには正の補償電圧が必要なので + 極性に、OFF 遅延時間 dT_{off} の方は負の補償電圧が必要なので負値として、これらの平均演算を行って補償成分に変換している。

[0071] この負値と正值の加算は差分演算のことであり、図 3 (c) の一点鎖線と破線に $1/2$ を乗算すると、実線のような「ON 遅延時間 dT_{on} と OFF 遅延時間 dT_{off} の平均相当の補償電圧成分」となる。そして、これ

を電圧の単位に変換するために $V_{dc} / (T_c / 2)$ を乗算すると、(d) に示すような誤差電圧成分の平均値 $dV_{t\_FB\_ave}$ の波形が得られる。

[0072] ここで、補償電圧の切換レベル dV_{level} の設定値は、電流指令値に基づく電圧補償成分 dV_{i_FF} の振幅（通常は図16の dV_{sat} ）より少し小さくなるように設定しておく。

[0073] 図2の第2制限器6では、補償電圧の切換レベル $\pm dV_{level}$ の幅を超過した部分を抽出するため、制限後の誤差電圧成分 $dV_{t\_FB\_c}$ は図3(d)の網掛け部のような両端部だけが出力され、補償電圧の切換レベル $\pm dV_{level}$ の幅より内側(0V側)の成分は削除される。

[0074] 図3(e)は、図17の電圧補償成分 dV_{i_FF} を第1制限器5により補償電圧の切換レベル $\pm dV_{level}$ の幅で制限した制限後の電圧補償成分 $dV_{i\_FF\_b}$ と前述の制限後の誤差電圧成分 $dV_{t\_FB\_c}$ を加算して、これを最終的な補償電圧成分としたものである。ここで、制限後の電圧補償成分 $dV_{i\_FF\_b}$ の台形状の波形は、(a)の電流指令値 $i_{ref}(u)$ を基準として生成されているため、電流出力値 $i(u)$ の零クロスタイミングに対して時間遅れが存在しない。

[0075] つまり、図3(e)は、電流指令値に基づくので時間遅れのない補償電圧の切換レベル $\pm dV_{level}$ の幅内の制限後の電圧補償成分 $dV_{i\_FF\_b}$ と、実電流による時間遅れのある補償電圧の切換レベル $\pm dV_{level}$ の幅より超過した制限後の誤差電圧成分 $dV_{t\_FB\_c}$ という異なる成分を合成したものになっている。

[0076] 本実施形態1によれば、図3(e)のように2種類の補償動作を合成することにより、電流零クロス付近の電流歪の要因であるデッドタイムによる電圧誤差のうち時間遅れの問題については、時間遅れが無い制限後の電圧補償成分 $dV_{i\_FF\_b}$ を適用することにより歪を抑制することができる。

[0077] もう一つの問題は、電圧補償成分 dV_{i_FF} を生成するために設定する電圧補償指令値 dV_{i_cmd} としては図16の飽和時の補償電圧 dV_{sat}

a t が設定されるべきだが、実際には半導体スイッチング素子の特性のバラツキや温度変動などによる誤差が生じることであった。そこで、第1, 第2制限器5, 6などに設定する補償電圧の切換レベル dV_level の値を、電流補償指令値($dVi\_cmd \div dVi\_sat$)よりも想定したバラツキや変動分だけ小さくした値を設定する。こうして、まずはバラツキの最低限の補償電圧を確保することができる。

[0078] そして、バラツキ範囲の成分については、実測した遅延時間に基づく制限後の誤差電圧成分 $dV\_t\_FB\_c$ を電圧指令値に上乘せ加算することにより補償の精度の方を確保する。

[0079] ON遅延時間 dT_on やOFF遅延時間 dT_off の検出値は、図3の(b1)と(b2)のように、理想的な電流指令通りの電流が流れた場合よりも遅れて検出されるが、この理想波形と実計測波形の差異が補償量の誤差になる。この誤差が大きいのは時間に対する傾きが大きな部分つまり補償電圧の切換レベル dV_level の幅以内の部分である。逆に、時間に対する傾きが小さな補償電圧の切換レベル dV_level の幅を超過した部分では、同じ遅延時間が生じていても補償量の誤差は少ないため、電流歪は発生しにくい。

[0080] この特性を利用して、2種類の補償方式の長所のみを取り出して合成することにより、電流歪を抑制できることがこの方式の効果である。

[0081] 具体的な波形例として示すために、数値シミュレーションを行って特性を比較したものが、図4～図11である。この4種類の波形は、下記のような条件で行っている。

[0082] 図4, 図5は、電流を基準とするデッドタイム補償方式(図15)の動作シミュレーションの一例を示すタイムチャートである。

$dVi\_cmd = 1.0 \times dVi\_sat$ (適切な補償振幅の場合)

$dV\_level = 1.1 \times dV\_sat$ (遅延時間の計測による補正は強制的に零に制限されている)

図6, 図7は、電流を基準とするデッドタイム補償方式(図15)の動作

シミュレーションの他例を示すタイムチャートである。

$dV_{i\_cmd} = 0.8 \times dV_{sat}$ (補償振幅が80%と少ない場合)

$dV_{level} = 1.1 \times dV_{sat}$ (遅延時間の計測による補正は強制的に零に制限されている)

図8、図9は、電圧検出を基準とするデッドタイム補償方式(図18)の動作シミュレーションの一例を示すタイムチャートである。

$dV_{i\_cmd} = 0.8 \times dV_{sat}$ (補償振幅が80%と少ない場合)

$dV_{level} = 0$ (電流側の補償は強制的に零とし、時間遅延による補償のみ動作している)

図10、図11は、本実施形態1の電圧指令値と電圧検出値の両方を基準とするデッドタイム補償方式を混合化した場合の動作シミュレーションを示すタイムチャートである。

$dV_{i\_cmd} = 0.8 \times dV_{sat}$ (補償振幅が80%と少ない場合)

,

$dV_{level} = 0.7 \times dV_{sat}$ (このレベルで2種類の補償量が切り分け再合成されている)

ここで、電流歪が大きい方が改善効果を分かり易くなるため、定格周波数の $1/6$ 程度の低い周波数に設定し、電流振幅も20%程度と低い条件に設定している。電流制御の応答特性も 1000 rad/s 程度と低めに設定してある。また、それぞれ図4、図6、図8、図19では「2周期分の波形」、図5、図7、図9、図11では「時間軸を拡大した波形」の2種類を示してある。

[0083] 各図には、次の4段の波形を示している。1段目は、電流制御に使用する電流検出値 i_{det_dq} の各要素成分であり、PWMリップルを除去した三相の電流検出値を回転座標系の直交二軸(dq軸)に変換したものである。特にd軸の波形 i_{det_d} に歪の影響が大きく現れる。

[0084] 2段目は、実電流の三相の電流検出値 $i(u)$ 、 $i(v)$ 、 $i(w)$ であり、これは零クロス付近に歪が大きく現れる。これらは実波形であるので、

PWMリップル成分も含んでいる。

[0085] 3段目は、U相成分だけに着目して図2の3種類の成分を示したものであり、上段が合成された複合電圧補償成分 dV_{mixed} 、中段が電流指令値により生成された電圧補償成分 dV_{iFF} 、下段が遅延時間の計測により生成された誤差電圧成分 dV_{tFB} である。複合電圧補償成分 dV_{mixed} は、下の2種類の波形から補償電圧の切換レベル dV_{level} の設定に基づいて合成されており、この補償電圧の切換レベル $\pm dV_{level}$ を点線で示している。

[0086] 4段目は、複合電圧補償成分 dV_{mixed} を加算された三相の補正電圧指令値 $V_{ref}(u)$ 、 $V_{ref}(v)$ 、 $V_{ref}(w)$ の三相交流成分である。電流制御により正弦波電圧が出力され、これにデッドタイム補償による台形状の補償電圧を加算したものである。

[0087] 図4から図11までに示した4種類の波形のうち、図4、図5が理想的な補償を適用した場合であり、これを本実施形態1が実現する目標とみなす。

[0088] 図6、図7も電流指令値による補償方式だけの場合であるが、補償量を $dV_{icmd} = 0.8 \times dV_{sat}$ (補償振幅が80%) と少なく設定したことによる補償誤差成分が存在しており、それによる電流歪が示されている。図8、図9は、逆に遅延時間を有する計測による補償量だけを適用した方式であり、これも電流歪が大きいことを示している。

[0089] 最後の図10、図11は、本実施形態1を適用したものであり、電流指令値の補償量の振幅設定を図6、図7と同じ $dV_{icmd} = 0.8 \times dV_{sat}$ として補償誤差が存在する条件としておき、補償電圧の切換レベルを $dV_{level} = 0.7 \times dV_{sat}$ のように電流指令値による補償振幅よりも少し小さめに設定してある。

[0090] その結果、図4、図5とほぼ同様な電流波形が得られ、デッドタイムに起因する電圧誤差を正確に補償したことにより、電流歪が抑制できていることが確認できた。4種類の時間拡大図(図5、図7、図9、図11)の3段目を比較してみると、補償特性の差異が明確になる。

- [0091] 図5では、理想的な電流指令値による補正の例であり、また実電流の歪も小さいので、遅延時間計測による補償成分の時間遅れも少ない。
- [0092] しかし、図7では、図5と同じ遅延時間だが補償電圧の振幅が不足している。そのため電流歪が発生し、遅延時間計測による補償成分の波形も変化している。
- [0093] 図9では、時間遅れの大きな遅延時間計測による補償成分を使用しているため電流波形歪が大きくなり、これがさらに遅延時間計測による補償成分の時間遅れを増大させていることが分かる。
- [0094] 図11では、図5とほぼ同様な補償電圧が発生しており、補償電圧の切換レベル dV_{level} より超過した部分だけに検出遅れによる差異が生じている。しかし、その遅延が影響している期間は短いので、電流歪の発生要因となっていないことが分かる。以上が、効果を示すためのシミュレーション結果の比較である。
- [0095] さらに、図2の構成であれば補正電圧の切換レベル dV_{level} を連続的に変化させることも可能であり、電流振幅が小さくて正確な電流極性を推定できない場合には補償電圧の切換レベル dV_{level} の値を下げることによって遅延時間に基づく補償量の比率を高くするように調整することが可能になる。つまり、電力変換回路の運転状態によって補償電圧の切換レベル dV_{level} を調整するという自由度が増えたとも言える。
- [0096] これと似た機能を実現する手法として、学習機能により電流と補償電圧の関係を修正する方式がある。しかし、軽負荷と重負荷が急変した場合など、電流振幅が急変すると学習が追従できないこともある。これに対して、本実施形態1の方式では、検出値を直接に補正量として利用しているため、学習のような大きな追従遅れは発生しない。また、外乱電圧の推定オブザーバで問題となるモデルの設定も必要ない。

[0097] [実施形態2]

本実施形態2は、実施形態1と同じ図1の構成を利用するものであり、図2を図12のように変更したものである。この図2と図12との差異は、電

流指令値による電圧補償成分 dV_{i_FF} を制限する第1制限器5の設定値を、補正電圧の切換レベル dV_{level} に半導体スイッチング素子の電圧降下成分 dV_{drop} だけ加算した値に置き換えた。つまり、第1制限器5では、 $\pm (dV_{level} + dV_{drop})$ の範囲内に制限するようにした。

[0098] 一方、時間遅れ計測による補償量の超過分を抽出する方のデッドゾーン特性の第2制限器6のレベルは実施形態1と同じままである。

[0099] このように、第1、第2制限器5、6のレベルに差を付けることにより、(分類4(b))で示したような半導体スイッチング素子の電圧降下成分も補償することができるようになる。

[0100] 実施形態1とほぼ同じ動作をするが、図13に示すように電流指令値に基づく時間遅れのない電圧補償成分 $dV_{i\_FF\_b}$ 成分の方を、 $\pm dV_{level}$ の幅内から $\pm (dV_{level} + dV_{drop}) \div \pm (dV_{sat} + dV_{drop})$ の幅内に変更することにより、電圧降下成分だけ拡大させる動作になる。これにより、電流極性に応じた半導体スイッチング素子の電圧降下成分が補正できる。

[0101] 誤差電圧成分 $dV_{t\_FB\_c}$ の方には、出力電圧を2値化する際に半導体スイッチング素子の電圧降下成分 dV_{drop} などは無視されているので、こちらには電圧降下成分 dV_{drop} の補償は必要ない。

[0102] PWMインバータの誤差電圧には、デッドタイムに起因する電圧誤差だけでなく、半導体スイッチング素子の電圧降下成分 dV_{drop} による電圧誤差も存在している。実施形態1の方式では、出力電圧を2値化して誤差電圧成分 dV_{t_FB} に変換する際に半導体スイッチング素子の電圧降下成分 dV_{drop} を無視しているため、この半導体スイッチング素子の電圧降下による電圧誤差 V_{drop} 分補償する効果は無かった。

[0103] そこで、本実施形態2では、電流指令値を用いた電圧補償成分 $dV_{i\_FF\_b}$ の補償電圧の方に、半導体スイッチング素子の電圧降下成分 dV_{drop} を補償する機能を追加したものであり、デッドタイムに起因する誤差

電圧だけでなく、半導体スイッチング素子の電圧降下による誤差成分も補償する機能が得られることが効果である。

[0104] 半導体スイッチング素子の電圧降下成分 dV_{drop} の特性はデッドタイムに起因する誤差電圧と似ており、電流極性により変化する特性と誤差電圧が飽和するという特性とを有している。したがって、電圧補償成分 dV_{iFF} 側の飽和特性（リミッタ）の制限レベルだけを、 $\pm(dV_{level} + dV_{drop}) \div \pm(dV_{sat} + dV_{drop})$ のように電圧降下分だけ増量させるだけで、制限後の電圧補償成分 dV_{iFFb} 側に電圧降下成分 dV_{drop} の補償の効果を追加することができる。

[0105] 本実施形態2を適用すると、デッドタイムだけでなく半導体スイッチング素子の電圧降下成分 dV_{drop} による誤差電圧を補償することができるので、より正確なPWM電圧を出力することができる。その結果、電流制御の外乱電圧をさらに抑制できるため、電流波形の歪も抑制することができる。

[0106] 以上、本発明において、記載された具体例に対してのみ詳細に説明したが、本発明の技術思想の範囲で多彩な変形および修正が可能であることは、当業者にとって明白なことであり、このような変形および修正が特許請求の範囲に属することは当然のことである。

[0107] なお、本発明は、モータを駆動するインバータ以外の電力変換器にも適用できる。例えば、交流系統電力を直流電力に変換するPWMコンバータにも適用できる技術である。

請求の範囲

[請求項1] 電流指令値と電流検出値との偏差に基づいて電圧指令値を出力する電流制御部と、

前記電圧指令値に複合電圧補償成分を加算した補正電圧指令値と、三角波キャリア信号と、に基づいてPWM指令値を出力するPWM生成部と、

前記PWM指令値にデッドタイムを付加して、電力変換回路の半導体スイッチング素子にゲート信号を出力するデッドタイム付加器と、

前記電流指令値に基づいて、電圧補償成分を演算する電圧補償演算部と、

前記電圧補償成分を、補償電圧の切換レベルの絶対値の範囲内に制限する第1制限器と、

電圧検出値を2値化して2値のデジタル値を出力する電位2値化部と、

前記2値のデジタル値と前記PWM指令値とによりON遅延時間とOFF遅延時間を計測する遅延時間計測部と、

前記ON遅延時間と前記OFF遅延時間の平均値に、直流電源電圧を三角波キャリア信号の半周期で除算した値を乗算して誤差電圧成分の平均値を出力する乗算部と、

前記誤差電圧成分の平均値から、補償電圧の切換レベルの絶対値を超過した値を抽出する第2制限器と、

前記制限後の電圧補償成分と、前記制限後の誤差電圧成分と、を加算して前記複合電圧補償成分を出力する加算器と、

を備えた電力変換回路の制御装置。

[請求項2] 電流指令値と電流検出値との偏差に基づいて電圧指令値を出力する電流制御部と、

前記電圧指令値に複合電圧補償成分を加算した補正電圧指令値と、三角波キャリア信号と、に基づいてPWM指令値を出力するPWM生

成部と、

前記PWM指令値にデッドタイムを付加して、電力変換回路の半導体スイッチング素子にゲート信号を出力するデッドタイム付加器と、

前記電流指令値に基づいて、電圧補償成分を演算する電圧補償演算部と、

前記電圧補償成分を、補償電圧の切換レベルに半導体スイッチング素子の電圧降下成分を加算した値の絶対値の範囲内に制限する第1制限器と、

電圧検出値を2値化して2値のデジタル値を出力する電位2値化部と、

前記2値のデジタル値と前記PWM指令値とによりON遅延時間とOFF遅延時間を計測する遅延時間計測部と、

前記ON遅延時間と前記OFF遅延時間の平均値に、直流電源電圧を三角波キャリア信号の半周期で除算した値を乗算して誤差電圧成分の平均値を出力する乗算部と、

前記誤差電圧成分の平均値から、補償電圧の切換レベルの絶対値を超過した値を抽出する第2制限器と、

前記制限後の電圧補償成分と、前記制限後の誤差電圧成分と、を加算して前記複合電圧補償成分を出力する加算器と、

を備えた電力変換回路の制御装置。

[請求項3]

前記電力変換回路の運転状態によって、前記補償電圧の切換レベルを調整する請求項1または2記載の電力変換回路の制御装置。

補正された請求の範囲
[2018年5月23日(23.05.2018)国際事務局受理]

〔請求項 1〕（補正後）

電流指令値と電流検出値との偏差に基づいて電圧指令値を出力する電流制御部と、
前記電圧指令値に複合電圧補償成分を加算した補正電圧指令値と、三角波キャリア信号と、
に基づいてPWM指令値を出力するPWM生成部と、
前記PWM指令値にデッドタイムを付加して、電力変換回路の半導体スイッチング素子にゲート信号を出力するデッドタイム付加器と、
前記電流指令値に基づいて、電圧補償成分を演算する電圧補償演算部と、
前記電圧補償成分を、補償電圧の切換レベルの絶対値の範囲内に制限する第1制限器と、
電圧検出値を2値化して2値のデジタル値を出力する電位2値化部と、
前記2値のデジタル値と前記PWM指令値とによりON遅延時間とOFF遅延時間を計測する遅延時間計測部と、
前記ON遅延時間と前記OFF遅延時間の平均値に、直流電源電圧を三角波キャリア信号の半周期で除算した値を乗算して誤差電圧成分の平均値を出力する乗算部と、
前記誤差電圧成分の平均値から、補償電圧の切換レベルの絶対値を超過した値を抽出する第2制限器と、
前記第1制限器が出力する制限後の電圧補償成分と、前記第2制限器が出力する制限後の誤差電圧成分と、を加算して前記複合電圧補償成分を出力する加算器と、
を備えたことを特徴とする電力変換回路の制御装置。

〔請求項 2〕（補正後）

電流指令値と電流検出値との偏差に基づいて電圧指令値を出力する電流制御部と、
前記電圧指令値に複合電圧補償成分を加算した補正電圧指令値と、三角波キャリア信号と、
に基づいてPWM指令値を出力するPWM生成部と、
前記PWM指令値にデッドタイムを付加して、電力変換回路の半導体スイッチング素子にゲート信号を出力するデッドタイム付加器と、
前記電流指令値に基づいて、電圧補償成分を演算する電圧補償演算部と、
前記電圧補償成分を、補償電圧の切換レベルに半導体スイッチング素子の電圧降下成分を加算した値の絶対値の範囲内に制限する第1制限器と、
電圧検出値を2値化して2値のデジタル値を出力する電位2値化部と、
前記2値のデジタル値と前記PWM指令値とによりON遅延時間とOFF遅延時間を計測する遅延時間計測部と、
前記ON遅延時間と前記OFF遅延時間の平均値に、直流電源電圧を三角波キャリア信号の半周期で除算した値を乗算して誤差電圧成分の平均値を出力する乗算部と、
前記誤差電圧成分の平均値から、補償電圧の切換レベルの絶対値を超過した値を抽出する第2制限器と、

前記第 1 制限器が出力する制限後の電圧補償成分と、前記第 2 制限器が出力する制限後の誤差電圧成分と、を加算して前記複合電圧補償成分を出力する加算器と、
を備えたことを特徴とする電力変換回路の制御装置。

〔請求項 3〕

前記電力変換回路の運転状態によって、前記補償電圧の切換レベルを調整することを特徴とする請求項 1 または 2 記載の電力変換回路の制御装置。

The diagram illustrates a motor control system with the following components and signal flows:

- Reference Inputs:** I_{ref_dq} , $I_{ref\_αβ}$, I_{ref_uvw} , and dV_{i_cmd} .
- Section 2 (Control):**
 - I_{ref_dq} is summed with a feedback signal and fed into an **ACR** block.
 - $I_{ref\_αβ}$ is converted to dq coordinates and then to $αβ$ coordinates.
 - I_{ref_uvw} is converted to $2ph$ coordinates and then to $3ph$ coordinates.
 - The $3ph$ signals are compared with dV_i in a **dV_i comp.** block, which also receives dV_{i_cmd} .
 - The output of the comparator is filtered by **dV_i FF**.
- Section 3 (PWM Generation):**
 - The $3ph$ signals are summed with dV_i and fed into a **PWM** block.
 - The **PWM** block also receives dV_{i_FB} and dV_{i_FF} .
 - The output is a **PWM_ref** signal, which passes through a **Dead time** block.
 - The **PWM_ref** signal is fed into a **Ref pwm Cry** block, which also receives **Carry_Top/Butm** signals.
 - The output of the **Ref pwm Cry** block is a **PWM_det** signal.
- Section 4 (dV Mixed):**
 - The **PWM_det** signal is fed into a **Sign** block, which also receives V_{det_uvw} .
 - The output of the **Sign** block is a **電位 2 値化** (2-bit potential) signal.
 - The **電位 2 値化** signal is fed into a **dT count** block, which also receives dT_{on} and dT_{off} .
 - The output of the **dT count** block is a **dVt comp.** signal.
 - The **dVt comp.** signal is fed into a **複合化 dV** block, which also receives dV_{mixed} and dV_{lelel} .
 - The output of the **複合化 dV** block is a **dV** signal.
- Feedback and Output:**
 - The **dV** signal is fed into an **AD** block, which outputs a feedback signal to the **ACR** block.
 - The **dV** signal is also fed into a **dq/αβ** and **2ph/3ph** converter block, which outputs I_{det_dq} , $I_{det\_αβ}$, and I_{det_uvw} .
 - The **dV** signal is also fed into a **Gate** block, which outputs a **Gate** signal to the **主回路** (Main Circuit).
 - The **Gate** signal is fed into a **主回路** block, which also receives V_{DC} and outputs a signal to the motor **M**.

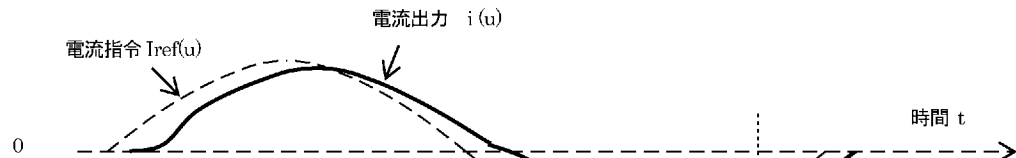
Figure 1 is a block diagram of the basic trapezoidal level generation circuit. The circuit includes the following components and connections:

- dVi comp. (1):** Receives an input signal and outputs dVi_FF .
- 複合化 dV (4):** Receives dVi_FF , dV_level , and $Carry\_Top/Btm$. It contains a gain block (5) with a gain of -1, a summing junction (8), and a dead zone block (6). The output of block 4 is dV_mixed .
- デッドゾーン (6):** Receives the output of block 4 and a -1 gain signal. Its output is fed into block 7.
- dVt comp. (7):** Receives the output of block 6, Vdc , and $Tc/2$. Its output is fed into a summing junction (9).
- Summing Junction (9):** Receives the output of block 7, dT_on , and dT_off . Its output is fed into block 10.
- dVt count (10):** Receives the output of the summing junction and feeds back to the $Carry\_Top/Btm$ input of block 4.

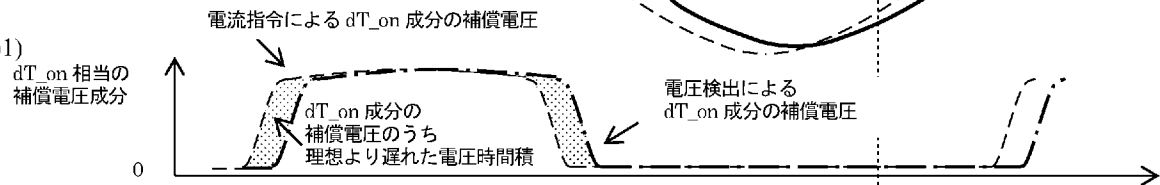
The circuit is labeled "基準台波形レベル生成" (Reference Trapezoidal Waveform Level Generation).

[図3]

(a) 電流波形



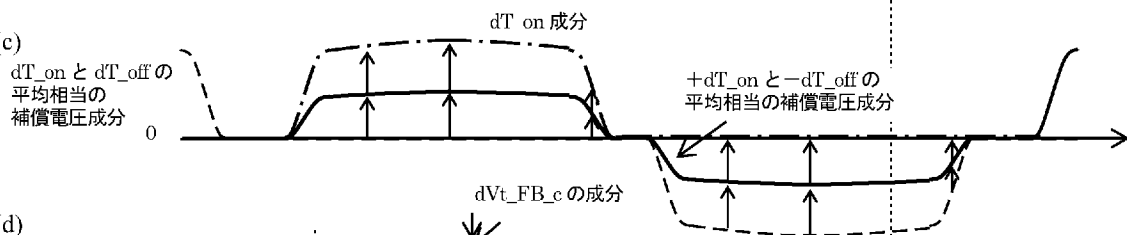
(b1)



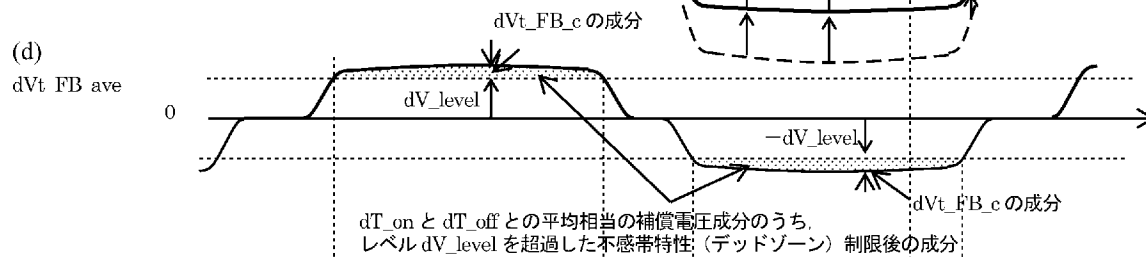
(b2)



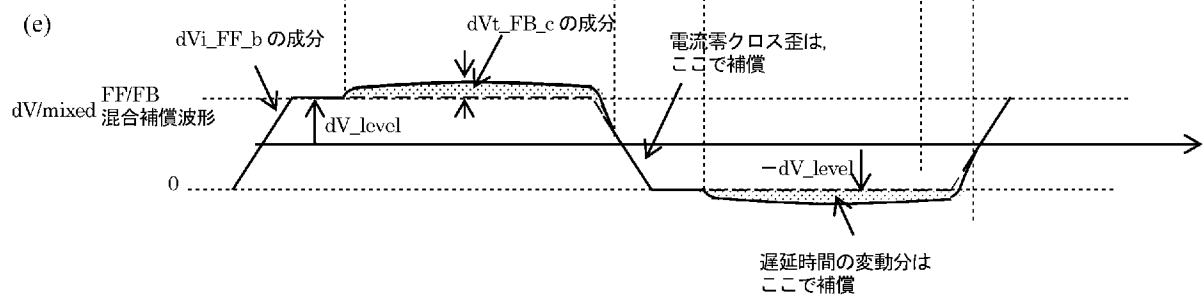
(c)



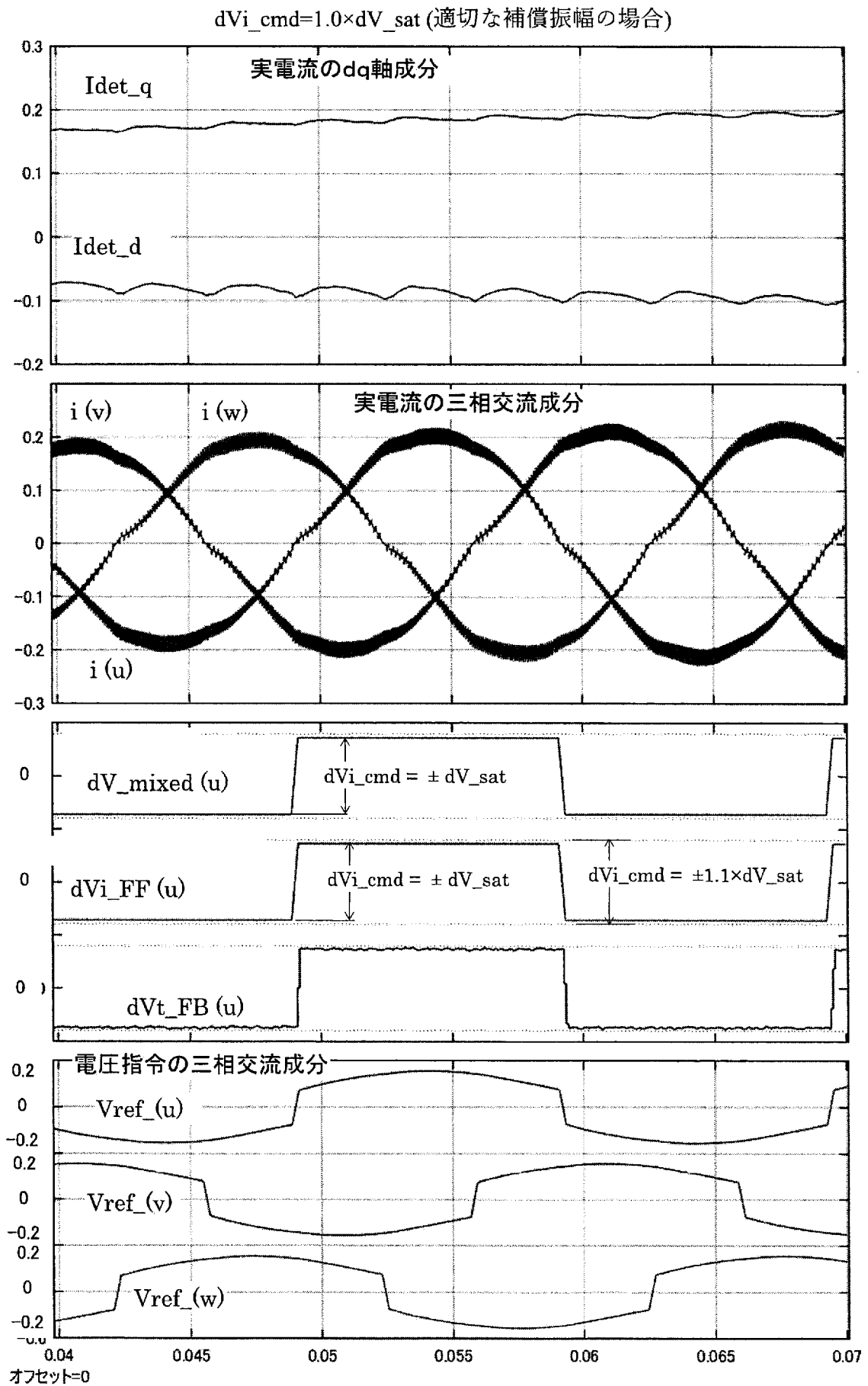
(d)



(e)



[図4]

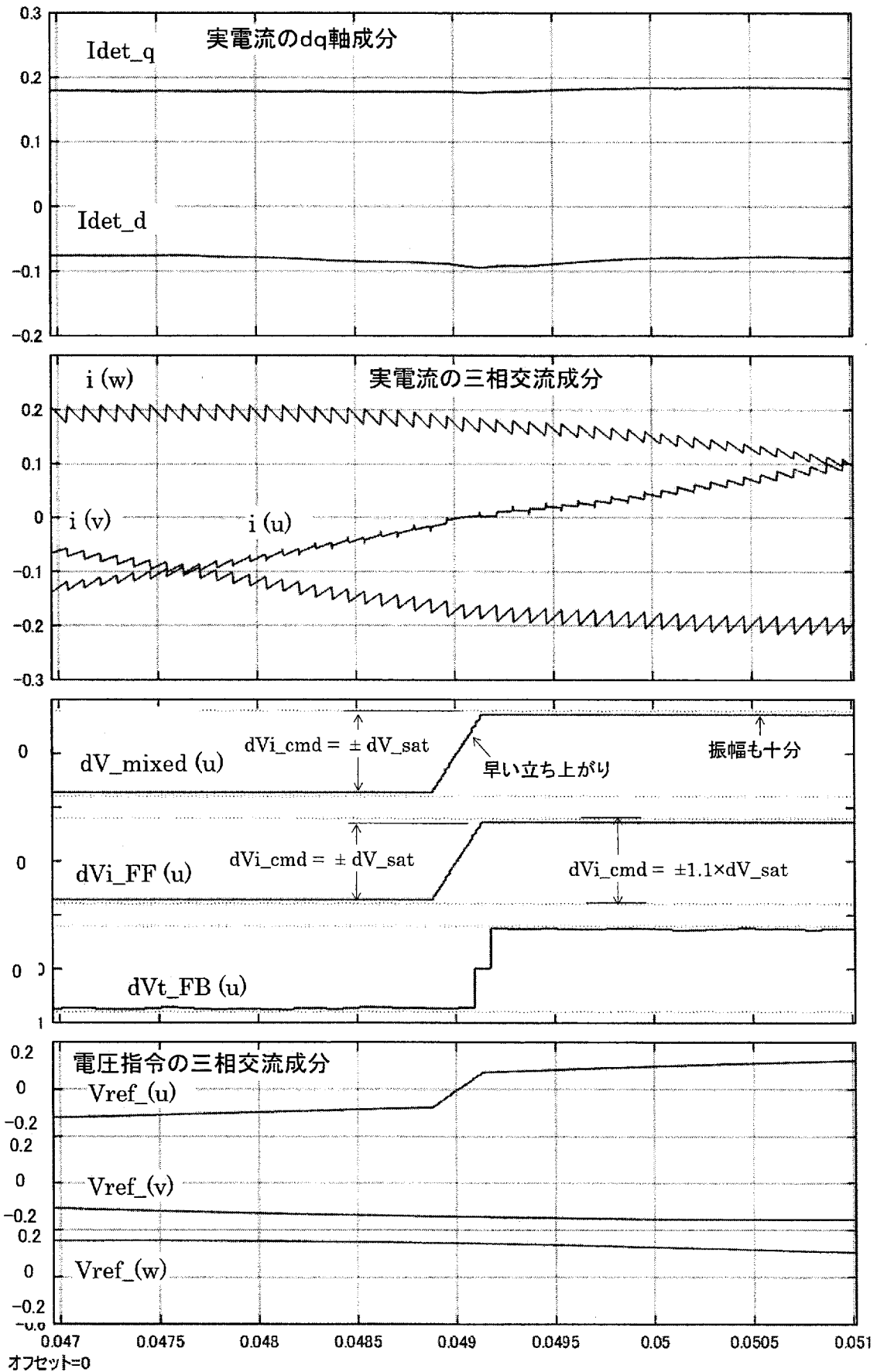


[図5]

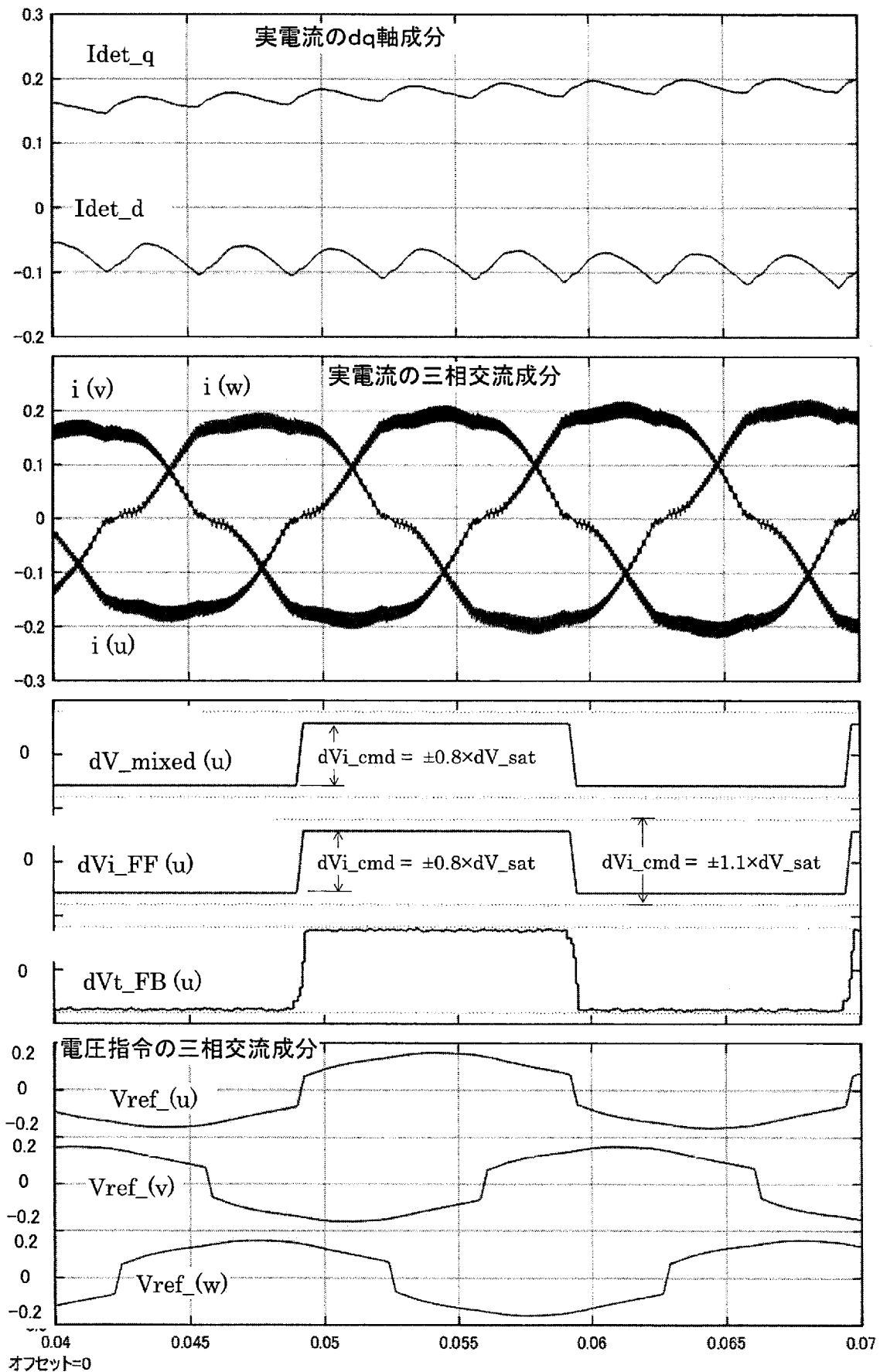
(時間軸拡大図)

 $dV_{i\_cmd} = 1.0 \times dV_{sat}$

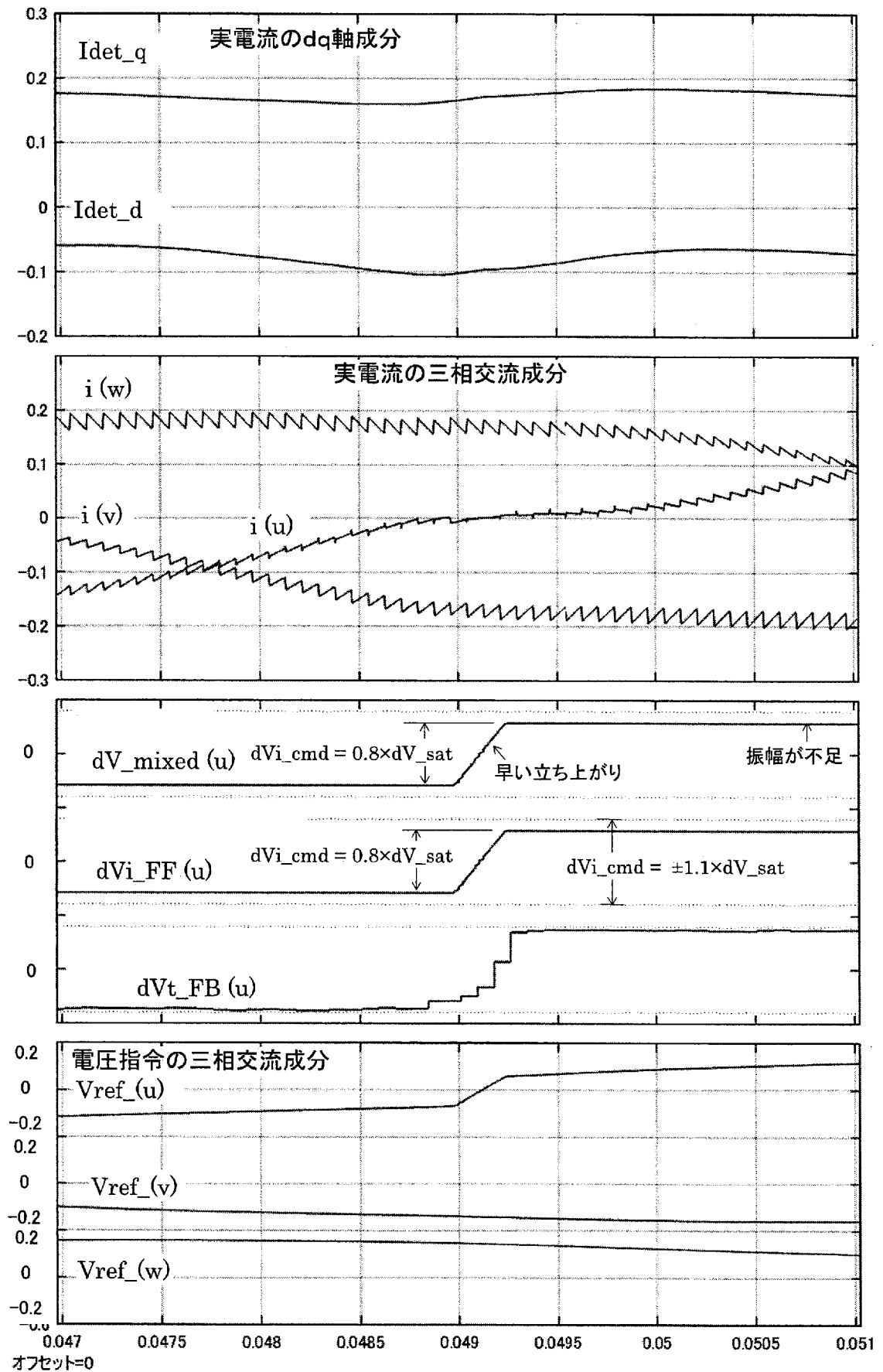
(適切な補償振幅の場合)



[図6]

 $dV_{i\_cmd} = 0.8 \times dV_{sat}$ (補償振幅が80%と少ない場合)


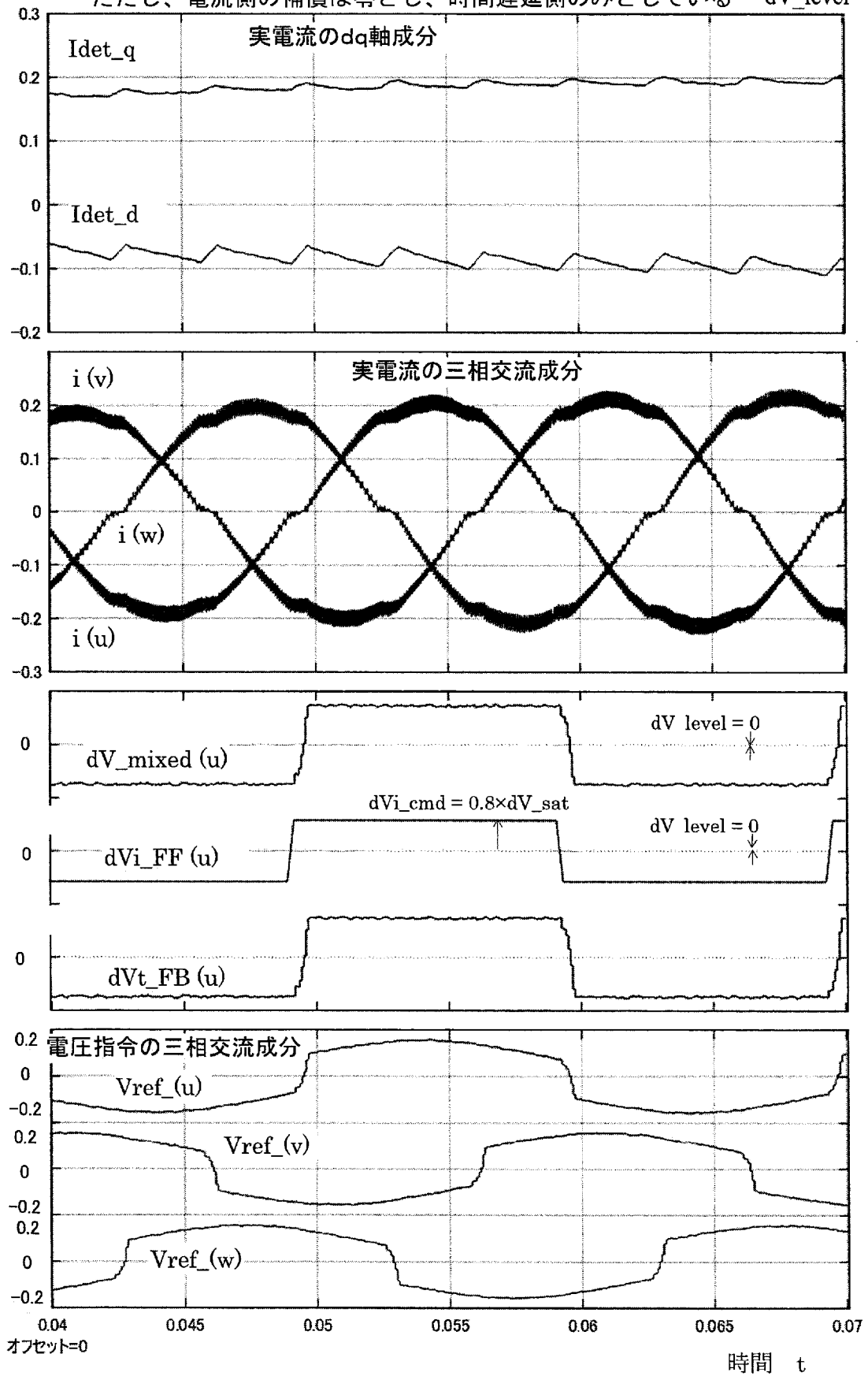
[図7]

(時間軸拡大図) $dV_{i\_cmd} = 0.8 \times dV_{sat}$ (補償振幅が80%と少ない場合)

[図8]

$dV_{i\_cmd} = 0.8 \times dV_{sat}$ (補償振幅が80%と少ない場合),

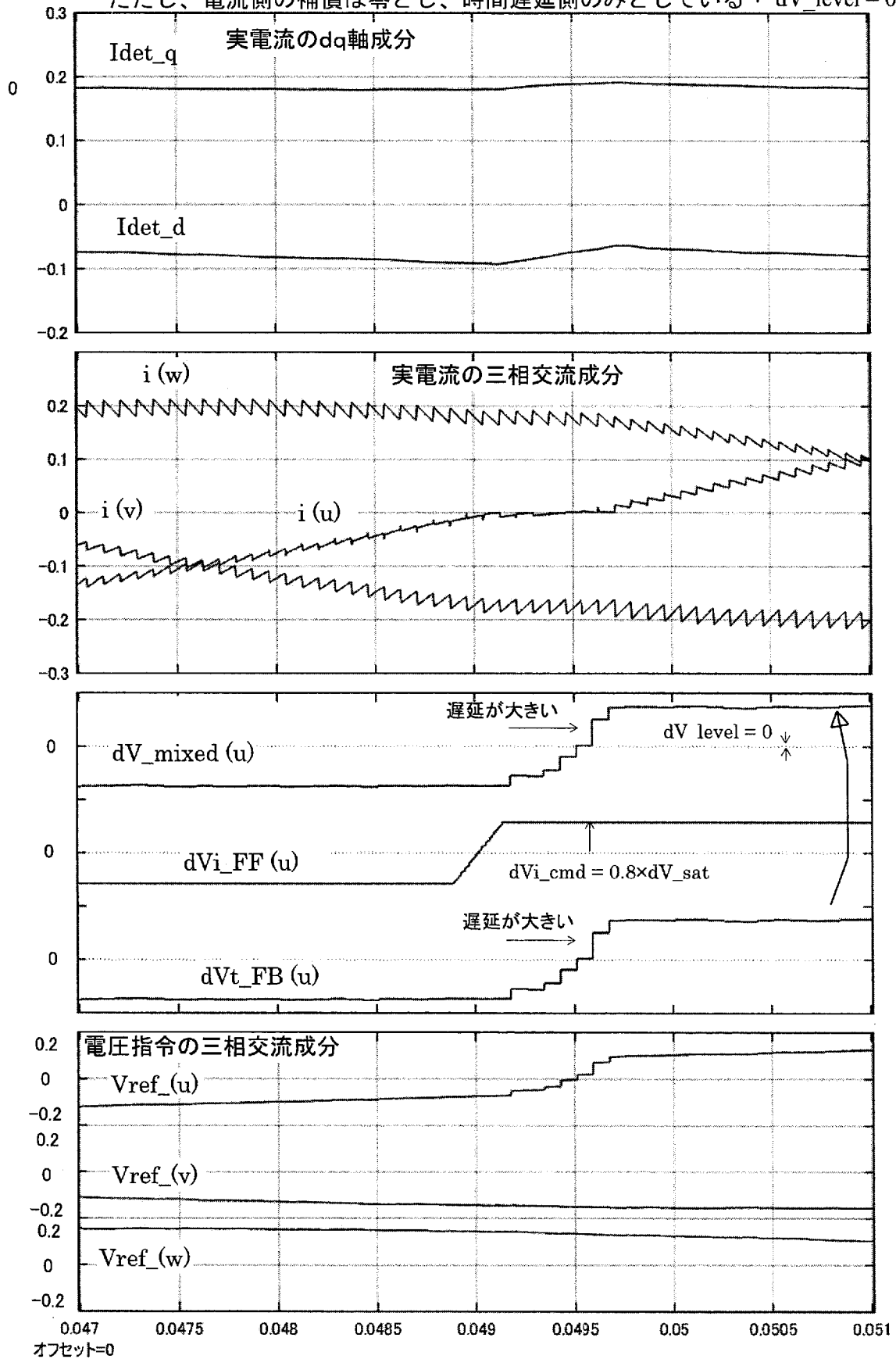
ただし、電流側の補償は零とし、時間遅延側のみとしている: $dV_{level} = 0$



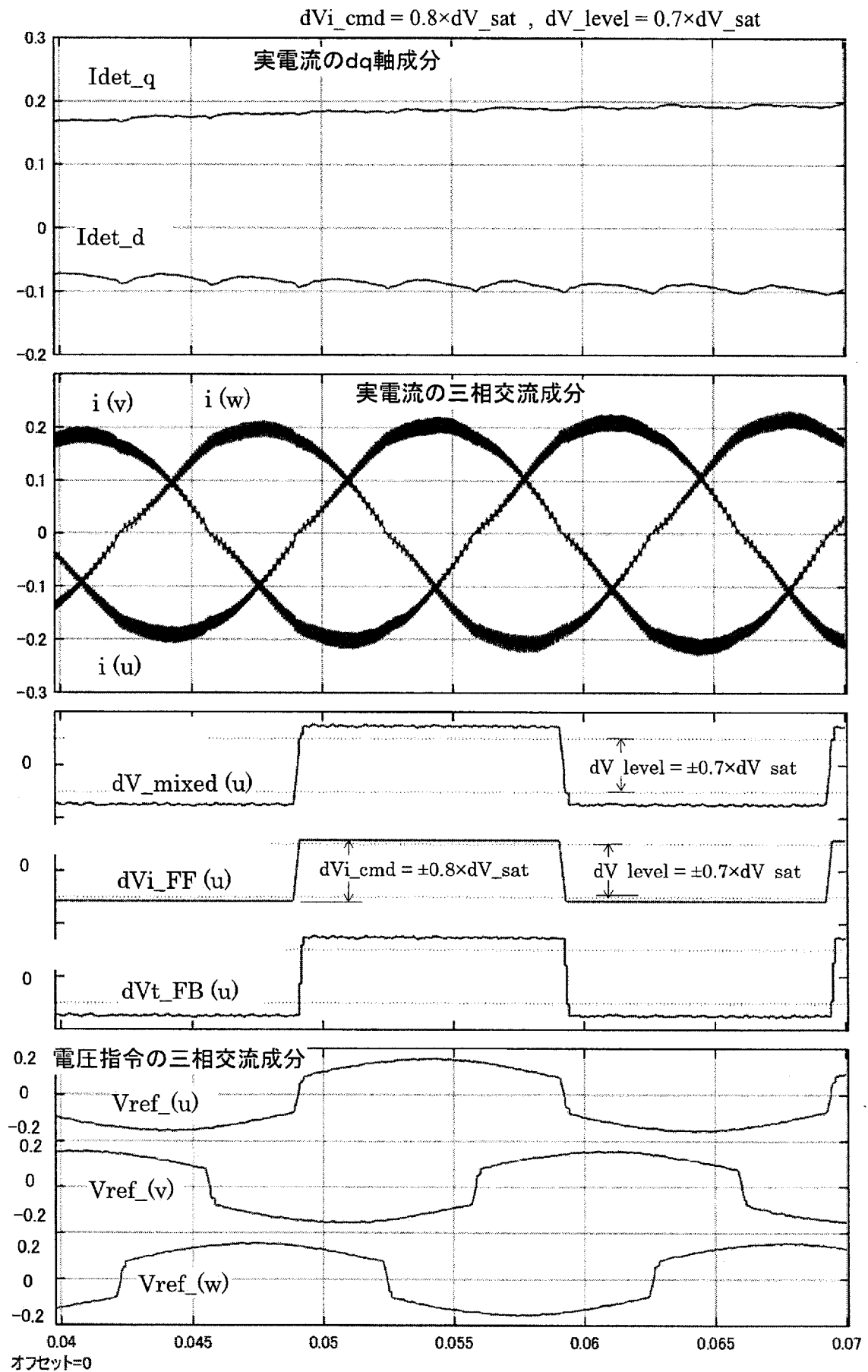
[図9]

$dV_{i\_cmd} = 0.8 \times dV_{sat}$ (補償振幅が80%と少ない場合), (時間軸拡大図)

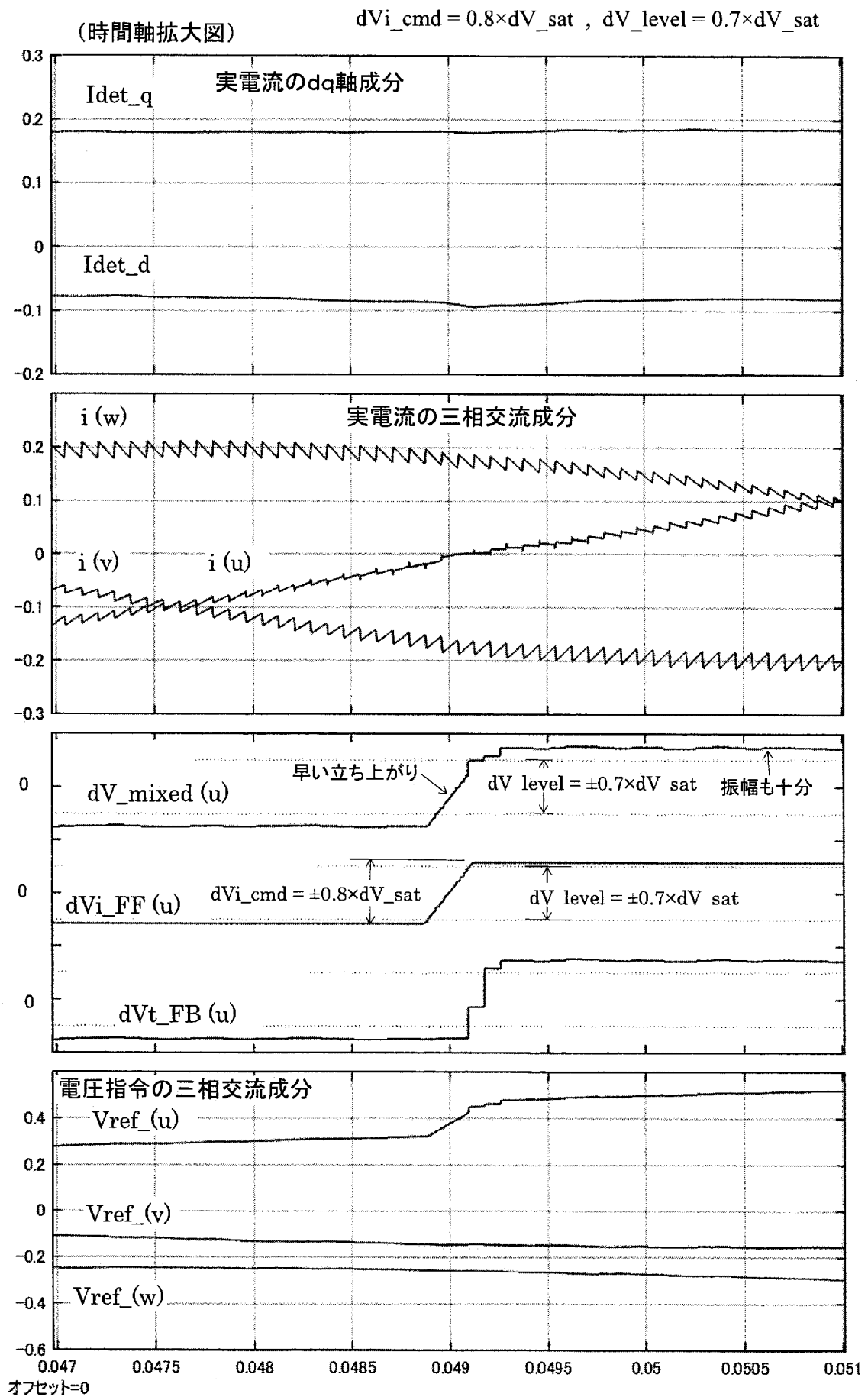
ただし、電流側の補償は零とし、時間遅延側のみとしている: $dV_{level} = 0$



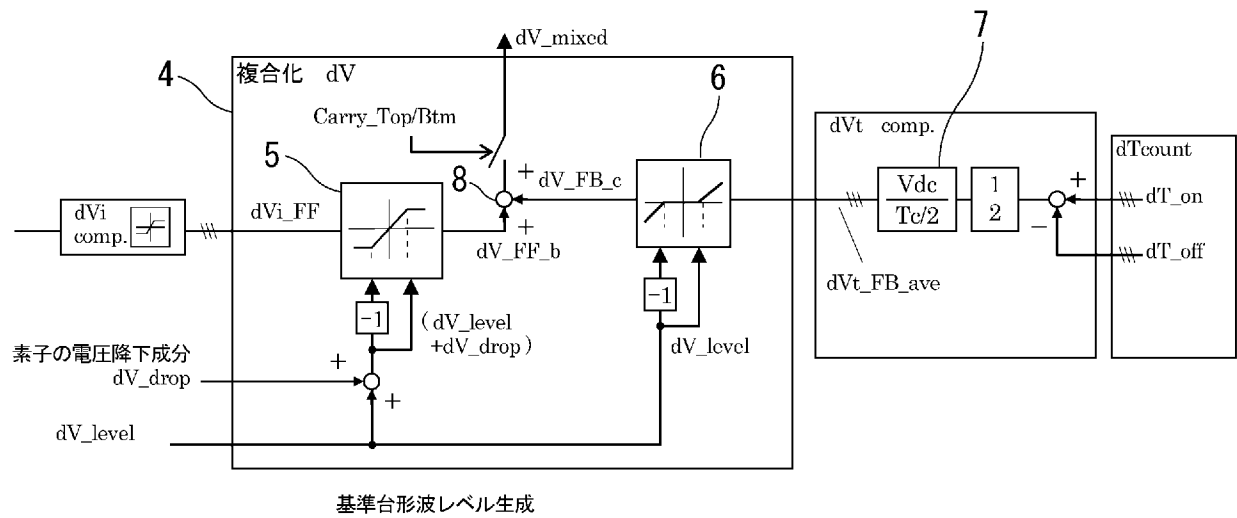
[図10]



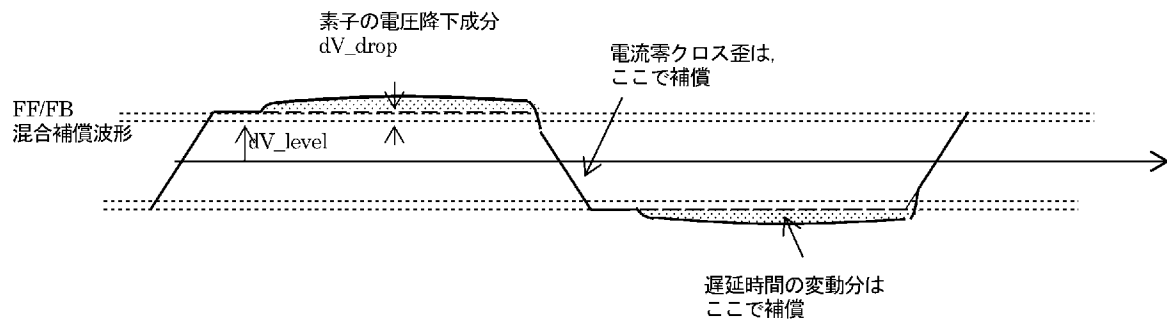
[図11]



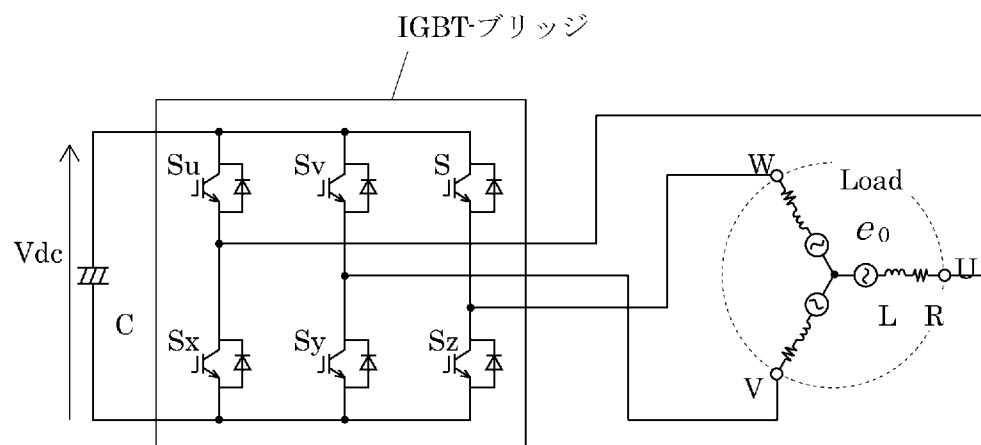
[図12]



[図13]



[図14]

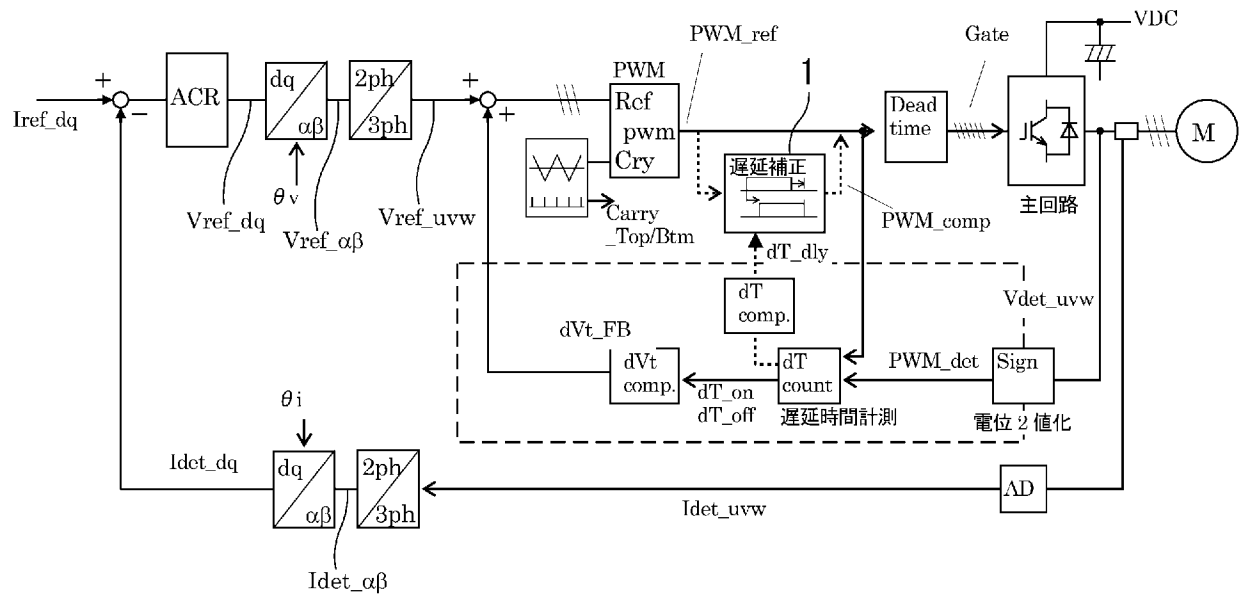


The diagram illustrates a control system for a three-phase inverter. It includes reference current inputs (I_{ref_dq} , $I_{ref\_αβ}$), a reference voltage (V_{ref_dq}), and a reference angular velocity (θ_v). The system uses a series of blocks: a PI controller (ACR), coordinate transformations ($dq/\alpha\beta$ and $\alpha\beta/3ph$), and feedback loops for voltage (dV_{FB}) and current (dV_{i_comp} , dV_{i_FB}). The output is a PWM signal (PWM_{ref}) that passes through a dead time block and a gate driver (主回路) to the inverter, which is connected to a motor (M). The motor's current (i_{uvw}) is measured by an AD converter and fed back into the current control loop.

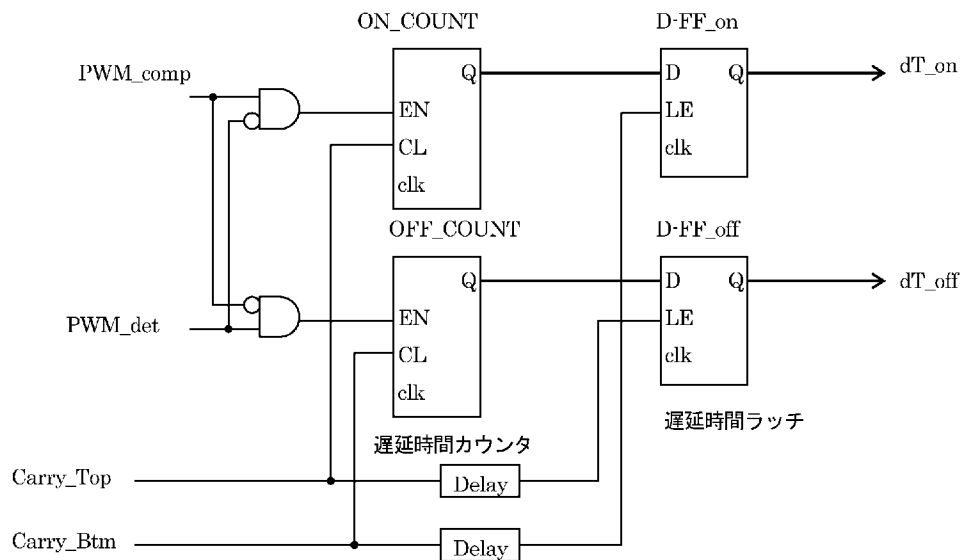
Figure 1 consists of three sub-graphs labeled (a), (b), and (c), all sharing a common vertical axis for '補償電圧' (Compensation Voltage) and a horizontal axis for '相電流 i' (Phase Current i).

- (a) 補正電圧関数**: This graph shows the actual compensation voltage function. The vertical axis is labeled '補償電圧 dV_{i_FF} (dV_{i_FB})'. The curve starts at the origin (0,0), rises linearly to a saturation level, and then remains constant. The saturation level is indicated by an arrow and labeled '飽和時の補償電圧 (dV_{sat})'.
- (b) 台形状に近似した補正関数**: This graph shows a trapezoidal approximation of the compensation function. It follows the same initial linear rise as in (a) but then levels off to a constant value, forming a trapezoidal shape.
- (c) 2値に近似した補正関数**: This graph shows a two-level approximation of the compensation function. The curve rises linearly from the origin to a constant level and then remains constant, forming a step-like function.

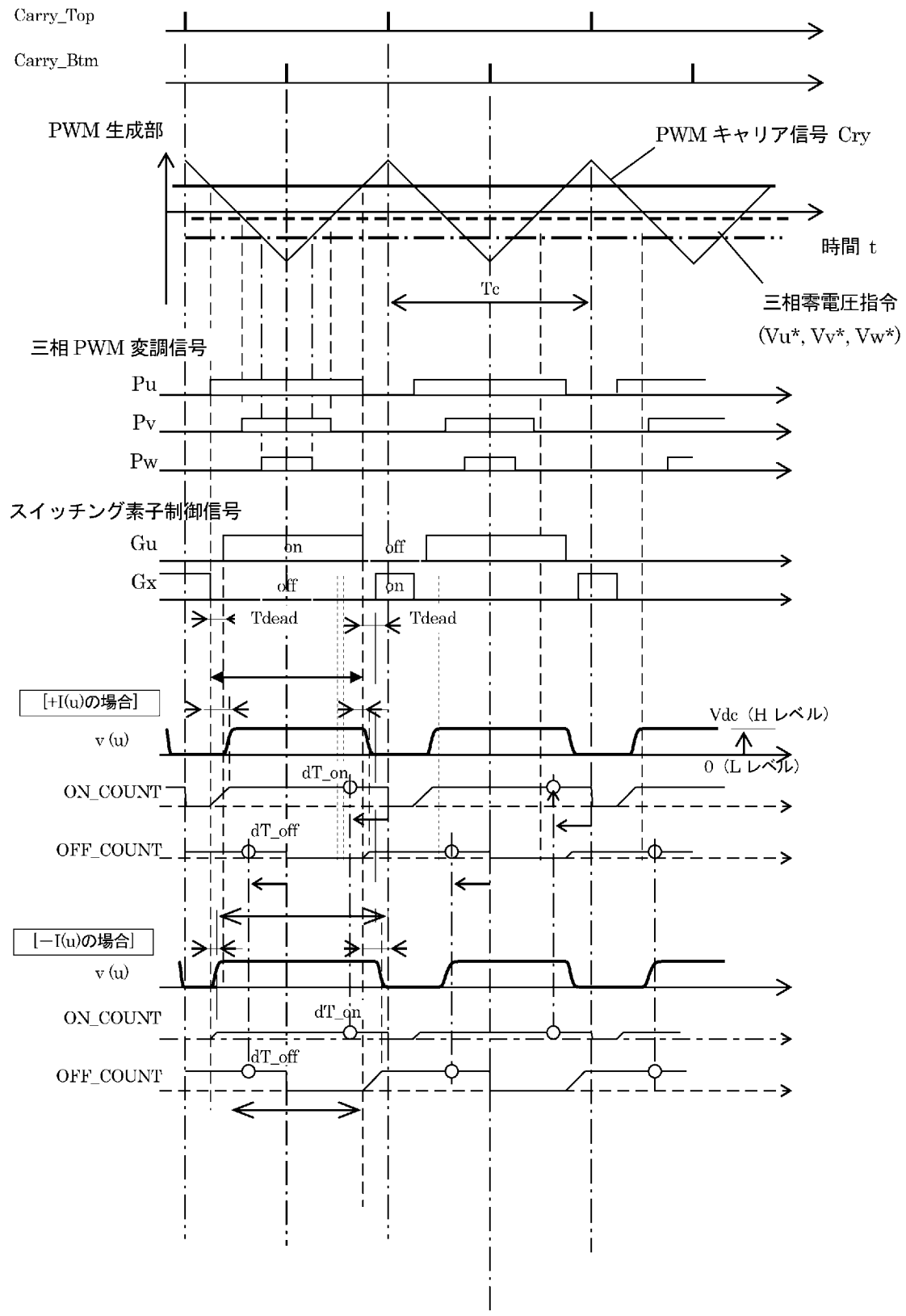
[図18]



[図19]



[図20]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/010710

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H02M7/48 (2007.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H02M7/48, H02M7/537, H02P21/22

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2017-046500 A (PANASONIC IP MANAGEMENT CO., LTD.) 02 March 2017, entire text, all drawings & WO 2017/033428 A1	1-3
A	JP 2009-254032 A (FUJI ELECTRIC SYSTEMS CO., LTD.) 29 October 2009, entire text, all drawings (Family: none)	1-3
A	JP 2011-055608 A (YASKAWA ELECTRIC CORP.) 17 March 2011, entire text, all drawings (Family: none)	1-3
A	JP 2015-047021 A (MEIDENSHA CORPORATION) 12 March 2015, entire text, all drawings (Family: none)	1-3

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

11 April 2018 (11.04.2018)

Date of mailing of the international search report

24 April 2018 (24.04.2018)

Name and mailing address of the ISA/

Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H02M7/48(2007.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H02M7/48, H02M7/537, H02P21/22

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2017-046500 A（パナソニックIPマネジメント株式会社） 2017.03.02, 全文, 全図 & WO 2017/033428 A1	1-3
A	JP 2009-254032 A（富士電機システムズ株式会社）2009.10.29, 全文, 全図（ファミリーなし）	1-3
A	JP 2011-055608 A（株式会社安川電機）2011.03.17, 全文, 全図（ファミリーなし）	1-3

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

11.04.2018

国際調査報告の発送日

24.04.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

高野 誠治

5G

3567

電話番号 03-3581-1101 内線 3526

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2015-047021 A (株式会社明電舎) 2015.03.12, 全文, 全図 (ファミリーなし)	1-3