

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2025年7月3日(03.07.2025)



(10) 国際公開番号

WO 2025/142160 A1

(51) 国際特許分類:
H10F 39/18 (2025.01) H04N 25/704 (2023.01)
H04N 25/70 (2023.01)

(21) 国際出願番号: PCT/JP2024/040034

(22) 国際出願日: 2024年11月11日(11.11.2024)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2023-219908 2023年12月26日(26.12.2023) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 (JP).

(72) 発明者: 佐竹 遥介(SATAKE, Yosuke); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 (JP).

(74) 代理人: 弁理士法人つばさ国際特許事務所 (TSUBASA PATENT PROFESSIONAL CORPORATION); 〒1600022 東京都新宿区新宿1丁目15番9号さわだビル3階 (JP).

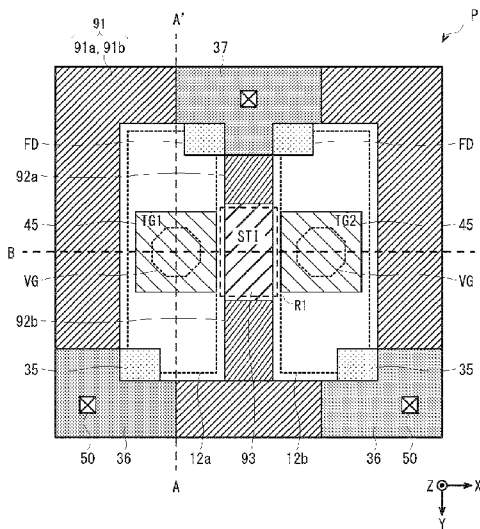
(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU,

(54) Title: PHOTODETECTOR AND ELECTRONIC EQUIPMENT

(54) 発明の名称: 光検出装置および電子機器

(57) Abstract: A photodetector according to one embodiment of the present disclosure comprises: a plurality of pixels including a first pixel having a first photoelectric conversion element and a second photoelectric conversion element provided so as to be aligned in a first direction in a first semiconductor layer; and a pixel separation region provided around the pixels. The first pixel includes a first separation region and second separation region provided between the first photoelectric conversion element and the second photoelectric conversion element so as to be aligned in a second direction intersecting the first direction, and a first transistor having a first gate electrode provided so as to reach the first photoelectric conversion element in the first semiconductor layer. The first gate electrode is provided between the pixel separation region and a region between the first separation region and the second separation region.



WO 2025/142160 A1

[続葉有]

TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告（条約第21条(3)）

(57) 要約：本開示の一実施形態の光検出装置は、第1半導体層において第1方向に並ぶように設けられる第1光電変換素子及び第2光電変換素子を有する第1画素を含む複数の画素と、前記画素の周囲に設けられる画素分離領域とを備える。前記第1画素は、前記第1光電変換素子と前記第2光電変換素子との間において、前記第1方向に交差する第2方向に並ぶように設けられる第1分離領域及び第2分離領域と、前記第1半導体層において前記第1光電変換素子に達するように設けられる第1ゲート電極を有する第1トランジスタとを有する。前記第1ゲート電極は、前記第1分離領域及び前記第2分離領域の間の領域と、前記画素分離領域との間に設けられている。

明 細 書

発明の名称：光検出装置および電子機器

技術分野

[0001] 本開示は、光検出装置および電子機器に関する。

背景技術

[0002] 2つの光電変換素子と2つの転送トランジスタとをそれぞれ含む複数の光電変換セルを備えた光検出装置が提案されている（特許文献1）。

先行技術文献

特許文献

[0003] 特許文献1：特開2021-101491号公報

発明の概要

[0004] 光検出装置では、微細化に対応可能であることが望ましい。

[0005] 微細化に有利な光検出装置を提供することが望まれる。

[0006] 本開示の一実施形態の光検出装置は、第1半導体層と、第1半導体層において第1方向に並ぶように設けられる第1光電変換素子及び第2光電変換素子を有する第1画素を含む複数の画素と、第1半導体層において、画素の周囲に設けられる画素分離領域とを備える。第1画素は、第1光電変換素子と第2光電変換素子との間において、第1方向に交差する第2方向に並ぶように設けられる第1分離領域及び第2分離領域と、第1半導体層において第1光電変換素子に達するように設けられる第1ゲート電極を有し、第1光電変換素子で光電変換された電荷を転送可能な第1トランジスタとを有する。第1ゲート電極は、第1分離領域及び第2分離領域の間の領域と、画素分離領域との間に設けられている。

本開示の一実施形態の電子機器は、光学系と、光学系を透過した光を受光する光検出装置とを備える。光検出装置は、半導体層と、半導体層において第1方向に並ぶように設けられる第1光電変換素子及び第2光電変換素子を有する第1画素を含む複数の画素と、半導体層において、画素の周囲に設け

られる画素分離領域とを有する。第1画素は、第1光電変換素子と第2光電変換素子との間において、第1方向に交差する第2方向に並ぶように設けられる第1分離領域及び第2分離領域と、半導体層において第1光電変換素子に達するように設けられる第1ゲート電極を有し、第1光電変換素子で光電変換された電荷を転送可能な第1トランジスタとを含む。第1ゲート電極は、第1分離領域及び第2分離領域の間の領域と、画素分離領域との間に設けられている。

図面の簡単な説明

[0007] [図1]図1は、本開示の実施の形態に係る光検出装置の一例である撮像装置の概略構成の一例を示すブロック図である。

[図2]図2は、本開示の実施の形態に係る撮像装置の画素の配置例を示す図である。

[図3]図3は、本開示の実施の形態に係る撮像装置の画素の回路構成の一例を説明するための図である。

[図4A]図4Aは、本開示の実施の形態に係る撮像装置の画素の回路構成の別の例を説明するための図である。

[図4B]図4Bは、本開示の実施の形態に係る撮像装置の画素の回路構成の別の例を説明するための図である。

[図5A]図5Aは、本開示の実施の形態に係る撮像装置の画素の回路構成の別の例を説明するための図である。

[図5B]図5Bは、本開示の実施の形態に係る撮像装置の画素の回路構成の別の例を説明するための図である。

[図6]図6は、本開示の実施の形態に係る撮像装置の画素の平面構成の一例を示す図である。

[図7]図7は、本開示の実施の形態に係る撮像装置の画素の断面構成の一例を示す図である。

[図8]図8は、本開示の実施の形態に係る撮像装置の画素の断面構成の一例を示す図である。

[図9]図9は、本開示の実施の形態に係る撮像装置の構成例を説明するための図である。

[図10]図10は、本開示の実施の形態に係る撮像装置の構成例を説明するための図である。

[図11]図11は、本開示の実施の形態に係る撮像装置の構成例を説明するための図である。

[図12]図12は、本開示の実施の形態に係る撮像装置の構成例を説明するための図である。

[図13]図13は、本開示の実施の形態に係る撮像装置の断面構成の一例を示す図である。

[図14]図14は、本開示の実施の形態に係る撮像装置の断面構成の別の例を示す図である。

[図15A]図15Aは、本開示の変形例1に係る撮像装置の構成例を説明するための図である。

[図15B]図15Bは、本開示の変形例1に係る撮像装置の別の構成例を説明するための図である。

[図15C]図15Cは、本開示の変形例1に係る撮像装置の別の構成例を説明するための図である。

[図16]図16は、本開示の変形例2に係る撮像装置の構成例を説明するための図である。

[図17]図17は、本開示の変形例2に係る撮像装置の別の構成例を説明するための図である。

[図18]図18は、本開示の変形例2に係る撮像装置の別の構成例を説明するための図である。

[図19A]図19Aは、本開示の変形例3に係る撮像装置の構成例を説明するための図である。

[図19B]図19Bは、本開示の変形例3に係る撮像装置の構成例を説明するための図である。

[図19C]図 1 9 C は、本開示の変形例 3 に係る撮像装置の構成例を説明するための図である。

[図19D]図 1 9 D は、本開示の変形例 3 に係る撮像装置の構成例を説明するための図である。

[図20A]図 2 0 A は、本開示の変形例 3 に係る撮像装置の別の構成例を説明するための図である。

[図20B]図 2 0 B は、本開示の変形例 3 に係る撮像装置の別の構成例を説明するための図である。

[図21A]図 2 1 A は、本開示の変形例 4 に係る撮像装置の構成例を説明するための図である。

[図21B]図 2 1 B は、本開示の変形例 4 に係る撮像装置の構成例を説明するための図である。

[図22A]図 2 2 A は、本開示の変形例 5 に係る撮像装置の構成例を説明するための図である。

[図22B]図 2 2 B は、本開示の変形例 5 に係る撮像装置の構成例を説明するための図である。

[図23A]図 2 3 A は、本開示の変形例 6 に係る撮像装置の構成例を説明するための図である。

[図23B]図 2 3 B は、本開示の変形例 6 に係る撮像装置の構成例を説明するための図である。

[図23C]図 2 3 C は、本開示の変形例 6 に係る撮像装置の構成例を説明するための図である。

[図24A]図 2 4 A は、本開示の変形例 7 に係る撮像装置の構成例を説明するための図である。

[図24B]図 2 4 B は、本開示の変形例 7 に係る撮像装置の構成例を説明するための図である。

[図25]図 2 5 は、本開示の変形例 8 に係る撮像装置の構成例を説明するための図である。

[図26]図26は、撮像装置を有する電子機器の構成例を表すブロック図である。

[図27]図27は、車両制御システムの概略的な構成の一例を示すブロック図である。

[図28]図28は、車外情報検出部及び撮像部の設置位置の一例を示す説明図である。

[図29]図29は、内視鏡手術システムの概略的な構成の一例を示す図である。

[図30]図30は、カメラヘッド及びCCUの機能構成の一例を示すブロック図である。

発明を実施するための形態

[0008] 以下、本開示の実施の形態について、図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

1. 実施の形態
2. 変形例
3. 適用例
4. 応用例

[0009] <1. 実施の形態>

図1は、本開示の実施の形態に係る光検出装置の一例である撮像装置の概略構成の一例を示すブロック図である。光検出装置は、入射する光を検出可能な装置である。光検出装置である撮像装置1は、光電変換部（光電変換素子）を有する複数の画素Pを有し、入射した光を光電変換して信号を生成するように構成される。撮像装置1は、光学レンズを含む光学系（不図示）を透過した光を受光して信号を生成し得る。

[0010] 撮像装置1は、例えば、複数の画素Pが設けられた半導体基板（例えばシリコン基板）を用いて構成される。撮像装置1の各画素Pの光電変換部は、例えばフォトダイオード（PD）であり、光を光電変換可能に構成される。撮像装置1は、複数の画素Pが行列状に2次元配置された領域（画素部10

0) を、撮像エリアとして有する。撮像装置 1 の画素部 100 は、複数の画素 P が配置される画素アレイともいえる。各画素 P の光電変換部は、光電変換領域ともいえる。

[0011] 撮像装置 1 は、光学レンズを含む光学系を介して、計測対象である被写体からの入射光（像光）を取り込む。撮像装置 1 は、光学レンズにより形成される被写体の像を撮像する。撮像装置 1 は、受光した光（例えば可視光、赤外光等）を光電変換して画素信号を生成し得る。光検出装置である撮像装置 1 は、入射した光を受光して信号を生成可能な装置であり、受光装置ともいえる。

[0012] 撮像装置 1（光検出装置）は、一例として、イメージセンサとして構成され得る。撮像装置 1 は、例えば、CMOS（Complementary Metal Oxide Semiconductor）イメージセンサである。撮像装置 1 は、複数の半導体層を積層して構成された構造（積層構造）を有し得る。撮像装置 1 は、デジタルスチルカメラ、ビデオカメラ、携帯電話等、各種の電子機器に利用可能である。

[0013] 撮像装置 1 は、一例として、図 1 に示す例のように、画素部 100 と、画素駆動部 105 と、信号処理部 112 と、制御部 113 と、処理部 114 を有する。また、撮像装置 1 には、例えば、複数の制御線 *L read* と、複数の信号線 *VSL* が設けられる。

[0014] 制御線 *L read* は、画素 P を制御する信号を伝えることが可能な信号線であり、画素駆動部 105 と画素部 100 の画素 P とに接続される。図 1 に示す例では、画素部 100 では、水平方向（行方向）に並ぶ複数の画素 P により構成される画素行ごとに、複数の制御線 *L read* が配線される。制御線 *L read* は、画素 P からの信号読み出しのための制御信号を伝送するように構成される。

[0015] 撮像装置 1 の画素行ごとの複数の制御線 *L read* には、一例として、転送トランジスタを制御する信号を伝送する配線、選択トランジスタを制御する信号を伝送する配線、リセットトランジスタを制御する信号を伝送する配線等が含まれる。制御線 *L read* は、画素 P を駆動する信号を伝送する駆

動線（画素駆動線）ともいえる。

[0016] 信号線VSLは、画素Pからの信号を伝えることが可能な信号線であり、画素部100の画素Pと信号処理部112とに接続される。画素部100には、例えば、垂直方向（列方向）に並ぶ複数の画素Pにより構成される画素列ごとに、信号線VSLが配線される。信号線VSLは、垂直信号線であり、画素Pから出力される信号を伝送するように構成される。

[0017] 画素駆動部105は、画素部100の各画素Pを駆動可能に構成される。画素駆動部105は、駆動回路であり、例えば、バッファ、シフトレジスタ、アドレスデコーダ等を含む複数の回路によって構成される。画素駆動部105は、画素Pを駆動するための信号を生成し、制御線Lreadを介して画素部100の各画素Pへ出力する。画素駆動部105は、制御部113により制御され、画素部100の画素Pの制御を行う。

[0018] 画素駆動部105は、例えば、画素Pの転送トランジスタを制御する信号、選択トランジスタを制御する信号、及びリセットトランジスタを制御する信号など、画素Pを制御するための信号を生成し、制御線Lreadによって各画素Pに供給する。画素駆動部105は、各画素Pから画素信号を読み出す制御を行い得る。画素駆動部105は、各画素Pを制御可能に構成された画素制御部ともいえる。なお、画素駆動部105と制御部113とを併せて、画素制御部ということもできる。

[0019] 信号処理部112は、入力される画素の信号の信号処理を実行可能に構成される。信号処理部112は、信号処理回路であり、例えば、負荷回路、A/D(Analog Digital)変換回路、水平選択スイッチ等を有する。負荷回路は、一例として、画素Pの増幅トランジスタに電流を供給可能な電流源により構成される。負荷回路は、例えば、画素Pの増幅トランジスタと共にソースフォロア回路を構成する。

[0020] 信号処理部112は、信号線VSLを介して画素Pから読み出される信号を増幅するように構成された増幅回路を有していてもよい。負荷回路、増幅回路、及びA/D変換回路等は、例えば、複数の信号線VSLの各々に対して

設けられる。画素部１００の画素列ごとに、負荷回路、増幅回路、及びＡＤ変換回路等が設けられ得る。

[0021] 画素駆動部１０５によって選択走査された各画素Ｐから出力される信号は、信号線ＶＳＬを介して信号処理部１１２に入力される。信号処理部１１２は、例えば、画素Ｐの信号のＡＤ変換、ＣＤＳ(Correlated Double Sampling：相関二重サンプリング)等の信号処理を行い得る。信号線ＶＳＬの各々を通して伝送される各画素Ｐの信号は、信号処理部１１２により信号処理が施され、処理部１１４に出力される。

[0022] 処理部１１４は、入力される信号に対して信号処理を実行可能に構成される。処理部１１４は、処理回路であり、例えば、画素信号に対して各種の信号処理を施す回路により構成される。処理部１１４は、プロセッサ及びメモリを含んでいてもよい。処理部１１４は、信号処理部１１２から入力される画素の信号に対して信号処理を行い、処理後の画素の信号を出力する。処理部１１４は、例えば、ノイズ低減処理、階調補正処理等の各種の信号処理を行い得る。

[0023] 制御部１１３は、撮像装置１の各部を制御可能に構成される。制御部１１３は、外部から与えられるクロック、動作モードを指令するデータ等を受け取り、また、撮像装置１の内部情報等のデータを出力し得る。制御部１１３は、制御回路であり、例えば、各種のタイミング信号を生成可能に構成されたタイミングジェネレータを有する。

[0024] 制御部１１３は、タイミングジェネレータで生成された各種のタイミング信号（パルス信号、クロック信号等）に基づき、画素駆動部１０５及び信号処理部１１２等の駆動制御を行う。なお、制御部１１３及び処理部１１４は、一体的に構成されていてもよい。

[0025] 画素駆動部１０５、信号処理部１１２、制御部１１３、処理部１１４等は、１つの半導体基板に設けられていてもよいし、複数の半導体基板に分けて設けられていてもよい。信号処理部１１２、制御部１１３、及び処理部１１４の一部又は全部は、一体的に構成されていてもよい。

[0026] 図2は、実施の形態に係る撮像装置の画素の配置例を示す図である。撮像装置1の画素Pは、光電変換部12と、レンズ31と、フィルタ32とを有する。なお、図2に示すように、被写体からの光の入射方向をZ軸方向、Z軸方向に直交する紙面左右方向をX軸方向、Z軸方向及びX軸方向に直交する紙面上下方向をY軸方向とする。以降の図において、図2の矢印の方向を基準として方向を表記する場合もある。

[0027] 撮像装置1の画素Pは、複数の光電変換部12（図2に示す例では、第1の光電変換部12a、第2の光電変換部12b）を有し得る。撮像装置1の各画素Pでは、それぞれ、例えば、複数の光電変換部12が互いに隣り合うように配置される。第2の光電変換部12bは、第1の光電変換部12aの隣に設けられる。第1の光電変換部12aを有する画素と、第2の光電変換部12bを有する画素とが設けられるともいえる。

[0028] 撮像装置1では、例えば、撮像レンズ等の光学系からの光が入射する側に、レンズ31及びフィルタ32が設けられる。レンズ31（レンズ部）は、光を集光するレンズであり、オンチップレンズとも呼ばれる光学部材である。レンズ31は、例えば、画素P毎または複数の画素P毎に、第1の光電変換部12a及び第2の光電変換部12bの上方に設けられる。

[0029] レンズ31には、撮像レンズ等の光学系を介して、計測対象である被写体からの光が入射する。レンズ31は、入射する光を画素Pの光電変換部12側へ導く。画素Pの第1の光電変換部12a及び第2の光電変換部12bは、それぞれ、レンズ31及びフィルタ32を介して入射する光を光電変換する。

[0030] フィルタ32は、入射光のうち特定の波長域の光を選択的に透過させるように構成される。フィルタ32は、RGBのカラーフィルタ、赤外光を透過するフィルタ等である。フィルタ32は、例えば、画素P毎または複数の画素P毎に、第1の光電変換部12a及び第2の光電変換部12bの上方に設けられる。

[0031] 撮像装置1の画素部100に設けられた複数の画素Pには、一例として、

赤（R）の光を透過するフィルタ32が設けられた画素（R画素）と、緑（G）の光を透過するフィルタ32が設けられた画素（G画素）と、青（B）の光を透過するフィルタ32が設けられた画素（B画素）が含まれる。画素部100では、複数のR画素、複数のG画素、及び複数のB画素が繰り返し配置される。

[0032] R画素、G画素、及びB画素は、一例として、ベイヤー配列に従って配置される。R画素、G画素、及びB画素は、それぞれ、R成分の画素信号、G成分の画素信号、及びB成分の画素信号を生成し得る。撮像装置1は、RGBの画素信号を得ることができる。なお、画素Pの配置は、上述した例に限られず、任意に設定可能である。

[0033] 一例として、R画素、G画素、及びB画素は、それぞれ、2×2画素単位で配置されてもよい。画素部100では、例えば、隣り合う4つのR画素と、隣り合う4つのG画素と、隣り合う4つのB画素とが繰り返し配置され得る。R画素、G画素、及びB画素が、それぞれ、2行×2列で周期的に配置されるともいえる。

[0034] 画素部100の画素Pに設けられるフィルタ32は、原色系（RGB）のカラーフィルタに限定されず、例えばCy（シアン）、Mg（マゼンタ）、Ye（イエロー）等の補色系のカラーフィルタであってもよい。W（ホワイト）に対応したフィルタ、即ち入射光の全波長域の光を透過させるフィルタを配置してもよい。フィルタ32は、赤外光を透過するフィルタであってもよい。

[0035] なお、撮像装置1では、必要に応じて、フィルタ32を省略してもよい。撮像装置1の一部又は全部の画素Pに、フィルタ32を設けないようにしてもよい。例えば、白（W）の光を受光して光電変換を行う画素では、フィルタ32を設けなくてよい。

[0036] 撮像装置1では、例えば、2つの光電変換部12（第1の光電変換部12a、第2の光電変換部12b）に対して、1つのレンズ31が設けられ得る。撮像装置1では、第1の光電変換部12a及び第2の光電変換部12bに

よって、撮像レンズ等の光学系の互いに異なる領域を通過した光が受光され、瞳分割が行われる。

[0037] 第1の光電変換部12aで変換された電荷に基づく信号（第1の画素信号）と、第2の光電変換部12bで変換された電荷に基づく信号（第2の画素信号）とを用いることで、位相差データ（位相差情報）を得ることができる。位相差データを用いることで、位相差AF（Auto Focus）を行うことが可能となる。撮像装置1の画素P（R画素、G画素、B画素等）は、位相差検出に利用可能な画素であり、位相差画素（又は位相差検出画素）ともいえる。

[0038] 図3は、実施の形態に係る撮像装置の画素の回路構成の一例を説明するための図である。撮像装置1の画素Pは、複数の光電変換部12（図3では、第1の光電変換部12a、第2の光電変換部12b）と、複数のトランジスタTG（図3では、トランジスタTG1、トランジスタTG2）と、フローティングディフュージョンFDと、読み出し回路20とを有する。

[0039] 光電変換部12（即ち光電変換領域）は、光を受光して信号を生成するように構成される。光電変換部12は、受光部（受光素子）であり、光電変換により電荷を生成可能に構成される。図3に示す例では、第1の光電変換部12aは、第1のフォトダイオード（PD1）であり、入射する光を電荷に変換する。

[0040] 第2の光電変換部12bは、第2のフォトダイオード（PD2）であり、入射する光を電荷に変換する。第1の光電変換部12a（フォトダイオードPD1）と第2の光電変換部12b（フォトダイオードPD2）は、それぞれ、光電変換を行って受光量に応じた電荷を生成し得る。

[0041] トランジスタTG（図3では、トランジスタTG1、TG2）は、転送トランジスタであり、光電変換部12で光電変換された電荷をフローティングディフュージョンFDに転送可能に構成される。トランジスタTGは、光電変換部12とフローティングディフュージョンFDとを電氣的に接続または切断する。図3に示す例では、トランジスタTG1及びトランジスタTG2

は、互いに異なる信号によって制御される。

[0042] トランジスタTG1は、信号STG1により制御され、第1の光電変換部12aとフローティングディフュージョンFDとを電氣的に接続または切断する。トランジスタTG1は、第1の光電変換部12aで光電変換されて蓄積された電荷をフローティングディフュージョンFDに転送し得る。

[0043] また、トランジスタTG2は、信号STG2により制御され、第2の光電変換部12bとフローティングディフュージョンFDとを電氣的に接続または切断する。トランジスタTG2は、第2の光電変換部12bで光電変換されて蓄積された電荷をフローティングディフュージョンFDに転送し得る。

[0044] フローティングディフュージョンFDは、蓄積部であり、転送された電荷を蓄積可能に構成される。フローティングディフュージョンFDは、光電変換部12で光電変換された電荷を蓄積し得る。フローティングディフュージョンFDは、転送された電荷を保持可能な保持部ともいえる。フローティングディフュージョンFDは、転送された電荷を蓄積し、フローティングディフュージョンFDの容量に応じた電圧に変換する。

[0045] 読み出し回路20は、光電変換された電荷に基づく信号を出力可能に構成される。読み出し回路20は、第1の光電変換部12aで生成された電荷に基づく第1の画素信号と、第2の光電変換部12bで生成された電荷に基づく第2の画素信号を出力可能に構成される。また、読み出し回路20は、第1の光電変換部12aで変換された電荷と、第2の光電変換部12bで変換された電荷とを加算した電荷に応じた画素信号を読み出し得る。

[0046] 読み出し回路20は、一例として、図3に示すように、トランジスタAMPと、トランジスタSELと、トランジスタRSTとを有する。トランジスタAMPは、フローティングディフュージョンFDに蓄積された電荷に基づく信号を生成して出力するように構成される。トランジスタAMPは、増幅トランジスタであり、光電変換部12で変換された電荷に基づく信号を生成して出力し得る。

[0047] 図3に示すように、トランジスタAMPのゲートは、フローティングディ

フュージョンFDと電氣的に接続され、フローティングディフュージョンFDで変換された電圧が入力される。トランジスタAMPのドレインは、電源電圧VDDが供給される電源線に接続される。

[0048] トランジスタAMPのソースは、トランジスタSELを介して信号線VSLに接続される。トランジスタAMPは、フローティングディフュージョンFDに蓄積された電荷に基づく信号、即ちフローティングディフュージョンFDの電圧に基づく信号を生成し、信号線VSLへ出力するように構成される。

[0049] トランジスタSELは、画素の信号の出力を制御可能に構成される。トランジスタSELは、例えば、図3に示す例のように、トランジスタAMPに直列に電氣的に接続される。トランジスタSELは、信号SSELにより制御され、トランジスタAMPからの信号を信号線VSLに出力可能に構成される。トランジスタSELは、選択トランジスタであり、画素の信号の出力タイミングを制御し得る。

[0050] トランジスタSELは、光電変換部12で変換された電荷に基づく信号を出力可能に構成される。トランジスタSELは、画素Pの画素信号（第1の画素信号、第2の画素信号等）を信号線VSLへ出力し得る。なお、トランジスタSELは、電源電圧VDDが与えられる電源線とトランジスタAMPとの間に電氣的に接続されていてもよい。また、必要に応じて、トランジスタSELを省略してもよい。

[0051] トランジスタRSTは、フローティングディフュージョンFDの電圧をリセット可能に構成される。図3に示す例では、トランジスタRSTは、電源電圧VDDが与えられる電源線と電氣的に接続され、画素Pの電荷のリセットを行うように構成される。トランジスタRSTは、リセットトランジスタである。

[0052] トランジスタRSTは、信号SRSTにより制御され、フローティングディフュージョンFDに蓄積された電荷をリセットし、フローティングディフュージョンFDの電位をリセットし得る。トランジスタRSTは、電源線と

フローティングディフュージョンFDとを電氣的に接続し、フローティングディフュージョンFDに蓄積された電荷を排出し得る。なお、トランジスタRSTは、トランジスタTGを介して、光電変換部12に蓄積された電荷を排出し得る。

[0053] 図4Aは、実施の形態に係る撮像装置の画素の回路構成の別の例を説明するための図である。読み出し回路20は、図4Aに示す例のように、トランジスタFDGを有していてもよい。トランジスタFDGは、一例として、フローティングディフュージョンFDとトランジスタRSTとを電氣的に接続可能に構成される。トランジスタFDGは、例えば、信号SF DGにより制御され、フローティングディフュージョンFDとトランジスタRSTとを電氣的に接続または切断する。

[0054] トランジスタFDGがオン状態となることで、画素PのフローティングディフュージョンFDに付加される容量が大きくなり、電荷を電圧に変換する際の変換効率（ゲイン）が切り替えられる。トランジスタFDGは、変換効率の設定に用いる切り替えトランジスタである。トランジスタFDGは、トランジスタAMPのゲートに接続される容量を切り替え、変換効率を変更し得る。

[0055] トランジスタFDGは、トランジスタRSTに電氣的に直列に接続されていてもよく、トランジスタRSTに電氣的に並列に接続されていてもよい。トランジスタFDGは、図4Bに示す例のように、フローティングディフュージョンFDと、容量素子C1とを電氣的に接続可能に構成されていてもよい。例えば、トランジスタFDGは、信号SF DGにより制御され、フローティングディフュージョンFDと容量素子C1とを電氣的に接続または切断する。容量素子C1の接続状態を切り替えることで、変換効率を変更することが可能となる。

[0056] 上述したトランジスタTG（転送トランジスタ）と、トランジスタAMP（増幅トランジスタ）と、トランジスタSEL（選択トランジスタ）と、トランジスタRST（リセットトランジスタ）と、トランジスタFDG（切り

替えトランジスタ）は、それぞれ、ゲート、ソース、ドレインの端子を有するMOSトランジスタ（MOSFET）である。

[0057] 図3等に示す例では、トランジスタTG1、TG2、トランジスタAMP、トランジスタSEL、トランジスタRST、及びトランジスタFDGは、それぞれNMOSトランジスタにより構成される。なお、画素Pのトランジスタは、PMOSトランジスタにより構成されてもよい。画素Pのトランジスタは、3Dトランジスタ、例えばFin型トランジスタ（FinFET）として構成されてもよい。

[0058] また、図5Aまたは図5Bに示す例のように、トランジスタRSTとトランジスタAMPとは、互いに異なる電源線に電氣的に接続されてもよい。例えば、トランジスタAMPのドレインは、電源電圧VDD1が供給される電源線に電氣的に接続され、トランジスタRSTのドレインは、電源電圧VDD2が供給される電源線に電氣的に接続されていてもよい。トランジスタRSTのドレイン電位と、トランジスタAMPのドレイン電位とを、個別に（独立に）制御することができる。

[0059] 撮像装置1の画素駆動部105（図1参照）は、上述した制御線Lreadを介して、各画素PのトランジスタTG1、TG2、トランジスタSEL、トランジスタRST、トランジスタFDG等のゲートに制御信号を供給し、トランジスタをオン状態（導通状態）又はオフ状態（非導通状態）とする。

[0060] 撮像装置1の画素行ごとの複数の制御線Lreadには、一例として、トランジスタTG1を制御する信号STG1を伝送する配線、トランジスタTG2を制御する信号STG2を伝送する配線等が含まれる。また、複数の制御線Lreadには、トランジスタSELを制御する信号SSELを伝送する配線、トランジスタRSTを制御する信号SRSTを伝送する配線、トランジスタFDGを制御する信号SFDGを伝送する配線等が含まれる。

[0061] トランジスタTG1、TG2、トランジスタSEL、トランジスタRST、トランジスタFDG等は、画素駆動部105によってオンオフ制御される

。画素駆動部 105 は、各画素 P の読み出し回路 20 を制御することによって、各画素 P から画素信号を信号線 VSL に出力させる。画素駆動部 105 は、各画素 P の画素信号を信号線 VSL へ読み出す制御を行い得る。

[0062] なお、撮像装置 1 は、複数の画素 P が 1 つの読み出し回路 20 を共有する構成を有していてもよい。例えば、撮像装置 1 では、読み出し回路 20 は、複数の画素 P に対して設けられる。複数の画素 P 毎に読み出し回路 20 が配置され、複数の画素 P が 1 つの読み出し回路 20 を共有する。一例として、隣り合う 4 つの画素 P により構成される 2×2 画素が、1 つの読み出し回路 20 を共有していてもよい。

[0063] 図 6 は、実施の形態に係る撮像装置の画素の平面構成の一例を示す図である。図 7 及び図 8 は、撮像装置の画素の断面構成の一例を示す図である。図 7 は、図 6 に示した A-A' 線方向における画素の構成例を表している。また、図 8 は、図 6 に示した B-B' 線方向における画素の構成例を表している。

[0064] 撮像装置 1 の各画素 P は、例えば、図 6～図 8 に示す構造を有する。画素 P は、第 1 の光電変換部 12a と、第 2 の光電変換部 12b と、トランジスタ TG1 と、トランジスタ TG2 と、フローティングディフュージョン FD と、半導体領域 35 とを有する。また、撮像装置 1 は、接続領域 36 と、接続領域 37 とを有し得る。

[0065] 撮像装置 1 は、半導体層 101 を含む基板 201 を用いて構成される。基板 201 は、例えば、Si（シリコン）基板等の半導体基板により構成される。なお、基板 201（基材）は、SOI（Silicon On Insulator）基板、SiGe（シリコンゲルマニウム）基板、他の化合物半導体材料等を用いて構成されてもよい。図 6～図 8 に示す例では、基板 201 は、半導体層 101 及び配線層 111 を含んで構成される。

[0066] 半導体層 101 は、図 7 及び図 8 に示すように、対向する面 11S1 及び面 11S2 を有する。面 11S2 は、面 11S1 とは反対側の面である。半導体層 101 の面 11S1 は、例えば、トランジスタ等の素子が形成される

素子形成面である。半導体層101の面11S1には、ゲート電極、ゲート絶縁膜（例えばゲート酸化膜）等が設けられる。半導体層101の面11S2は、例えば、受光面（光入射面）である。

[0067] 半導体層101では、半導体層101の面11S1及び面11S2に沿って、複数の光電変換部12（光電変換素子）が設けられる。光電変換部12（光電変換領域）は、光電変換層ともいえる。半導体層101には、例えば、複数の第1の光電変換部12a及び複数の第2の光電変換部12bが埋め込み形成される。第1の光電変換部12aと第2の光電変換部12bは、半導体層101の面11S1と面11S2との間に設けられている。

[0068] 半導体層101は、図7及び図8に示すように、ウェル25を有する。ウェル25は、例えば、p型の半導体領域であり、p型のウェル（pウェル）である。図7及び図8に示す例では、半導体層101には、p型のウェル領域であるウェル25が設けられる。

[0069] 第1の光電変換部12aは、ウェル25内に設けられた半導体領域15aを含んで構成される。また、第2の光電変換部12bは、ウェル25内に設けられた半導体領域15bを含んで構成される。半導体領域15a及び半導体領域15bは、例えば、それぞれ、n型の半導体領域である。

[0070] 図6等に示す例では、第1の光電変換部12aと第2の光電変換部12bとは、半導体層101においてX軸方向に並ぶように設けられる。半導体層101の面11S1側には、トランジスタTG1、トランジスタTG2、フローティングディフュージョンFD、半導体領域35等が設けられる。フローティングディフュージョンFDは、例えば、n型の半導体領域を含んで構成される。

[0071] 撮像装置1は、図6～図8に示すように、画素Pの周囲に設けられる分離領域（分離部）である画素分離領域91を有する。画素分離領域91は、例えば、トレンチ（溝部）を用いて構成される。図6～図8に示す例では、画素分離領域91は、分離領域91a及び分離領域91bを有し、半導体層101を貫通するように設けられる。

- [0072] 分離領域 9 1 a 及び分離領域 9 1 b は、それぞれ、半導体層 1 0 1 において、隣り合う複数の画素 P の間に設けられ、画素 P（又は光電変換部 1 2）間を分離する。分離領域 9 1 a 及び分離領域 9 1 b の各々の少なくとも一部は、隣り合う画素 P の境界に設けられる。画素 P は、分離領域 9 1 a 及び分離領域 9 1 b によって区画された構造を有するともいえる。
- [0073] 分離領域 9 1 a 及び分離領域 9 1 b は、例えば、それぞれトレンチ（溝部）により構成される。分離領域 9 1 a は、S T I（Shallow Trench Isolation）構造を有し、半導体層 1 0 1 の面 1 1 S 1 側に設けられる。分離領域 9 1 b は、F T I（Full Trench Isolation）構造を有し、半導体層 1 0 1 を貫通するように形成される。図 6 ～図 8 に示す例では、分離領域 9 1 a は、半導体層 1 0 1 において、トランジスタ T G 1、T G 2、フローティングディフュージョン F D、及び半導体領域 3 5 等を囲むように設けられる。
- [0074] また、分離領域 9 1 b は、半導体層 1 0 1 において、第 1 の光電変換部 1 2 a と第 2 の光電変換部 1 2 b を囲むように設けられる。分離領域 9 1 a 及び分離領域 9 1 b は、平面視において、各画素 P の第 1 の光電変換部 1 2 a 及び第 2 の光電変換部 1 2 b を囲むように格子状に形成される（図 2 も参照）。画素分離領域 9 1 は、画素間分離部または画素間分離壁ともいえる。
- [0075] 分離領域 9 1 a 及び分離領域 9 1 b の各々のトレンチ内には、一例として、酸化膜（例えばシリコン酸化膜）、窒化膜（例えばシリコン窒化膜）等の絶縁膜（絶縁体）が設けられる。分離領域 9 1 a 及び分離領域 9 1 b には、ポリシリコン、金属材料、他の絶縁材料等が埋め込まれていてもよい。
- [0076] また、分離領域 9 1 a 及び分離領域 9 1 b の少なくとも一方は、空隙（空洞）を有していてもよい。分離領域 9 1 b は、分離領域 9 1 a 内に形成されていてもよい。例えば、分離領域 9 1 b は、半導体層 1 0 1 の面 1 1 S 1 側に設けられた分離領域 9 1 a 内から、半導体層 1 0 1 の面 1 1 S 2 まで設けられていてもよい。
- [0077] 分離領域 9 1 b の側壁には、図 8 等 to 示すように、半導体領域 1 8 が設けられる。半導体領域 1 8 は、所定の導電型の半導体領域であり、不純物を用

いて形成される領域である。半導体領域 18 は、例えば、p 型の半導体領域であり、半導体層 101 に p 型の不純物がドーピング（添加）されることによって形成される。

[0078] 半導体領域 18 は、例えば、イオン注入または固相拡散によって、分離領域 91b の側面（側部）に設けられる。半導体領域 18 は、ピニング膜（ピニング層）であり、分離領域 91b の側壁を覆うように形成され得る。半導体領域 18 が設けられることで、暗電流の発生が抑制される。

[0079] 撮像装置 1 は、分離領域 91a 及び分離領域 91b の少なくとも一方の側壁（側面）に、固定電荷膜を有していてもよい。固定電荷膜は、例えば、分離領域 91a 及び分離領域 91b の各々の側壁に沿って設けられる。固定電荷膜は、一例として、金属化合物（金属酸化物、金属窒化物等）によって構成される。固定電荷膜は、固定電荷を有する膜であり、高誘電材料を用いて形成され得る。

[0080] 固定電荷膜は、一例として、酸化ハフニウム、酸化アルミニウム、酸化タンタル、酸化チタン、酸化ジルコニウム等の金属酸化物により構成される。固定電荷膜は、例えば、負の固定電荷を有する膜である。撮像装置 1 では、固定電荷膜が設けられることで、暗電流の発生を抑制することができる。なお、固定電荷膜は、他の金属酸化膜により構成されてもよく、金属窒化膜または金属酸窒化膜を用いて構成されてもよい。固定電荷膜として、正の固定電荷を有する膜を設けるようにしてもよい。

[0081] 画素分離領域 91 には、所定の電位（電圧）を与えるようにしてもよい。分離領域 91a 及び分離領域 91b の少なくとも一方は、例えば、導電材料が充填されたトレンチにより構成され、配線層の配線等を介して、負のバイアス電圧が与えられる。これにより、暗電流の発生を効果的に抑制することができる。また、不要な寄生容量が生じることを防ぐことができる。

[0082] また、撮像装置 1 の各画素 P には、分離領域 92a と、分離領域 92b が設けられる。分離領域 92a 及び分離領域 92b は、半導体層 101 において、隣り合う第 1 の光電変換部 12a 及び第 2 の光電変換部 12b の間に設

けられる。分離領域 9 2 a と分離領域 9 2 b とは、例えば、図 6 に示す例のように、第 1 の光電変換部 1 2 a と第 2 の光電変換部 1 2 b との間において Y 軸方向に並ぶように設けられる。

[0083] 分離領域 9 2 a 及び分離領域 9 2 b は、例えば、トレンチ（溝部）を用いて構成され、F T I 構造を有する。分離領域 9 2 a と分離領域 9 2 b は、それぞれ、一例として、半導体層 1 0 1 を貫通するように設けられ、素子間を分離する。なお、分離領域 9 2 a 及び分離領域 9 2 b の各々は、半導体層 1 0 1 の面 1 1 S 1 側から、半導体層 1 0 1 の面 1 1 S 1 と面 1 1 S 2 との間まで設けられてもよい。

[0084] 分離領域 9 2 a 及び分離領域 9 2 b の各々のトレンチ内には、一例として、酸化膜（例えばシリコン酸化膜）、窒化膜（例えばシリコン窒化膜）等の絶縁膜が設けられる。分離領域 9 2 a 及び分離領域 9 2 b には、ポリシリコン、金属材料、他の絶縁材料等が埋め込まれていてもよい。なお、分離領域 9 2 a 及び分離領域 9 2 b の少なくとも一方は、空隙（空洞）を有していてもよい。

[0085] 分離領域 9 2 a 及び分離領域 9 2 b は、例えば、平面視において、Y 軸方向に延びた形状を有する。分離領域 9 2 a と分離領域 9 2 b と画素分離領域 9 1 とは、図 6 に示す例のように、連続して形成され、一体に設けられ得る。分離領域 9 2 a 及び分離領域 9 2 b は、それぞれ、画素分離領域 9 1 から画素 P の中央に向かって突出する構造部分ともいえる。

[0086] トランジスタ T G 1 及びトランジスタ T G 2 は、それぞれ、ゲート電極 4 5 とゲート絶縁膜 4 6 を有する。トランジスタ T G 1 とトランジスタ T G 2 は、例えば、縦型ゲート構造を有する。ゲート電極 4 5 及びゲート絶縁膜 4 6 の各々の少なくとも一部は、半導体層 1 0 1 内に設けられる。

[0087] ゲート電極 4 5 とゲート絶縁膜 4 6 の各々の少なくとも一部は、例えば、図 7 又は図 8 に示す例のように、半導体層 1 0 1 を掘り込んで設けられる。トランジスタ T G 1 , T G 2 は、縦型トランジスタともいえる。ゲート電極 4 5 とゲート絶縁膜 4 6 の各々の一部は、半導体層 1 0 1 に埋め込まれるよ

うに配置され得る。

- [0088] トランジスタTG1及びトランジスタTG2は、それぞれ、半導体層101内に設けられる部分VGを有する。ゲート電極45の部分VGは、例えば、半導体層101（又は基板201）の厚さ方向に延びるように設けられる。ゲート電極45の部分VGは、半導体層101の面11S1と直交する厚さ方向に延びるように形成された構造部分ともいえる。
- [0089] トランジスタTG1のゲート電極45及びゲート絶縁膜46は、一例として、半導体層101において、第1の光電変換部12aに達するように形成される。図8に示す例では、トランジスタTG1のゲート電極45の部分VGは、半導体層101の面11S1から半導体層101の内部に向かって延び、第1の光電変換部12aの領域まで設けられる。
- [0090] また、トランジスタTG2のゲート電極45及びゲート絶縁膜46は、例えば、半導体層101において、第2の光電変換部12bに達するように形成される。図8に示す例では、トランジスタTG2のゲート電極45の部分VGは、半導体層101の面11S1から半導体層101の内部に向かって延び、第2の光電変換部12bの領域まで設けられる。
- [0091] トランジスタTG1のゲート電極45は、図6に示す例のように、平面視において、画素Pの略左半分の領域における中央付近、即ち第1の光電変換部12aを含む画素領域の中央付近に配置される。トランジスタTG1の部分VGの少なくとも一部は、図6等に示す例のように、画素Pの略左半分の中央に設けられる。
- [0092] また、トランジスタTG2のゲート電極45は、平面視において、例えば、画素Pの略右半分の領域における中央付近、即ち第2の光電変換部12bを含む画素領域の中央付近に配置される。トランジスタTG2の部分VGの少なくとも一部は、図6等に示す例のように、画素Pの略右半分の中央に設けられる。
- [0093] 撮像装置1の各画素Pは、図6に示す例のように、分離領域93を有し得る。分離領域93は、半導体層101において、分離領域92aと分離領域

92bとの間に設けられる。分離領域93は、図6に図示する例のように、分離領域92a及び分離領域92bの間の領域R1に設けられる。分離領域92aと分離領域92bとは、分離領域93を挟んで、Y軸方向に互いに並ぶように配置される。分離領域93は、例えば、分離領域92a、分離領域92bに隣接して形成され得る。

[0094] 分離領域93は、トランジスタTG1とトランジスタTG2との間に位置する。分離領域93は、図8に示す例のように、半導体層101において、トランジスタTG1のゲート電極45とトランジスタTG2のゲート電極45との間に設けられる。図8に示す例では、分離領域93は、半導体層101の面11S1から、第1の光電変換部12aと第2の光電変換部12bとの間まで設けられている。

[0095] トランジスタTG1及びトランジスタTG2の各々のゲート電極45は、分離領域93と隣り合うように設けられる。トランジスタTG1のゲート電極45の部分VGは、例えば、図6に示す例のように、分離領域92aと分離領域92bとに挟まれた領域R1の左側に配置される。また、トランジスタTG2のゲート電極45の部分VGは、例えば、分離領域92aと分離領域92bとの間に位置する領域R1の右側に配置される。

[0096] トランジスタTG1及びトランジスタTG2の各々のゲート電極45は、図9に示す例のように、分離領域92aと分離領域92bとの間をX軸方向に延伸する領域R2に設けられ得る。領域R2は、例えば、分離領域92aと分離領域92bとの間の領域R1を、X軸方向に延ばした領域ともいえる。

[0097] トランジスタTG1又はトランジスタTG2のゲート電極45の部分VGは、例えば図9に示す例のように、領域R2に配置される。トランジスタTG1のゲート電極45の部分VGと、トランジスタTG2のゲート電極45の部分VGとは、それぞれ、領域R2内に位置している。

[0098] トランジスタTG1のゲート電極45の部分VGは、図8に示す例のように、半導体層101において、分離領域93と分離領域91aとの間から、

第1の光電変換部12aの領域まで設けられ得る。トランジスタTG2のゲート電極45の部分VGは、半導体層101において、分離領域93と分離領域91aとの間から、第2の光電変換部12bの領域まで設けられ得る。ゲート絶縁膜46は、半導体層101内において、ゲート電極45の部分VGに沿って形成される。

[0099] トランジスタTG1及びトランジスタTG2の各々のゲート電極45は、例えば、ポリシリコン(Poly-Si)を用いて構成される。ゲート電極45は、金属材料または金属化合物を用いて構成されてもよい。ゲート電極45は、例えば、窒化チタン(TiN)、窒化タンタル(TaN)、タングステン(W)等により構成されてもよい。なお、ゲート電極45の側面には、それぞれ、サイドウォールが設けられ得る。

[0100] トランジスタTG1及びトランジスタTG2の各々のゲート絶縁膜46は、例えば、酸化シリコン(SiO)、酸窒化シリコン(SiON)、酸化ハフニウム(HfO)等のうちの1種よりなる単層膜、或いは、これらのうちの2種以上よりなる積層膜により構成される。ゲート絶縁膜46は、ハフニウム系絶縁膜など、酸化シリコンの誘電率よりも高い誘電率を有する高誘電率材料を用いて形成されてもよい。

[0101] 図6に示す半導体領域35は、ウェル25と同じ導電型の半導体領域であり、半導体層101の面11S1側に設けられる。半導体領域35は、ウェル25に対して設けられ、ウェル25と電氣的に接続される。半導体領域35は、例えば、半導体層101内に設けられるp型の半導体領域であり、p型の不純物を用いて形成される領域である。

[0102] 半導体領域35は、例えば、ウェル25の不純物濃度よりも高い不純物濃度を有し、p+型の半導体領域となる。p+領域である半導体領域35は、p+型の拡散領域であり、p+型の導電領域ともいえる。半導体領域35は、接続領域36を介して、コンタクト50と電氣的に接続される。コンタクト50は、基板201の配線層111に設けられる。

[0103] コンタクト50は、タングステン(W)等の導電材料を用いて構成される

。コンタクト50は、例えば、導電材料をコンタクトホールに埋め込む（充填する）ことによって形成される。なお、コンタクト50は、アルミニウム（Al）、銅（Cu）等の金属材料により構成されてもよく、その他の材料を用いて構成されてもよい。

[0104] 図6等に示す例では、半導体領域35は、接続領域36に接続され、接続領域36上に設けられたコンタクト50を介して配線層111の配線（不図示）と電氣的に接続される。コンタクト50は、接続領域36及び半導体領域35によって、ウェル25と電氣的に接続される。

[0105] 半導体領域35と電氣的に接続されるウェル25の領域には、配線層111の配線及びコンタクト50等によって、所定の電位（電圧）が供給される。コンタクト50は、ウェルコンタクトであり、半導体領域35は、ウェルコンタクト領域といえる。コンタクト50及び半導体領域35は、例えば、画素P毎に配置される。なお、半導体領域35と接続領域36とコンタクト50とを併せて、ウェルコンタクト領域ということもできる。

[0106] 半導体領域35は、例えば、コンタクト50を介して配線層111内の基準電位線と電氣的に接続され、半導体領域35及びウェル25には、基準電位が与えられる。一例として、半導体領域35及びウェル25には、コンタクト50を介して、GND電位（接地電位）が与えられる。

[0107] 接続領域36は、半導体領域35の周囲に設けられる。接続領域36の少なくとも一部は、半導体領域35に接して設けられる。接続領域36は、例えば、半導体層101の面11S1側において、半導体領域35に隣接して形成される。図7に示す例では、接続領域36は、分離領域91a内部の上方に位置している。

[0108] 接続領域36は、例えば、不純物がドーピング（添加）されたポリシリコンにより構成される。接続領域36は、高濃度の不純物を含み、導体領域（導電部）として構成され得る。接続領域36は、例えば、半導体領域35又はウェル25の不純物濃度よりも高い不純物濃度を有する。なお、接続領域36（導体領域）は、他の導電材料（例えば金属材料など）を用いて構成されて

もよい。

- [0109] コンタクト50は、配線層111において接続領域36の上に設けられる。コンタクト50は、接続領域36を介して、半導体領域35及びウェル25に電氣的に接続される。図6に示す例では、コンタクト50、接続領域36、及び半導体領域35は、トランジスタTG1（又はトランジスタTG2）に対して、フローティングディフュージョンFD及び接続領域37とは反対側に設けられる。
- [0110] コンタクト50、接続領域36、及び半導体領域35は、一例として、図6に示す例のように、平面視において、トランジスタTG1（又はトランジスタTG2）の下側に位置する。また、撮像装置1では、図10に示す例のように、隣り合う複数の画素Pの各々の半導体領域35は、共通の接続領域36を介して、コンタクト50に電氣的に接続され得る。
- [0111] 撮像装置1では、接続領域36を介して、ウェル25内に設けられた半導体領域35とコンタクト50とが電氣的に接続される。ウェルコンタクト及びウェルコンタクト領域をサイドコンタクト構造とすることで、画素Pにおける面積効率を向上させることが可能となる。
- [0112] 接続領域37は、半導体層101において、フローティングディフュージョンFDの周囲に設けられる。接続領域37は、例えば、不純物を含む半導体領域または導体領域である。接続領域37は、一例として、不純物がドーピングされたポリシリコンにより構成される。接続領域37は、他の導電材料を用いて構成されてもよい。接続領域37の少なくとも一部は、フローティングディフュージョンFDに接して設けられる。
- [0113] フローティングディフュージョンFD及び接続領域37は、例えば、トランジスタTG1（又はトランジスタTG2）に対して、コンタクト50、接続領域36、及び半導体領域35とは反対側に設けられる。フローティングディフュージョンFD及び接続領域37は、一例として、図6に示す例のように、平面視において、トランジスタTG1（又はトランジスタTG2）の上側に位置する。

- [0114] 撮像装置 1 では、例えば、読み出し回路 20 を共有する複数の画素 P の各々のフローティングディフュージョン F D は、図 10 に示す例のように、接続領域 37 を介して、互いに電氣的に接続される。複数の画素 P の各々のフローティングディフュージョン F D は、接続領域 37 を介して、読み出し回路 20 のトランジスタ AMP、トランジスタ R S T 等と電氣的に接続される。フローティングディフュージョン F D 及び接続領域 37 をサイドコンタクト構造とすることで、画素 P における面積効率を向上させることが可能となる。
- [0115] 撮像装置 1 では、トランジスタ T G 1（又はトランジスタ T G 2）のゲート電極 45 は、分離領域 92 a 及び分離領域 92 b の間の領域 R 1 と、画素分離領域 91 との間に設けられる。このため、トランジスタ T G 1（又はトランジスタ T G 2）のゲート電極 45 と、フローティングディフュージョン F D またはウェルコンタクト領域との間における電界を緩和することができる。画素の信号にノイズが混入することを抑制することが可能となる。撮像装置 1 は、微細化に有利な構造を有することができる。
- [0116] トランジスタ T G 1（又はトランジスタ T G 2）のゲート電極 45 は、例えば図 9 に示すように、分離領域 92 a 及び分離領域 92 b の間を延伸する領域 R 2 内に配置される。このように撮像装置 1 を構成することにより、図 11 において矢印で示すように、ゲート電極 45 と半導体領域 35 又は接続領域 36 との距離、ゲート電極 45 とフローティングディフュージョン F D 又は接続領域 37 との距離を確保することができる。
- [0117] 特に微細画素の場合も、ゲート電極 45 と半導体領域 35 又は接続領域 36 との間、ゲート電極 45 とフローティングディフュージョン F D 又は接続領域 37 との間において、強電界が生じることを抑制することが可能となる。画素信号に混入するノイズを低減させることができ、画素信号を用いて生成される画像の画質低下を抑制することができる。画像に白点等の不良（欠陥）が生じることを抑制することが可能となる。
- [0118] また、撮像装置 1 では、トランジスタ T G 1（又はトランジスタ T G 2）

のゲート電極４５は、例えば、画素Ｐの左半分（又は右半分）の領域における中央付近に設けられる。このため、図１２において矢印で模式的に示すように、例えば、第１の光電変換部１２ａの中心からゲート電極４５にダイレクトに電荷の転送経路が形成され、電荷の転送特性を向上させることが可能となる。

[0119] さらに、撮像装置１では、トランジスタＴＧ１とトランジスタＴＧ２との間に、分離領域９３が設けられる。このため、トランジスタＴＧ１及びトランジスタＴＧ２間を適切に分離することができ、電荷の漏れ込みが生じることを抑制することができる。トランジスタＴＧ１とトランジスタＴＧ２との間に形成される不要な寄生容量を低減することが可能となる。画素信号にノイズが混入することを抑制し、画素信号の品質低下を抑制することができる。位相差検出の精度が低下することを抑制することが可能となる。

[0120] 図１３は、実施の形態に係る撮像装置の断面構成の一例を示す図である。撮像装置１は、例えば、図１３に示す例のように、半導体層１０１と、配線層１１１と、配線層１２１と、半導体層１０２と、配線層１２２と、配線層１３１と、半導体層１０３とを有する。

[0121] 撮像装置１は、例えば、第１層（第１階層）として、上述した半導体層１０１と配線層１１１を有する。撮像装置１は、第２層（第２階層）として、半導体層１０２と配線層１２１と配線層１２２を有する。また、撮像装置１は、第３層（第３階層）として、半導体層１０３と配線層１３１を有する。撮像装置１は、第１層～第３層がＺ軸方向に積層された構成を有する。

[0122] 図１３に示す例では、光が入射する側から、半導体層１０１と、配線層１１１と、配線層１２１と、半導体層１０２と、配線層１２２と、配線層１３１と、半導体層１０３とが設けられている。半導体層１０１、半導体層１０２、及び半導体層１０３は、半導体基板（例えばシリコン基板、ＳＯＩ（Silicon On Insulator）基板等）によって構成される。

[0123] 撮像装置１は、一例として、半導体層１０１と配線層１１１とを含む基板２０１と、半導体層１０２と配線層１２１と配線層１２２とを含む基板２０

2と、半導体層103と配線層131とを含む基板203によって構成され得る。半導体層102は、対向する面12S1及び面12S2を有する。半導体層102の面12S2は、面12S1とは反対側の面である。

[0124] また、半導体層103は、対向する面13S1及び面13S2を有する。半導体層103の面13S2は、面13S1とは反対側の面である。面11S1、面12S1、面13S1は、例えば、それぞれ、トランジスタ等の素子が形成される素子形成面である。面11S1、12S1、13S1の各々には、ゲート電極、ゲート絶縁膜（例えばゲート酸化膜）等が設けられ得る。

[0125] 図13では、画素PのトランジスタTG1、TG2、トランジスタAMP、トランジスタSEL、トランジスタRST等を図示している。半導体層101の面11S1側には、トランジスタTG1、TG2、及びフローティングディフュージョンFDが形成される。半導体層102の面12S1側には、読み出し回路20の各トランジスタ（トランジスタAMP、SEL、RST等）が設けられる。

[0126] 半導体層101の面11S1側には、配線層111が設けられる。半導体層101の面11S2側には、上述したレンズ31及びフィルタ32が設けられる。光学系からの光が入射する側にレンズ31及びフィルタ32等が設けられ、光が入射する側とは反対側に配線層111が設けられる。レンズ31及びフィルタ32は、半導体層101の面11S2と直交する厚さ方向において、半導体層101に積層される。

[0127] レンズ31及びフィルタ32は、例えば、画素P毎または複数の画素P毎に、半導体層101の面11S2側に設けられる。フィルタ32は、一例として、レンズ31と半導体層101との間に形成される。第1の光電変換部12a及び第2の光電変換部12bは、それぞれ、レンズ31及びフィルタ32を介して入射する光を光電変換する。

[0128] 半導体層102の面12S1側には配線層121が設けられ、半導体層102の面12S2側には配線層122が設けられる。半導体層103の面1

３Ｓ１側には、配線層１３１が設けられる。配線層１１１、１２１、１２２、１３１は、それぞれ、例えば、導体膜および絶縁膜を含み、複数の配線およびビア（ＶＩＡ）等を有する。

[0129] 配線層１１１、１２１、１２２、１３１は、それぞれ、例えば２層以上、又は３層以上の配線を含む。配線層１１１、１２１、１２２、１３１は、例えば、層間絶縁膜（層間絶縁層）としての絶縁膜を介して、複数の配線が積層された構成を有する。

[0130] 配線層１１１、１２１、１２２、１３１の各々の配線は、例えば、アルミニウム（Ａｌ）、タングステン（Ｗ）、銅（Ｃｕ）等の金属材料を用いて形成される。なお、配線層１１１、１２１、１２２、１３１の各々の配線は、ポリシリコン（Ｐｏｌｙ－Ｓｉ）、その他の導電材料を用いて構成されてもよい。層間絶縁膜は、例えば、酸化シリコン（ＳｉＯ）、窒化シリコン（ＳｉＮ）、酸窒化シリコン（ＳｉＯＮ）等を用いて形成される。

[0131] 半導体層１０１及び配線層１１１には、例えば、上述のように、各画素Ｐの第１の光電変換部１２ａ及び第２の光電変換部１２ｂ、トランジスタＴＧ１及びトランジスタＴＧ２、フローティングディフュージョンＦＤ等が設けられる。読み出し回路２０の各トランジスタ（トランジスタＡＭＰ、ＳＥＬ、ＲＳＴ等）は、半導体層１０２及び配線層１２１に設けられる。

[0132] 図１４は、実施の形態に係る撮像装置の断面構成の別の例を示す図である。図１４に示す例では、光が入射する側から、半導体層１０１と、配線層１１１と、半導体層１０２と、配線層１２１と、配線層１３１と、半導体層１０３とが設けられる。半導体層１０１、半導体層１０２、及び半導体層１０３は、半導体基板（シリコン基板、ＳＯＩ基板等）によって構成される。例えば、半導体層１０２は、ＳＯＩ基板におけるＢＯＸ（Buried Oxide）層上のシリコン層によって構成され得る。

[0133] 図１４に示す例では、半導体層１０１と半導体層１０２とは、面１１Ｓ１と面１２Ｓ２が互いに対向するように設けられる。半導体層１０１と半導体層１０２とは、配線層１１１が半導体層１０２に面するように積層される。

また、半導体層 102 と半導体層 103 とは、例えば、面 12S1 と面 13S1 が互いに対向するように積層される。

[0134] 撮像装置 1 では、上述した信号処理部 112、制御部 113、及び処理部 114 等は、例えば、半導体層 103 及び配線層 131 に設けられる。撮像装置 1 では、図 13 又は図 14 に示す例のように、光電変換部 12 と読み出し回路 20 とが別々の層に配置され得る。このため、撮像装置 1 は、画素の微細化に有利な構造を有することができる。

[0135] [作用・効果]

本実施の形態に係る光検出装置は、第 1 半導体層（半導体層 101）と、第 1 半導体層において第 1 方向（例えば X 軸方向）に並ぶように設けられる第 1 光電変換素子及び第 2 光電変換素子（第 1 の光電変換部 12a、第 2 の光電変換部 12b）を有する第 1 画素を含む複数の画素（画素 P）と、第 1 半導体層において、画素の周囲に設けられる画素分離領域（画素分離領域 91）とを備える。第 1 画素は、第 1 光電変換素子と第 2 光電変換素子との間において、第 1 方向に交差する第 2 方向（例えば Y 軸方向）に並ぶように設けられる第 1 分離領域及び第 2 分離領域（分離領域 92a、分離領域 92b）と、第 1 半導体層において第 1 光電変換素子に達するように設けられる第 1 ゲート電極（ゲート電極 45）を有し、第 1 光電変換素子で光電変換された電荷を転送可能な第 1 トランジスタ（例えばトランジスタ TG1）とを有する。第 1 ゲート電極は、第 1 分離領域及び第 2 分離領域の間の領域と、画素分離領域との間に設けられている。

[0136] 本実施の形態に係る光検出装置（撮像装置 1）では、トランジスタ TG1 のゲート電極 45 は、分離領域 92a 及び分離領域 92b の間の領域 R1 と、画素分離領域 91 との間に設けられる。このため、撮像装置 1 は、ゲート電極 45 とその周囲の領域（フローティングディフュージョン FD、半導体領域 35 等）との間における電界を緩和することが可能となる。微細化に有利な光検出装置を実現することが可能となる。

[0137] 次に、本開示の変形例について説明する。以下では、上記実施の形態と同

様の構成要素については同一の符号を付し、適宜説明を省略する。

[0138] < 2. 変形例 >

(2 - 1. 変形例 1)

図 1 5 A は、本開示の変形例 1 に係る撮像装置の構成例を説明するための図である。分離領域 9 3 は、例えば、図 1 5 A に示す例のように、分離領域 9 3 の底部 B 1 (下端) がトランジスタ T G 1 (又はトランジスタ T G 2) のゲート電極 4 5 の底部 B 2 (下端) よりも下方に位置するように設けられてもよい。

[0139] 図 1 5 A に示す例では、分離領域 9 3 の底部 B 1 は、半導体層 1 0 1 の面 1 1 S 1 からの深さがゲート電極 4 5 の底部 B 2 よりも深い領域に形成される。このように撮像装置 1 を構成することにより、トランジスタ T G 1 及びトランジスタ T G 2 間を適切に分離することができる。トランジスタ T G 1 及びトランジスタ T G 2 間において電荷の漏れ込みが生じることを効果的に抑制することが可能となる。

[0140] 図 1 5 B は、変形例 1 に係る撮像装置の別の構成例を説明するための図である。図 1 5 B に示す例では、トランジスタ T G 1 (又はトランジスタ T G 2) のゲート電極 4 5 の底部 B 2 よりも分離領域 9 3 の底部 B 1 が上方に位置するように、分離領域 9 3 が設けられる。この場合、分離領域 9 3 の界面における暗電流を低減させることが期待できる。

[0141] 図 1 5 C は、変形例 1 に係る撮像装置の別の構成例を説明するための図である。撮像装置 1 では、図 1 5 C に示す例のように、分離領域 9 3 は、分離領域 9 3 の底部 B 1 がトランジスタ T G 1 (又はトランジスタ T G 2) のゲート電極 4 5 の底部 B 2 と同じ深さに位置するように設けられてもよい。

[0142] (2 - 2. 変形例 2)

図 1 6 は、変形例 2 に係る撮像装置の構成例を説明するための図である。撮像装置 1 は、分離領域 9 3 の側面 (側壁) に設けられる半導体領域 1 9 を有し得る。半導体領域 1 9 は、所定の導電型の半導体領域であり、不純物を用いて形成される領域である。半導体領域 1 9 は、例えば、p 型の半導体領

域であり、半導体層 101 に p 型の不純物がドーピングされることによって形成される。

[0143] 半導体領域 19 は、例えば、イオン注入または固相拡散によって、分離領域 93 の側面（側部）に設けられる。半導体領域 19 は、ピニング膜であり、分離領域 93 のトレンチの側壁に沿うように形成され得る。半導体領域 19 を設けることで、暗電流の発生を抑制することが可能となる。

[0144] 図 17 及び図 18 は、変形例 2 に係る撮像装置の別の構成例を説明するための図である。図 17 に示すように、撮像装置 1 は、固定電荷膜 48 を有していてもよい。固定電荷膜 48 は、図 17 に示す例のように、分離領域 93 の側面に設けられる。固定電荷膜 48 は、固定電荷を有する膜であり、例えば、高誘電材料を用いて形成され得る。固定電荷膜 48 が設けられることで、分離領域 93 の界面における暗電流の発生が抑制される。

[0145] 撮像装置 1 の分離領域 93 には、所定の電位（電圧）を与えるようにしてもよい。図 18 に示す例では、分離領域 93 は、例えば、導電材料が充填されたトレンチを有し、分離領域 93 の上に設けられたコンタクト 51 と電氣的に接続される。分離領域 93 には、コンタクト 51 を介して、一定の電圧（電位）が与えられる。これにより、分離領域 93 の界面における暗電流の発生を抑制することができる。また、不要な寄生容量が生じることを防ぐことが可能となる。

[0146] （2-3. 変形例 3）

上述した実施の形態では、トランジスタ TG の構成例について説明したが、トランジスタ TG の構成は、上述した例に限られない。図 19A～図 19D は、変形例 3 に係る撮像装置の構成例を説明するための図である。例えば、ゲート電極 45 の形状は、図 6 等に図示した例に限られず、適宜変更可能である。ゲート電極 45 は、図 19A に示すように、円形状を有していてもよい。

[0147] トランジスタ TG1（又はトランジスタ TG2）のゲート電極 45 の形状は、多角形、例えば図 19B 及び図 19C に示す例のように、縦長又は横長

の八角形状を有していてもよい。また、例えば、ゲート電極45は、複数の部分VG（図19Dでは、部分VGa，部分VGb）を有していてもよい。ゲート電極45の部分VGa，VGbは、例えば、それぞれ、光電変換部12に達するように設けられ得る。

[0148] 図20A及び図20Bは、変形例3に係る撮像装置の別の構成例を説明するための図である。図20Aに示す例のように、ゲート電極45は、ゲート電極45の部分VGが分離領域93に接するように設けられてもよい。また、分離領域93は、図20Bに示す例のように、分離領域92a及び分離領域92bから離れて設けられてもよい。本変形例の場合も、上記した実施の形態と同様の効果を得ることができる。

[0149] (2-4. 変形例4)

図21A及び図21Bは、変形例4に係る撮像装置の構成例を説明するための図である。分離領域93は、イオン注入によって形成される半導体領域（例えばp型の半導体領域）により構成されてもよい。分離領域93は、半導体層101の面11S1と面11S2との間まで形成されてもよく、半導体層101の面11S2まで達するように形成されてもよい。

[0150] (2-5. 変形例5)

図22A及び図22Bは、変形例5に係る撮像装置の構成例を説明するための図である。画素分離領域91の分離領域91a及び分離領域91bの少なくとも一方は、イオン注入によって形成される半導体領域（p型の半導体領域またはn型の半導体領域）により構成されてもよい。

[0151] 図22Aに示す例では、分離領域91bがFTI構造を有するトレンチにより構成され、分離領域91aがイオン注入によって形成される半導体領域により構成される。また、図22Bに示す例では、分離領域91aと分離領域91bとは、共に、イオン注入によって形成される半導体領域により構成される。

[0152] (2-6. 変形例6)

図23A～図23Cは、変形例6に係る撮像装置の構成例を説明するため

の図である。撮像装置 1 は、分離領域 9 3 の下方に設けられるオーバーフローパス 7 0 を有し得る。オーバーフローパス 7 0 は、不純物を用いて形成される領域、例えば n 型の半導体領域である。オーバーフローパス 7 0 は、半導体層 1 0 1 において、第 1 の光電変換部 1 2 a と第 2 の光電変換部 1 2 b との間に形成される。

[0153] オーバーフローパス 7 0 は、例えば、図 2 3 A に示すように、分離領域 9 3 の比較的近くに設けられてよい。また、例えば、図 2 3 B に示すように、分離領域 9 3 から離れて設けられてもよい。図 2 3 C に示すように、分離領域 9 3 は、分離領域 9 3 の周辺から半導体層 1 0 1 の面 1 1 S 2 側まで形成されてもよい。

[0154] 撮像装置 1 では、オーバーフローパス 7 0 が設けられることで、第 1 の光電変換部 1 2 a 及び第 2 の光電変換部 1 2 b の間において、オーバーフローした電荷を転送（移動）させることができる。例えば、第 1 の光電変換部 1 2 a に蓄積可能な電荷量（飽和電荷量）を超える電荷が生じた場合も、第 1 の光電変換部 1 2 a から溢れ出た電荷を第 2 の光電変換部 1 2 b に蓄積することができる。このため、第 1 の光電変換部 1 2 a で光電変換された電荷と第 2 の光電変換部 1 2 b で光電変換された電荷とを加算した電荷に応じた信号を得ることが可能となる。

[0155] （2－7．変形例 7）

図 2 4 A 及び図 2 4 B は、変形例 7 に係る撮像装置の構成例を説明するための図である。図 2 4 A に示すように、接続領域 3 6 を、半導体層 1 0 1 の面 1 1 S 1 上に設けるようにしてもよい。図 2 4 A に示す例では、接続領域 3 6 は、配線層 1 1 1 内に設けられる。また、図 2 4 B に示す例のように、接続領域 3 6 の一部が、半導体層 1 0 1 内に設けられていてもよい。例えば、接続領域 3 6 の一部が、分離領域 9 1 a のトレンチに形成されていてもよい。

[0156] また、図 2 4 A に示すように、接続領域 3 7 を、半導体層 1 0 1 の面 1 1 S 1 上に設けるようにしてもよい。図 2 4 A に示す例では、接続領域 3 7 は

、配線層 1 1 1 内に設けられる。図 2 4 B に示す例のように、接続領域 3 7 の一部が、半導体層 1 0 1 内に設けられてもよい。例えば、接続領域 3 7 の一部が、分離領域 9 1 a のトレンチ内に形成され得る。

[0157] (2-8. 変形例 8)

図 2 5 は、変形例 8 に係る撮像装置の構成例を説明するための図である。撮像装置 1 を、接続領域 3 6 及び接続領域 3 7 の少なくとも一方を有しない構成としてもよい。図 2 5 に示す例では、コンタクト 5 0 は、半導体領域 3 5 の上に設けられる。半導体領域 3 5 は、接続領域 3 6 を介さずに、コンタクト 5 0 と電氣的に接続される。また、フローティングディフュージョン F D は、接続領域 3 7 を介さずに、例えば配線層 1 1 1 の配線及びコンタクト等と電氣的に接続される。

[0158] (2-9. 変形例 9)

上述した実施の形態及び変形例では、撮像装置 1 の構成例について説明したが、あくまでも一例であって、撮像装置 1 の構成は、上述した例に限られない。例えば、撮像装置 1 のトランジスタ T G 1, T G 2 は、平面ゲート構造を有していてもよい。トランジスタ T G 1, T G 2 は、例えば、それぞれ、プレーナ型のトランジスタとして構成され得る。

[0159] <3. 適用例>

上記撮像装置 1 等は、例えば、デジタルスチルカメラやビデオカメラ等のカメラシステムや、撮像機能を有する携帯電話等、撮像機能を備えたあらゆるタイプの電子機器に適用することができる。図 2 6 は、電子機器 1 0 0 0 の概略構成を表したものである。

[0160] 電子機器 1 0 0 0 は、例えば、レンズ群 1 0 0 1 と、撮像装置 1 と、DSP (Digital Signal Processor) 回路 1 0 0 2 と、フレームメモリ 1 0 0 3 と、表示部 1 0 0 4 と、記録部 1 0 0 5 と、操作部 1 0 0 6 と、電源部 1 0 0 7 とを有し、バスライン 1 0 0 8 を介して相互に接続されている。

[0161] レンズ群 1 0 0 1 は、被写体からの入射光 (像光) を取り込んで撮像装置 1 の撮像面上に結像するものである。撮像装置 1 は、レンズ群 1 0 0 1 によ

って撮像面上に結像された入射光の光量を画素単位で電気信号に変換して画素信号としてDSP回路1002に供給する。

[0162] DSP回路1002は、撮像装置1から供給される信号を処理する信号処理回路である。DSP回路1002は、撮像装置1からの信号を処理して得られる画像データを出力する。フレームメモリ1003は、DSP回路1002により処理された画像データをフレーム単位で一時的に保持するものである。

[0163] 表示部1004は、例えば、液晶パネルや有機EL (Electro Luminescence) パネル等のパネル型表示装置からなり、撮像装置1で撮像された動画または静止画の画像データを、半導体メモリやハードディスク等の記録媒体に記録する。

[0164] 操作部1006は、ユーザによる操作に従い、電子機器1000が所有する各種の機能についての操作信号を出力する。電源部1007は、DSP回路1002、フレームメモリ1003、表示部1004、記録部1005および操作部1006の動作電源となる各種の電源を、これら供給対象に対して適宜供給するものである。

[0165] <4. 応用例>

(移動体への応用例)

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0166] 図27は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0167] 車両制御システム12000は、通信ネットワーク12001を介して接続された複数の電子制御ユニットを備える。図27に示した例では、車両制御システム12000は、駆動系制御ユニット12010、ボディ系制御ユ

ユニット１２０２０、車外情報検出ユニット１２０３０、車内情報検出ユニット１２０４０、及び統合制御ユニット１２０５０を備える。また、統合制御ユニット１２０５０の機能構成として、マイクロコンピュータ１２０５１、音声画像出力部１２０５２、及び車載ネットワークＩ／Ｆ（Interface）１２０５３が図示されている。

[0168] 駆動系制御ユニット１２０１０は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット１２０１０は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0169] ボディ系制御ユニット１２０２０は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット１２０２０は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウinker又はフォグラмп等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット１２０２０には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット１２０２０は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0170] 車外情報検出ユニット１２０３０は、車両制御システム１２０００を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット１２０３０には、撮像部１２０３１が接続される。車外情報検出ユニット１２０３０は、撮像部１２０３１に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット１２０３０は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0171] 撮像部１２０３１は、光を受光し、その光の受光量に応じた電気信号を出

力する光センサである。撮像部１２０３１は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部１２０３１が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0172] 車内情報検出ユニット１２０４０は、車内の情報を検出する。車内情報検出ユニット１２０４０には、例えば、運転者の状態を検出する運転者状態検出部１２０４１が接続される。運転者状態検出部１２０４１は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット１２０４０は、運転者状態検出部１２０４１から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0173] マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット１２０１０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むＡＤＡＳ（Advanced Driver Assistance System）の機能実現を目的とした協調制御を行うことができる。

[0174] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0175] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０で取得される車外の情報に基づいて、ボディ系制御ユニット１２０２０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０で検知した先行車又は対向

車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0176] 音声画像出力部 12052 は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図 27 の例では、出力装置として、オーディオスピーカ 12061、表示部 12062 及びインストルメントパネル 12063 が例示されている。表示部 12062 は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでもよい。

[0177] 図 28 は、撮像部 12031 の設置位置の例を示す図である。

[0178] 図 28 では、撮像部 12031 として、撮像部 12101、12102、12103、12104、12105 を有する。

[0179] 撮像部 12101、12102、12103、12104、12105 は、例えば、車両 12100 のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部 12101 及び車室内のフロントガラスの上部に備えられる撮像部 12105 は、主として車両 12100 の前方の画像を取得する。サイドミラーに備えられる撮像部 12102、12103 は、主として車両 12100 の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部 12104 は、主として車両 12100 の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部 12105 は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0180] なお、図 28 には、撮像部 12101 ないし 12104 の撮影範囲の一例が示されている。撮像範囲 12111 は、フロントノーズに設けられた撮像部 12101 の撮像範囲を示し、撮像範囲 12112、12113 は、それぞれサイドミラーに設けられた撮像部 12102、12103 の撮像範囲を示し、撮像範囲 12114 は、リアバンパ又はバックドアに設けられた撮像

部 1 2 1 0 4 の撮像範囲を示す。例えば、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 で撮像された画像データが重ね合わせられることにより、車両 1 2 1 0 0 を上方から見た俯瞰画像が得られる。

[0181] 撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の少なくとも 1 つは、距離情報を取得する機能を有していてもよい。例えば、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の少なくとも 1 つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0182] 例えば、マイクロコンピュータ 1 2 0 5 1 は、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 から得られた距離情報を基に、撮像範囲 1 2 1 1 1 ないし 1 2 1 1 4 内における各立体物までの距離と、この距離の時間的変化（車両 1 2 1 0 0 に対する相対速度）を求めることにより、特に車両 1 2 1 0 0 の進行路上にある最も近い立体物で、車両 1 2 1 0 0 と略同じ方向に所定の速度（例えば、0 km/h 以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ 1 2 0 5 1 は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0183] 例えば、マイクロコンピュータ 1 2 0 5 1 は、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 から得られた距離情報を元に、立体物に関する立体物データを、2 輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ 1 2 0 5 1 は、車両 1 2 1 0 0 の周辺の障害物を、車両 1 2 1 0 0 のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ 1 2 0 5 1 は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ 1 2 0 6 1 や表示部 1 2 0 6 2 を介してドライバに警報を出力することや、駆動系制御ユニット 1 2 0 1 0 を介して強制減速や回

避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0184] 撮像部 12101 ないし 12104 の少なくとも 1 つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ 12051 は、撮像部 12101 ないし 12104 の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部 12101 ないし 12104 の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ 12051 が、撮像部 12101 ないし 12104 の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部 12052 は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部 12062 を制御する。また、音声画像出力部 12052 は、歩行者を示すアイコン等を所望の位置に表示するように表示部 12062 を制御してもよい。

[0185] 以上、本開示に係る技術が適用され得る移動体制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、例えば、撮像部 12031 に適用され得る。具体的には、例えば、撮像装置 1 等は、撮像部 12031 に適用することができる。撮像部 12031 に本開示に係る技術を適用することにより、高精細な撮影画像を得ることが可能となる。移動体制御システムにおいて撮影画像を利用した高精度な制御を行うことが可能となる。

[0186] (内視鏡手術システムへの応用例)

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、内視鏡手術システムに適用されてもよい。

[0187] 図 29 は、本開示に係る技術（本技術）が適用され得る内視鏡手術システムの概略的な構成の一例を示す図である。

[0188] 図 29 では、術者（医師）11131 が、内視鏡手術システム 11000 を用いて、患者ベッド 11133 上の患者 11132 に手術を行っている様

子が図示されている。図示するように、内視鏡手術システム 11000 は、内視鏡 11100 と、気腹チューブ 11111 やエネルギー処置具 11112 等の、その他の術具 11110 と、内視鏡 11100 を支持する支持アーム装置 11120 と、内視鏡下手術のための各種の装置が搭載されたカート 11200 と、から構成される。

[0189] 内視鏡 11100 は、先端から所定の長さの領域が患者 11132 の体腔内に挿入される鏡筒 11101 と、鏡筒 11101 の基端に接続されるカメラヘッド 11102 と、から構成される。図示する例では、硬性の鏡筒 11101 を有するいわゆる硬性鏡として構成される内視鏡 11100 を図示しているが、内視鏡 11100 は、軟性の鏡筒を有するいわゆる軟性鏡として構成されてもよい。

[0190] 鏡筒 11101 の先端には、対物レンズが嵌め込まれた開口部が設けられている。内視鏡 11100 には光源装置 11203 が接続されており、当該光源装置 11203 によって生成された光が、鏡筒 11101 の内部に延設されるライトガイドによって当該鏡筒の先端まで導光され、対物レンズを介して患者 11132 の体腔内の観察対象に向かって照射される。なお、内視鏡 11100 は、直視鏡であってもよいし、斜視鏡又は側視鏡であってもよい。

[0191] カメラヘッド 11102 の内部には光学系及び撮像素子が設けられており、観察対象からの反射光（観察光）は当該光学系によって当該撮像素子に集光される。当該撮像素子によって観察光が光電変換され、観察光に対応する電気信号、すなわち観察像に対応する画像信号が生成される。当該画像信号は、RAW データとしてカメラコントロールユニット（CCU: Camera Control Unit）11201 に送信される。

[0192] CCU 11201 は、CPU（Central Processing Unit）や GPU（Graphics Processing Unit）等によって構成され、内視鏡 11100 及び表示装置 11202 の動作を統括的に制御する。さらに、CCU 11201 は、カメラヘッド 11102

から画像信号を受け取り、その画像信号に対して、例えば現像処理（デモザイク処理）等の、当該画像信号に基づく画像を表示するための各種の画像処理を施す。

- [0193] 表示装置 11202 は、CCU 11201 からの制御により、当該 CCU 11201 によって画像処理が施された画像信号に基づく画像を表示する。
- [0194] 光源装置 11203 は、例えば LED (Light Emitting Diode) 等の光源から構成され、術部等を撮影する際の照射光を内視鏡 11100 に供給する。
- [0195] 入力装置 11204 は、内視鏡手術システム 11000 に対する入力インタフェースである。ユーザは、入力装置 11204 を介して、内視鏡手術システム 11000 に対して各種の情報の入力や指示入力を行うことができる。例えば、ユーザは、内視鏡 11100 による撮像条件（照射光の種類、倍率及び焦点距離等）を変更する旨の指示等を入力する。
- [0196] 処置具制御装置 11205 は、組織の焼灼、切開又は血管の封止等のためのエネルギー処置具 11112 の駆動を制御する。気腹装置 11206 は、内視鏡 11100 による視野の確保及び術者の作業空間の確保の目的で、患者 11132 の体腔を膨らめるために、気腹チューブ 11111 を介して当該体腔内にガスを送り込む。レコーダ 11207 は、手術に関する各種の情報を記録可能な装置である。プリンタ 11208 は、手術に関する各種の情報を、テキスト、画像又はグラフ等各種の形式で印刷可能な装置である。
- [0197] なお、内視鏡 11100 に術部を撮影する際の照射光を供給する光源装置 11203 は、例えば LED、レーザ光源又はこれらの組み合わせによって構成される白色光源から構成することができる。RGB レーザ光源の組み合わせにより白色光源が構成される場合には、各色（各波長）の出力強度及び出力タイミングを高精度に制御することができるため、光源装置 11203 において撮像画像のホワイトバランスの調整を行うことができる。また、この場合には、RGB レーザ光源それぞれからのレーザ光を時分割で観察対象に照射し、その照射タイミングに同期してカメラヘッド 11102 の撮像素

子の駆動を制御することにより、RGBそれぞれに対応した画像を時分割で撮像することも可能である。当該方法によれば、当該撮像素子にカラーフィルタを設けなくても、カラー画像を得ることができる。

[0198] また、光源装置11203は、出力する光の強度を所定の時間ごとに変更するようにその駆動が制御されてもよい。その光の強度の変更のタイミングに同期してカメラヘッド11102の撮像素子の駆動を制御して時分割で画像を取得し、その画像を合成することにより、いわゆる黒つぶれ及び白とびのない高ダイナミックレンジの画像を生成することができる。

[0199] また、光源装置11203は、特殊光観察に対応した所定の波長帯域の光を供給可能に構成されてもよい。特殊光観察では、例えば、体組織における光の吸収の波長依存性を利用して、通常の観察時における照射光（すなわち、白色光）に比べて狭帯域の光を照射することにより、粘膜表層の血管等の所定の組織を高コントラストで撮影する、いわゆる狭帯域光観察（Narrow Band Imaging）が行われる。あるいは、特殊光観察では、励起光を照射することにより発生する蛍光により画像を得る蛍光観察が行われてもよい。蛍光観察では、体組織に励起光を照射し当該体組織からの蛍光を観察すること（自家蛍光観察）、又はインドシアニンググリーン（ICG）等の試薬を体組織に局注するとともに当該体組織にその試薬の蛍光波長に対応した励起光を照射し蛍光像を得ること等を行うことができる。光源装置11203は、このような特殊光観察に対応した狭帯域光及び／又は励起光を供給可能に構成され得る。

[0200] 図30は、図29に示すカメラヘッド11102及びCCU11201の機能構成の一例を示すブロック図である。

[0201] カメラヘッド11102は、レンズユニット11401と、撮像部11402と、駆動部11403と、通信部11404と、カメラヘッド制御部11405と、を有する。CCU11201は、通信部11411と、画像処理部11412と、制御部11413と、を有する。カメラヘッド11102とCCU11201とは、伝送ケーブル11400によって互いに通信可

能に接続されている。

[0202] レンズユニット 11401 は、鏡筒 11101 との接続部に設けられる光学系である。鏡筒 11101 の先端から取り込まれた観察光は、カメラヘッド 11102 まで導光され、当該レンズユニット 11401 に入射する。レンズユニット 11401 は、ズームレンズ及びフォーカスレンズを含む複数のレンズが組み合わされて構成される。

[0203] 撮像部 11402 は、撮像素子で構成される。撮像部 11402 を構成する撮像素子は、1つ（いわゆる単板式）であってもよいし、複数（いわゆる多板式）であってもよい。撮像部 11402 が多板式で構成される場合には、例えば各撮像素子によって RGB それぞれに対応する画像信号が生成され、それらが合成されることによりカラー画像が得られてもよい。あるいは、撮像部 11402 は、3D (Dimensional) 表示に対応する右目用及び左目用の画像信号をそれぞれ取得するための1対の撮像素子を有するように構成されてもよい。3D表示が行われることにより、術者 11131 は術部における生体組織の奥行きをより正確に把握することが可能になる。なお、撮像部 11402 が多板式で構成される場合には、各撮像素子に対応して、レンズユニット 11401 も複数系統設けられ得る。

[0204] また、撮像部 11402 は、必ずしもカメラヘッド 11102 に設けられなくてもよい。例えば、撮像部 11402 は、鏡筒 11101 の内部に、対物レンズの直後に設けられてもよい。

[0205] 駆動部 11403 は、アクチュエータによって構成され、カメラヘッド制御部 11405 からの制御により、レンズユニット 11401 のズームレンズ及びフォーカスレンズを光軸に沿って所定の距離だけ移動させる。これにより、撮像部 11402 による撮像画像の倍率及び焦点が適宜調整され得る。

[0206] 通信部 11404 は、CCU 11201 との間で各種の情報を送受信するための通信装置によって構成される。通信部 11404 は、撮像部 11402 から得た画像信号を RAW データとして伝送ケーブル 11400 を介して

CCU11201に送信する。

[0207] また、通信部11404は、CCU11201から、カメラヘッド11102の駆動を制御するための制御信号を受信し、カメラヘッド制御部11405に供給する。当該制御信号には、例えば、撮像画像のフレームレートを指定する旨の情報、撮像時の露出値を指定する旨の情報、並びに／又は撮像画像の倍率及び焦点を指定する旨の情報等、撮像条件に関する情報が含まれる。

[0208] なお、上記のフレームレートや露出値、倍率、焦点等の撮像条件は、ユーザによって適宜指定されてもよいし、取得された画像信号に基づいてCCU11201の制御部11413によって自動的に設定されてもよい。後者の場合には、いわゆるAE (Auto Exposure) 機能、AF (Auto Focus) 機能及びAWB (Auto White Balance) 機能が内視鏡11100に搭載されていることになる。

[0209] カメラヘッド制御部11405は、通信部11404を介して受信したCCU11201からの制御信号に基づいて、カメラヘッド11102の駆動を制御する。

[0210] 通信部11411は、カメラヘッド11102との間で各種の情報を送受信するための通信装置によって構成される。通信部11411は、カメラヘッド11102から、伝送ケーブル11400を介して送信される画像信号を受信する。

[0211] また、通信部11411は、カメラヘッド11102に対して、カメラヘッド11102の駆動を制御するための制御信号を送信する。画像信号や制御信号は、電気通信や光通信等によって送信することができる。

[0212] 画像処理部11412は、カメラヘッド11102から送信されたRAWデータである画像信号に対して各種の画像処理を施す。

[0213] 制御部11413は、内視鏡11100による術部等の撮像、及び、術部等の撮像により得られる撮像画像の表示に関する各種の制御を行う。例えば、制御部11413は、カメラヘッド11102の駆動を制御するための制

御信号を生成する。

- [0214] また、制御部 1 1 4 1 3 は、画像処理部 1 1 4 1 2 によって画像処理が施された画像信号に基づいて、術部等が映った撮像画像を表示装置 1 1 2 0 2 に表示させる。この際、制御部 1 1 4 1 3 は、各種の画像認識技術を用いて撮像画像内における各種の物体を認識してもよい。例えば、制御部 1 1 4 1 3 は、撮像画像に含まれる物体のエッジの形状や色等を検出することにより、鉗子等の術具、特定の生体部位、出血、エネルギー処置具 1 1 1 1 2 の使用時のミスト等を認識することができる。制御部 1 1 4 1 3 は、表示装置 1 1 2 0 2 に撮像画像を表示させる際に、その認識結果を用いて、各種の手術支援情報を当該術部の画像に重畳表示させてもよい。手術支援情報が重畳表示され、術者 1 1 1 3 1 に提示されることにより、術者 1 1 1 3 1 の負担を軽減することや、術者 1 1 1 3 1 が確実に手術を進めることが可能になる。
- [0215] カメラヘッド 1 1 1 0 2 及び C C U 1 1 2 0 1 を接続する伝送ケーブル 1 1 4 0 0 は、電気信号の通信に対応した電気信号ケーブル、光通信に対応した光ファイバ、又はこれらの複合ケーブルである。
- [0216] ここで、図示する例では、伝送ケーブル 1 1 4 0 0 を用いて有線で通信が行われていたが、カメラヘッド 1 1 1 0 2 と C C U 1 1 2 0 1 との間の通信は無線で行われてもよい。
- [0217] 以上、本開示に係る技術が適用され得る内視鏡手術システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、例えば、内視鏡 1 1 1 0 0 のカメラヘッド 1 1 1 0 2 に設けられた撮像部 1 1 4 0 2 に好適に適用され得る。撮像部 1 1 4 0 2 に本開示に係る技術を適用することにより、高精細な内視鏡 1 1 1 0 0 を提供することが可能となる。
- [0218] 以上、実施の形態、変形例および適用例ならびに応用例を挙げて本開示を説明したが、本技術は上記実施の形態等に限定されるものではなく、種々の変形が可能である。例えば、上述した変形例は、上記実施の形態の変形例として説明したが、各変形例の構成を適宜組み合わせることができる。
- [0219] 上記実施の形態等では、撮像装置を例示して説明するようにしたが、本開

示の光検出装置は、例えば、入射する光を受光し、光を電荷に変換するものであればよい。出力される信号は、画像情報の信号でもよいし、測距情報の信号でもよい。光検出装置（撮像装置）は、イメージセンサ、測距センサ等に適用され得る。なお、本開示は、裏面照射型イメージセンサに限定されるものではなく、表面照射型イメージセンサにも適用可能である。

[0220] 本開示に係る光検出装置は、TOF (Time Of Flight) 方式の距離計測が可能な測距センサとしても適用され得る。光検出装置（撮像装置）は、イベントを検出可能なセンサ、例えば、イベント駆動型のセンサ（EVS (Event Vision Sensor)、EDS (Event Driven Sensor)、DVS (Dynamic Vision Sensor) 等と呼ばれる）としても適用され得る。

[0221] 本開示の一実施形態の光検出装置は、第1半導体層と、第1半導体層において第1方向に並ぶように設けられる第1光電変換素子及び第2光電変換素子を有する第1画素を含む複数の画素と、第1半導体層において、画素の周囲に設けられる画素分離領域とを備える。第1画素は、第1光電変換素子と第2光電変換素子との間において、第1方向に交差する第2方向に並ぶように設けられる第1分離領域及び第2分離領域と、第1半導体層において第1光電変換素子に達するように設けられる第1ゲート電極を有し、第1光電変換素子で光電変換された電荷を転送可能な第1トランジスタとを有する。第1ゲート電極は、第1分離領域及び第2分離領域の間の領域と、画素分離領域との間に設けられている。このため、光検出装置は、画素の微細化に有利な構造を有することができる。微細化に有利な光検出装置を実現することが可能となる。

[0222] なお、本明細書中に記載された効果はあくまで例示であってその記載に限定されるものではなく、他の効果があってもよい。また、本開示は以下のような構成をとることも可能である。

(1)

第1半導体層と、

前記第1半導体層において第1方向に並ぶように設けられる第1光電変換

素子及び第2光電変換素子を有する第1画素を含む複数の画素と、

前記第1半導体層において、前記画素の周囲に設けられる画素分離領域とを備え、

前記第1画素は、

前記第1光電変換素子と前記第2光電変換素子との間において、前記第1方向に交差する第2方向に並ぶように設けられる第1分離領域及び第2分離領域と、

前記第1半導体層において前記第1光電変換素子に達するように設けられる第1ゲート電極を有し、前記第1光電変換素子で光電変換された電荷を転送可能な第1トランジスタと

を有し、

前記第1ゲート電極は、前記第1分離領域及び前記第2分離領域の間の領域と、前記画素分離領域との間に設けられている

光検出装置。

(2)

前記第1ゲート電極は、前記第1分離領域と前記第2分離領域との間を前記第1方向に延伸する第1領域内に設けられている

前記(1)に記載の光検出装置。

(3)

前記第1画素は、前記第1半導体層に設けられるフローティングディフュージョンと、前記第1半導体層に設けられる第1導電型の第1半導体領域と、前記第1半導体領域に電氣的に接続される第1コンタクトとを有し、

前記第1ゲート電極は、前記第2方向において、前記フローティングディフュージョンと前記第1半導体領域との間に位置している

前記(1)または(2)に記載の光検出装置。

(4)

前記フローティングディフュージョンに電氣的に接続され、前記画素分離領域に設けられる第1接続領域と、

前記第 1 接続領域に電氣的に接続される第 2 コンタクトと
をさらに備える

前記（3）に記載の光検出装置。

（5）

前記第 1 半導体層に設けられる前記第 1 導電型のウェルをさらに備え、
前記第 1 半導体領域は、前記ウェル内に設けられ、
前記第 1 コンタクトは、前記第 1 半導体領域を介して前記ウェルと電氣的
に接続されている

前記（3）または（4）に記載の光検出装置。

（6）

前記第 1 半導体領域の一部と接し、前記画素分離領域に設けられる第 2 接
続領域をさらに備え、

前記第 1 コンタクトは、前記第 2 接続領域の上に設けられ、前記第 2 接続
領域を介して前記第 1 半導体領域と電氣的に接続されている

前記（3）から（5）のいずれか 1 つに記載の光検出装置。

（7）

前記第 1 半導体層において、前記第 1 分離領域及び前記第 2 分離領域の間
に設けられる第 3 分離領域をさらに備える

前記（1）から（6）のいずれか 1 つに記載の光検出装置。

（8）

前記第 1 ゲート電極は、前記第 3 分離領域と隣り合うように設けられてい
る

前記（7）に記載の光検出装置。

（9）

前記第 2 分離領域の底部は、前記第 1 ゲート電極の底部よりも下方に位置
している

前記（7）または（8）に記載の光検出装置。

（10）

前記第2分離領域の底部は、前記第1ゲート電極の底部よりも上方に位置している

前記(7)または(8)に記載の光検出装置。

(11)

前記第1画素は、前記第1半導体層において前記第2光電変換素子に達するように設けられる第2ゲート電極を有し、前記第2光電変換素子で光電変換された電荷を転送可能な第2トランジスタを有し、

前記第3分離領域は、前記第1ゲート電極と前記第2ゲート電極との間に設けられている

前記(7)から(10)のいずれか1つに記載の光検出装置。

(12)

前記第3分離領域は、前記第1半導体層において、前記第1分離領域及び前記第2分離領域の間に設けられるトレンチを有する

前記(7)から(11)のいずれか1つに記載の光検出装置。

(13)

前記第3分離領域の側面に設けられる第1導電型の第2半導体領域をさらに備える

前記(7)から(12)のいずれか1つに記載の光検出装置。

(14)

前記第3分離領域の側面に設けられる固定電荷膜をさらに備える

前記(7)から(13)のいずれか1つに記載の光検出装置。

(15)

前記第3分離領域の上方に設けられる第3コンタクトをさらに備え、

前記第3分離領域には、導電材料が埋め込まれている

前記(7)から(14)のいずれか1つに記載の光検出装置。

(16)

前記第1半導体層において前記第3分離領域の下方に設けられるオーバーフローパスをさらに備える

前記（７）から（１５）のいずれか１つに記載の光検出装置。

（１７）

前記画素分離領域と前記第１分離領域と前記第２分離領域とは、連続して設けられている

前記（１）から（１６）のいずれか１つに記載の光検出装置。

（１８）

前記第１トランジスタを含み、前記第１光電変換素子で光電変換された電荷に基づく信号と、前記第２光電変換素子で光電変換された電荷に基づく信号とを出力可能な読み出し回路をさらに備える

前記（１）から（１７）のいずれか１つに記載の光検出装置。

（１９）

前記第１半導体層に積層される第２半導体層をさらに備え、

前記第２半導体層は、前記読み出し回路の少なくとも一部を有する

前記（１８）に記載の光検出装置。

（２０）

光学系と、

前記光学系を透過した光を受光する光検出装置と

を備え、

前記光検出装置は、

半導体層と、

前記半導体層において第１方向に並ぶように設けられる第１光電変換素子及び第２光電変換素子を有する第１画素を含む複数の画素と、

前記半導体層において、前記画素の周囲に設けられる画素分離領域とを有し、

前記第１画素は、

前記第１光電変換素子と前記第２光電変換素子との間において、前記第１方向に交差する第２方向に並ぶように設けられる第１分離領域及び第２分離領域と、

前記半導体層において前記第 1 光電変換素子に達するように設けられる第 1 ゲート電極を有し、前記第 1 光電変換素子で光電変換された電荷を転送可能な第 1 トランジスタと

を含み、

前記第 1 ゲート電極は、前記第 1 分離領域及び前記第 2 分離領域の間の領域と、前記画素分離領域との間に設けられている

電子機器。

[0223] 本出願は、日本国特許庁において 2023 年 12 月 26 日に出願された日本特許出願番号 2023-219908 号を基礎として優先権を主張するものであり、この出願の全ての内容を参照によって本出願に援用する。

[0224] 当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビネーション、サブコンビネーション、および変更を想到し得るが、それらは添付の請求の範囲やその均等物の範囲に含まれるものであることが理解される。

請求の範囲

[請求項1]

第1半導体層と、

前記第1半導体層において第1方向に並ぶように設けられる第1光電変換素子及び第2光電変換素子を有する第1画素を含む複数の画素と、

前記第1半導体層において、前記画素の周囲に設けられる画素分離領域と

を備え、

前記第1画素は、

前記第1光電変換素子と前記第2光電変換素子との間において、前記第1方向に交差する第2方向に並ぶように設けられる第1分離領域及び第2分離領域と、

前記第1半導体層において前記第1光電変換素子に達するように設けられる第1ゲート電極を有し、前記第1光電変換素子で光電変換された電荷を転送可能な第1トランジスタと

を有し、

前記第1ゲート電極は、前記第1分離領域及び前記第2分離領域の間の領域と、前記画素分離領域との間に設けられている

光検出装置。

[請求項2]

前記第1ゲート電極は、前記第1分離領域と前記第2分離領域との間を前記第1方向に延伸する第1領域内に設けられている

請求項1に記載の光検出装置。

[請求項3]

前記第1画素は、前記第1半導体層に設けられるフローティングディフュージョンと、前記第1半導体層に設けられる第1導電型の第1半導体領域と、前記第1半導体領域に電氣的に接続される第1コンタクトとを有し、

前記第1ゲート電極は、前記第2方向において、前記フローティングディフュージョンと前記第1半導体領域との間に位置している

請求項 1 に記載の光検出装置。

[請求項4] 前記フローティングディフュージョンに電氣的に接続され、前記画素分離領域に設けられる第 1 接続領域と、

前記第 1 接続領域に電氣的に接続される第 2 コンタクトと
をさらに備える

請求項 3 に記載の光検出装置。

[請求項5] 前記第 1 半導体層に設けられる前記第 1 導電型のウェルをさらに備え、

前記第 1 半導体領域は、前記ウェル内に設けられ、

前記第 1 コンタクトは、前記第 1 半導体領域を介して前記ウェルと電氣的に接続されている

請求項 3 に記載の光検出装置。

[請求項6] 前記第 1 半導体領域の一部と接し、前記画素分離領域に設けられる第 2 接続領域をさらに備え、

前記第 1 コンタクトは、前記第 2 接続領域の上に設けられ、前記第 2 接続領域を介して前記第 1 半導体領域と電氣的に接続されている

請求項 3 に記載の光検出装置。

[請求項7] 前記第 1 半導体層において、前記第 1 分離領域及び前記第 2 分離領域の間に設けられる第 3 分離領域をさらに備える

請求項 1 に記載の光検出装置。

[請求項8] 前記第 1 ゲート電極は、前記第 3 分離領域と隣り合うように設けられている

請求項 7 に記載の光検出装置。

[請求項9] 前記第 2 分離領域の底部は、前記第 1 ゲート電極の底部よりも下方に位置している

請求項 7 に記載の光検出装置。

[請求項10] 前記第 2 分離領域の底部は、前記第 1 ゲート電極の底部よりも上方に位置している

請求項 7 に記載の光検出装置。

- [請求項11] 前記第 1 画素は、前記第 1 半導体層において前記第 2 光電変換素子に達するように設けられる第 2 ゲート電極を有し、前記第 2 光電変換素子で光電変換された電荷を転送可能な第 2 トランジスタを有し、
前記第 3 分離領域は、前記第 1 ゲート電極と前記第 2 ゲート電極との間に設けられている

請求項 7 に記載の光検出装置。

- [請求項12] 前記第 3 分離領域は、前記第 1 半導体層において、前記第 1 分離領域及び前記第 2 分離領域の間に設けられるトレンチを有する

請求項 7 に記載の光検出装置。

- [請求項13] 前記第 3 分離領域の側面に設けられる第 1 導電型の第 2 半導体領域をさらに備える

請求項 7 に記載の光検出装置。

- [請求項14] 前記第 3 分離領域の側面に設けられる固定電荷膜をさらに備える
請求項 7 に記載の光検出装置。

- [請求項15] 前記第 3 分離領域の上方に設けられる第 3 コンタクトをさらに備え、
前記第 3 分離領域には、導電材料が埋め込まれている
請求項 7 に記載の光検出装置。

- [請求項16] 前記第 1 半導体層において前記第 3 分離領域の下方に設けられるオーバーフローパスをさらに備える
請求項 7 に記載の光検出装置。

- [請求項17] 前記画素分離領域と前記第 1 分離領域と前記第 2 分離領域とは、連続して設けられている
請求項 1 に記載の光検出装置。

- [請求項18] 前記第 1 トランジスタを含み、前記第 1 光電変換素子で光電変換された電荷に基づく信号と、前記第 2 光電変換素子で光電変換された電荷に基づく信号とを出力可能な読み出し回路をさらに備える

請求項 1 に記載の光検出装置。

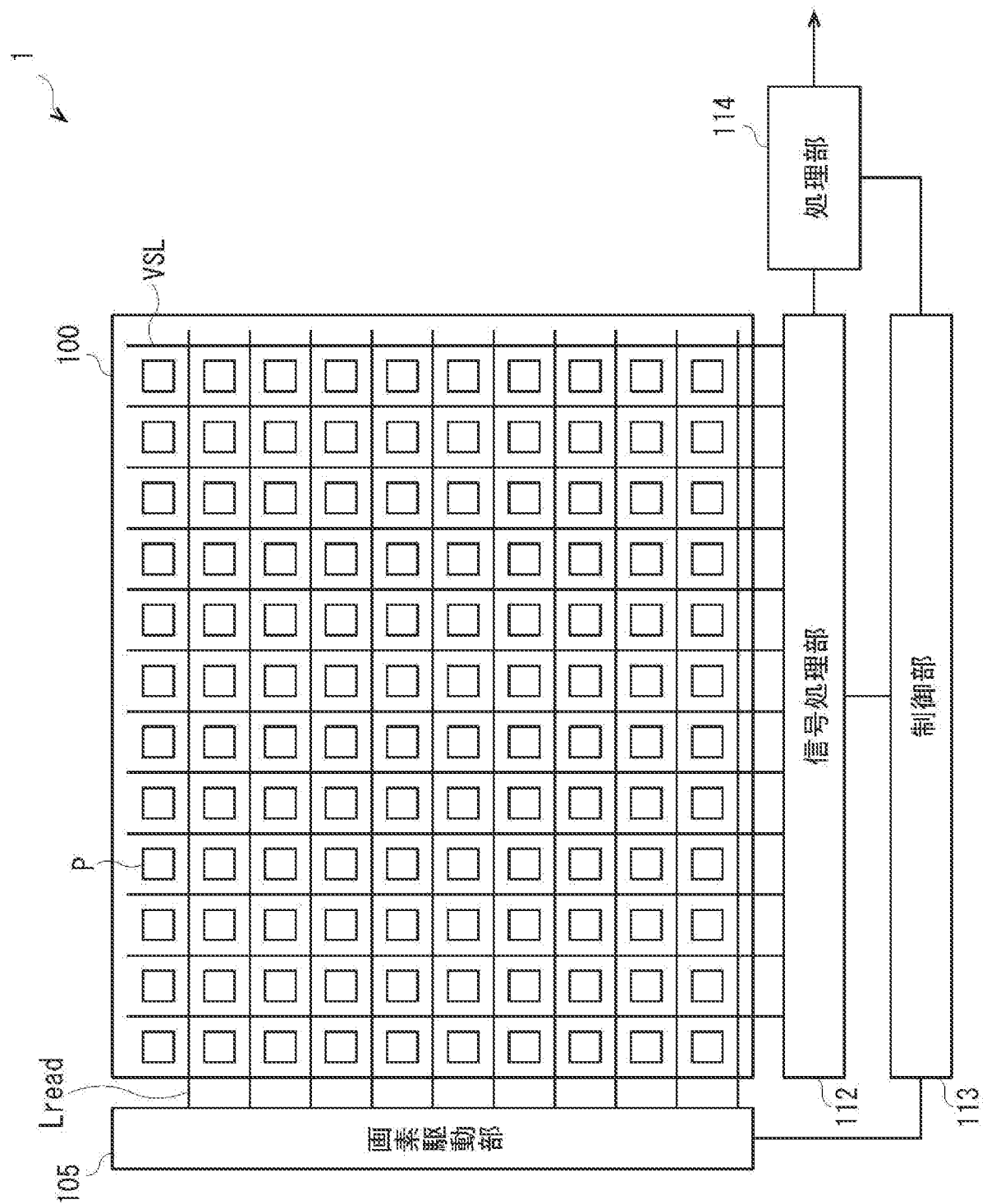
[請求項19]

前記第 1 半導体層に積層される第 2 半導体層をさらに備え、
前記第 2 半導体層は、前記読み出し回路の少なくとも一部を有する
請求項 1 8 に記載の光検出装置。

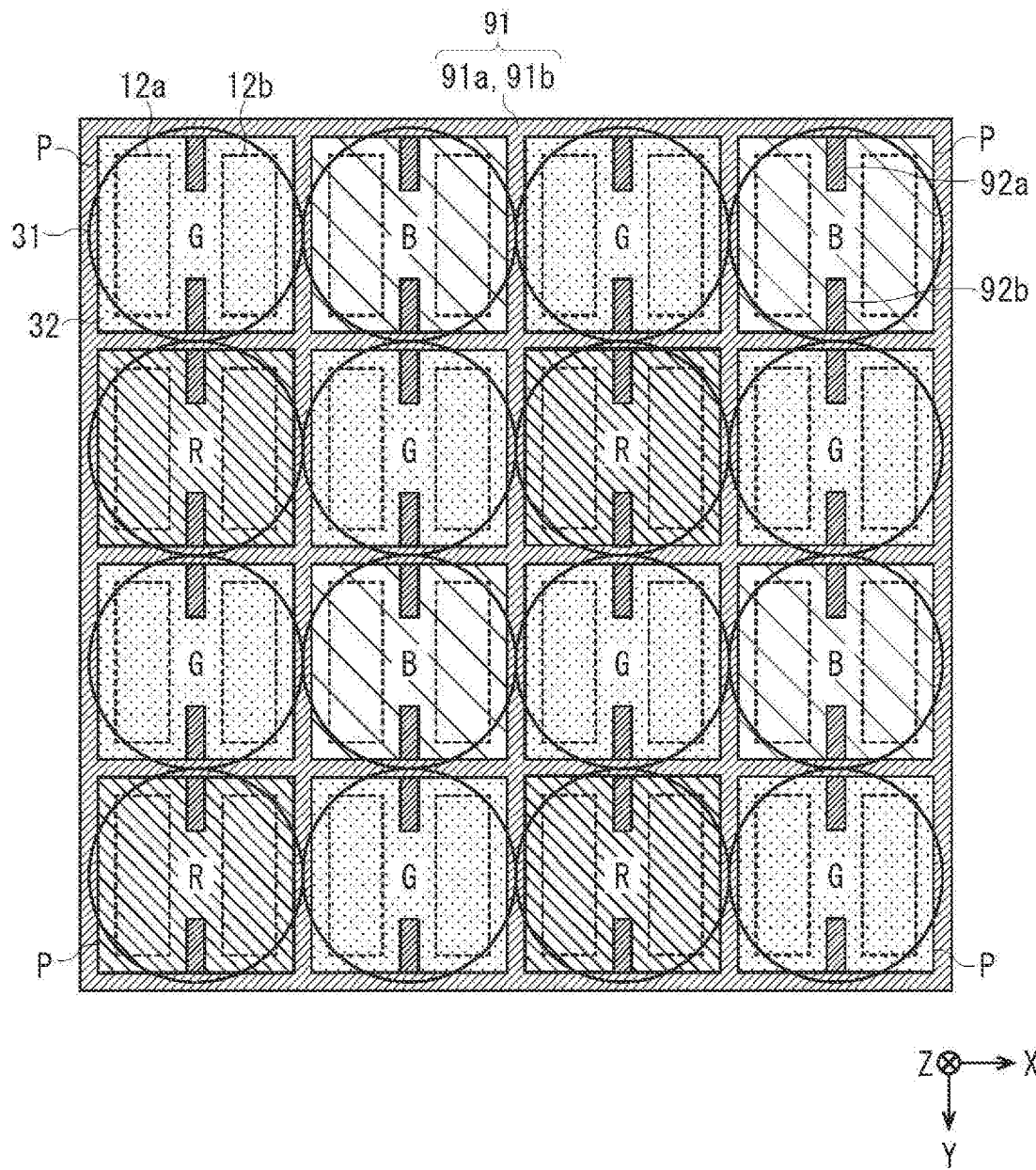
[請求項20]

光学系と、
前記光学系を透過した光を受光する光検出装置と
を備え、
前記光検出装置は、
半導体層と、
前記半導体層において第 1 方向に並ぶように設けられる第 1 光電変換素子及び第 2 光電変換素子を有する第 1 画素を含む複数の画素と、
前記半導体層において、前記画素の周囲に設けられる画素分離領域と
と
を有し、
前記第 1 画素は、
前記第 1 光電変換素子と前記第 2 光電変換素子との間において、前記第 1 方向に交差する第 2 方向に並ぶように設けられる第 1 分離領域及び第 2 分離領域と、
前記半導体層において前記第 1 光電変換素子に達するように設けられる第 1 ゲート電極を有し、前記第 1 光電変換素子で光電変換された電荷を転送可能な第 1 トランジスタと
を含み、
前記第 1 ゲート電極は、前記第 1 分離領域及び前記第 2 分離領域の間の領域と、前記画素分離領域との間に設けられている
電子機器。

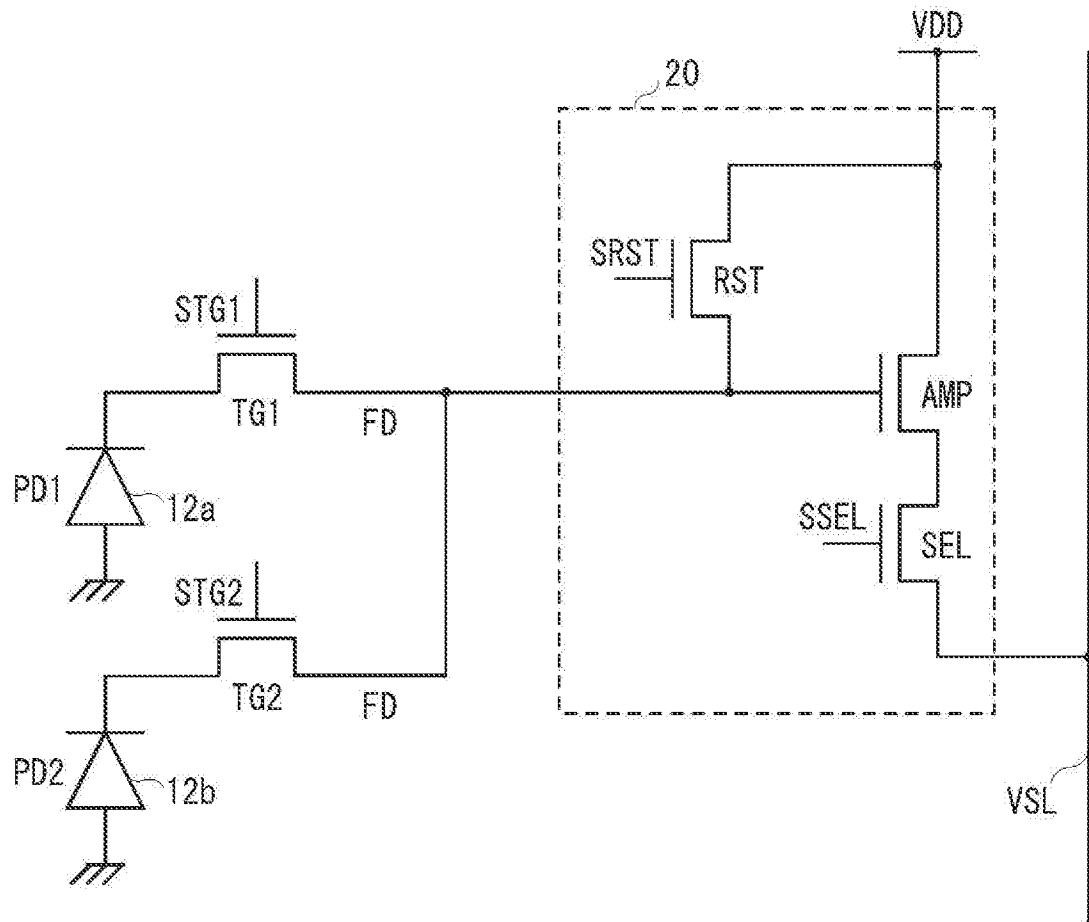
[図1]



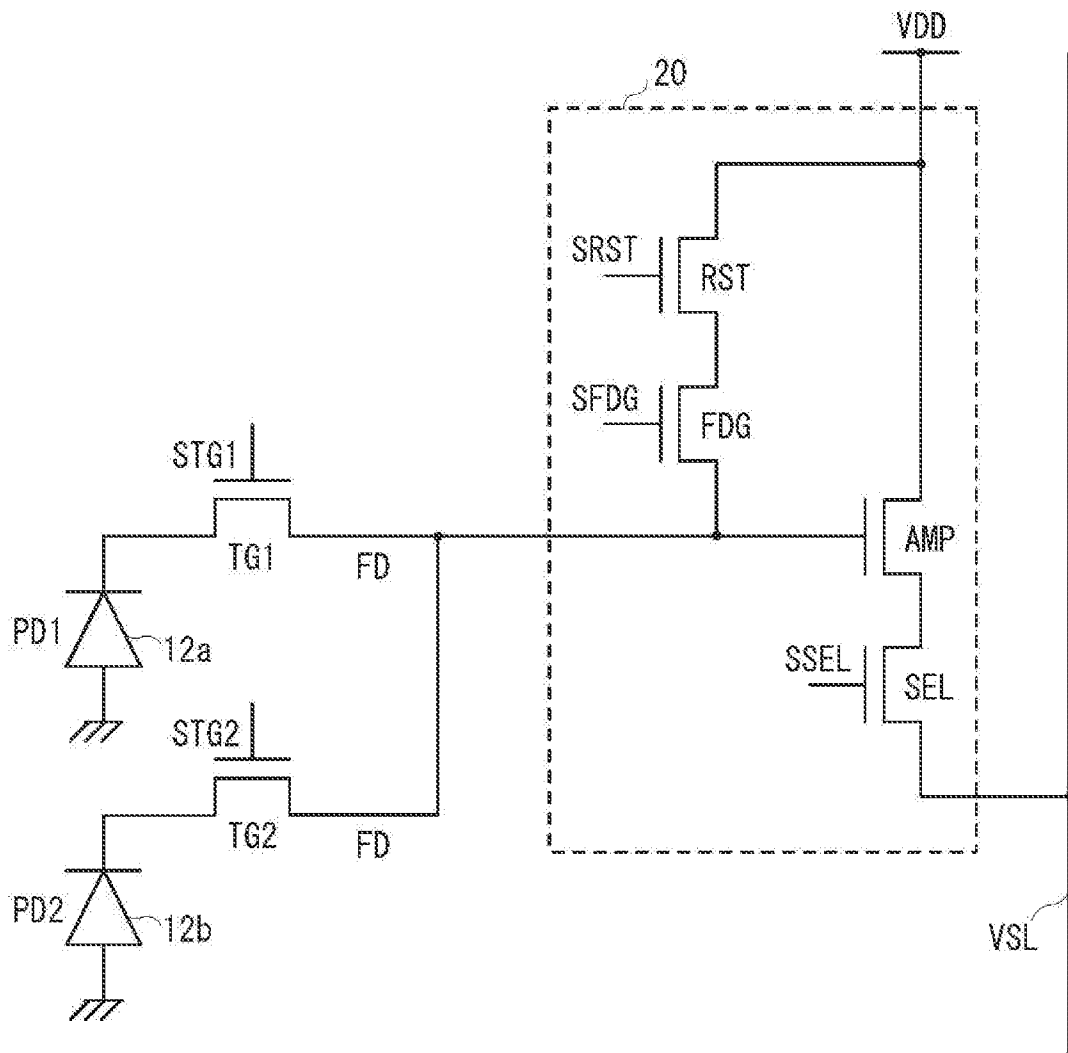
[図2]



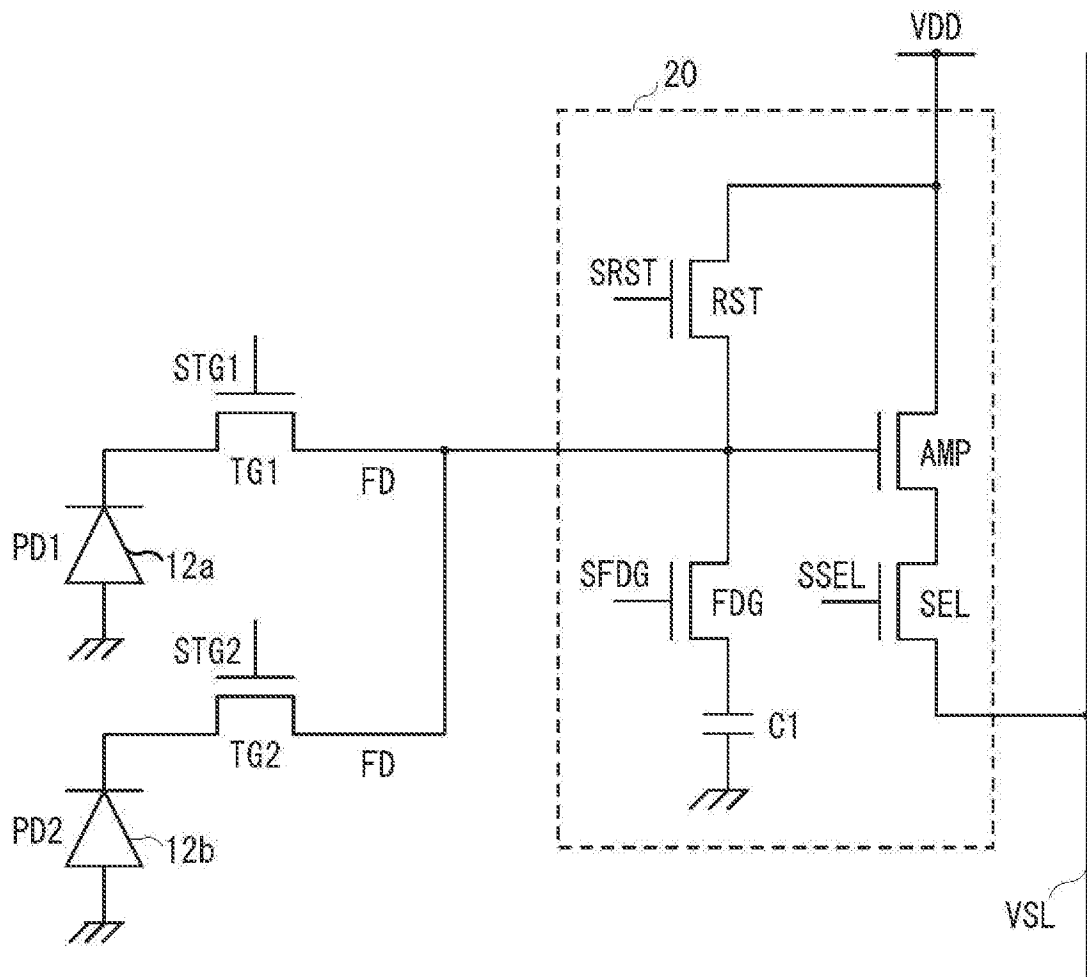
[図3]



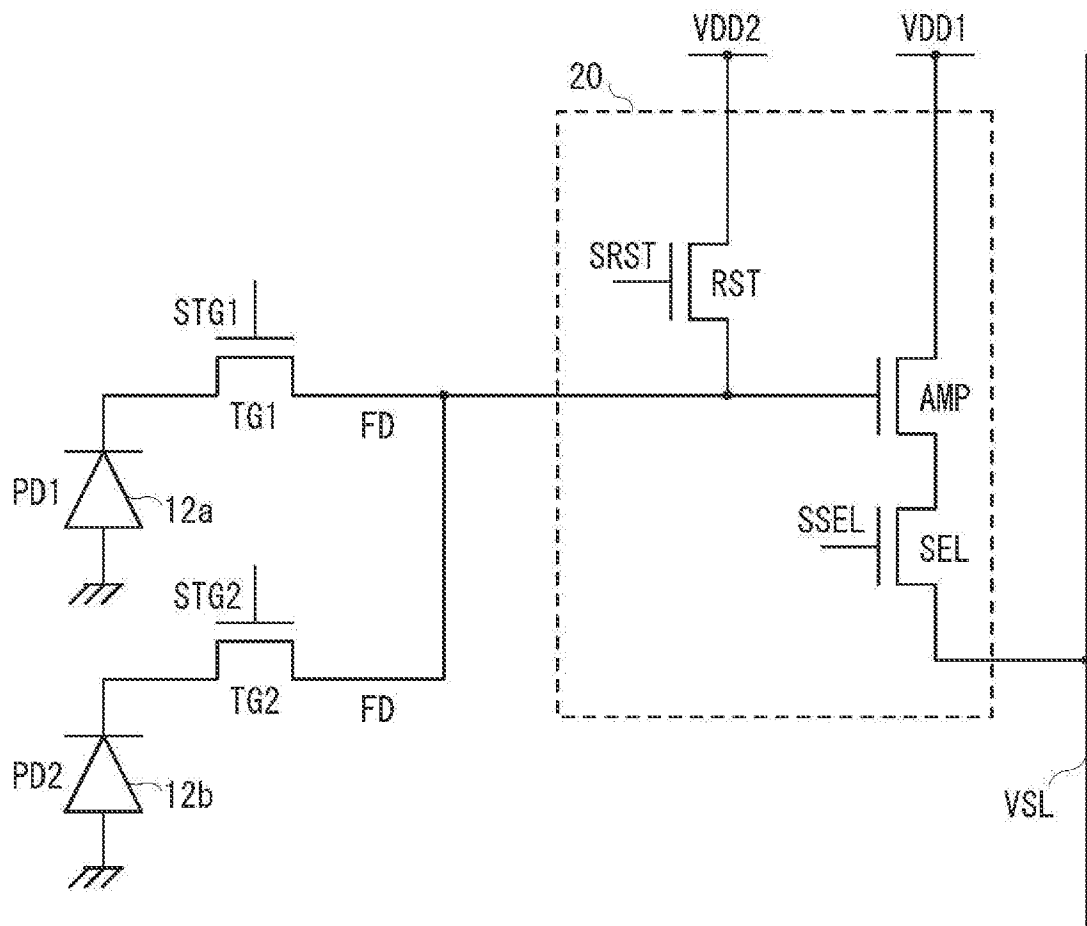
[図4A]



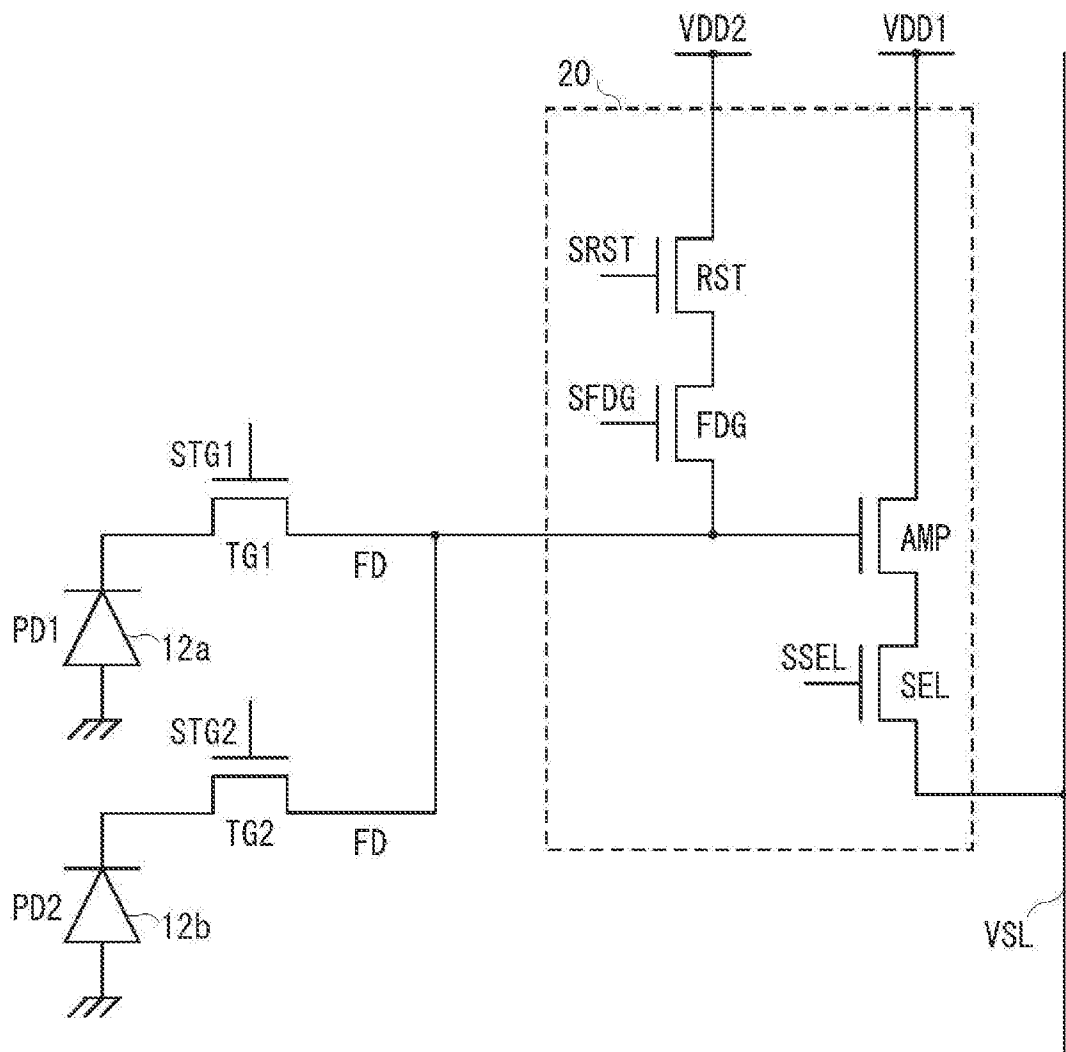
[図4B]



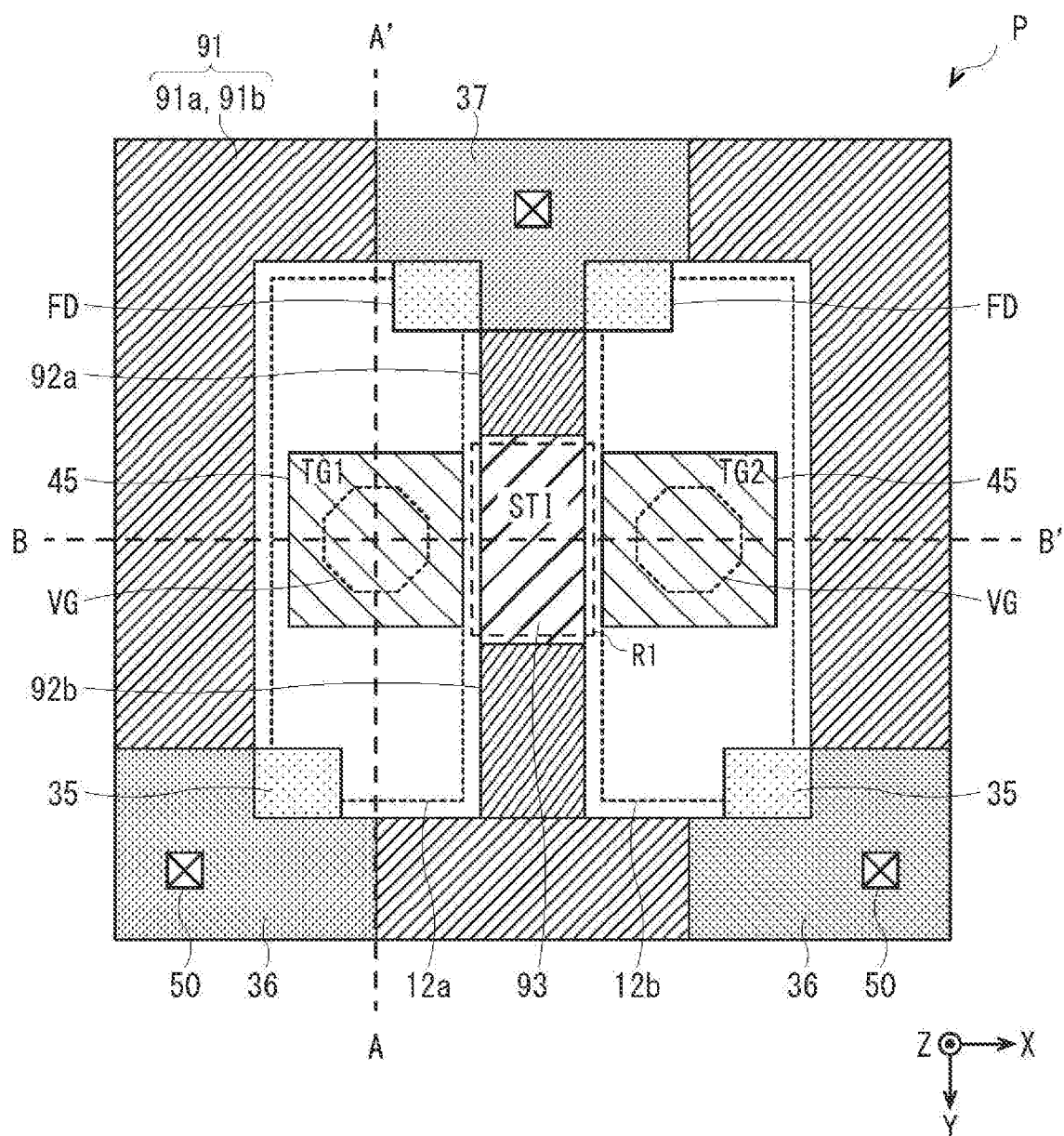
[図5A]

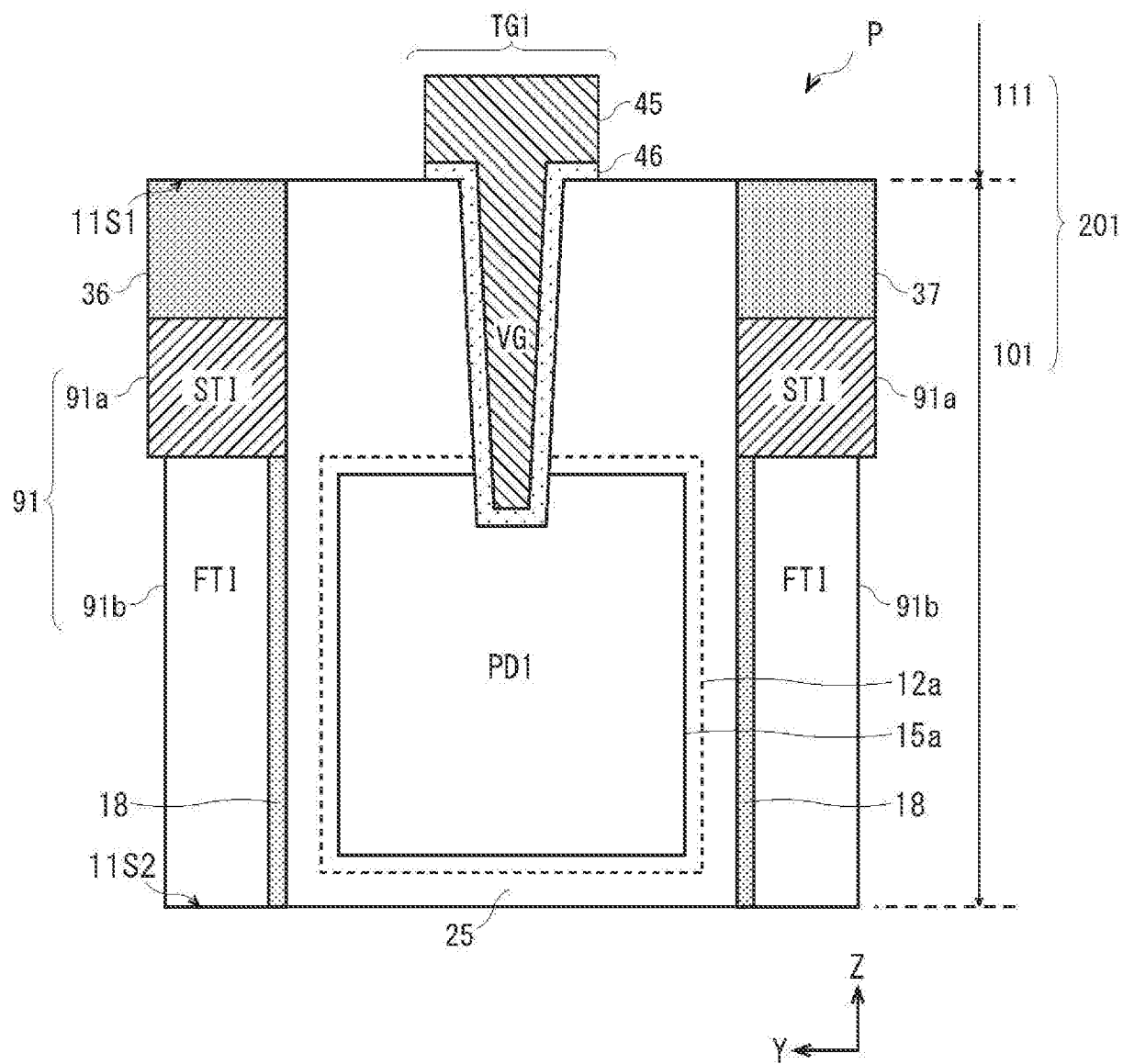


[図5B]

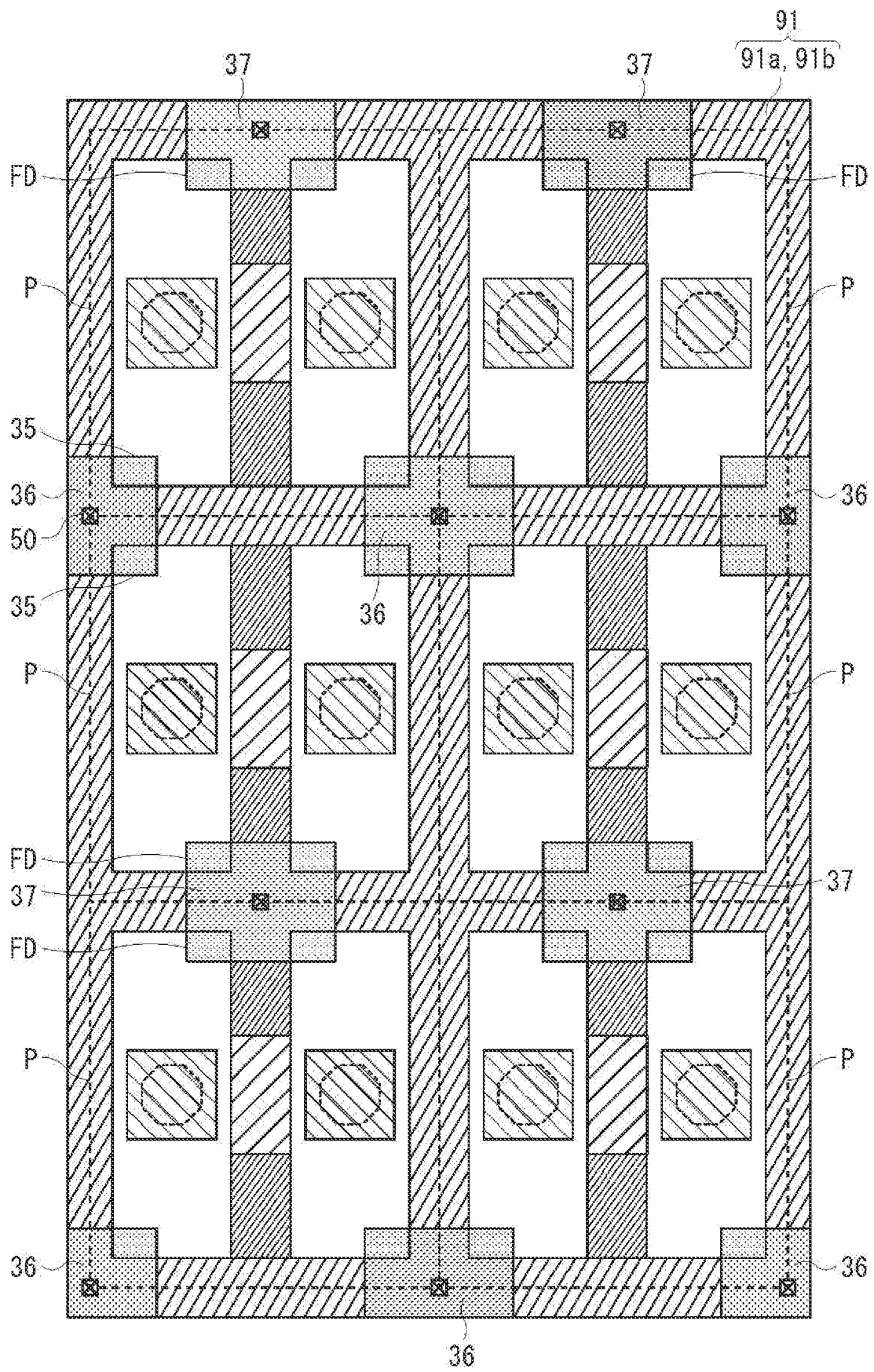


[図6]

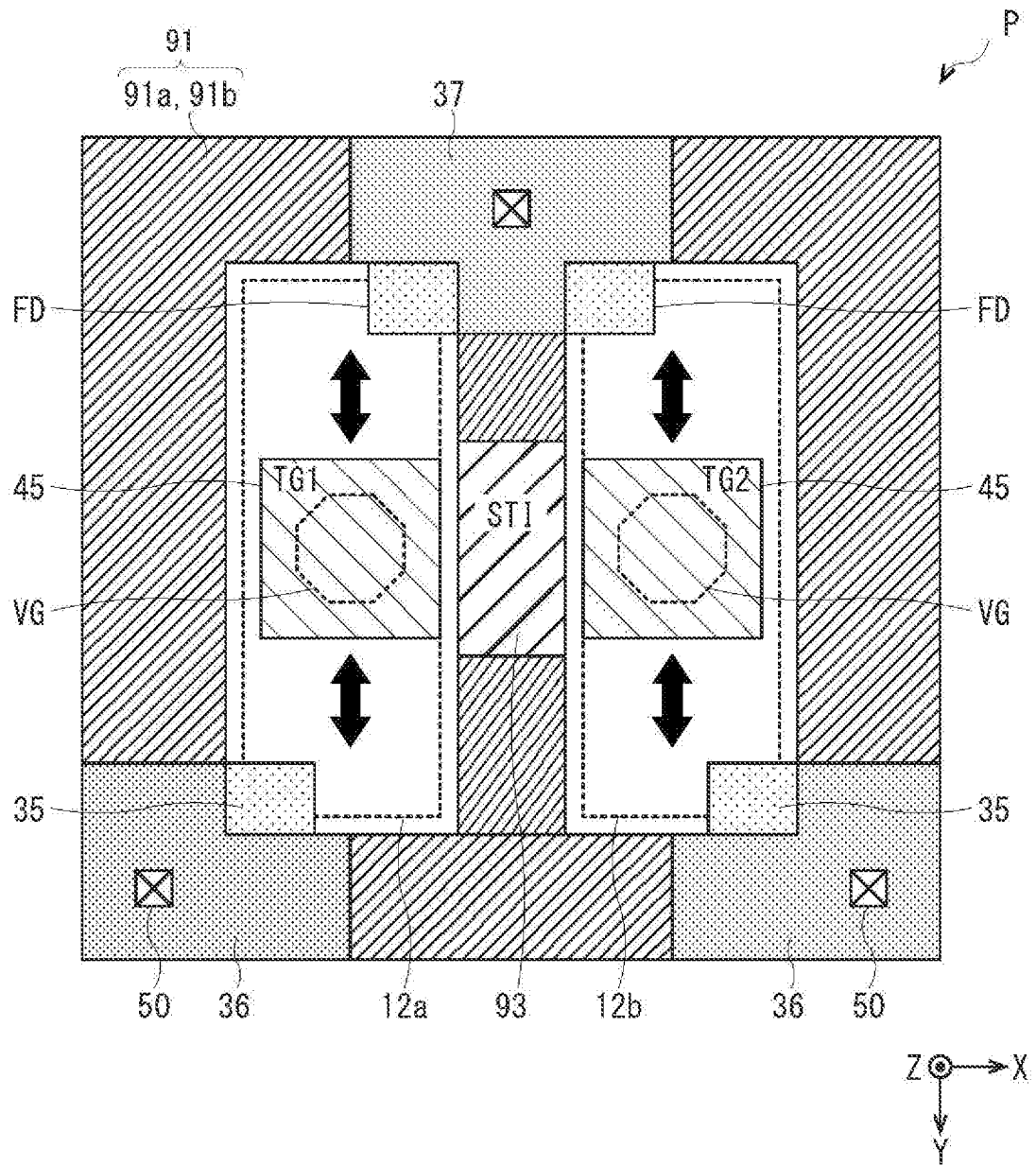




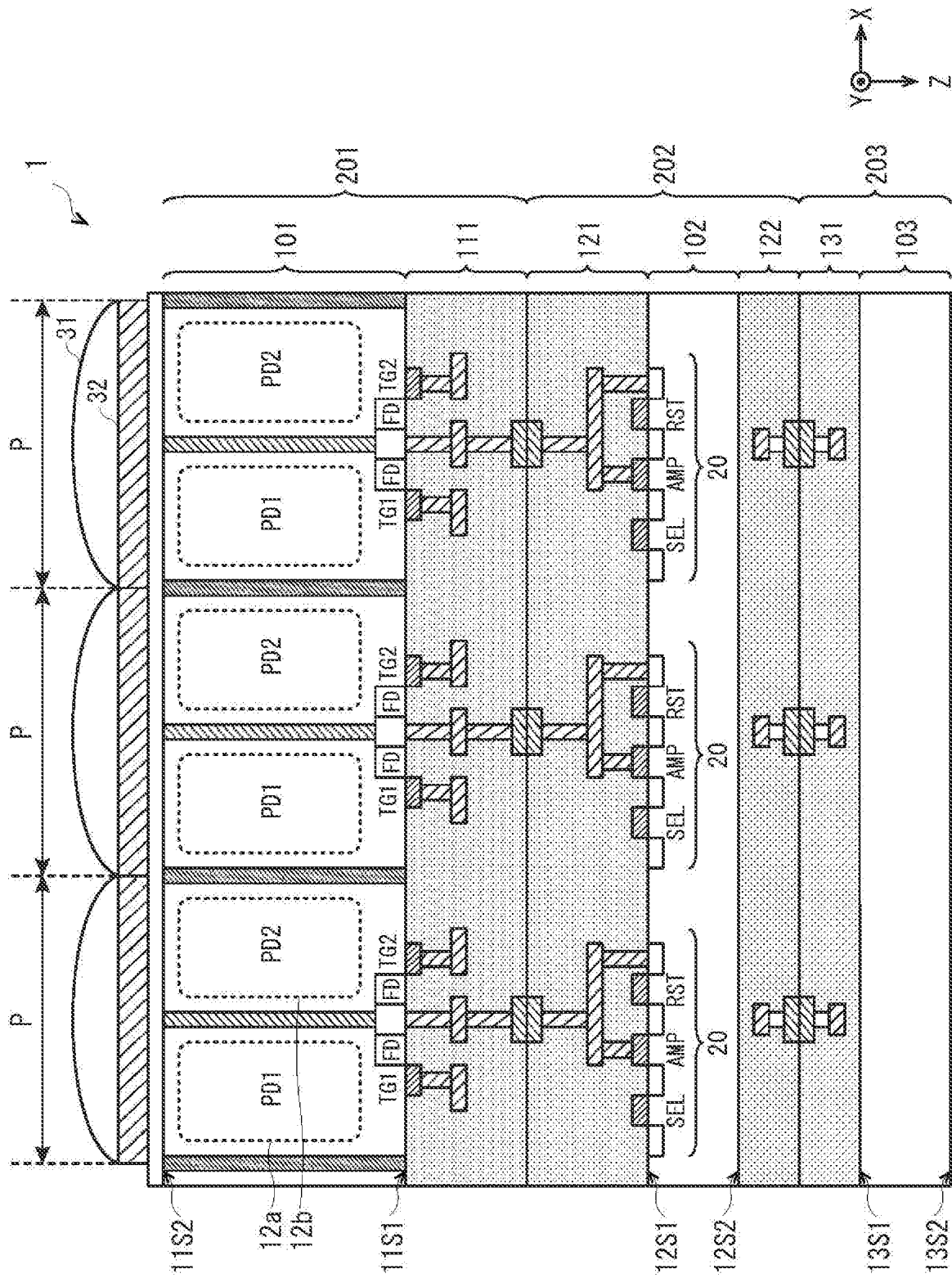
[図10]



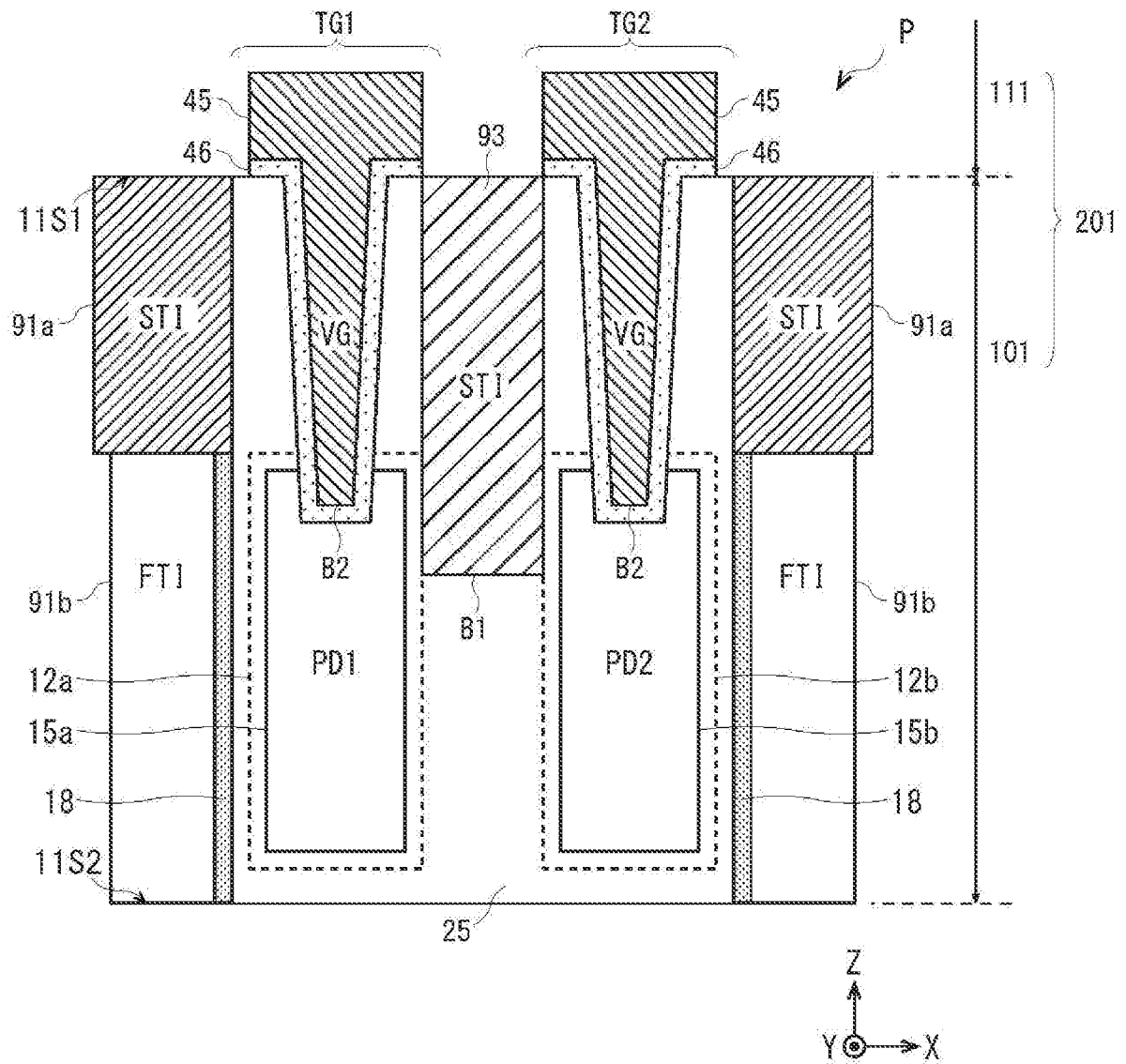
[図11]



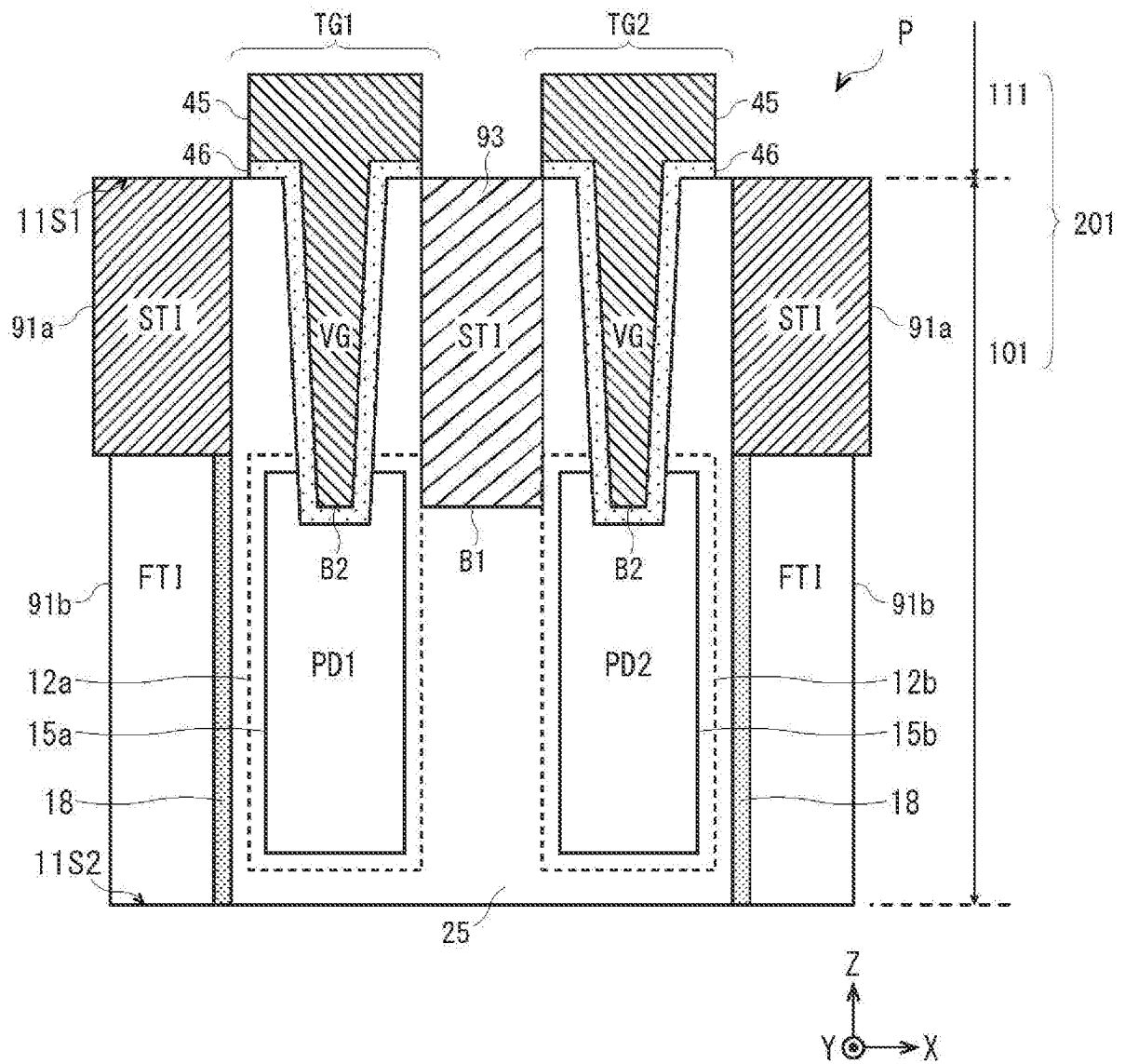
[図13]



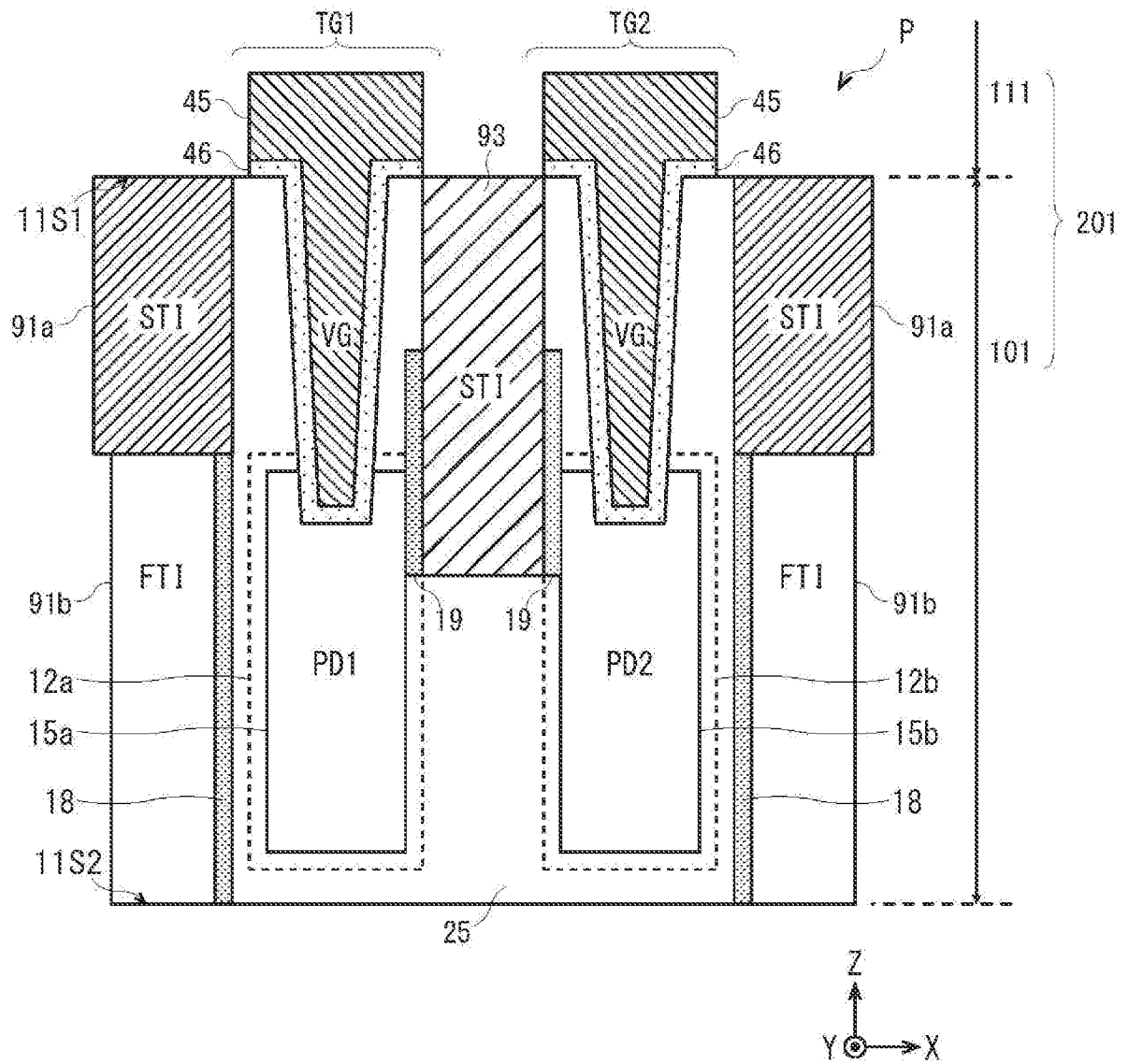
[図15A]



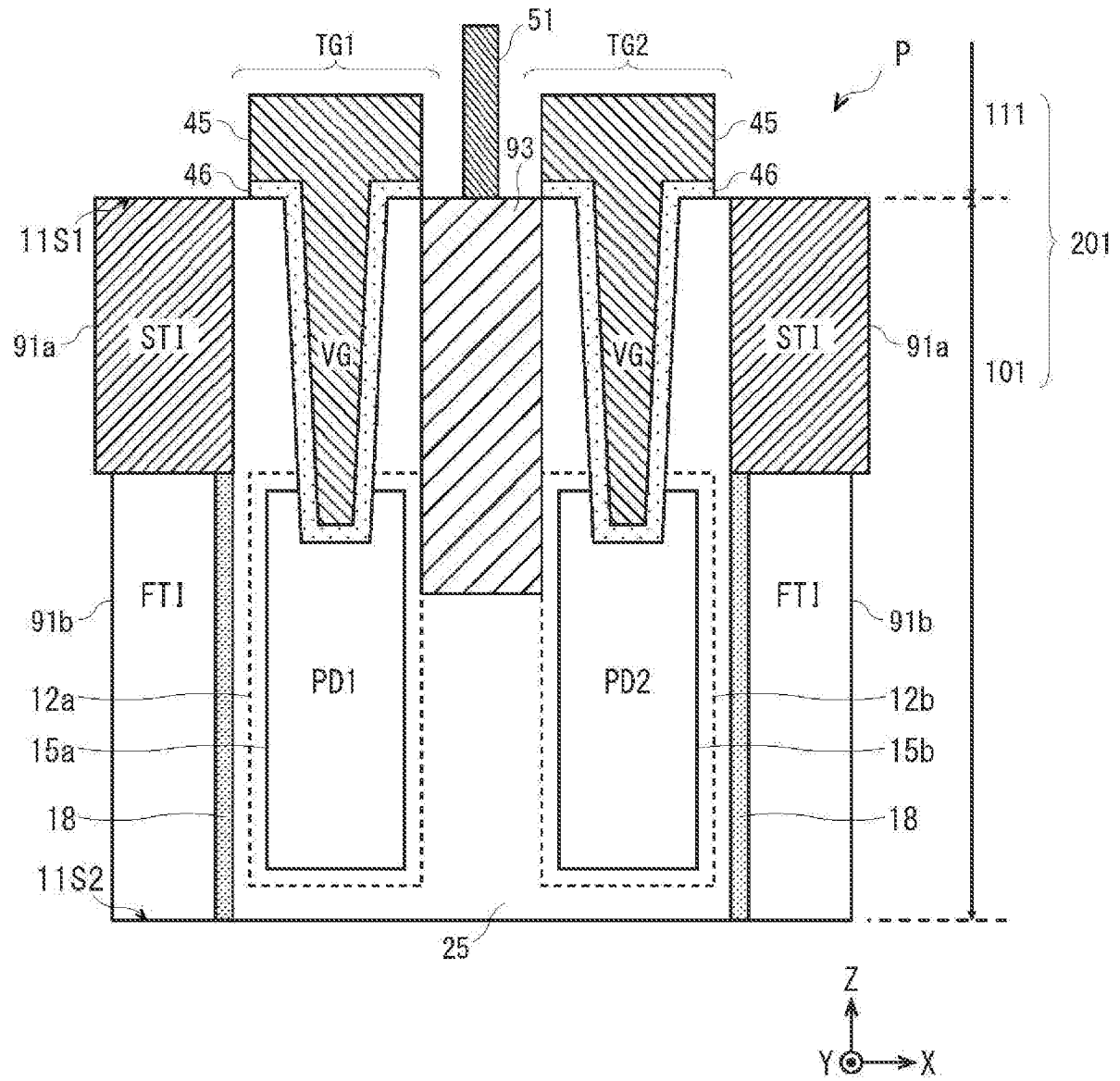
[図15C]



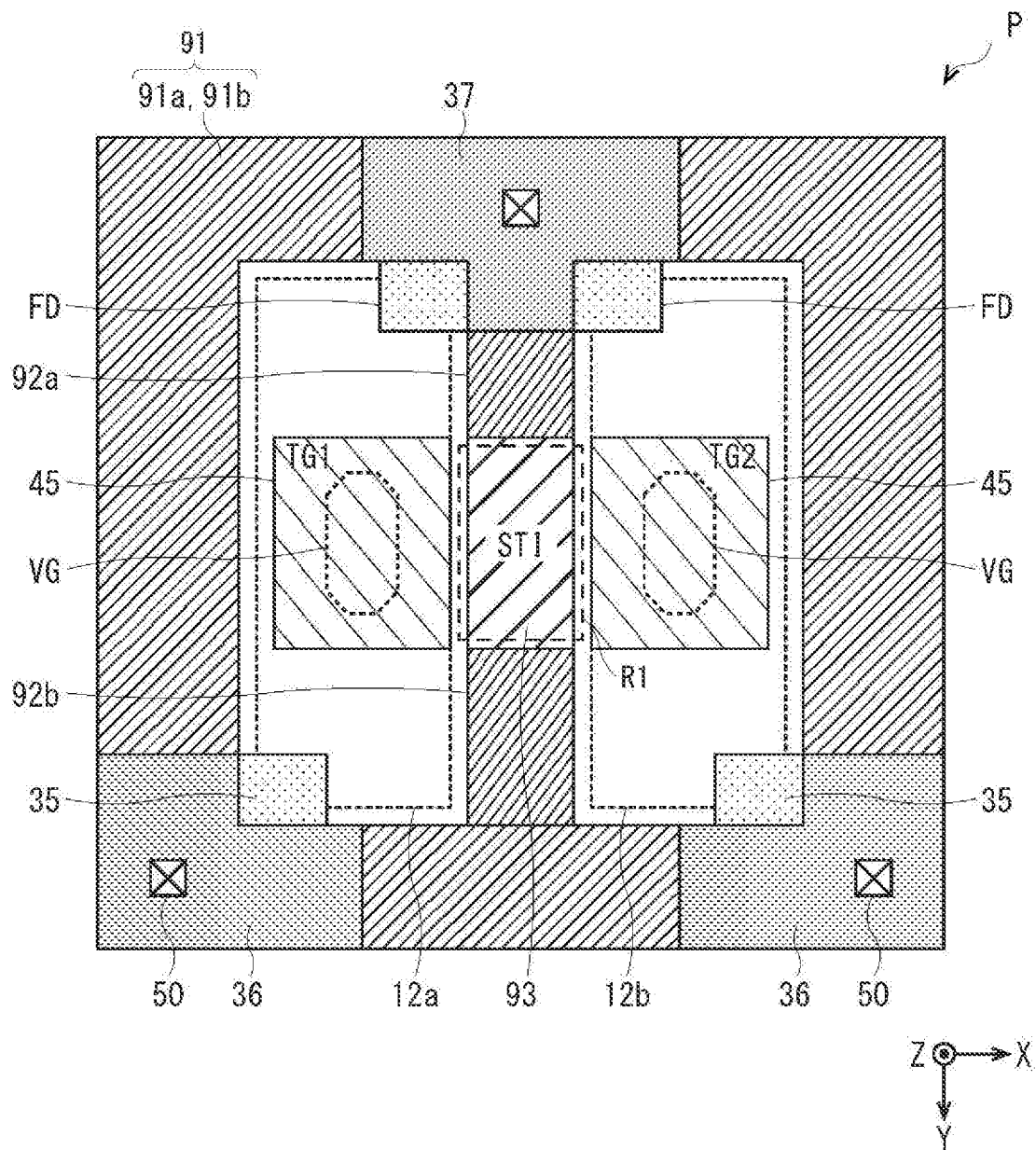
[図16]



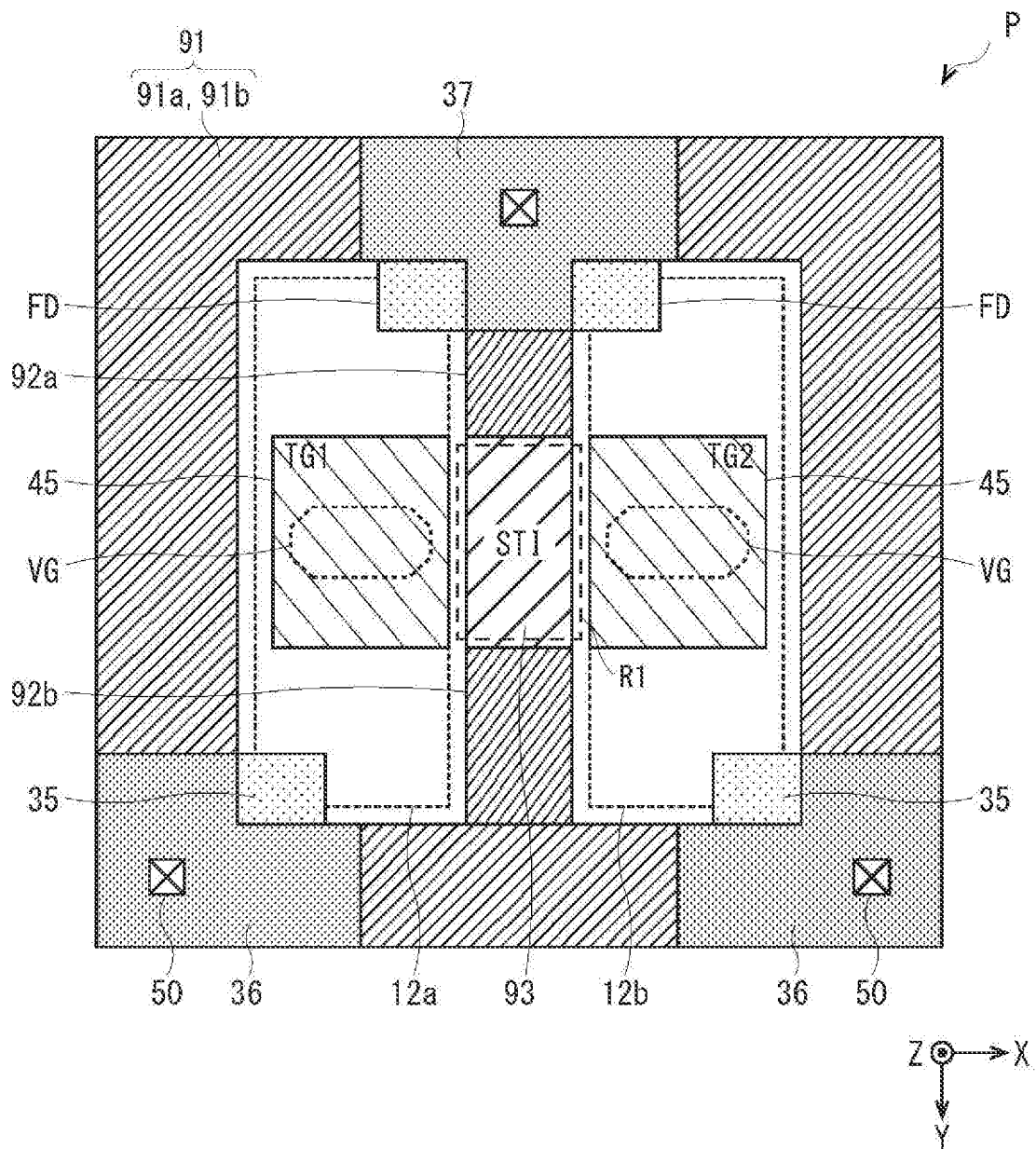
[図18]



[図19B]



[図19C]



[図21A]

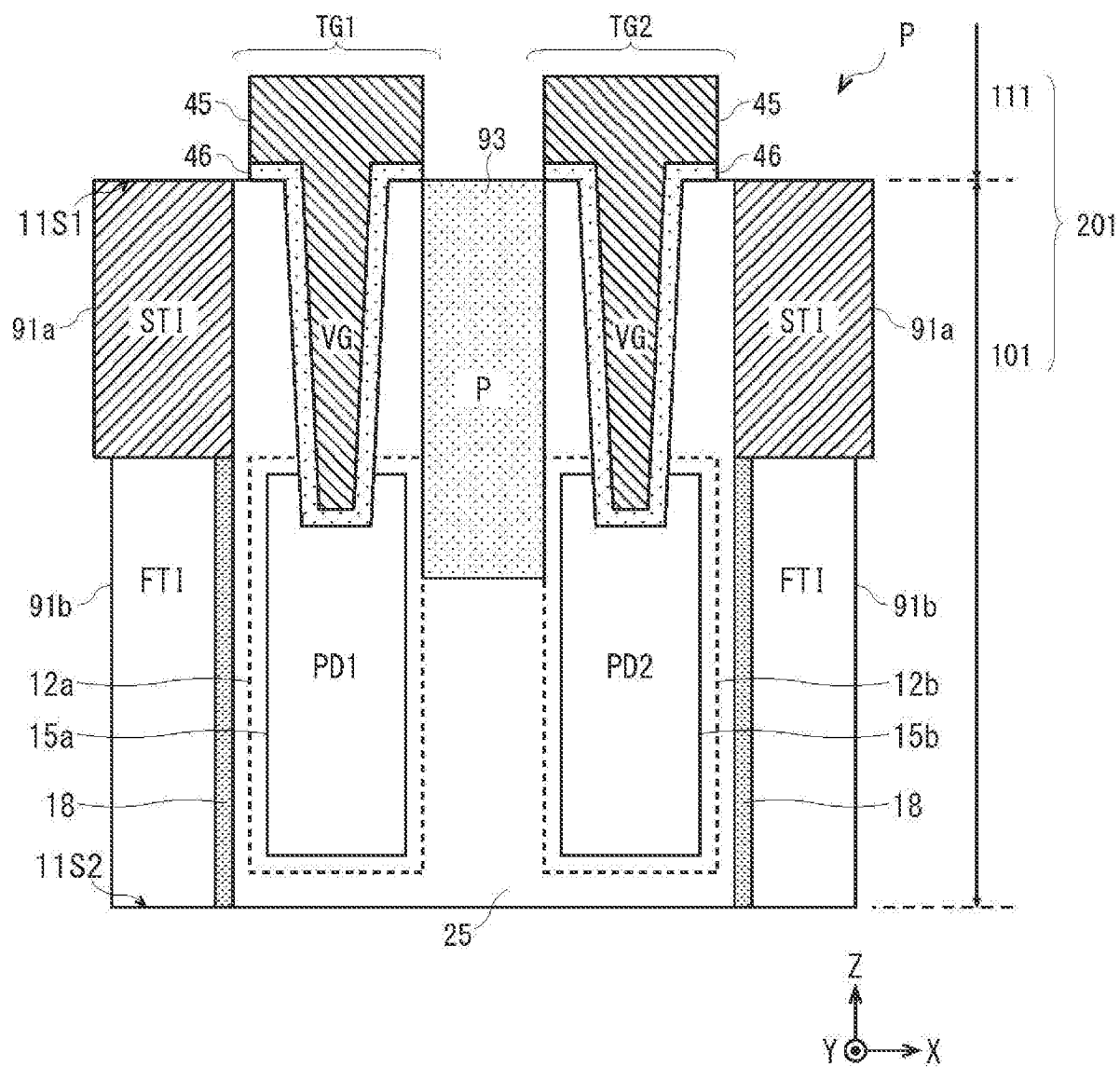
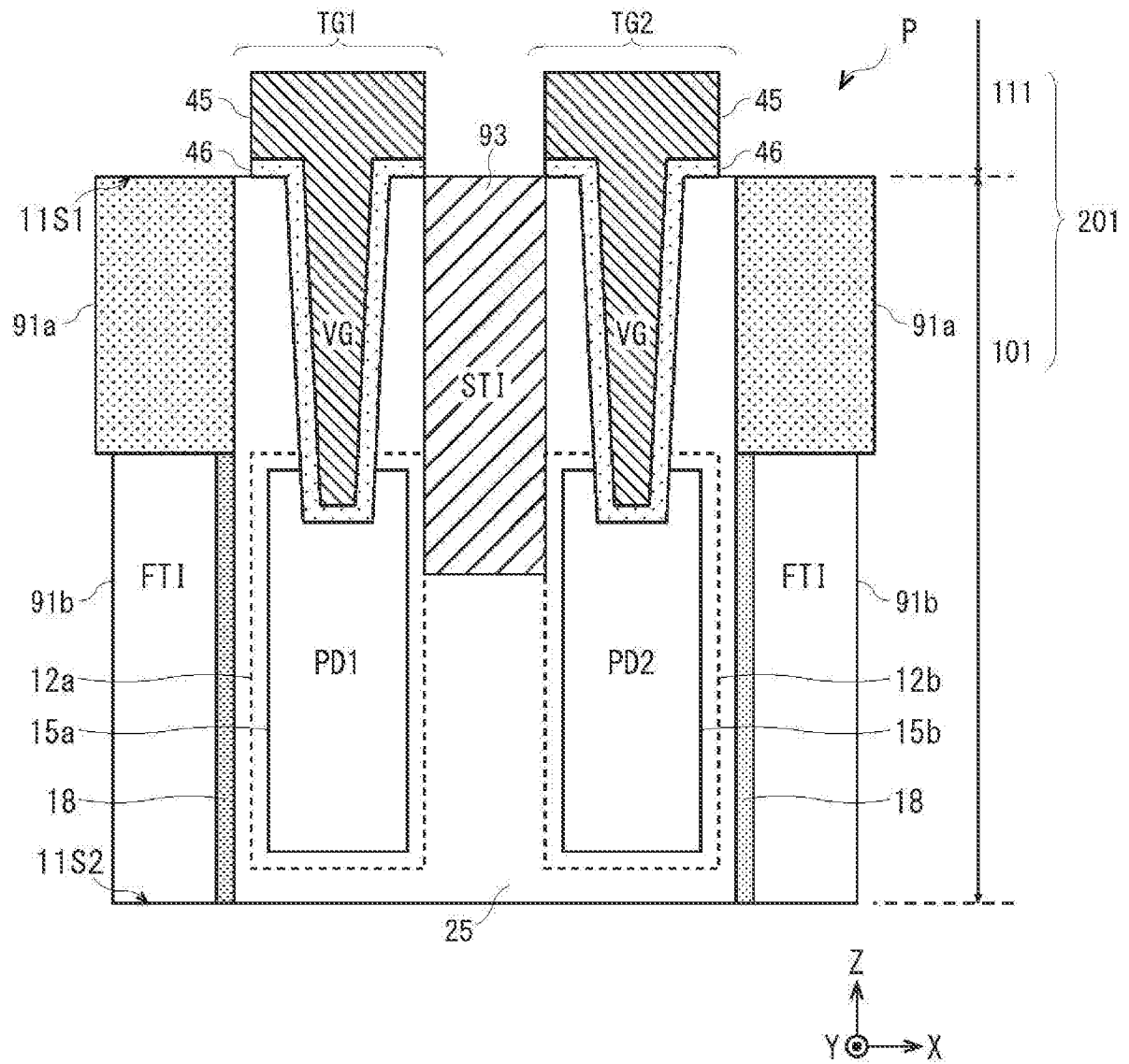
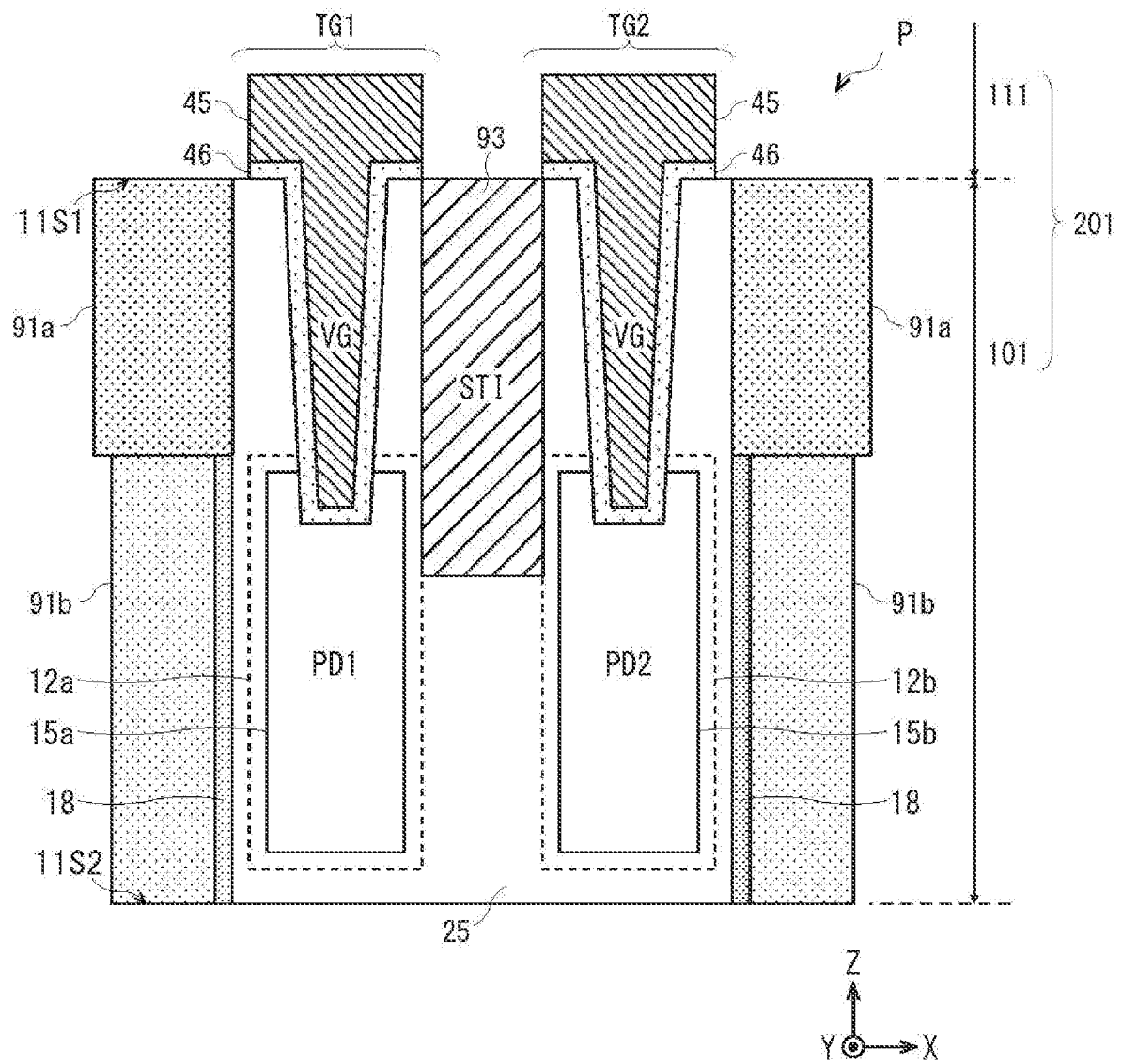


FIG. 1 is a cross-sectional view of a semiconductor device 201. The device includes a central channel region 93 and two side regions 91a. The channel region 93 is divided into two parts, PD1 and PD2, by a vertical barrier 18. The side regions 91a are divided into two parts, ST1 and FT1, by a vertical barrier 18. The device is covered by a top layer 45 and a bottom layer 46. The top layer 45 is divided into two parts, TG1 and TG2, by a vertical barrier 18. The bottom layer 46 is divided into two parts, VG1 and VG2, by a vertical barrier 18. The device is also divided into two parts, 111 and 101, by a horizontal dashed line. A coordinate system (X, Y, Z) is shown at the bottom right.

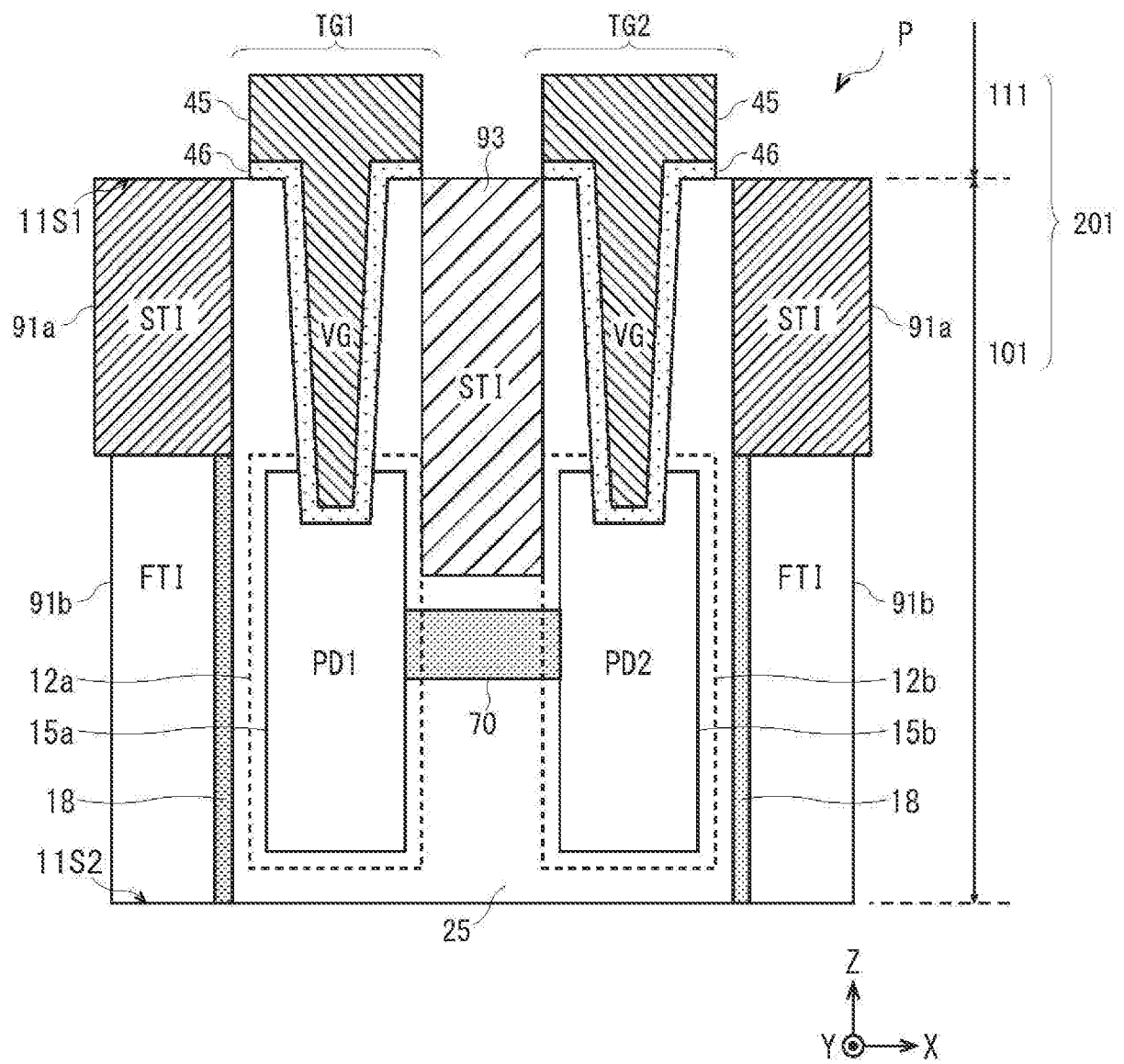
[図22A]

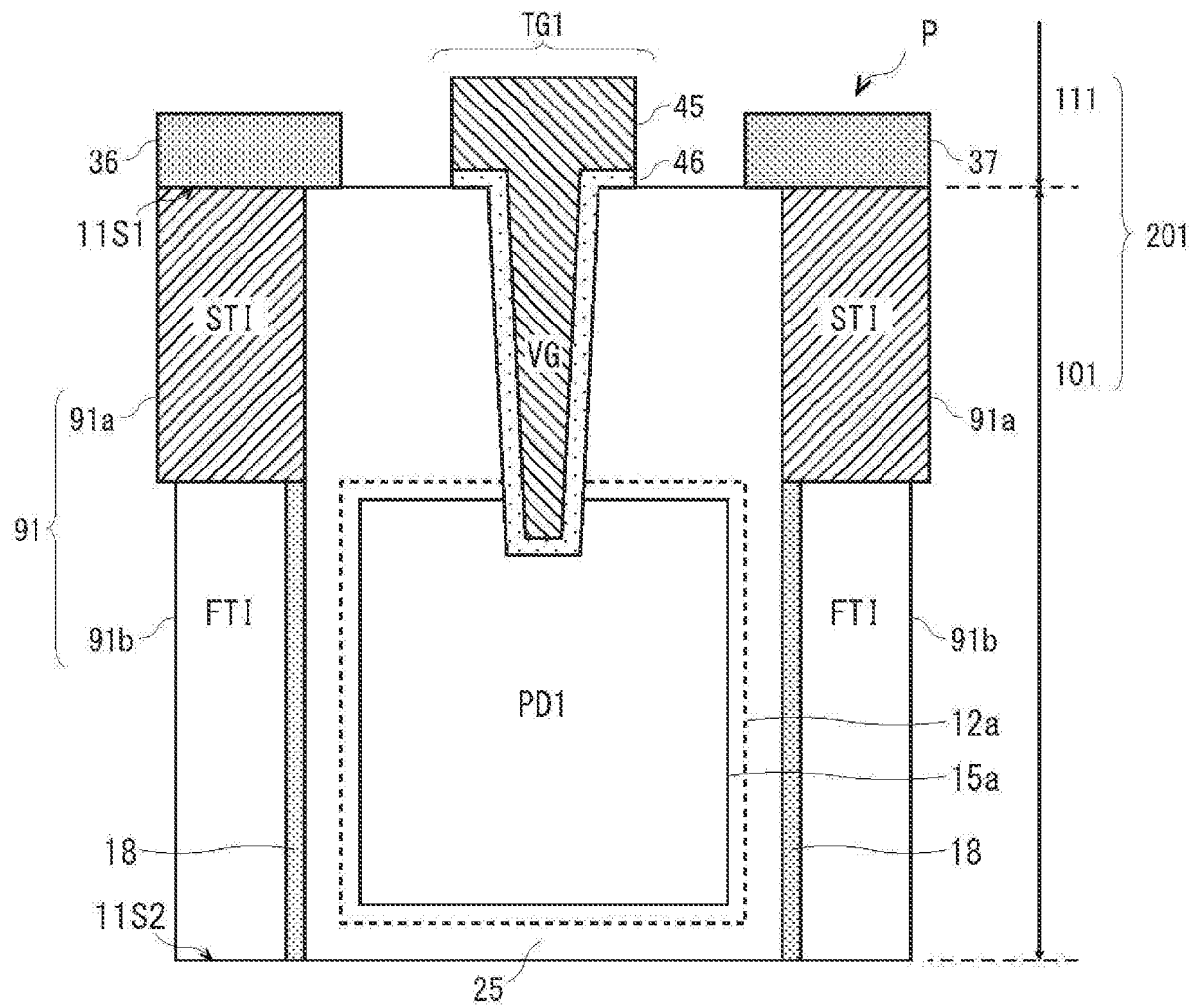


[図22B]

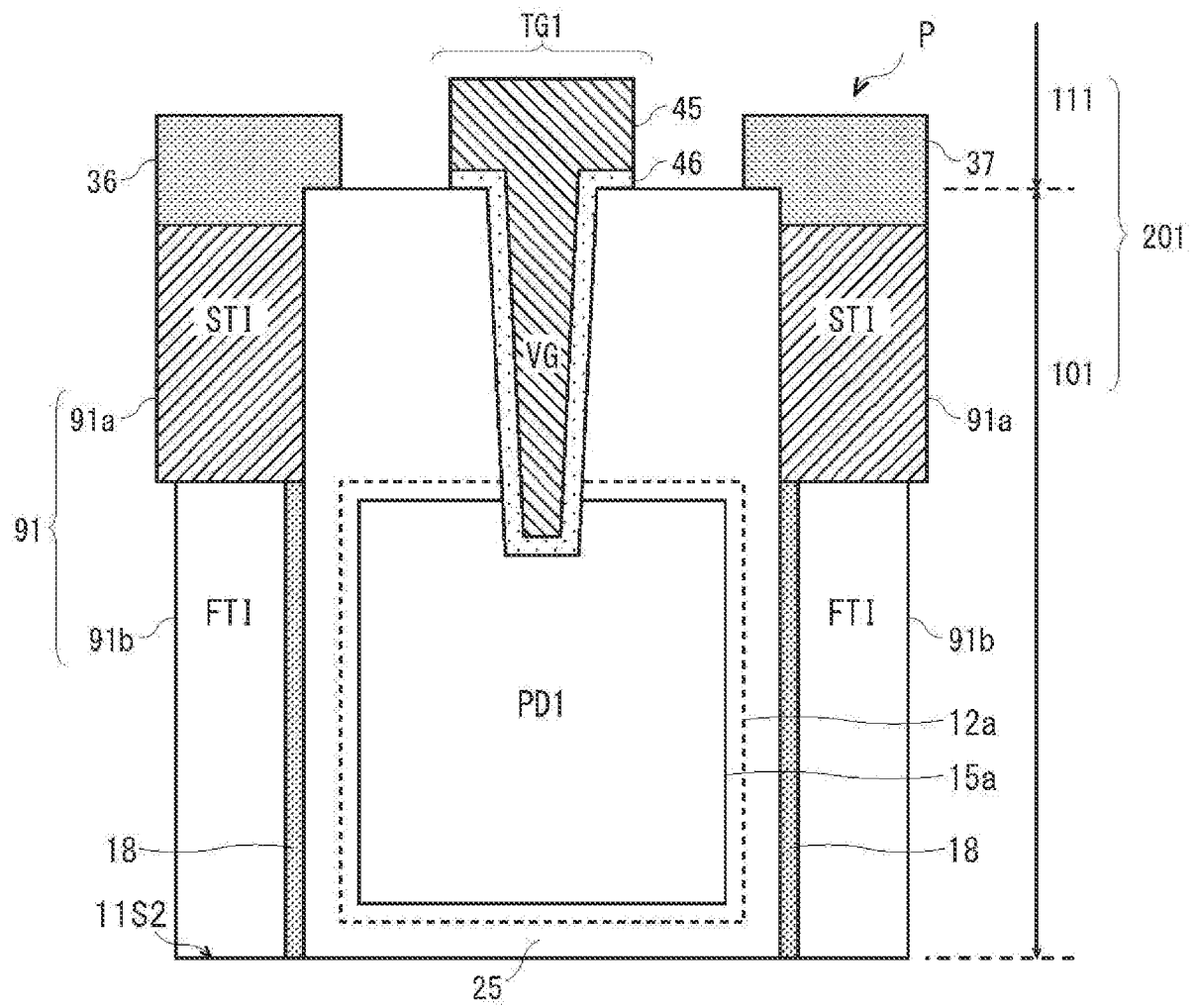


[図23A]

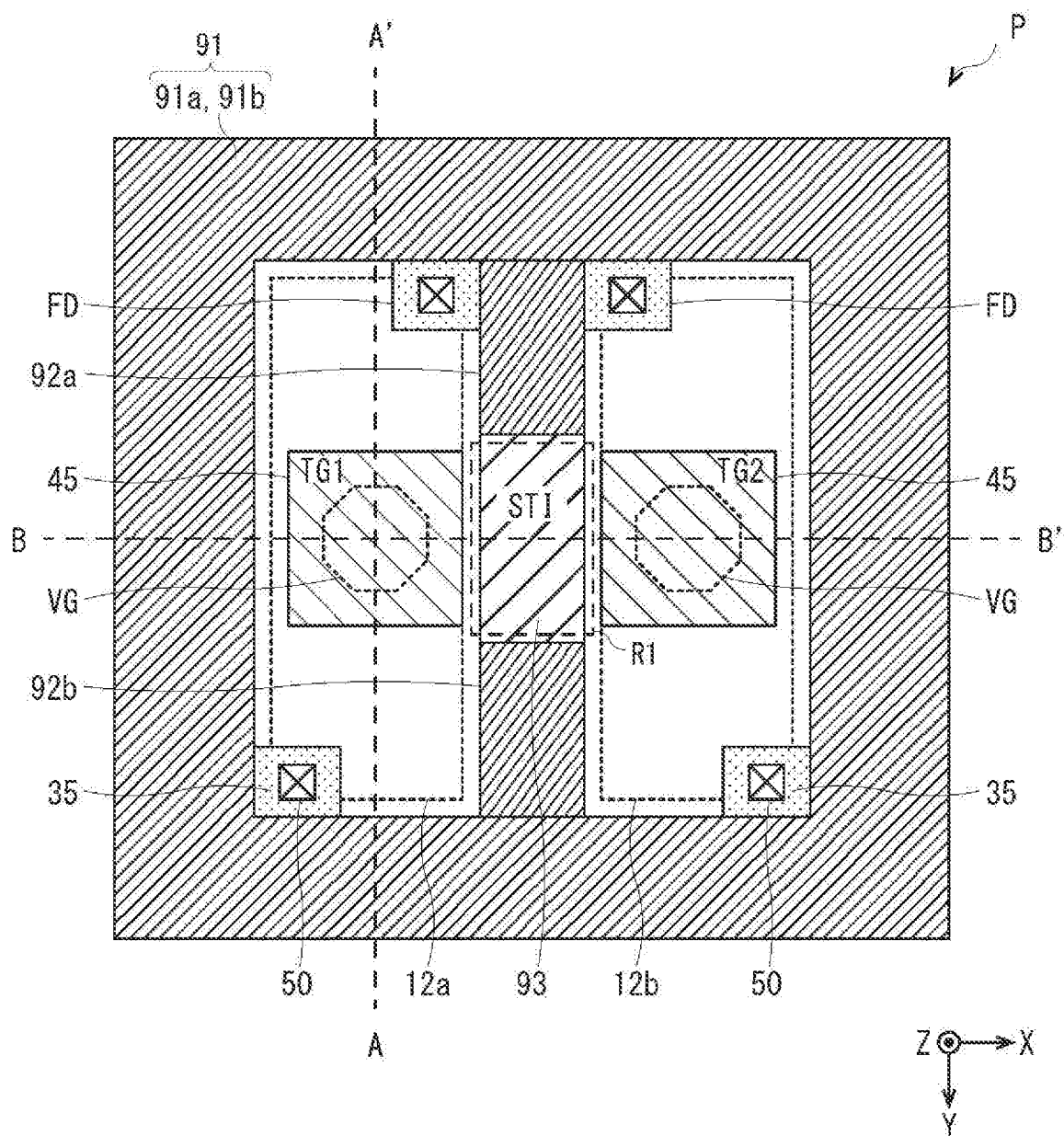




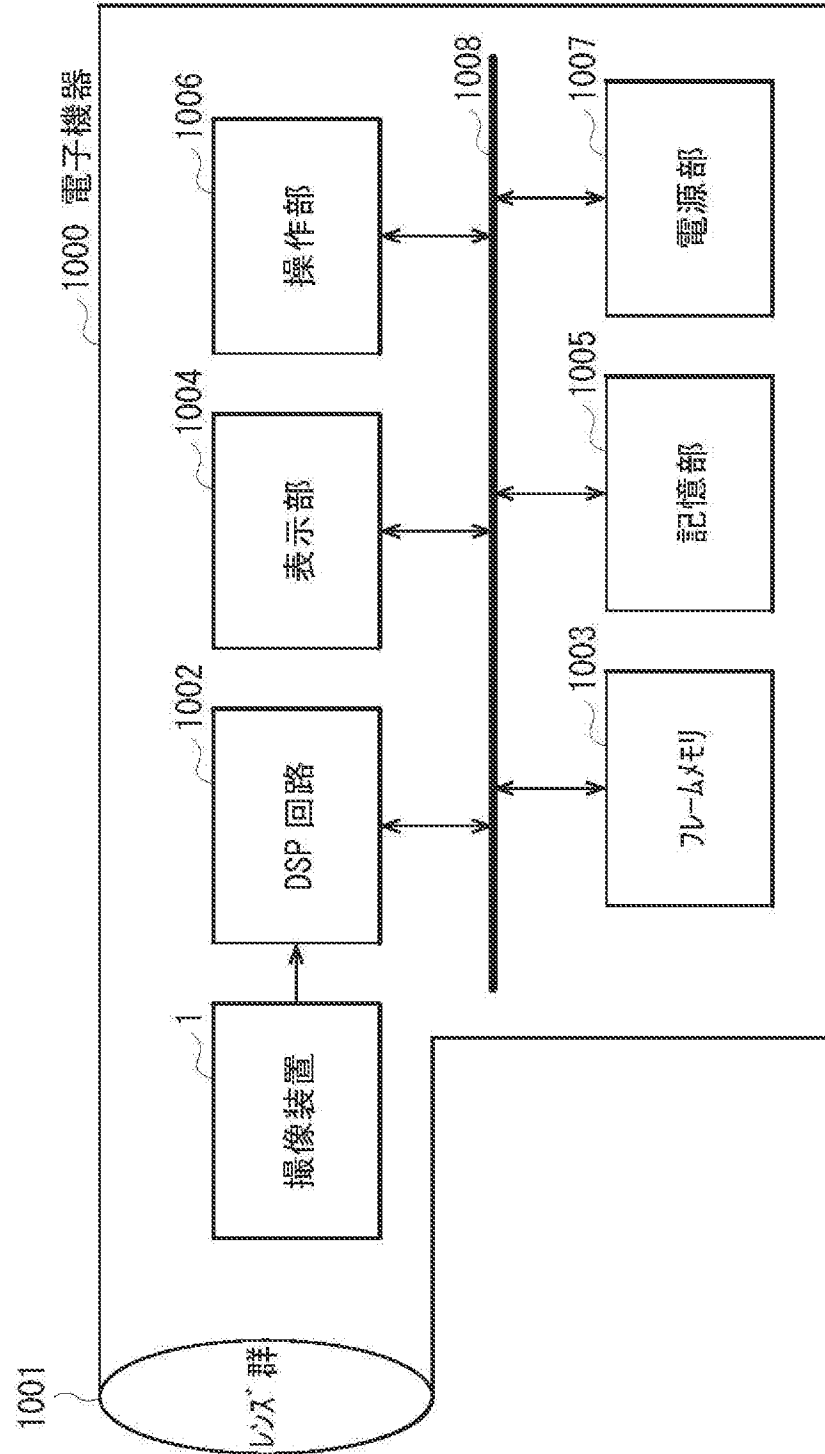
[図24B]



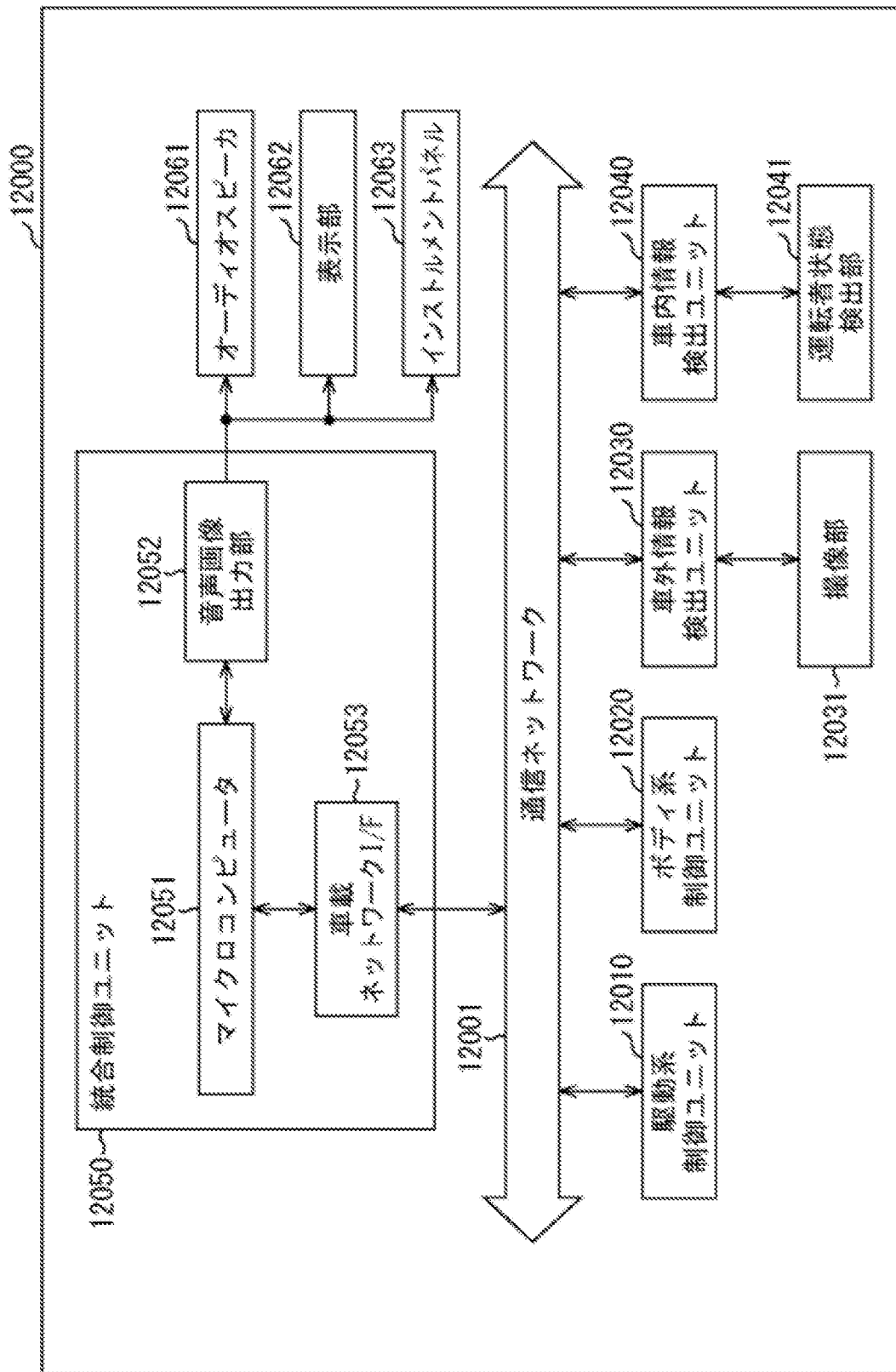
[図25]



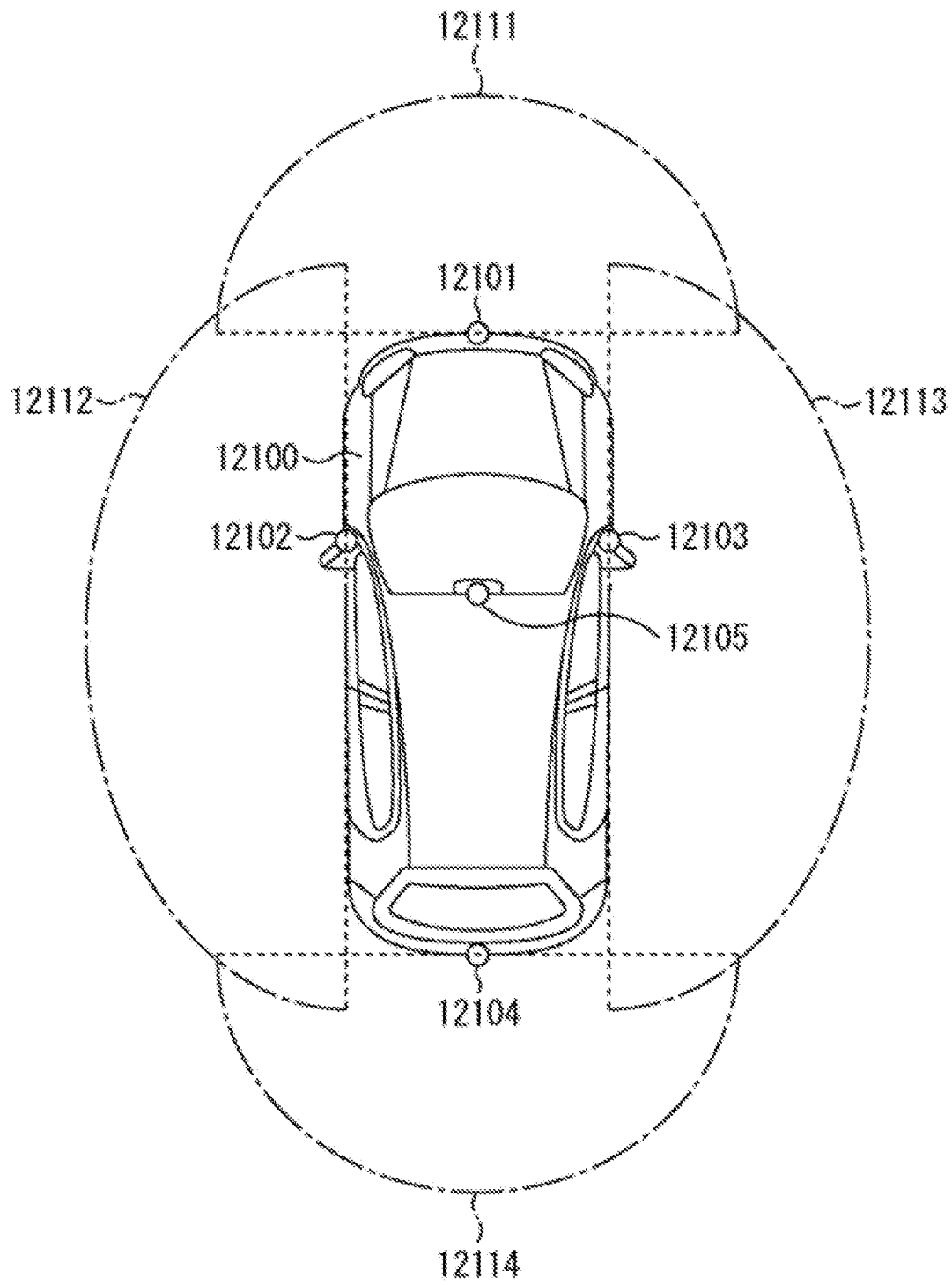
[図26]



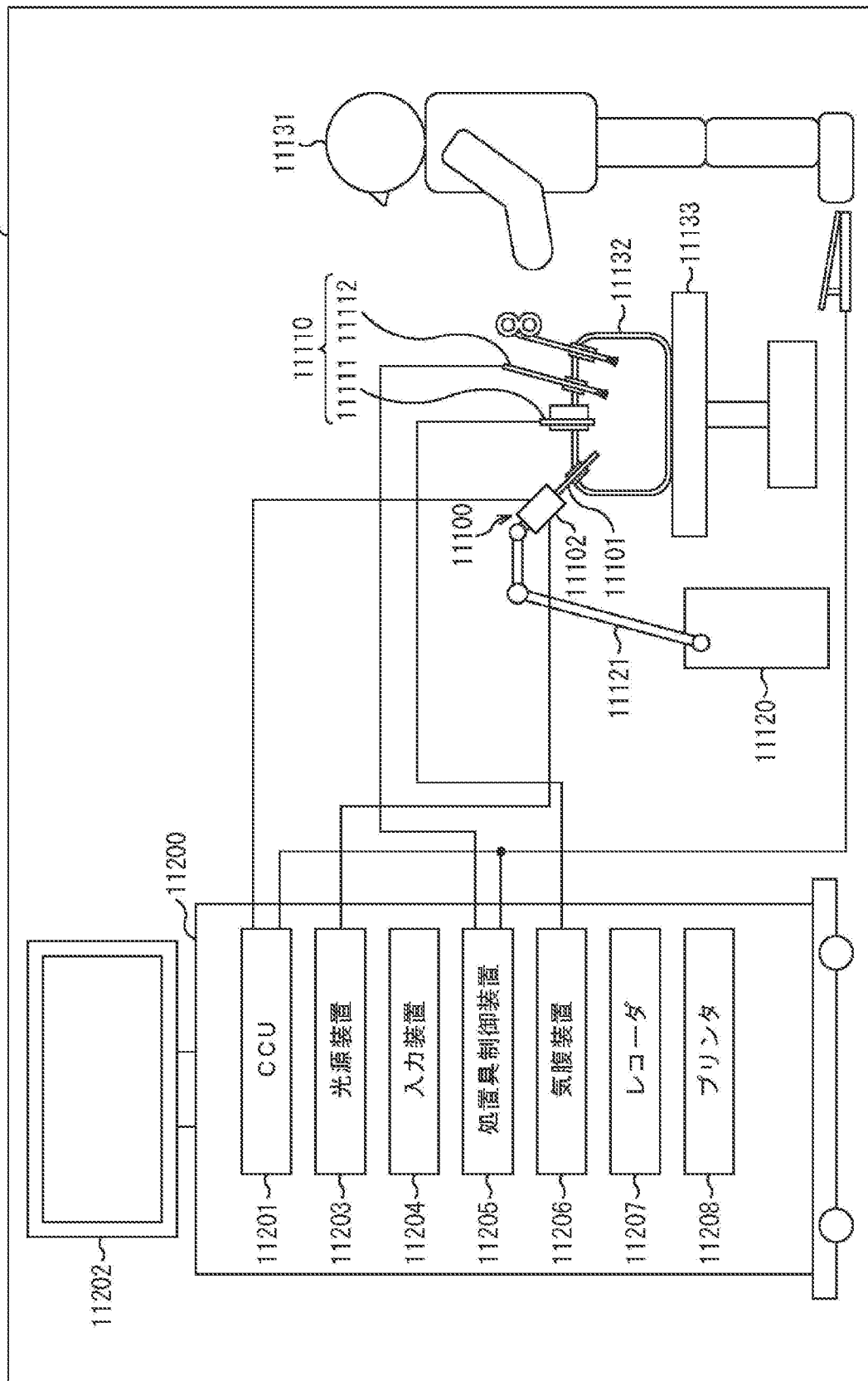
[図27]



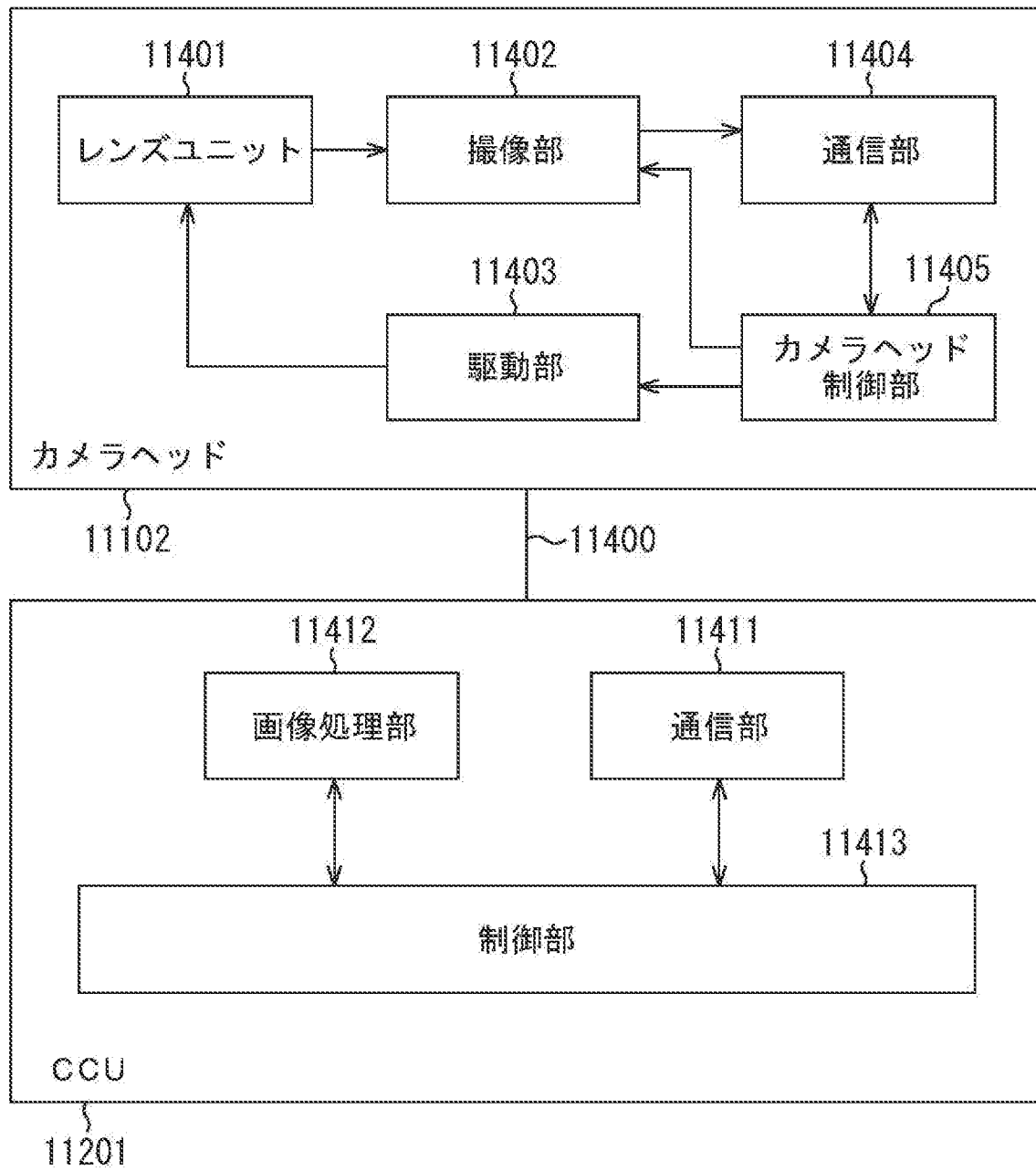
[図28]



[図29]



[図30]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/040034

A. CLASSIFICATION OF SUBJECT MATTER H10F 39/18 (2025.01)i; H04N 25/70 (2023.01)i; H04N 25/704 (2023.01)i FI: H01L27/146 A; H04N25/70; H04N25/704 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L27/146; H04N25/70; H04N25/704 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2022/209681 A1 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 06 October 2022 (2022-10-06) paragraphs [0044]-[0348], fig. 5-8, 37, 38, 48, 52, 55	1-6, 17-20
Y		7-12
A		13-16
Y	JP 2017-212351 A (CANON KABUSHIKI KAISHA) 30 November 2017 (2017-11-30) paragraphs [0026]-[0121], fig. 3, 9	7-12
A	WO 2018/221443 A1 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 06 December 2018 (2018-12-06) paragraphs [0066]-[0097], fig. 9-14	1-20
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 23 December 2024		Date of mailing of the international search report 07 January 2025
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/040034

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO	2022/209681	A1	06 October 2022	US 2024/0038815 A1 paragraphs [0167]-[0576], fig. 5-8, 37, 38, 48, 52, 55 EP 4318592 A1 CN 117121206 A KR 10-2023-0160810 A	
JP	2017-212351	A	30 November 2017	US 2017/0345853 A1 paragraphs [0037]-[0132], fig. 3, 9	
WO	2018/221443	A1	06 December 2018	US 2020/0235149 A1 paragraphs [0158]-[0190], fig. 9-14 CN 110383479 A KR 10-2020-0014722 A	

A. 発明の属する分野の分類（国際特許分類（IPC））

H10F 39/18(2025.01)i; H04N 25/70(2023.01)i; H04N 25/704(2023.01)i
FI: H01L27/146 A; H04N25/70; H04N25/704

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））
H01L27/146; H04N25/70; H04N25/704

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報

1922-1996年

日本国公開実用新案公報

1971-2024年

日本国実用新案登録公報

1996-2024年

日本国登録実用新案公報

1994-2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	WO 2022/209681 A1（ソニーセミコンダクタソリューションズ株式会社）06.10.2022 (2022-10-06) [0044]-[0348], 図5-8, 37, 38, 48, 52, 55	1-6, 17-20
Y		7-12
A		13-16
Y	JP 2017-212351 A（キヤノン株式会社）30.11.2017（2017-11-30） [0026]-[0121], 図3, 9	7-12
A	WO 2018/221443 A1（ソニーセミコンダクタソリューションズ株式会社）06.12.2018 (2018-12-06) [0066]-[0097], 図9-14	1-20

☐ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技術水準を示すもの

“D” 国際出願で出願人が先行技術文献として記載した文献

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日

23. 12. 2024

国際調査報告の発送日

07. 01. 2025

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

加藤 俊哉 5F 9554

電話番号 03-3581-1101 内線 3514

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2024/040034

引用文献			公表日	パテントファミリー文献	公表日
WO	2022/209681	A1	06.10.2022	US 2024/0038815 A1 [0167]-[0576], FIGS. 5-8, 37, 38, 48, 52, 55 EP 4318592 A1 CN 117121206 A KR 10-2023-0160810 A	
JP	2017-212351	A	30.11.2017	US 2017/0345853 A1 [0037]-[0132], FIGS. 3, 9	
WO	2018/221443	A1	06.12.2018	US 2020/0235149 A1 [0158]-[0190], FIGS. 9-14 CN 110383479 A KR 10-2020-0014722 A	