

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号
特表2016-534572
(P2016-534572A)

(43) 公表日 平成28年11月4日(2016.11.4)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 3 O 1 J	5 F O 4 8
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 3 O 1 X	5 F 1 4 O
HO 1 L 21/8234 (2006.01)	HO 1 L 29/78 3 O 1 C	
HO 1 L 27/088 (2006.01)	HO 1 L 27/08 1 O 2 E	

審査請求 未請求 予備審査請求 有 (全 30 頁)

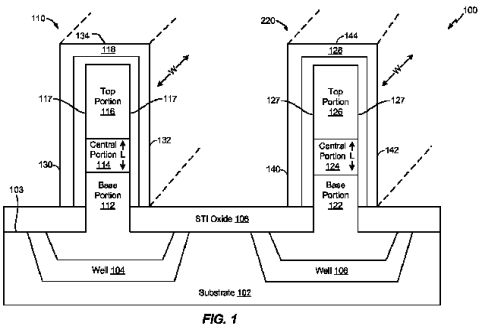
(21) 出願番号 特願2016-540379 (P2016-540379)	(71) 出願人 507364838 クアルコム、インコーポレイテッド アメリカ合衆国 カリフォルニア 921 21 サン ディエゴ モアハウス ドラ イブ 5775
(86) (22) 出願日 平成26年9月4日 (2014.9.4)	
(85) 翻訳文提出日 平成28年3月2日 (2016.3.2)	
(86) 国際出願番号 PCT/US2014/054066	
(87) 国際公開番号 W02015/035028	
(87) 国際公開日 平成27年3月12日 (2015.3.12)	(74) 代理人 100108453 弁理士 村山 靖彦
(31) 優先権主張番号 14/021,795	(74) 代理人 100163522 弁理士 黒田 晋平
(32) 優先日 平成25年9月9日 (2013.9.9)	(72) 発明者 シア・リ アメリカ合衆国・カリフォルニア・921 21-1714・サン・ディエゴ・モアハ ウス・ドライブ・5775
(33) 優先権主張国 米国 (US)	

最終頁に続く

(54) 【発明の名称】 縦型トンネル電界効果トランジスタ

(57) 【要約】

トンネル電界トランジスタ (TFET) デバイスは、基板表面から突出するフィン構造を含む。フィン構造は、基板表面に最も近いベース部分、上部部分、およびベース部分から上部部分へ延びる側壁の第1のペアを含む。側壁の第1のペアは、フィン構造の長さに相当する長さを有する。フィン構造はまた、第1のドーパント濃度をフィン構造のベース部分に有する第1のドーパ領域を含む。フィン構造はまた、第2のドーパント濃度をフィン構造の上部部分に有する第2のドーパ領域を含む。TFET デバイスは、側壁の第1のペアの第1の側壁の付近の第1の導電性構造を含むゲートをさらに含む。誘電体層は、第1の導電性構造を第1の側壁から電氣的に分離する。



【特許請求の範囲】

【請求項 1】

基板表面から突出するフィン構造であって、

前記基板表面に最も近いベース部分と、上部部分と、前記ベース部分から前記上部部分へ延びる側壁の第 1 のペアであって、前記フィン構造の長さに対応する長さを有する側壁の第 1 のペアと、

第 1 のドーパント濃度を前記フィン構造の前記ベース部分に有する第 1 のドーブ領域と、

第 2 のドーパント濃度を前記フィン構造の前記上部部分に有する第 2 のドーブ領域とを備える、フィン構造と、

前記側壁の第 1 のペアの第 1 の側壁の付近の第 1 の導電性構造を備えるゲートであって、誘電体層が前記第 1 の導電性構造を前記第 1 の側壁から電氣的に分離するゲートとを備えるトンネル電界効果トランジスタ (T F E T) デバイス。

【請求項 2】

前記ゲートは、前記側壁の第 1 のペアの第 2 の側壁の付近の第 2 の導電性構造をさらに備え、前記誘電体層が前記第 2 の導電性構造を前記第 2 の側壁から電氣的に分離する、請求項 1 に記載の T F E T デバイス。

【請求項 3】

前記ゲートは、前記上部部分の付近の第 3 の導電性構造をさらに備え、前記誘電体層が前記第 3 の導電性構造を前記上部部分から電氣的に分離し、前記第 3 の導電性構造が前記第 1 の導電性構造および前記第 2 の導電性構造に結合される、請求項 2 に記載の T F E T デバイス。

【請求項 4】

前記フィン構造は、前記ベース部分と前記上部部分との間に中央部分をさらに備える、請求項 1 に記載の T F E T デバイス。

【請求項 5】

前記ベース部分、前記上部部分、および前記中央部分は、第 1 のタイプの材料で構成される、請求項 4 に記載の T F E T デバイス。

【請求項 6】

前記第 1 のタイプの材料はシリコンである、請求項 5 に記載の T F E T デバイス。

【請求項 7】

前記中央部分は前記フィン構造のチャンネル領域に相当する、請求項 4 に記載の T F E T デバイス。

【請求項 8】

チャンネル長は前記中央部分の高さに相当する、請求項 7 に記載の T F E T デバイス。

【請求項 9】

飽和電流は前記ゲートの幅を変化させることによって調整される、請求項 1 に記載の T F E T デバイス。

【請求項 10】

前記ベース部分は前記フィン構造のドレインに相当し、前記上部部分は前記フィン構造のソースに相当する、請求項 1 に記載の T F E T デバイス。

【請求項 11】

前記第 1 のドーパント濃度は n - 型濃度を含み、前記第 2 のドーパント濃度は p - 型濃度を含む、請求項 10 に記載の T F E T デバイス。

【請求項 12】

前記第 1 のドーパント濃度は p - 型濃度を含み、前記第 2 のドーパント濃度は n - 型濃度を含む、請求項 10 に記載の T F E T デバイス。

【請求項 13】

前記第 1 のドーブ領域は第 1 の材料を備え、前記第 2 のドーブ領域は第 2 の材料を備え、前記第 1 の材料が前記第 2 の材料と異なる、請求項 1 に記載の T F E T デバイス。

10

20

30

40

50

【請求項 14】

前記ベース部分は前記フィン構造のソースに相当し、前記上部部分は前記フィン構造のドレインに相当する、請求項 1 に記載の T F E T デバイス。

【請求項 15】

前記第 1 のドーパント濃度は n - 型濃度を含み、前記第 2 のドーパント濃度は p - 型濃度を含む、請求項 14 に記載の T F E T デバイス。

【請求項 16】

前記第 1 のドーパント濃度は p - 型濃度を含み、前記第 2 のドーパント濃度は n - 型濃度を含む、請求項 14 に記載の T F E T デバイス。

【請求項 17】

少なくとも 1 つの半導体ダイに統合された、請求項 1 に記載の T F E T デバイス。

【請求項 18】

通信デバイス、携帯情報端末 (P D A)、ナビゲーションデバイス、固定位置データユニット、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、娯楽ユニット、及びコンピュータからなる群から選択されるデバイスに統合された、請求項 1 に記載の T F E T デバイス。

【請求項 19】

縦型トンネル電界効果トランジスタ (T F E T) デバイスを製作するステップを備える方法であって、

前記縦型 T F E T デバイスを製作するステップは、

ウェル領域、ベース部分、中央部分、および上部部分を基板内に形成するステップであって、前記ベース部分が前記ウェル領域の表面から突出し、前記中央部分が前記ベース部分と前記上部部分との間に形成されるステップと、

縦型フィン構造を形成するために前記基板をエッチングするステップであって、前記縦型フィン構造が、前記ベース部分、前記中央部分、および前記上部部分を含むステップと、

誘電体層を前記縦型フィン構造の上に堆積するステップと、

第 1 のゲート材料を前記誘電体層の上に堆積するステップと

を備える方法。

【請求項 20】

前記中央部分は前記縦型 T F E T デバイスのチャネル領域に相当する、請求項 19 に記載の方法。

【請求項 21】

前記ベース部分は前記縦型 T F E T デバイスのドレインに相当し、前記上部部分は前記縦型 T F E T デバイスのソースに相当する、請求項 19 に記載の方法。

【請求項 22】

前記ベース部分は前記縦型 T F E T デバイスのソースに相当し、前記上部部分は前記縦型 T F E T デバイスのドレインに相当する、請求項 19 に記載の方法。

【請求項 23】

前記縦型 T F E T デバイスを製作するステップは、

前記ウェル領域、前記ベース部分、前記中央部分、および前記上部部分を注入するのに先立ち、前記基板の上にフォトレジストをパターンニングするステップと、

前記上部部分を露光するために前記フォトレジストを除去するステップであって、前記フォトレジストがフォトレジストストリッピングを介して除去されるステップと、

ハードマスク膜を前記上部部分の上に堆積するステップと、

前記縦型フィン構造を前記基板からエッチングするのに先立ち、前記ハードマスク膜をパターンニングするステップと

をさらに備える、請求項 19 に記載の方法。

【請求項 24】

前記縦型 T F E T デバイスを製作するステップは、

酸化物層を形成するステップと、
前記酸化物層を形成した後、前記誘電体層を前記縦型フィン構造の上に堆積するのに先立ち、前記ハードマスク膜を除去するステップと、
をさらに備える、請求項 23 に記載の方法。

【請求項 25】

前記酸化物層を形成するステップは、
前記酸化物層を堆積するステップと、
化学機械研磨 (CMP) を前記酸化物層の上で実施するステップと、
前記酸化物層をエッチングするステップと
を含む、請求項 24 に記載の方法。

10

【請求項 26】

前記縦型 TFEET デバイスを製作するステップは、
層間誘電体酸化物を前記第 1 のゲート材料の上に堆積するステップと、
化学機械研磨 (CMP) を前記層間誘電体酸化物の上で実施するステップと、
前記第 1 のゲート材料を除去するステップと、
ゲートメタルを堆積するステップと、
CMP を前記ゲートメタルの上で実施するステップと
をさらに含む、請求項 19 に記載の方法。

【請求項 27】

前記縦型 TFEET デバイスを製作するステップは、電子デバイスに統合されたプロセッサにおいて開始される、請求項 19 に記載の方法。

20

【請求項 28】

命令を備えるコンピュータ可読記憶媒体であって、前記命令は、プロセッサによって実行された時に、前記プロセッサに、

縦型トンネル電界効果トランジスタ (TFEET) デバイスを製作することを開始させ、
前記縦型 TFEET デバイスを製作することは、

ウェル領域、ベース部分、中央部分、および上部部分を基板内に形成することであって、前記ベース部分が前記ウェル領域の表面から突出し、前記中央部分が前記ベース部分と前記上部部分との間に形成されることと、

縦型フィン構造を形成するために前記基板をエッチングすることであって、前記縦型フィン構造が、前記ベース部分、前記中央部分、および前記上部部分を含むことと、

30

誘電体層を前記縦型フィン構造の上に堆積することと、
第 1 のゲート材料を前記誘電体層の上に堆積することと
を備える、コンピュータ可読記憶媒体。

【請求項 29】

前記中央部分は前記縦型 TFEET デバイスのチャネル領域に相当する、請求項 28 に記載のコンピュータ可読記憶媒体。

【請求項 30】

前記ベース部分は前記縦型 TFEET デバイスのドレインに相当し、前記上部部分は前記縦型 TFEET デバイスのソースに相当する、請求項 28 に記載のコンピュータ可読記憶媒体。

40

【請求項 31】

前記ベース部分は前記縦型 TFEET デバイスのソースに相当し、前記ベース部分は前記縦型 TFEET デバイスのドレインに相当する、請求項 28 に記載のコンピュータ可読記憶媒体。

【請求項 32】

前記プロセッサは、通信デバイス、携帯情報端末 (PDA)、ナビゲーションデバイス、固定位置データユニット、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、娯楽ユニット、及びコンピュータからなる群から選択されるデバイスに統合された、請求項 28 に記載のコンピュータ可読記憶媒体。

50

【請求項 3 3】

ウェル領域、ベース部分、中央部分、および上部部分を基板内に形成するためのステップであって、前記ベース部分が前記ウェル領域の表面から突出し、前記中央部分が前記ベース部分と前記上部部分との間に形成されるステップと、

縦型フィン構造を形成するために前記基板をエッチングするためのステップであって、前記縦型フィン構造が、前記ベース部分、前記中央部分、および前記上部部分を含むステップと、

誘電体層を前記縦型フィン構造の上に堆積するためのステップと、

第 1 のゲート材料を前記誘電体層の上に堆積するためのステップと

を備える方法。

10

【請求項 3 4】

注入するための前記ステップ、エッチングするための前記ステップ、前記誘電体層を堆積するための前記ステップ、および前記第 1 のゲート材料を堆積するための前記ステップは、電子デバイスに統合されたプロセッサによって実行される、請求項 3 3 に記載の方法。

【請求項 3 5】

半導体デバイスに対応する設計情報を含むデータファイルを受け取るステップと、

前記設計情報に従って前記半導体デバイスを製作するステップとを含む方法であって、前記半導体デバイスが、

基板表面から突出するフィン構造であって、

前記基板表面に最も近いベース部分と、上部部分と、前記ベース部分から前記上部部分へ延びる側壁の第 1 のペアであって、前記フィン構造の長さに対応する長さを有する側壁の第 1 のペアと、

第 1 のドーパント濃度を前記フィン構造の前記ベース部分に有する第 1 のドーブ領域と、

第 2 のドーパント濃度を前記フィン構造の前記上部部分に有する第 2 のドーブ領域とを備える、フィン構造と、

前記側壁の第 1 のペアの第 1 の側壁の付近の第 1 の導電性構造を備えるゲートであって、誘電体層が前記第 1 の導電性構造を前記第 1 の側壁から電氣的に分離するゲートと

を備える方法。

30

【請求項 3 6】

前記データファイルはグラフィックデータシステム (GDSII) フォーマットを有する、請求項 3 5 に記載の方法。

【請求項 3 7】

前記データファイルは GERBER フォーマットを有する、請求項 3 5 に記載の方法。

【請求項 3 8】

電荷キャリアをトンネルチャネルに供給するための手段と、

前記電荷キャリアを前記トンネルチャネルから受け取るための手段であって、供給するための前記手段または受け取るための前記手段のうち的一方が、フィン構造のベース部分にあるとともに基板表面に隣接し、供給するための前記手段または受け取るための前記手段のうち他方が、前記フィン構造の上部部分にある手段と、

前記トンネルチャネルにおけるバンド間トンネリングを可能にするために前記トンネルチャネルにバイアスをかけるための手段と

を備える装置。

40

【請求項 3 9】

供給するための前記手段は前記フィン構造のソースを含む、請求項 3 8 に記載の装置。

【請求項 4 0】

受け取るための前記手段は前記フィン構造のドレインを含む、請求項 3 8 に記載の装置。

【請求項 4 1】

50

セットトップボックス、音楽プレーヤ、ビデオプレーヤ、娯楽ユニット、ナビゲーションデバイス、通信デバイス、携帯情報端末（PDA）、固定位置データユニット、及びコンピュータからなる群から選択され、供給するための前記手段、受け取るための前記手段、およびバイアスをかけるための前記手段がその中に統合されたデバイスをさらに備える、請求項38に記載の装置。

【発明の詳細な説明】

【技術分野】

【0001】

関連技術の相互参照

本出願は、その全体が参照により本明細書に明示的に組み込まれている、2013年9月9日に提出した、所有者が共通する米国非仮特許出願第14/021,795号の優先権を主張するものである。

【0002】

本開示は、一般に、縦型トンネル電界効果トランジスタに関する。

【背景技術】

【0003】

技術の進歩は、より小型でより高性能なコンピューティングデバイスをもたらした。たとえば、現在、小型で、軽量で、ユーザが簡単に持ち運べる、ポータブルワイヤレス電話、携帯情報端末（PDA）、およびページングデバイスなどのワイヤレスコンピューティングデバイスを含む、様々なポータブルパーソナルコンピューティングデバイスが存在する。より具体的には、携帯電話およびインターネットプロトコル（IP）電話などのポータブルワイヤレス電話は、ワイヤレスネットワークを通じて音声およびデータパケットを通信することができる。さらに、多くのそのようなワイヤレス電話には、内部に組み込まれた他のタイプのデバイスを含む。たとえば、ワイヤレス電話は、デジタルスチルカメラ、デジタルビデオカメラ、デジタルレコーダ、およびオーディオファイルプレーヤをも含み得る。また、そのようなワイヤレス電話は、ウェブブラウザアプリケーションなど、インターネットにアクセスするために使用され得るソフトウェアアプリケーションを含む、実行可能な命令を処理することができる。したがって、これらのワイヤレス電話は、かなりのコンピューティング能力を含むことができる。

【0004】

ワイヤレス通信デバイスで使用するための半導体デバイスは、半導体デバイス内に論理回路を形成するトランジスタ（たとえば、相補型金属酸化膜半導体（CMOS）トランジスタ）を含み得る。各CMOSトランジスタは、ゲート、ソース領域、およびドレイン領域を含み得る。活性化されると、従来のCMOSトランジスタのゲートバイアスは、ソース領域とドレイン領域との間に蓄積領域チャネルの形成を引き起こして、ソース領域からドレイン領域への電流の流れを可能にし得る。対照的に、トンネルCMOSトランジスタは、印加されたゲートバイアスによって有効にされた、チャネルの中のバンド間トンネリングの結果として電流の流れを可能にし得る。しかしながら、トンネルCMOSトランジスタは通常は平面状であるので、そのようなトンネルCMOSトランジスタは、サブ22ナノメートル（nm）およびそれを越えるプロセス規模（process dimension）に対してスケージングの課題を提示し得る。

【発明の概要】

【課題を解決するための手段】

【0005】

縦型トンネル電界効果トランジスタ（TFET）および製作の方法が開示される。フィンタイプの縦型TFETは、チャネル領域を介して垂直に結合されるソース領域およびドレイン領域を含み得る。垂直のトンネルがチャネル領域内に形成されて、ソース領域とドレイン領域との間に伝導経路を作り出すことができる。垂直のトンネルの長さは、チャネル領域の高さに依存し得る。フィンタイプの縦型TFETはまた、調整可能な幅を伴うゲートを含み得る。たとえば、垂直のトンネルを通して流れる飽和電流の量は、ゲートの幅

を変化させることに応じて調整（たとえば、増大または減少）され得る。

【0006】

特定の実施形態では、トンネル電界トランジスタ（TFET）デバイスは、基板表面から突出するフィン構造を含む。フィン構造は、基板表面に最も近いベース部分、上部部分、およびベース部分から上部部分へ延びる側壁の第1のペアを含む。側壁の第1のペアは、フィン構造の長さに相当する長さを有する。フィン構造はまた、第1のドーパント濃度をフィン構造のベース部分に有する第1のドーパ領域を含む。フィン構造はまた、第2のドーパント濃度をフィン構造の上部部分に有する第2のドーパ領域を含む。TFETデバイスは、側壁の第1のペアの第1の側壁の付近の第1の導電性構造を含むゲートをさらに含む。誘電体層が、第1の導電性構造を第1の側壁から電氣的に分離する。

10

【0007】

別の特定の実施形態では、方法は、縦型トンネル電界効果トランジスタ（TFET）デバイスを製作することを含む。縦型TFETデバイスを製作することは、基板内にウェル領域、ベース部分、中央部分、および上部部分を形成することを含む。ベース部分は、ウェル領域の表面から突出し、中央部分は、ベース部分と上部部分との間に形成される。縦型TFETデバイスを製作することは、また、縦型フィン構造を形成するために基板をエッチングすることを含む。縦型フィン構造は、ベース部分、中央部分、および上部部分を含む。縦型TFETデバイスを製作することは、誘電体層を縦型フィン構造の上に堆積することと、第1のゲート材料を誘電体層の上に堆積することとをさらに含む。

20

【0008】

別の特定の実施形態では、装置は、電荷キャリアをトンネルチャネルに供給するための手段と、電荷キャリアをトンネルチャネルから受け取るための手段とを含む。供給するための手段または受け取るための手段のうちの一方は、フィン構造のベース部分にあるとともに基板表面に隣接する。供給するための手段または受け取るための手段のうちの他方は、フィン構造の上部部分にある。装置はまた、トンネルチャネルにおけるバンド間トンネルリングを可能にするためにトンネルチャネルにバイアスをかけるための手段を含む。

【0009】

開示される実施形態のうちの少なくとも1つによって提供される1つの特定の利点は、サブ22ナノメートル（nm）およびそれを越えるプロセス規模に対して、トンネル電界効果トランジスタのチャネルの中にバンド間トンネル電流を形成するための能力である。本開示の他の態様、利点、および特徴は、以下のセクション、すなわち、図面の簡単な説明、発明を実施するための形態、および特許請求の範囲を含む本出願全体を検討した後に明らかとなろう。

30

【図面の簡単な説明】

【0010】

【図1】縦型トンネル電界効果トランジスタデバイスの特定の例示的な実施形態の図である。

【図2】縦型トンネル電界効果トランジスタデバイスの別の特定の例示的な実施形態の図である。

【図3】図1の縦型トンネル電界効果トランジスタデバイスを製作することの特定の段階を示す図である。

40

【図4】図1の縦型トンネル電界効果トランジスタデバイスを製作することの別の段階を示す図である。

【図5】図1の縦型トンネル電界効果トランジスタデバイスを製作することの別の特定の段階を示す図である。

【図6】図1の縦型トンネル電界効果トランジスタデバイスを製作することの別の段階を示す図である。

【図7】図1の縦型トンネル電界効果トランジスタデバイスを製作することの別の特定の段階を示す図である。

【図8】図1の縦型トンネル電界効果トランジスタデバイスを製作することの別の特定の

50

段階を示す図である。

【図 9】3次元縦型トンネル電界効果トランジスタデバイスの特定の例示的な実施形態の図である。

【図 10】縦型トンネル電界効果トランジスタデバイスを製作する方法の特定の例示的な実施形態のフローチャートである。

【図 11】縦型トンネル電界効果トランジスタデバイスを含むワイヤレス通信デバイスのブロック図である。

【図 12】縦型トンネル電界効果トランジスタデバイスを含む電子デバイスを製造するための工程の特定の例示的な実施形態のデータフロー図である。

【発明を実施するための形態】

【0011】

縦型トンネル電界効果トランジスタデバイスの特定の実施形態および製作の方法が本開示で提示される。しかしながら、縦型トンネル電界効果トランジスタデバイスの設計に関して、また縦型トンネル電界効果トランジスタデバイスの作り方に関して、特定の実施形態に適用される概念および洞察が、様々な状況で実施され得ることが理解されるべきである。提示される特定の実施形態は、縦型トンネル電界効果トランジスタデバイスを設計および作成するための固有の方法の例にすぎず、本開示の範囲を限定しない。

【0012】

本開示は、特定の状況での特定の実施形態を説明する。しかしながら、特定の実施形態に従って説明されている機能、方法、構造、または特徴は、また、1つまたは複数の他の実施形態を形成するために、適切な方法で組み合わせられ得る。加えて、図面は、機能、方法、構造、または特徴間の相対的な関係を示すために使用され、したがって、縮尺通りに描かれていない場合がある。「上部」、「中心」、「ベース」などのような方向の用語は、説明されている図面の向きに関して使用される。本開示の構成要素は、いくつかの異なる向きに配置され得る。そのように、方向の用語は、例示の目的のために使用され、限定することを意図されていない。

【0013】

図 1 を参照すると、フィンタイプの縦型トンネル電界効果トランジスタ (TFET) デバイス 100 の特定の例示的な実施形態が示される。図 1 は、縦型 TFET デバイス 100 の部分の横断面図を示す。

【0014】

縦型 TFET デバイス 100 は、基板 102 およびシャロートレンチ分離 (STI) 酸化物層 108 を含む。基板 102 は p - 型基板であり得る。特定の実施形態では、基板 102 はシリコン (Si) 基板である。STI 酸化物層 108 は、互いに隣接する半導体デバイス構成要素の間の電流洩れを防止し得る。たとえば、STI 酸化物層 108 は、縦型 TFET デバイス 100 と別の半導体デバイス構成要素 (たとえば、別の縦型 TFET デバイス) との間の電流洩れを防止し得る。

【0015】

縦型 TFET デバイス 100 は、第 1 のウェル領域 104、第 1 のベース部分 112、第 1 の中央部分 114、および第 1 の上部部分 116 を含む第 1 の縦型 TFET 110 を含む。特定の実施形態では、第 1 のベース部分 112、第 1 の中央部分 114、および第 1 の上部部分 116 は、同じタイプの材料から作られる。たとえば、第 1 のベース部分 112、第 1 の中央部分 114、および第 1 の上部部分 116 は、シリコン (Si) から作られてよい。別の特定の実施形態では、部分 112 ~ 116 は、少なくとも 1 つの III - V 材料から作られてもよい。たとえば、部分 112 ~ 116 は、ヒ化アルミニウム、ヒ化ガリウム、窒化ガリウム、リン化ガリウム、アンチモン化インジウム、ヒ化インジウム、リン化インジウム、またはそれらの任意の組合せから作られてもよい。別の特定の実施形態では、部分 112 ~ 116 は、少なくとも 1 つの III - V I 材料から作られてもよい。第 1 のベース部分 112 は、基板 102 の表面 103 に (たとえば、最も近く) 隣接し得る。第 1 のベース部分 112 は、第 1 のドーパント濃度を有する第 1 のドーパ領域に相

10

20

30

40

50

当し得、第1の上部部分116は、第2のドーパント濃度を有する第2のドーブ領域に相当し得る。第1の縦型TFET110はまた、第1のベース部分112から第1の上部部分116へ延びる側壁の第1のペア117を含み得る。第1の誘電体層（たとえば、高い誘電率（ k ）を有する材料）が、側壁117を取り囲んで堆積され得る。

【0016】

第1のベース部分112、第1の中央部分114、第1の上部部分116、および側壁の第1のペア117は、第1のフィン構造に相当する。第1の中央部分114は、第1のフィン構造のチャネル領域に相当し得、チャネル長（ L ）は、第1の中央部分114の高さに相当し得る。特定の実施形態では、第1の上部部分116は、第1のフィン構造のドレインに相当し得、第1のベース部分112は、第1のフィン構造のソースに相当し得る。別の特定の実施形態では、第1の上部部分116は、第1のフィン構造のソースに相当し得、第1のベース部分112は、第1のフィン構造のドレインに相当し得る。第1のフィン構造は、基板102の表面103から突出し得る。第1の縦型TFET110はまた、側壁の第1のペア117の少なくとも1つの側壁に隣接する（たとえば、その付近の）第1の導電性構造130を含む第1のゲート118を含み得る。第1のゲート118はまた、側壁の第1のペア117の少なくとも1つの他の側壁に隣接する（たとえば、その付近の）第2の導電性構造132と、第1の上部部分116に隣接する（たとえば、その付近の）第3の導電性構造134とを含み得る。第3の導電性構造134は、第1の導電性構造130および第2の導電性構造132に結合され得る。第1のゲート118の幅（ w ）は、第1の縦型TFET110の飽和電流を調整するように変化され得る。第1の誘電体層が、導電性構造130～134（たとえば、第1のゲート118）を側壁117および第1の上部部分116から、それぞれ電氣的に分離し得る。

10

20

【0017】

縦型TFETデバイス100はまた、第2のウェル領域106、第2のベース部分122、第2の中央部分124、および第2の上部部分126を含む第2の縦型TFET120を含む。特定の実施形態では、第2のベース部分122、第2の中央部分124、および第2の上部部分126は、同じタイプの材料から作られる。たとえば、第2のベース部分122、第2の中央部分124、および第2の上部部分126は、シリコン（ Si ）から作られてよい。第2のベース部分122はまた、基板102の表面103に（たとえば、最も近く）隣接し得る。第2のベース部分122は、第3のドーパント濃度を有する第3のドーブ領域に相当し得、第2の上部部分126は、第4のドーパント濃度を有する第4のドーブ領域に相当し得る。第2の縦型TFET120はまた、第2のベース部分122から第2の上部部分126へ延びる側壁の第2のペア127を含み得る。第2の誘電体層（たとえば、高い誘電率（ k ）を有する材料）が、側壁127を取り囲んで堆積され得る。

30

【0018】

第2のベース部分122、第2の中央部分124、第2の上部部分126、および側壁の第2のペア127は、第2のフィン構造に相当する。第2の中央部分124は、第2のフィン構造のチャネルに相当し得、チャネル長（ L ）は、第2の中央部分124の高さに相当し得る。第1の中央部分114のチャネル長（ L ）は、第2の中央部分124のチャネル長（ L ）に等しく（または、実質的に等しく）あり得る。あるいは、第1の中央部分114および第2の中央部分124は、異なるチャネル長（ L ）を有してもよい。

40

【0019】

特定の実施形態では、第2の上部部分126は、第2のフィン構造のドレインに相当し得、第2のベース部分122は、第2のフィン構造のソースに相当し得る。別の特定の実施形態では、第2の上部部分126は、第2のフィン構造のソースに相当し得、第2のベース部分122は、第2のフィン構造のドレインに相当し得る。第2のフィン構造は、基板102の表面103から突出する。第2の縦型TFET120はまた、側壁の第2のペア127の少なくとも1つの側壁に隣接する（たとえば、その付近の）第1の導電性構造140を含む第2のゲート128を含み得る。第2のゲート128はまた、側壁の第2の

50

ペア 1 2 7 の少なくとも 1 つの他の側壁に隣接する（たとえば、その付近の）第 2 の導電性構造 1 4 2 と、第 2 の上部部分 1 2 6 に隣接する（たとえば、その付近の）第 3 の導電性構造 1 4 4 とを含み得る。第 3 の導電性構造 1 4 4 は、第 1 の導電性構造 1 4 0 および第 2 の導電性構造 1 4 2 に結合され得る。図 9 にさらに示すように、第 2 のゲート 1 2 8 の幅は、第 2 の縦型 T F E T 1 2 0 の飽和電流を調整するように変化され得る。第 2 の誘電体層が、導電性構造 1 4 0 ~ 1 4 4 （たとえば、第 2 のゲート 1 2 8 ）を側壁 1 2 7 および第 2 の上部部分 1 2 6 から、それぞれ電氣的に分離し得る。

【 0 0 2 0 】

特定の実施形態では、第 1 の縦型 T F E T 1 1 0 および第 2 の縦型 T F E T 1 2 0 は、相補型 T F E T である。たとえば、第 1 の縦型 T F E T 1 1 0 は n - 型 T F E T であり得、第 2 の縦型 T F E T 1 2 0 は p - 型 T F E T であり得る。あるいは、第 1 の縦型 T F E T 1 1 0 は p - 型 T F E T であり得、第 2 の縦型 T F E T 1 2 0 は n - 型 T F E T であり得る。

【 0 0 2 1 】

縦型 T F E T デバイス 1 0 0 の 3 つの特定の実施形態が、以下に記載される。各実施形態では、第 1 の縦型 T F E T 1 1 0 は n - 型 T F E T であり、第 2 の縦型 T F E T 1 2 0 は p - 型 T F E T である。たとえば、第 1 のゲート 1 1 8 は、n - 型の仕事関数を有する金属で構成されてよく、第 2 のゲート 1 2 8 は、p - 型の仕事関数を有する金属で構成されてよい。これらの実施形態は、例示のために記載され、限定的であることを意味しない。たとえば、他の実施形態では、第 1 の縦型 T F E T 1 1 0 が n - 型 T F E T であってもよく、第 2 の縦型 T F E T 1 2 0 が p - 型 T F E T であってもよく、各縦型 T F E T 1 1 0、1 2 0 が p - 型 T F E T であってもよく、または各縦型 T F E T 1 1 0、1 2 0 が n - 型 T F E T であってもよい。

【 0 0 2 2 】

第 1 の特定の実施形態では、第 1 のウェル領域 1 0 4 および第 2 のウェル領域 1 0 6 は、n - 型濃度を用いてドーピングされ得る。第 1 のベース部分 1 1 2 （たとえば、第 1 のドーピング領域）は、P + 濃度を含む第 1 のドーパント濃度を有する第 1 のフィン構造のソースに相当し得る。たとえば、p + 型シリコンは、基板 1 0 2 の中の第 1 のフィン構造の底部において、ソースとして配置（たとえば、注入）され得る。第 1 の中央部分 1 1 4 は、P - 濃度を含むドーパント濃度を有し得る。たとえば、p - 型シリコンは、第 1 の上部部分 1 1 6 と第 1 のベース部分 1 1 2 との間にチャネル領域として配置（たとえば、注入）され得る。第 1 の上部部分 1 1 6 （たとえば、第 2 のドーピング領域）は、N + 濃度を含む第 2 のドーパント濃度を有する第 1 のフィン構造のドレインに相当し得る。たとえば、n + 型シリコンは、第 1 のフィン構造の上部において、ドレインとして配置（たとえば、注入）され得る。第 1 の特定の実施形態では、第 2 のベース部分 1 2 2 （たとえば、第 3 のドーピング領域）は、P + 濃度を含む第 3 のドーパント濃度を有する第 2 のフィン構造のドレインに相当し得、第 2 の中央部分 1 2 4 は、N - 濃度を含むドーパント濃度を有し得、第 2 の上部部分 1 2 6 （たとえば、第 4 のドーピング領域）は、N + 濃度を含む第 4 のドーパント濃度を有する第 2 のフィン構造のソースに相当し得る。

【 0 0 2 3 】

第 1 の特定の実施形態の変形として、第 1 の縦型 T F E T 1 1 0 の第 1 の上部部分 1 1 6 および第 2 の縦型 T F E T 1 2 0 の第 2 の上部部分 1 2 6 は、中央部分 1 1 4、1 2 4 およびベース部分 1 1 2、1 2 2 と異なる材料で構成されてよい。たとえば、上部部分 1 1 6、1 2 6 は、n - 型メタル、n - 型ポリシリコンなどであってもよい。

【 0 0 2 4 】

第 2 の特定の実施形態では、第 1 のウェル領域 1 0 4 および第 2 のウェル領域 1 0 6 は、p - 型濃度を用いてドーピングされ得る。第 1 のベース部分 1 1 2 （たとえば、第 1 のドーピング領域）は、N + 濃度を含む第 1 のドーパント濃度を有する第 1 のフィン構造のドレインに相当し得る。たとえば、n + 型シリコンは、基板 1 0 2 の中の第 1 のフィン構造の底部において、ドレインとして配置され得る。第 1 の中央部分 1 1 4 は、P - 濃度を含むドー

パント濃度を有し得る。たとえば、p - 型シリコンは、第 1 の上部部分 1 1 6 と第 1 のベース部分 1 1 2 との間にチャンネル領域として配置され得る。第 1 の上部部分 1 1 6 (たとえば、第 2 のドーブ領域) は、P + 濃度を含み第 2 のドーパント濃度を有する第 1 のフィン構造のソースに相当し得る。たとえば、p + 型シリコンは、第 1 のフィン構造の上部において、ソースとして配置され得る。第 2 の特定の実施形態では、第 2 のベース部分 1 2 2 (たとえば、第 3 のドーブ領域) は、N + 濃度を含み第 3 のドーパント濃度を有する第 2 のフィン構造のソースに相当し得、第 2 の中央部分 1 2 4 は、N - 濃度を含みドーパント濃度を有し得、第 2 の上部部分 1 2 6 (たとえば、第 4 のドーブ領域) は、P + 濃度を含み第 4 のドーパント濃度を有する第 2 のフィン構造のドレインに相当し得る。

【0025】

第 2 の特定の実施形態の変形として、第 1 の縦型 T F E T 1 1 0 の第 1 の上部部分 1 1 6 および第 2 の縦型 T F E T 1 2 0 の第 2 の上部部分 1 2 6 は、中央部分 1 1 4、1 2 4 およびベース部分 1 1 2、1 2 2 と異なる材料で構成されてよい。たとえば、上部部分 1 1 6、1 2 6 は、p - 型メタル、p - 型ポリシリコンなどであってもよい。

【0026】

第 3 の特定の実施形態では、第 1 のウェル領域 1 0 4 は、n - 型濃度を用いてドーブされ得、第 2 のウェル領域 1 0 6 は、p - 型濃度を用いてドーブされ得る。第 1 のベース部分 1 1 2 (たとえば、第 1 のドーブ領域) は、P + 濃度を含み第 1 のドーパント濃度を有する第 1 のフィン構造のソースに相当し得る。たとえば、p + 型シリコンは、基板 1 0 2 中の第 1 のフィン構造の底部において、ソースとして配置され得る。第 1 の中央部分 1 1 4 は、P - 濃度を含みドーパント濃度を有し得る。たとえば、p - 型シリコンは、第 1 の上部部分 1 1 6 と第 1 のベース部分 1 1 2 との間にチャンネル領域として配置され得る。第 1 の上部部分 1 1 6 (たとえば、第 2 のドーブ領域) は、N + 濃度を含み第 2 のドーパント濃度を有する第 1 のフィン構造のドレインに相当し得る。たとえば、n + 型シリコンは、第 1 のフィン構造の上部において、ドレインとして配置され得る。第 3 の特定の実施形態では、第 2 のベース部分 1 2 2 (たとえば、第 3 のドーブ領域) は、N + 濃度を含み第 3 のドーパント濃度を有する第 2 のフィン構造のソースに相当し得、第 2 の中央部分 1 2 4 は、N - 濃度を含みドーパント濃度を有し得、第 2 の上部部分 1 2 6 (たとえば、第 4 のドーブ領域) は、P + 濃度を含み第 4 のドーパント濃度を有する第 2 のフィン構造のドレインに相当し得る。

【0027】

第 3 の特定の実施形態の変形として、第 1 の縦型 T F E T 1 1 0 の第 1 の上部部分 1 1 6 および第 2 の縦型 T F E T 1 2 0 の第 2 の上部部分 1 2 6 は、中央部分 1 1 4、1 2 4 およびベース部分 1 1 2、1 2 2 と異なる材料で構成されてよい。たとえば、第 1 の上部部分 1 1 6 は、n - 型メタルまたは n - 型ポリシリコンであってもよく、第 2 の上部部分 1 2 6 は、p - 型メタルまたは p - 型ポリシリコンなどであってもよい。

【0028】

図 9 に関してさらに説明されるように、第 1 のコンタクトが第 1 のベース部分 1 1 2 に結合され得、第 2 のコンタクトが第 1 の上部部分 1 1 6 に結合され得、第 3 のコンタクトが第 1 のゲート 1 1 8 に結合され得る。各部分 1 1 2、1 1 6、1 1 8 にコンタクトを介して印加される電圧は、第 1 の垂直のトンネル電流を、第 1 の上部部分 1 1 6 と第 1 のベース部分 1 1 2 との間で第 1 の中央部分 1 1 4 中のチャンネルを介して流すことができる。チャンネル長 (L) は、第 1 の中央部分 1 1 4 の高さによって規定され得る。たとえば、第 1 の中央部分 1 1 4 が第 1 のベース部分 1 1 2 の上に成長または堆積される実施形態では、チャンネルの長さ (L) は、チャンネル膜の厚さに相当し得る。同様に、第 4 のコンタクトは第 2 のベース部分 1 2 2 に結合され得、第 5 のコンタクトは第 2 の上部部分 1 2 6 に結合され得、第 6 のコンタクトは第 2 のゲート 1 2 8 に結合され得る。各部分 1 2 2、1 2 6、1 2 8 にコンタクトを介して印加される電圧は、第 2 の垂直のトンネル電流を、第 2 の上部部分 1 2 6 と第 2 のベース部分 1 2 2 との間で第 2 の中央部分 1 2 4 中のチャンネルを介して流すことができる。チャンネル長 (L) は、第 2 の中央部分 1 2 4 の高さによ

10

20

30

40

50

って規定され得る。

【0029】

第1の中央部分114および第2の中央部分124が、チャネルの中のバンド間トンネル電流の形成を可能にし得、その場合、チャネルの長さ(L)がゲート118、128の幅とは無関係となることが理解されよう。ゲート118、128は、チャネルの長さ(L)に影響を及ぼすことなく縦型TFET110、120によってサポートされる飽和電流の量を管理するように、独立に設計および/または調整され得る。中央部分114、124の高さ(たとえば、チャネル長)はまた、ゲートを設計するために使用されるリソグラフィプロセスと独立に設計され得る。たとえば、チャネルが垂直(平面状と対照的に)であるので、チャネルは、電界効果トランジスタの平面状のゲートの下にある領域または位置に限定されない。

10

【0030】

図2を参照すると、フィンタイプの縦型トンネル電界効果トランジスタデバイス200の別の特定の例示的な実施形態が示される。図2は、縦型TFETデバイス200の部分の横断面図を示す。

【0031】

縦型TFETデバイス200は、第1の縦型TFET210および第2の縦型TFET220を含み得る。第1の縦型TFET210および第2の縦型TFET220は、図1の第1の縦型TFET110および図1の第2の縦型TFET120にそれぞれ相当し得、実質的に同様の方式で動作し得る。たとえば、第1の縦型TFET210は、第1のベース部分112、第1の中央部分114、第1の上部部分116、側壁の第1のペア117、第1の導電性構造130、および第2の導電性構造132を含み得る。第2の縦型TFET220は、第2のベース部分122、第2の中央部分124、第2の上部部分126、側壁の第2のペア127、第1の導電性構造140、および第2の導電性構造142を含み得る。

20

【0032】

第1の縦型TFET210は、第1のゲート118および側壁の第1のペア117の上に堆積された第1のハードマスク膜230を含み得る。第2の縦型TFET220は、第2のゲート128および側壁の第2のペア127の上に堆積された第2のハードマスク膜240を含み得る。ハードマスク膜230、240は、図5に関して説明されるように、製作中に堆積され得る。

30

【0033】

縦型TFET210、220のそれぞれ第1の上部部分116および第2の上部部分126は、ゲート材料によって覆われていないことが理解されよう。その結果、コンタクトは、フィンタイプの縦型トンネル電界効果トランジスタデバイス200の上方から、第1の上部部分116および第2の上部部分126に垂直に結合され得る。コンタクトを第1の上部部分116および第2の上部部分126に垂直に結合することによって、縦型TFET210、220の中の直列寄生抵抗が低減され得る。

【0034】

例示を簡単にするため、以下の説明は、図1に関して説明される縦型TFETデバイス100の第1の特定の実施形態のための製作段階に対応する。ただし、製作段階は、第2の実施形態、第3の実施形態、または任意の他の実施形態を製作するために修正され得る。

40

【0035】

図3を参照すると、図1の縦型トンネル電界効果トランジスタデバイスを製作する特定の段階が示される。図3に示す特定の段階の間に、第1のフォトレジスト302が、基板102の上にパターニングされ得る。たとえば、第1のフォトレジスト302は、第1の縦型TFET110を注入するための、基板102の特定のエリアを選択(たとえば、露光)するようにパターニングされ得る。第1のフォトレジスト302をパターニングした後、第1の縦型TFET110が注入され得る。

50

【 0 0 3 6 】

第 1 の縦型 T F E T 1 1 0 に注入することは、イオン注入 3 0 4 を使用して基板 1 0 2 の中に第 1 のウェル領域 1 0 4 を注入することを含み得る。たとえば、n - 型注入が基板 1 0 2 の中で実施されて、第 1 のウェル領域 1 0 4 を作り出すことができる。第 1 のウェル領域 1 0 4 が基板 1 0 2 の中に注入された後、第 1 のベース部分 1 1 2 が、イオン注入 3 0 4 を使用して第 1 のウェル領域 1 0 4 の中に注入され得る。たとえば、P + 注入が第 1 のウェル領域 1 0 4 の中で実施されて、第 1 のベース部分 1 1 2 を作り出すことができる。第 1 のベース部分 1 1 2 が第 1 のウェル領域 1 0 4 の中に注入された後、第 1 の中央部分 1 1 4 が、イオン注入 3 0 4 を使用して第 1 のベース部分 1 1 2 の上に注入され得る。たとえば、P - 注入が基板 1 0 2 の中で第 1 のベース部分 1 1 2 の上で実施されて、第 1 の中央部分 1 1 4 を作り出すことができる。第 1 の中央部分 1 1 4 が第 1 のベース部分 1 1 2 の上に注入された後、第 1 の上部部分 1 1 6 が、イオン注入 3 0 4 を使用して第 1 の中央部分 1 1 4 の上に注入され得る。たとえば、N + 注入が基板 1 0 2 の中で第 1 の中央部分 1 1 4 の上で実施されて、第 1 の上部部分 1 1 6 を作り出すことができる。

10

【 0 0 3 7 】

第 1 の縦型 T F E T 1 1 0 が注入された後、第 1 のフォトレジスト 3 0 2 は除去される。たとえば、第 1 のフォトレジスト 3 0 2 は、基板 1 0 2 および第 1 の縦型 T F E T 1 1 0 が除去中に使用される化学薬品にさらされないように、フォトレジストストリッピングを介して除去され得る。特定の実施形態では、第 1 のフォトレジストは、有機フォトレジストストリッピング、無機フォトレジストストリッピング、またはドライフォトレジストストリッピングを介して除去され得る。

20

【 0 0 3 8 】

図 3 は、第 1 の縦型 T F E T 1 1 0 の注入を示し、図 4 は、第 2 の縦型 T F E T 1 2 0 の注入を示す。図 4 に示す特定の段階の間に、第 2 のフォトレジスト 4 0 2 が、基板 1 0 2 および第 1 の縦型 T F E T 1 1 0 の上にパターンニングされ得る。たとえば、第 2 のフォトレジスト 4 0 2 は、第 2 の縦型 T F E T 1 2 0 を注入するための、基板 1 0 2 の特定のエリアを選択（たとえば、露光）するようにパターンニングされ得る。第 2 のフォトレジスト 4 0 2 をパターンニングした後、第 2 の縦型 T F E T 1 2 0 が注入され得る。

【 0 0 3 9 】

第 2 の縦型 T F E T 1 2 0 を注入することは、イオン注入 4 0 4 を使用して基板 1 0 2 の中に第 2 のウェル領域 1 0 6 を注入することを含み得る。たとえば、n - 型注入が基板 1 0 2 の中で実施されて、第 2 のウェル領域 1 0 6 を作り出すことができる。第 2 のウェル領域 1 0 6 が基板 1 0 2 の中に注入された後、第 2 のベース部分 1 2 2 が、イオン注入 4 0 4 を使用して第 2 のウェル領域 1 0 6 の中に注入され得る。たとえば、P + 注入が第 2 のウェル領域 1 0 6 の中で実施されて、第 2 のベース部分 1 2 2 を作り出すことができる。第 2 のベース部分 1 2 2 が第 2 のウェル領域 1 0 6 の中に注入された後、第 2 の中央部分 1 2 4 が、イオン注入 4 0 4 を使用して第 2 のベース部分 1 2 2 の上に注入され得る。たとえば、P - 注入が基板 1 0 2 の中で第 2 のベース部分 1 2 2 の上で実施されて、第 2 の中央部分 1 2 4 を作り出すことができる。第 2 の中央部分 1 2 4 が第 2 のベース部分 1 2 2 の上に注入された後、第 2 の上部部分 1 2 6 が、イオン注入 4 0 4 を使用して第 2 の中央部分 1 2 4 の上に注入され得る。たとえば、N + 注入が基板 1 0 2 の中で第 2 の中央部分 1 2 4 の上で実施されて、第 2 の上部部分 1 2 6 を作り出すことができる。

30

40

【 0 0 4 0 】

第 2 の縦型 T F E T 1 2 0 が注入された後、第 2 のフォトレジスト 4 0 2 は除去される。たとえば、第 2 のフォトレジスト 4 0 2 は、基板 1 0 2 、第 1 の縦型 T F E T 1 1 0 、第 2 の縦型 T F E T 1 2 0 、またはそれらの任意の組合せが除去中に使用される化学薬品にさらされないように、フォトレジストストリッピングを介して除去され得る。

【 0 0 4 1 】

図 5 を参照すると、図 1 の縦型トンネル電界効果トランジスタデバイスを製作する別の特定の段階が示される。図 5 に示す特定の段階の間に、第 1 のハードマスク膜 5 3 0 は、

50

第 1 の縦型 T F E T 1 1 0 の上でパターニングされ得、第 2 のハードマスク膜 5 4 0 は、第 2 の縦型 T F E T 1 2 0 の上でパターニングされ得る。たとえば、第 1 のハードマスク膜 5 3 0 は、第 1 の上部部分 1 1 6 および基板 1 0 2 の上に堆積され得る。第 2 のハードマスク膜 5 4 0 は、第 2 の上部部分 1 2 6 および基板 1 0 2 の上に堆積され得る。特定の実施形態では、第 1 のハードマスク膜 5 3 0 および第 2 のハードマスク膜 5 4 0 は、第 2 のフォトレジスト 4 0 2 が除去された後、図 4 に示す縦型 T F E T デバイスの上部にわたって堆積されている単一のハードマスク膜であり得る。

【 0 0 4 2 】

ハードマスク膜 5 3 0、5 4 0 は、エッチングの間にハードマスク膜 5 3 0、5 4 0 の下方のエリアを保護するように、それぞれ第 1 の上部部分 1 1 6 および第 2 の上部部分 1 2 6 の上にパターニングされ得る。ハードマスク膜 5 3 0、5 4 0 をパターニングした後、第 1 のフィン構造および第 2 のフィン構造は、基板 1 0 2 からエッチングされ得る。たとえば、基板 1 0 2 のハードマスク膜 5 3 0、5 4 0 によって保護されないエリアは、ウェル領域 1 0 4、1 0 6 まで下へエッチングされ得る。

【 0 0 4 3 】

図 6 を参照すると、図 1 の縦型トンネル電界効果トランジスタデバイスを製作する別の特定の段階が示される。図 6 に示す特定の段階の間に、S T I 酸化物層 1 0 8 が堆積される。たとえば、S T I 酸化物層 1 0 8 は、基板 1 0 2、ウェル領域 1 0 4、1 0 6、およびベース部分 1 1 2、1 2 2 のハードマスク膜 5 3 0、5 4 0 によって保護されない特定のエリアの上に堆積され得る。S T I 酸化物層 1 0 8 は、研磨（たとえば、化学機械研磨（C M P）プロセスを介して）およびリセスエッチングされ得る。S T I 酸化物層 1 0 8 がエッチングされた後、ハードマスク膜 5 3 0、5 4 0 は除去され得る。

【 0 0 4 4 】

図 7 を参照すると、図 1 の縦型トンネル電界効果トランジスタデバイスを製作する別の特定の段階が示される。特定の段階の間に、高い誘電率（ k ）を有する材料が、第 1 のフィン構造の上に堆積され得る。加えて、高い誘電率（ k ）を有する材料が、第 2 のフィン構造の上に類似のやり方で堆積され得る。第 1 のゲート材料 7 1 8（たとえば、ポリシリコン）が、第 1 のフィン構造を取り囲んで堆積およびパターニングされ得、第 2 のゲート材料 7 2 8（たとえば、ポリシリコン）が、第 2 のフィン構造を取り囲んで堆積およびパターニングされ得る。

【 0 0 4 5 】

縦型トンネル電界効果トランジスタデバイスを製作することによって、軽ドーブドレイン（L D D）エリアを注入および / またはパターニングすることが回避され得ることが理解されよう。縦型トンネル電界効果トランジスタを製作することはまた、ベース部分 1 1 2、1 2 2 の底部（たとえば、ソースおよび / またはドレイン領域）をパターニングするための要件を緩和し得る。

【 0 0 4 6 】

図 8 を参照すると、図 1 の縦型トンネル電界効果トランジスタデバイスを製作する別の特定の段階が示される。特定の段階の間に、層間誘電体酸化物 8 5 0 が堆積される。層間誘電体酸化物 8 5 0 を堆積した後、層間誘電体酸化物 8 5 0 の表面を平らにするために、C M P プロセスが層間誘電体酸化物 8 5 0 の上で実施される。第 1 のゲート材料 7 1 8 が除去され得、 n -型メタルゲートが堆積されて第 1 のゲート 1 1 8 を作り出すことができる。第 2 のゲート材料 7 2 8 も除去され得、 p -型メタルゲートが堆積されて第 2 のゲート 1 2 8 を作り出すことができる。

【 0 0 4 7 】

その結果、第 1 の中央部分 1 1 4 および第 2 の中央部分 1 2 4 が、チャネルの中のバンド間トンネル電流の形成を可能にし得、その場合、チャネルの長さ（ L ）は、ゲート 1 1 8、1 2 8 の幅とは無関係となる。ゲート 1 1 8、1 2 8 は、チャネルの長さ（ L ）に影響を及ぼすことなく縦型 T F E T 1 1 0、1 2 0 によってサポートされる飽和電流の量を管理するように、独立に設計および / または調整され得る。中央部分 1 1 4、1 2 4 の高

10

20

30

40

50

さ（たとえば、チャンネル長）はまた、ゲートを設計するために使用されるリソグラフィプロセスと独立に設計され得る。たとえば、チャンネルが垂直（平面状と対照的に）であるので、チャンネルは、電界効果トランジスタの平面状のゲートの下にある領域または位置に限定されない。

【0048】

図9を参照すると、3次元縦型トンネル電界効果トランジスタデバイス900の特定の例示的な実施形態が示される。3次元縦型TFETデバイス900は、図1の縦型TFETデバイス100に相当し得る。

【0049】

縦型TFETデバイス900は、第1のベース部分112に結合された第1のコンタクト902と、第1の上部部分116に結合された第2のコンタクト904と、第1のゲート118に結合された第3のコンタクト906とを含み得る。図1に関して説明されるように、各部分112、116、118にそれぞれのコンタクト902～906を介して印加される電圧は、第1の垂直のトンネル電流を、第1の上部部分116と第1のベース部分112との間で第1の中央部分114の中のチャンネルを介して流すことができる。縦型TFETデバイス900はまた、第2のベース部分122に結合された第4のコンタクト908と、第2の上部部分126に結合された第5のコンタクト910と、第2のゲート128に結合された第6のコンタクト912とを含み得る。各部分122、126、128にそれぞれのコンタクト908～912を介して印加される電圧は、第2の垂直のトンネル電流を、第2の上部部分126と第2のベース部分122との間で第2の中央部分124の中のチャンネルを介して流すことができる。

【0050】

図10を参照すると、縦型トンネル電界効果トランジスタデバイスを製作する方法1000の特定の例示的な実施形態が示される。図10の方法1000は、図1～図9に示す縦型TFETデバイスの実施形態を製作するために実施され得る。

【0051】

方法1000は、1002において、基板内にウェル領域、ベース部分、中央部分、および上部部分を形成することを含む。たとえば、図3では、n-型注入が基板102の中で実施されて、第1のウェル領域104を作り出すことができる。第1のウェル領域104が基板102の中に形成された後、第1のベース部分112が、イオン注入304を使用して第1のウェル領域104の中に形成され得る。たとえば、P+注入が第1のウェル領域104の中で実施されて、第1のベース部分112を作り出すことができる。第1のベース部分112は、第1のウェル領域104の表面から突出し得る。第1のベース部分112が第1のウェル領域104の中に形成された後、第1の中央部分114が、イオン注入304を使用して第1のベース部分112の上に形成され得る。たとえば、P-注入が基板102の中で第1のベース部分112の上で実施されて、第1の中央部分114を作り出すことができる。第1の中央部分114が第1のベース部分112の上に形成された後、第1の上部部分116が、イオン注入304を使用して第1の中央部分114の上に形成され得る。たとえば、N+注入が基板102の中で第1の中央部分114の上で実施されて、第1の上部部分116を作り出すことができる。

【0052】

縦型フィン構造は、1004において、エッチングされ得る。たとえば、図5では、ハードマスク膜530、540が、エッチングの間にハードマスク膜530、540の下方のエリアを保護するように、それぞれ第1の上部部分116および第2の上部部分126の上にパターニングされ得る。ハードマスク膜530をパターニングした後、第1のフィン構造は、エッチングされ得る。たとえば、ハードマスク膜530、540によって保護されないエリアは、ウェル領域104、106まで下へエッチングされ得る。ハードマスク膜530、540によって保護された（たとえば、その下の）残りのエリアは、第1の縦型フィン構造に相当し得る。

【0053】

10

20

30

40

50

シャロートレンチ分離 (STI) 酸化物層が、1006において、縦型フィン構造と第2の縦型フィン構造との間に形成され得る。たとえば、図6では、STI酸化膜108は、第1の縦型TFET110に相当する構造と第2の縦型TFET120に相当する構造との間に形成され得る。STI酸化膜108は、ハードマスク膜530、540の上に、および上部部分116、126の上に形成され得る。平坦化のためのCMPプロセスは、ハードマスク膜530、540に到達するまで実施され得る。リセスエッチングが実施され得、ハードマスク膜530、540は除去され得る。STI酸化物層108は、縦型TFET110、120を分離するために、表面103の上でベース部分112、122の間に位置し得る。

【0054】

誘電体層が、1008において、縦型フィン構造の上に堆積され得る。たとえば、図7では、高い誘電率(k)を有する材料が、第1のフィン構造の上に堆積され得る。側壁の第1のペア117は、誘電体層に相当し得る。第1のゲート材料は、1010において、誘電体層の上に堆積され得る。たとえば、図7では、第1のゲート材料718(たとえば、ポリシリコン)が、側壁の第1のペア117を取り囲んで堆積およびパターニングされ得る。

【0055】

特定の実施形態では、方法1000は、ウェル領域、ベース部分、中央部分、および上部部分を注入する前に、基板の上にフォトレジストをパターニングすることを含み得る。たとえば、図3を参照すると、第1のフォトレジスト302が、基板102の上にパターニングされる。たとえば、第1のフォトレジスト302は、第1の縦型TFET110を注入するための、基板102の特定のエリアを選択(たとえば、露光)するようにパターニングされ得る。第1のフォトレジスト302をパターニングした後、第1の縦型TFET110が注入され得る。

【0056】

特定の実施形態では、方法1000は、上部部分の上にハードマスク膜を堆積することを含み得る。たとえば、図5を参照すると、第1のハードマスク膜530が、第1の上部部分116および基板102の上に堆積され得、第2のハードマスク膜540が、第2の上部部分126および基板102の上に堆積され得る。特定の実施形態では、第1のハードマスク膜530および第2のハードマスク膜540は、第2のフォトレジスト402が除去された後、図4に示す縦型TFETデバイスの上部にわたって堆積されている単一のハードマスク膜であり得る。

【0057】

特定の実施形態では、方法1000は、縦型フィン構造を基板からエッチングする前に、ハードマスク膜をパターニングすることを含み得る。たとえば、図5を参照すると、ハードマスク膜530、540は、エッチングの間にハードマスク膜530、540の下方のエリアを保護するように、それぞれ第1の上部部分116および第2の上部部分126の上にパターニングされ得る。ハードマスク膜530、540をパターニングした後、第1のフィン構造および第2のフィン構造はエッチングされ得る。たとえば、ハードマスク膜530、540によって保護されないエリアは、ウェル領域104、106まで下へエッチングされ得る。

【0058】

特定の実施形態では、方法1000は、酸化物層を形成することを含み得る。たとえば、図6を参照すると、STI酸化物層108が、基板102の上に(ウェル領域104、106の上、およびベース部分112、122のハードマスク膜530、540によって保護されない特定のエリアの上に)堆積され得る。STI酸化物層108は、化学機械研磨(CMP)プロセスを使用して研磨され得、エッチングされ得る。STI酸化物層108がエッチングされた後、ハードマスク膜530、540は除去され得る。

【0059】

特定の実施形態では、方法1000は、層間誘電体酸化物を第1のゲート材料の上に堆

10

20

30

40

50

積することを含み得る。たとえば、図 8 を参照すると、層間誘電体酸化物 8 5 0 が、第 1 のゲート材料 7 1 8 および S T I 酸化物層 1 0 8 の上に堆積され得る。層間誘電体酸化物 8 5 0 を堆積した後、層間誘電体酸化物 8 5 0 の表面を平らにするために、C M P プロセスが層間誘電体酸化物 8 5 0 の上で実施される。

【 0 0 6 0 】

特定の実施形態では、方法 1 0 0 0 は、第 1 のゲート材料を除去することと、ゲートメタルを堆積することとを含み得る。たとえば、図 8 を参照すると、第 1 のゲート材料 7 1 8 は除去され得、n - 型メタルゲートが堆積されて第 1 のゲート 1 1 8 を作り出すことができる。第 2 のゲート材料 7 2 8 も除去され得、p - 型メタルゲートが堆積されて第 2 のゲート 1 2 8 を作り出すことができる。

10

【 0 0 6 1 】

その結果、第 1 の中央部分 1 1 4 および第 2 の中央部分 1 2 4 が、チャネルの中のバンド間トンネル電流の形成を可能にし得、その場合、チャネルの長さ (L) は、ゲート 1 1 8、1 2 8 の幅とは無関係となる。ゲート 1 1 8、1 2 8 は、チャネルの長さ (L) に影響を及ぼすことなく縦型 T F E T 1 1 0、1 2 0 によってサポートされる飽和電流の量を管理するように、独立に設計および / または調整され得る。中央部分 1 1 4、1 2 4 の高さ (たとえば、チャネル長) はまた、ゲートを設計するために使用されるリソグラフィプロセスと独立に設計され得る。たとえば、チャネルが垂直 (平面状と対照的に) であるので、チャネルは、電界効果トランジスタの平面状のゲートの下にある領域または位置に限定されない。

20

【 0 0 6 2 】

図 1 1 を参照すると、ワイヤレス通信デバイスの特定の例示的な実施形態のブロック図が示され、全体が 1 1 0 0 と表される。デバイス 1 1 0 0 は、メモリ 1 1 3 2 (たとえば、ランダムアクセスメモリ (R A M)、フラッシュメモリ、読取り専用メモリ (R O M)、プログラマブル読取り専用メモリ (P R O M)、消去可能プログラマブル読取り専用メモリ (E P R O M)、電氣的消去可能プログラマブル読取り専用メモリ (E E P R O M)、レジスタ、ハードディスク、リムーバブルディスク、コンパクトディスク読取り専用メモリ (C D - R O M)、または当技術分野で知られている任意の他の形態の非一時的記憶媒体) に結合されたデジタル信号プロセッサ (D S P) などのプロセッサ 1 1 1 0 を含む。メモリ 1 1 3 2 は、プロセッサ 1 1 1 0 によって実行可能な命令 1 1 6 2 を記憶することができる。メモリ 1 1 3 2 は、プロセッサ 1 1 1 0 にアクセス可能なデータ 1 1 6 6 を記憶することができる。

30

【 0 0 6 3 】

デバイス 1 1 0 0 は、縦型トンネル電界効果トランジスタデバイス 1 1 4 8 を含む。例示的な実施形態では、縦型トンネル電界効果トランジスタデバイス 1 1 4 8 は、図 1 ~ 図 9 に示される縦型トンネル電界トランジスタデバイスに相当し得る。縦型トンネル電界効果トランジスタデバイス 1 1 4 8 は、プロセッサ 1 1 1 0、デバイス 1 1 0 0 の他の構成要素 (たとえば、ディスプレイコントローラ 1 1 2 6、ワイヤレスコントローラ 1 1 4 0、および / またはコーダ / デコーダ (コーデック) 1 1 3 4)、またはそれらの任意の組合せの中に論理回路を形成するために使用され得る。特定の実施形態では、論理回路は、電力節約技法のために使用され得る。図 1 1 は、また、プロセッサ 1 1 1 0 とディスプレイ 1 1 2 8 とに結合されたディスプレイコントローラ 1 1 2 6 を示す。コーデック 1 1 3 4 も、プロセッサ 1 1 1 0 に結合され得る。スピーカ 1 1 3 6 およびマイクロフォン 1 1 3 8 は、コーデック 1 1 3 4 に結合され得る。図 1 1 は、また、ワイヤレスコントローラ 1 1 4 0 がプロセッサ 1 1 1 0 に結合され得、さらに、R F インターフェース 1 1 5 2 を介してアンテナ 1 1 4 2 に結合され得ることを示す。

40

【 0 0 6 4 】

特定の実施形態では、プロセッサ 1 1 1 0、ディスプレイコントローラ 1 1 2 6、メモリ 1 1 3 2、コーデック 1 1 3 4 およびワイヤレスコントローラ 1 1 4 0 は、システムインパッケージデバイスまたはシステムオンチップデバイス 1 1 2 2 に含まれる。ある特定

50

の実施形態では、入力デバイス 1 1 3 0 および電源 1 1 4 4 が、システムオンチップデバイス 1 1 2 2 に結合されている。その上、特定の実施形態では、図 1 1 に示されるように、ディスプレイ 1 1 2 8、入力デバイス 1 1 3 0、スピーカー 1 1 3 6、マイクロフォン 1 1 3 8、アンテナ 1 1 4 2 および電源 1 1 4 4 は、システムオンチップデバイス 1 1 2 2 の外部に存在している。ただし、ディスプレイ 1 1 2 8、入力デバイス 1 1 3 0、スピーカー 1 1 3 6、マイクロフォン 1 1 3 8、ワイヤレスアンテナ 1 1 4 2、および電源 1 1 4 4 の各々は、インターフェースまたはコントローラなどの、システムオンチップデバイス 1 1 2 2 の構成要素に結合され得る。

【0065】

前述の開示されたデバイスおよび機能は、設計され、コンピュータ可読媒体上に記憶されたコンピュータファイル（たとえば、RTL、GDSII、GERBER など）に構成され得る。そのようなファイルの一部またはすべてが、そのようなファイルに基づいてデバイスを製作する製作担当者に提供され得る。得られた製品は半導体ウエハを含み、次いで、半導体ウエハは半導体ダイに切り分けられ、半導体チップにパッケージ化される。図 1 2 をさらに参照しながら説明するように、半導体チップは、次いで電子デバイスに統合される。

【0066】

図 1 2 を参照すると、電子デバイス製造プロセスの特定の例示的な実施形態が示され、全体が 1 2 0 0 と表される。物理デバイス情報 1 2 0 2 が、調査コンピュータ 1 2 0 6 などの製造プロセス 1 2 0 0 において受け取られる。物理デバイス情報 1 2 0 2 は、縦型トンネル電界効果トランジスタデバイス（たとえば、図 1 ~ 図 9 に示す縦型トンネル電界効果トランジスタデバイスおよび / または図 1 0 の方法 1 0 0 0 に従って形成される縦型トンネル電界効果トランジスタデバイス）などの半導体デバイスの少なくとも 1 つの物理的特性を表す設計情報を含み得る。たとえば、物理デバイス情報 1 2 0 2 は、調査コンピュータ 1 2 0 6 に結合されたユーザインターフェース 1 2 0 4 を介して入力される物理パラメータ、材料特性、および構造情報を含み得る。調査コンピュータ 1 2 0 6 は、メモリ 1 2 1 0 などのコンピュータ可読媒体に結合された、1 つまたは複数の処理コアなどのプロセッサ 1 2 0 8 を含む。メモリ 1 2 1 0 は、プロセッサ 1 2 0 8 に、物理デバイス情報 1 2 0 2 をファイルフォーマットに従うように変換させるとともにライブラリファイル 1 2 1 2 を生成させるために実行可能な、コンピュータ可読命令を記憶することができる。

【0067】

特定の実施形態では、ライブラリファイル 1 2 1 2 は、変換された設計情報を含む少なくとも 1 つのデータファイルを含む。たとえば、ライブラリファイル 1 2 1 2 は、縦型トンネル電界効果トランジスタデバイス（たとえば、図 1 ~ 図 9 に示す縦型トンネル電界効果トランジスタデバイスおよび / または図 1 0 の方法 1 0 0 0 に従って形成される縦型トンネル電界効果トランジスタデバイス）を含むデバイスの、電子設計自動化（EDA）ツール 1 2 2 0 とともに使用するために提供されるライブラリを含み得る。

【0068】

ライブラリファイル 1 2 1 2 は、メモリ 1 2 1 8 に結合された 1 つまたは複数の処理コアなどのプロセッサ 1 2 1 6 を含む設計コンピュータ 1 2 1 4 において、EDA ツール 1 2 2 0 とともに使用され得る。EDA ツール 1 2 2 0 は、設計コンピュータ 1 2 1 4 のユーザがライブラリファイル 1 2 1 2 を使用して縦型トンネル電界効果トランジスタデバイス（たとえば、図 1 ~ 図 9 に示す縦型トンネル電界効果トランジスタデバイスおよび / または図 1 0 の方法 1 0 0 0 に従って形成される縦型トンネル電界効果トランジスタデバイス）を設計できるようにするための、プロセッサ実行可能な命令としてメモリ 1 2 1 8 に記憶され得る。たとえば、設計コンピュータ 1 2 1 4 のユーザは、設計コンピュータ 1 2 1 4 に結合されたユーザインターフェース 1 2 2 4 を介して回路設計情報 1 2 2 2 を入力することができる。回路設計情報 1 2 2 2 は、縦型トンネル電界効果トランジスタデバイス（たとえば、図 1 ~ 図 9 に示す縦型トンネル電界効果トランジスタデバイスおよび / または図 1 0 の方法 1 0 0 0 に従って形成される縦型トンネル電界効果トランジスタデバ

ス)の少なくとも1つの物理的特性を表す設計情報を含み得る。例示のために、回路設計特性は、回路設計における特定の回路の識別と他の要素に対する関係、位置決め情報、特徴サイズ情報、相互接続情報、または半導体デバイスの物理特性を表す他の情報を含み得る。

【0069】

設計コンピュータ1214は、回路設計情報1222を含む設計情報をファイルフォーマットに準拠するように変換するように構成され得る。例示のために、ファイル構成は、平面幾何形状、テキストラベル、およびグラフィックデータシステム(GDSII)ファイルフォーマットなどの階層的なフォーマット内の回路レイアウトに関する他の情報を表す、データベースバイナリファイルフォーマットを含み得る。設計コンピュータ1214は、他の回路または情報に加えて、縦型トンネル電界効果トランジスタデバイス(たとえば、図1~図9に示す縦型トンネル電界効果トランジスタデバイスおよび/または図10の方法1000に従って形成される縦型トンネル電界効果トランジスタデバイス)を記述する情報を含むGDSIIファイル1226などの、変換された設計情報を含むデータファイルの生成するように構成され得る。例示のために、データファイルは、縦型トンネル電界効果トランジスタデバイス(たとえば、図1~図9に示す縦型トンネル電界効果トランジスタデバイスおよび/または図10の方法1000に従って形成される縦型トンネル電界効果トランジスタデバイス)を含み、SOC内のさらなる電子回路および構成要素をも含む、システムオンチップ(SOC)に対応する情報を含み得る。

10

20

【0070】

GDSIIファイル1226は、GDSIIファイル1226の中の変換された情報に従って縦型トンネル電界効果トランジスタデバイス(たとえば、図1~図9に示す縦型トンネル電界効果トランジスタデバイスおよび/または図10の方法1000に従って形成される縦型トンネル電界効果トランジスタデバイス)を製造するための、製作プロセス1228において受け取られ得る。たとえば、デバイス製造プロセスは、代表的なマスク1232として示されるフォトリソグラフィプロセスで使用するマスクなどの1つまたは複数のマスクを作り出すために、GDSIIファイル1226をマスク製造業者1230に提供することを含み得る。マスク1232が製作プロセス中に使用されて1つまたは複数のウエハ1234を生成し得、ウエハ1234はテストされ代表的なダイ1236などのダイに分割され得る。ダイ1236は、縦型トンネル電界効果トランジスタデバイス(たとえば、図1~図9に示す縦型トンネル電界効果トランジスタデバイスおよび/または図10の方法1000に従って形成される縦型トンネル電界効果トランジスタデバイス)を含む。

30

【0071】

説明した実施形態に関連して、非一時的なコンピュータ可読媒体は、図10の方法1000を実行するためにコンピュータによって実行可能な命令を記憶する。たとえば、半導体製造工場の設備は、コンピュータおよびメモリを含み得、製作プロセス1228に関連しGDSIIファイル1226を使用するような、図10の方法1000を実行し得る。例示のために、コンピュータは、図2~図8に関連して説明されるように、縦型トンネル電界効果トランジスタの製作を開始するための命令を実行し得る。

40

【0072】

ダイ1236は、パッケージ化プロセス1238に提供され得、ここで、ダイ1236は代表的なパッケージ1240に組み込まれる。たとえば、パッケージ1240は、システムインパッケージ(SiP)配置などの単一のダイ1236または複数のダイを含み得る。パッケージ1240は、電子デバイス技術合同協議会(JEDEC: Joint Electron Device Engineering Council)規格などの1つまたは複数の規格または仕様に従うように構成され得る。

【0073】

パッケージ1240に関する情報は、コンピュータ1246において記憶されるコンポーネントライブラリを介するなど、様々な製品設計者に配布され得る。コンピュータ12

50

46は、メモリ1250に結合された、1つまたは複数の処理コアなどのプロセッサ1248を含み得る。プリント回路基板(PCB)ツールは、ユーザインターフェース1244を介してコンピュータ1246のユーザから受け取られるPCB設計情報1242を処理するために、メモリ1250においてプロセッサ実行可能命令として記憶され得る。PCB設計情報1242は、回路基板上のパッケージ化された半導体デバイスの物理的な位置決め情報を含み得、パッケージ化された半導体デバイスは、縦型トンネル電界効果トランジスタデバイス(たとえば、図1~図9に示す縦型トンネル電界効果トランジスタデバイスおよび/または図10の方法1000に従って形成される縦型トンネル電界効果トランジスタデバイス)を含むパッケージ1240に対応する。

【0074】

コンピュータ1246は、パッケージ化された半導体デバイスの回路基板上での物理的な位置決め情報、ならびに、トレースおよびビアのような電氣的接続のレイアウトを含むデータを有するGERBERファイル1252などのデータファイルを生成するために、PCB設計情報1242を変換するように構成され得、ここで、パッケージ化された半導体デバイスは、縦型トンネル電界効果トランジスタデバイス(たとえば、図1~図9に示す縦型トンネル電界効果トランジスタデバイスおよび/または図10の方法1000に従って形成される縦型トンネル電界効果トランジスタデバイス)を含むパッケージ1240に対応する。他の実施形態では、変換されたPCB設計情報によって生成されるデータファイルは、GERBERフォーマット以外のフォーマットを有してよい。

【0075】

GERBERファイル1252は、基板組立てプロセス1254において受け取られ得、GERBERファイル1252内に記憶されている設計情報に従って製造される代表的なPCB1256のようなPCBを作成するために使用され得る。たとえば、GERBERファイル1252は、PCB生産プロセスの様々なステップを実行するために、1つまたは複数の機械にアップロードされ得る。PCB1256は、代表的なプリント回路基板アセンブリ(PCA)1258を形成するために、パッケージ1240を含む電子構成要素が搭載され得る。

【0076】

PCA1258は、製品製造プロセス1260において受け取られ、第1の代表的な電子デバイス1262および第2の代表的な電子デバイス1264などの、1つまたは複数の電子デバイスに統合され得る。例示的かつ非限定的な例として、第1の代表的な電子デバイス1262、第2の代表的な電子デバイス1264、またはそれらの両方は、セルラーフォン、ワイヤレスローカルエリアネットワーク(LAN)デバイス、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、娯楽ユニット、ナビゲーションデバイス、通信デバイス、携帯情報端末(PDA)、固定位置データユニット、およびコンピュータのグループの中から選択されてよく、縦型トンネル電界効果トランジスタデバイス(たとえば、図1~図9に示す縦型トンネル電界効果トランジスタデバイスおよび/または図10の方法1000に従って形成される縦型トンネル電界効果トランジスタデバイス)はそれらの中に統合される。別の例示的かつ非限定的な例として、電子デバイス1262および1264のうちの1つまたは複数は、携帯電話、ハンドヘルドパーソナル通信システム(PCS)ユニット、携帯情報端末などのポータブルデータユニット、全地球測位システム(GPS)対応デバイス、ナビゲーションデバイス、メーター検針機器などの定位置データユニット、またはデータもしくはコンピュータ命令を記憶もしくは取り出す任意の他のデバイス、またはそれらの任意の組合せなどのリモートユニットであり得る。図13は、本開示の教示によるリモートユニットを示すが、本開示は、これらの例示的なユニットに限定されない。本開示の実施形態は、メモリおよびオンチップ回路を含む能動集積回路を含む任意のデバイス内で適切に使用され得る。

【0077】

縦型トンネル電界効果トランジスタデバイス(たとえば、図1~図9に示す縦型トンネル電界効果トランジスタデバイスおよび/または図10の方法1000に従って形成され

10

20

30

40

50

る縦型トンネル電界効果トランジスタデバイス)を含むデバイスは、例示的なプロセス 1200 に記載されるように、製作され、処理され、電子デバイスに組み込まれ得る。図 1 ~ 図 11 を参照して開示されている実施形態の 1 つまたは複数の態様は、ライブラリファイル 1212、GDSII ファイル 1226、および GERBER ファイル 1252 などの中に様々な処理段階において含まれ得、同時に、調査コンピュータ 1206 のメモリ 1210、設計コンピュータ 1214 のメモリ 1218、コンピュータ 1246 のメモリ 1250、基板組立てプロセス 1254 のような様々な段階で使用される 1 つまたは複数の他のコンピュータまたはプロセッサ(図示せず)に記憶され得、また、マスク 1232、ダイ 1236、パッケージ 1240、PCA 1258、またはプロトタイプの回路もしくははデバイスのような他の製品(図示せず)、またはそれらの組合せのような 1 つまたは複数の他の物理的実施形態に組み込まれ得る。図 1 ~ 図 11 に関して縦型トンネル電界効果トランジスタデバイスを製作するための様々な代表的な段階が描写されたが、他の実施形態では、より少ない段階が使用されるか、またはさらなる段階が含まれる場合がある。同様に、図 12 のプロセス 1200 は、プロセス 1200 の様々な段階を実行する、単一のエンティティによって、または 1 つもしくは複数のエンティティによって実行され得る。

【0078】

記載された実施形態とともに、装置は、電荷キャリアをトンネル領域に供給するための手段を含む。たとえば、電荷キャリアを供給するための手段は、図 1 ~ 図 9 に示された第 1 のベース部分 112、第 1 の上部部分 116、第 2 のベース部分 122、および第 2 の上部部分 126 を含み得る。

【0079】

装置はまた、電荷キャリアをトンネル領域から受け取るための手段を含み得る。たとえば、電荷キャリアを受け取るための手段は、図 1 ~ 図 9 に示された第 1 のベース部分 112、第 1 の上部部分 116、第 2 のベース部分 122、および第 2 の上部部分 126 を含み得る。

【0080】

装置はまた、トンネルチャネルにおけるバンド間トンネリングを可能にするためにトンネルチャネルにバイアスをかけるための手段を含み得る。たとえば、トンネルチャネルにバイアスをかけるための手段は、図 9 のコンタクト 902 ~ 912、図 9 のコンタクト 902 ~ 912 に印加される電圧、図 10 のプロセッサ 1110、またはそれらの任意の組合せを含み得る。

【0081】

当業者は、さらに、本明細書で開示される実施形態に関連して説明された様々な例示的な論理ブロック、構成、モジュール、回路、およびアルゴリズムステップが、電子ハードウェア、プロセッサによって実行されるコンピュータソフトウェア、またはそれらの両方の組合せとして実施され得ることを了解するはずである。様々な例示的な構成要素、ブロック、構成、モジュール、回路、およびステップが、概してそれらの機能に関して、上記で説明されてきた。そのような機能がハードウェアとして実装されるか、プロセッサ実行可能命令として実装されるかは、特定の用途およびシステム全体に課された設計制約に依存する。当業者は、説明された機能を各特定の用途に対して様々な方法で実装し得るが、そのような実装の決定は、本開示の範囲からの逸脱を生じるものと解釈されるべきではない。

【0082】

本明細書で開示される実施形態に関連して説明される方法またはアルゴリズムのステップは、ハードウェア内で直接に、プロセッサによって実行されるソフトウェアモジュール内で、またはこの 2 つの組合せにおいて、実施され得る。ソフトウェアモジュールは、ランダムアクセスメモリ(RAM)、フラッシュメモリ、読取り専用メモリ(ROM)、プログラム可能読取り専用メモリ(PROM)、消去可能プログラム可能読取り専用メモリ(EPROM)、電氣的消去可能プログラム可能読取り専用メモリ(EEPROM)、レジスタ、ハードディスク、リムーバブルディスク、コンパクトディスク読取り専用メモリ

10

20

30

40

50

(C D - R O M)、または当技術分野で知られている任意の他の形態の非一時的記憶媒体内に存在し得る。例示的な記憶媒体は、プロセッサが記憶媒体から情報を読み取り、記憶媒体に情報を書き込むことができるように、プロセッサに結合される。代替として、記憶媒体は、プロセッサと一体であり得る。プロセッサおよび記憶媒体は、特定用途向け集積回路 (A S I C) 内に存在し得る。A S I C は、コンピューティングデバイスまたはユーザ端末内に存在し得る。代替として、プロセッサおよび記憶媒体は、コンピューティングデバイスまたはユーザ端末内に個別の構成要素として存在し得る。

【 0 0 8 3 】

開示される実施形態の前述の説明は、開示される実施形態を当業者が作成または使用できるようにするために提供される。これらの実施形態に対する様々な修正は、当業者には容易に明らかであり、本明細書で定義される原理は、本開示の範囲から逸脱することなく、他の実施形態に適用され得る。したがって、本開示は、本明細書で示される実施形態に限定されることを意図されておらず、以下の特許請求の範囲によって定義される原理および新規の特徴と一貫する可能な最も広い範囲に従わなければならない。

【 符号の説明 】

【 0 0 8 4 】

1 0 2	基板	
1 0 3	表面	
1 0 4	第 1 のウェル領域	
1 0 6	第 2 のウェル領域	20
1 0 8	シャロートレンチ分離 (S T I) 酸化物層	
1 1 0	第 1 の縦型 F E T	
1 1 2	第 1 のベース部分	
1 1 4	第 1 の中央部分	
1 1 6	第 1 の上部部分	
1 1 7	側壁の第 1 のペア	
1 1 8	第 1 のゲート	
1 2 0	第 2 の縦型 F E T	
1 2 2	第 2 のベース部分	
1 2 4	第 2 の中央部分	30
1 2 6	第 2 の上部部分	
1 2 7	側壁の第 2 のペア	
1 2 8	第 2 のゲート	
1 3 0	第 1 の導電性構造	
1 3 2	第 2 の導電性構造	
1 3 4	第 3 の導電性構造	
1 4 0	第 1 の導電性構造	
1 4 2	第 2 の導電性構造	
1 4 4	第 3 の導電性構造	
2 3 0	第 1 のハードマスク膜	40
2 4 0	第 2 のハードマスク膜	
3 0 2	第 1 のフォトレジスト	
3 0 4	イオン注入	
4 0 2	第 2 のフォトレジスト	
4 0 4	イオン注入	
5 3 0	第 1 のハードマスク膜	
5 4 0	第 2 のハードマスク膜	
7 1 8	第 1 のゲート材料	
7 2 8	第 2 のゲート材料	
8 5 0	層間誘電体酸化物	50

- 902 第1のコンタクト
- 904 第2のコンタクト
- 906 第3のコンタクト
- 908 第4のコンタクト
- 910 第5のコンタクト
- 912 第6のコンタクト

【図1】

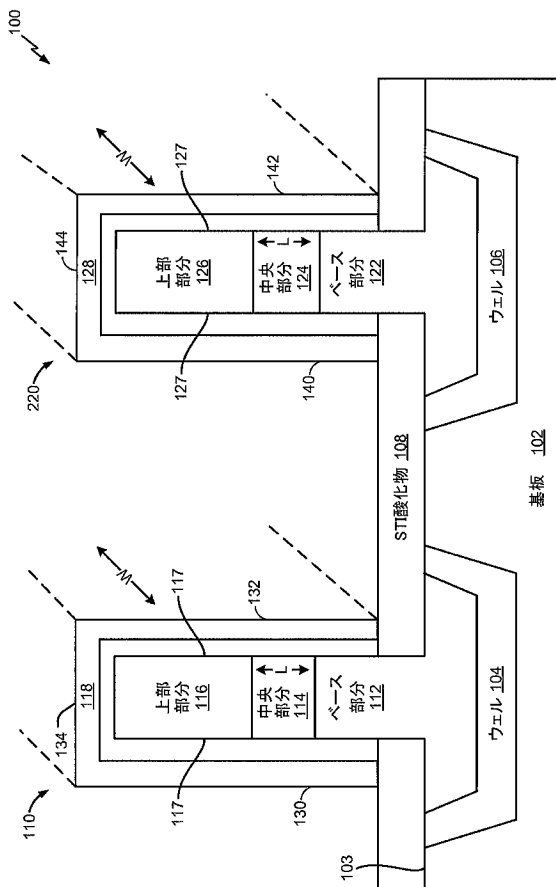


FIG. 1

【図2】

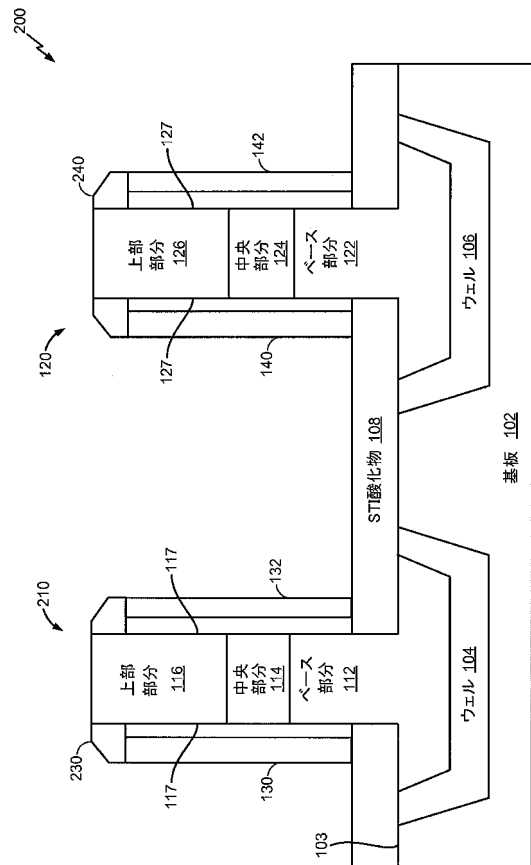


FIG. 2

【図 3】

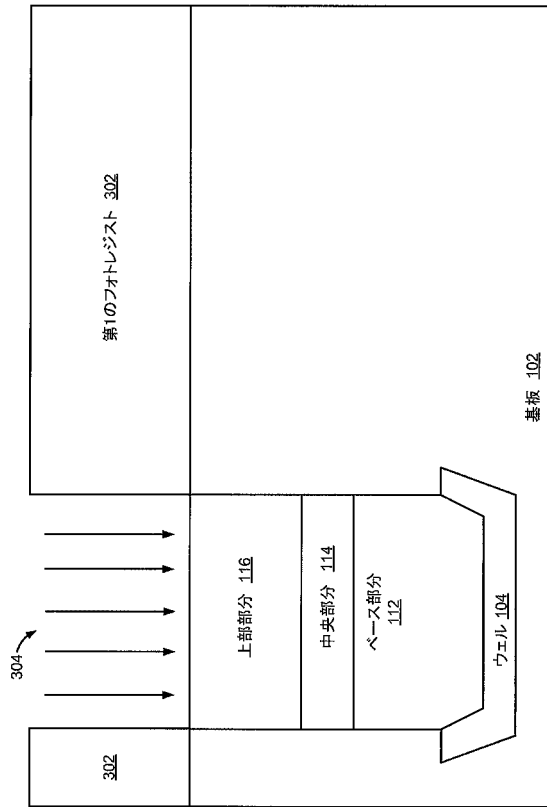


FIG. 3

【図 4】

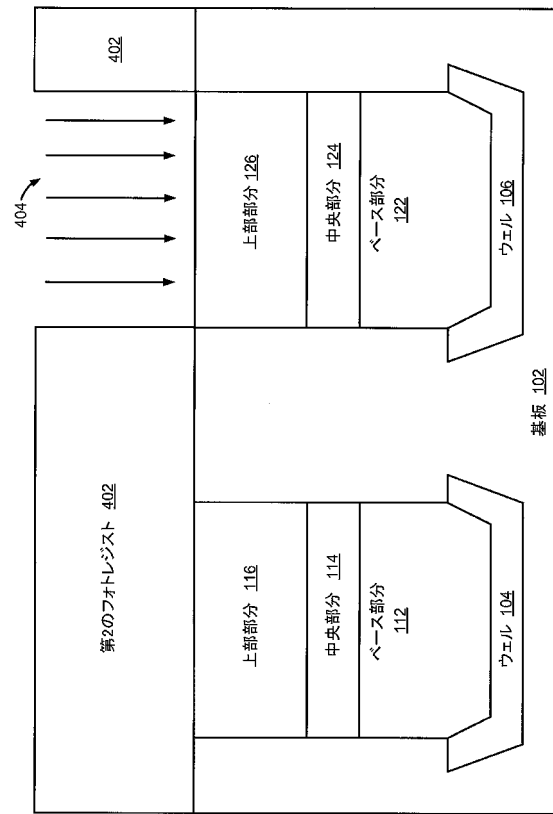


FIG. 4

【図 5】

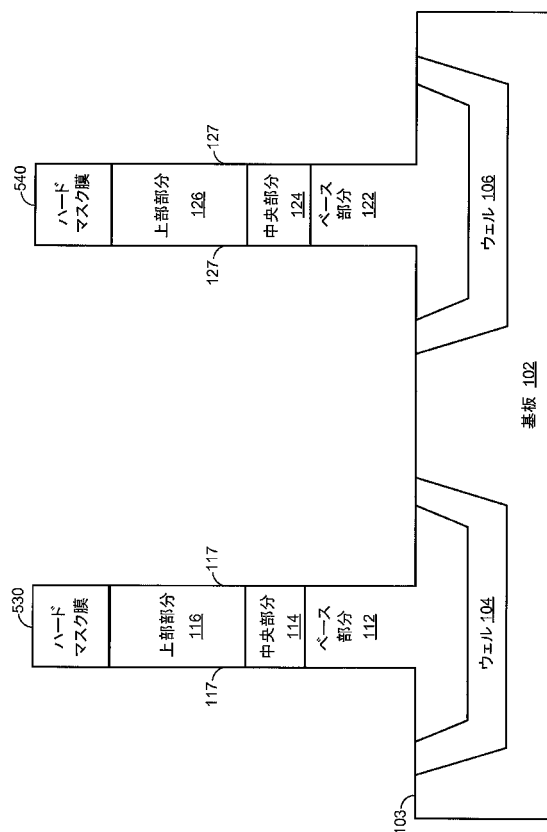


FIG. 5

【図 6】

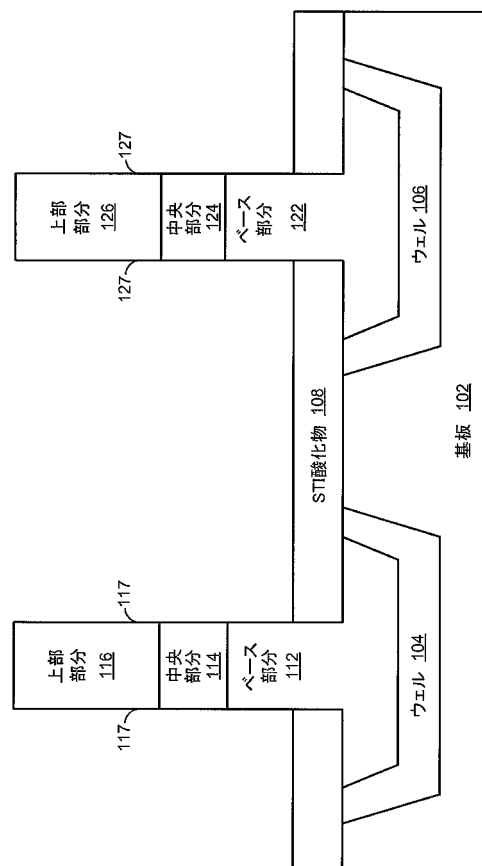


FIG. 6

【図 7】

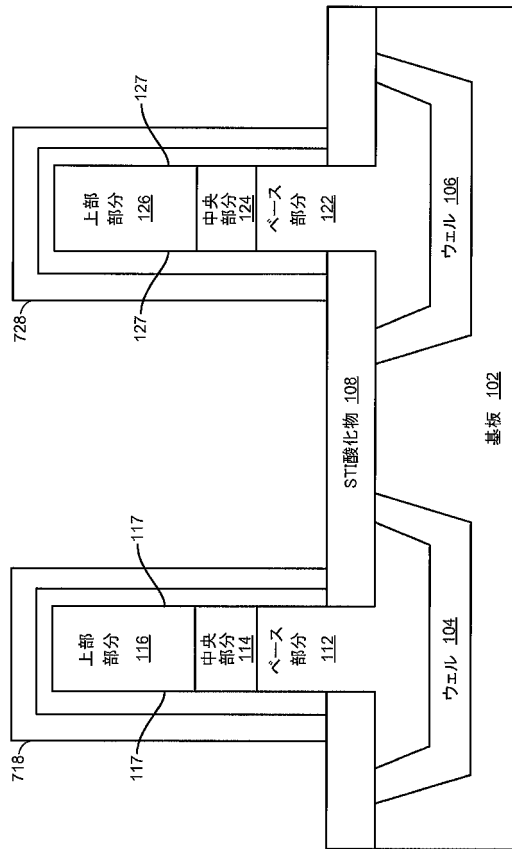


FIG. 7

【図 8】

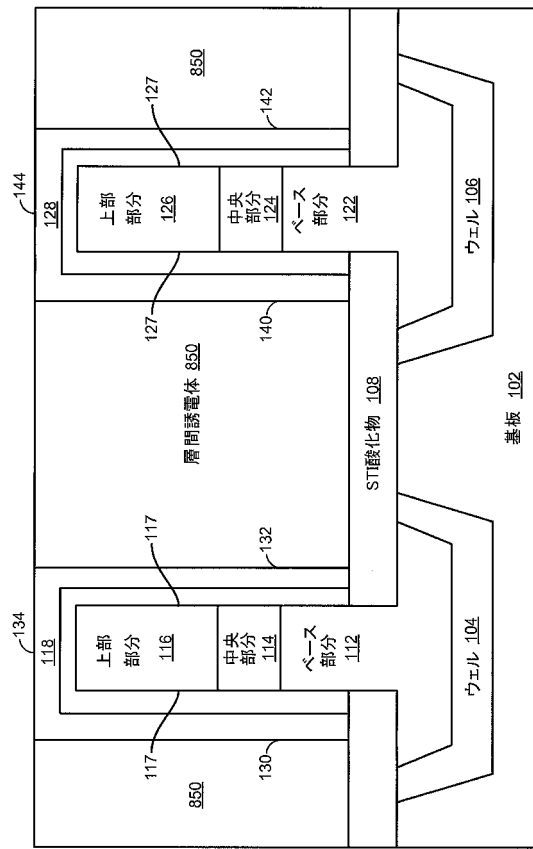


FIG. 8

【図 9】

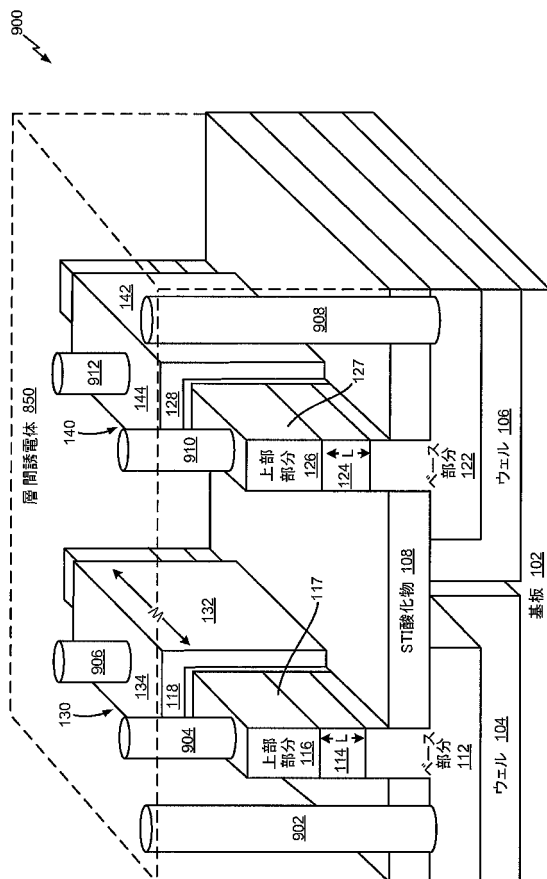


FIG. 9

【図 10】

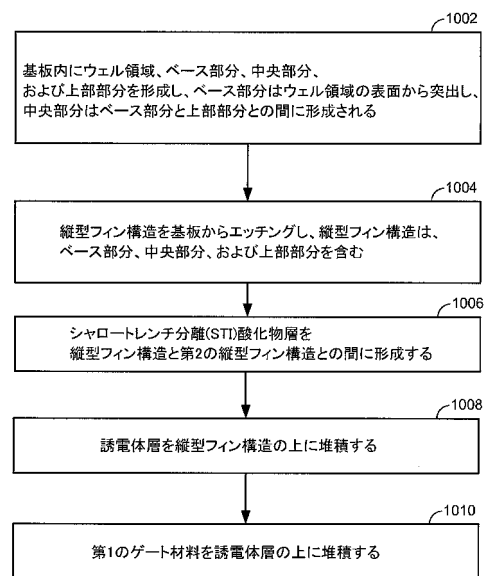
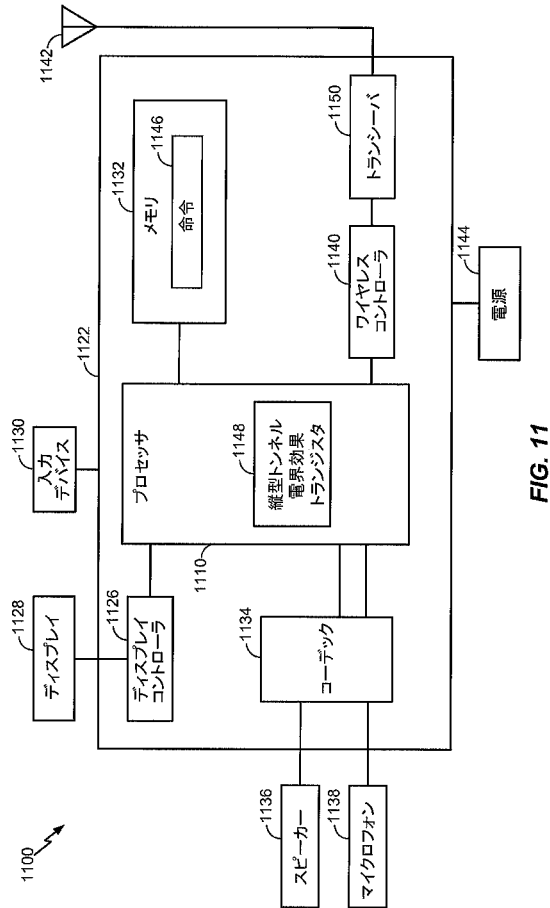


FIG. 10

【 図 1 1 】



【 図 1 2 】

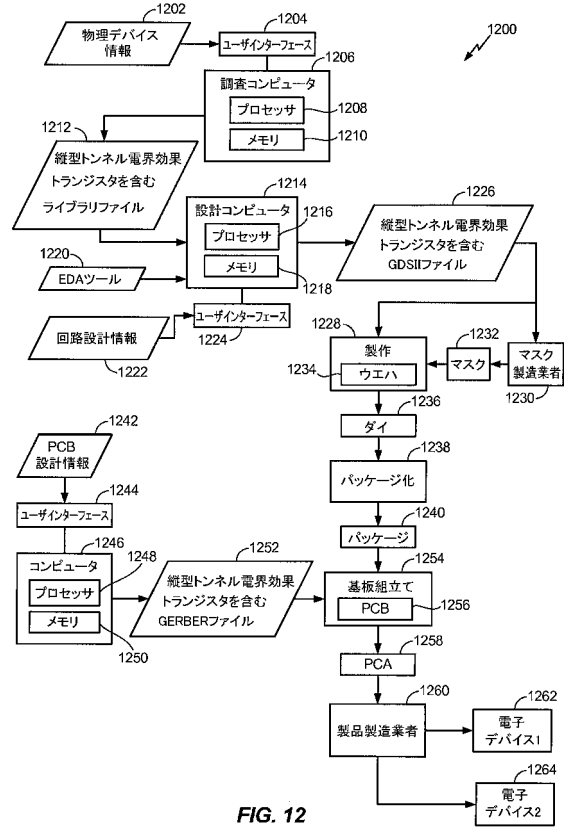


FIG. 12

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No

PCT/US2014/054066

A. CLASSIFICATION OF SUBJECT MATTER

INV. H01L29/739 H01L29/66
ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	EP 2 378 557 A1 (IMEC [BE]; UNIV LEUVEN KATH [BE]) 19 October 2011 (2011-10-19) paragraph [0040] - paragraph [0081] figures 1-17	1-22,26, 33,38-41 23-25, 27-32, 34-37
X Y A	US 2007/228491 A1 (FORBES LEONARD [US]) 4 October 2007 (2007-10-04) paragraph [0038] - paragraph [0045] paragraph [0081] figures 6,7,21	1-18, 38-41 35-37 19-34
X Y A	DE 199 43 390 A1 (HANSCH WALTER [DE]) 3 May 2001 (2001-05-03) column 4, line 25 - column 5, line 49 figures 5a-5d	1-18, 38-41 35-37 19-34
	----- -/-	

☒ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents :

A document defining the general state of the art which is not considered to be of particular relevance

E earlier application or patent but published on or after the international filing date

L document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

O document referring to an oral disclosure, use, exhibition or other means

P document published prior to the international filing date but later than the priority date claimed

T later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

X document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

Y document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

& document member of the same patent family

Date of the actual completion of the international search

26 November 2014

Date of mailing of the international search report

03/12/2014

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Authorized officer

Kostrzewa, Marek

INTERNATIONAL SEARCH REPORT

International application No

PCT/US2014/054066

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2009/121263 A1 (HIKIDA SATOSHI [JP]) 14 May 2009 (2009-05-14) paragraph [0010] paragraph [0044] - paragraph [0077] figures 1A-5B -----	23-25
Y	US 2012/278777 A1 (LIN YI-TANG [TW] ET AL) 1 November 2012 (2012-11-01) paragraph [0003] - paragraph [0004] paragraph [0068] - paragraph [0095] figures 10-13 -----	27-32, 34-37

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2014/054066

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
EP 2378557	A1	19-10-2011	EP 2378557 A1	19-10-2011
			JP 5542728 B2	09-07-2014
			JP 2011238909 A	24-11-2011
			US 2011253981 A1	20-10-2011

US 2007228491	A1	04-10-2007	NONE	

DE 19943390	A1	03-05-2001	NONE	

US 2009121263	A1	14-05-2009	JP 4746600 B2	10-08-2011
			JP 2009111305 A	21-05-2009
			US 2009121263 A1	14-05-2009

US 2012278777	A1	01-11-2012	CN 102779201 A	14-11-2012
			US 2012278777 A1	01-11-2012
			US 2014215420 A1	31-07-2014

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

(72)発明者 ミン・チャイ

アメリカ合衆国・カリフォルニア・9 2 1 2 1 - 1 7 1 4・サン・ディエゴ・モアハウス・ドライヴ・5 7 7 5

(72)発明者 ビン・ヤン

アメリカ合衆国・カリフォルニア・9 2 1 2 1 - 1 7 1 4・サン・ディエゴ・モアハウス・ドライヴ・5 7 7 5

Fターム(参考) 5F048 AC01 BA01 BA14 BB01 BB09 BB11 BD06 BE04 BG13

5F140 AA39 AB03 AC12 BA06 BA10 BB04 BC06 BD04 BF01 BF04

BF42 BK13 CB04