

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-158735

(P2007-158735A)

(43) 公開日 平成19年6月21日(2007.6.21)

(51) Int. Cl.		F I	テーマコード (参考)
H03M 3/04 (2006.01)		H03M 3/04	5 J O 2 2
H03M 1/74 (2006.01)		H03M 1/74	5 J O 6 4

審査請求 未請求 請求項の数 4 O L (全 12 頁)

(21) 出願番号	特願2005-351429 (P2005-351429)	(71) 出願人	503121103 株式会社ルネサステクノロジ 東京都千代田区大手町二丁目6番2号
(22) 出願日	平成17年12月6日(2005.12.6)	(74) 代理人	100080001 弁理士 筒井 大和
		(72) 発明者	工藤 純也 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内
		(72) 発明者	松浦 達治 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内
		(72) 発明者	笠原 真澄 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

最終頁に続く

(54) 【発明の名称】 半導体集積回路装置

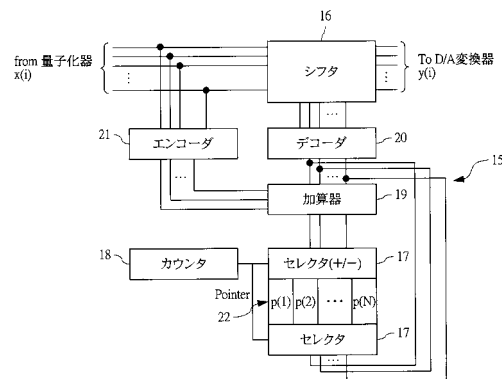
(57) 【要約】

【課題】デルタシグマA/D変換器において、N個のポインタを用いた単位要素のローテーションにより、入力信号周波数近辺の雑音を低減し、S/N比を改善する。

【解決手段】A/D変換器に設けられたDEM15において、量子化器から出力された信号は3ビットの2進数に変換され、カウンタ18により、使用するポインタと単位要素の使用の方向(昇順/降順)が制御される。記録されたポインタ位置と入力信号を加算することにより、ポインタを移動し、量子化器からの入力 $x(i)$ は、シフトされ $y(i)$ として、D/A変換器へ出力され、単位要素のシフトが行われる。

【選択図】 図4

図4



【特許請求の範囲】

【請求項 1】

サンプリング周波数の $1/4$ の周波数以外の信号をデジタル変換するバンドパスデルタシグマ型の A/D 変換器を備えた半導体集積回路装置であって、

前記 A/D 変換器は、

入力された信号をデジタル信号に変換して量子化する量子化器と、

D/A 変換器と、

前記 D/A 変換器に設けられた D/A 変換器の単位要素を動的にローテーションするエレメントマッチング部を備え、

前記エレメントマッチング部は、

前記量子化器から出力された単位要素の位置を記憶する N 個のポインタを備え、

前記ポインタにより単位素子をシフトし、そのシフト方向を昇順、または降順に反転させることを特徴とする半導体集積回路装置。

10

【請求項 2】

請求項 1 記載の半導体集積回路装置において、

前記エレメントマッチング部は、

サンプリング周波数 $\times k$ ($= 1, 3, 5, \dots, N-1$) / ($2 \times$ ポインタ数) = 入力信号周波数となるように、前記 D/A 変換器の単位要素をローテーションすることを特徴とする半導体集積回路装置。

20

【請求項 3】

請求項 1 または 2 記載の半導体集積回路装置において、

前記ポインタは、レジスタからなることを特徴とする半導体集積回路装置。

【請求項 4】

請求項 1 ~ 3 のいずれか 1 項に記載の半導体集積回路装置において、

前記エレメントマッチング部は、

前記 D/A 変換器の単位要素を 12 個の前記ポインタを用いてローテーションし、サンプリング周波数の $7/24$ にミスマッチノイズ伝達特性のノッチ点を持たせることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【技術分野】

30

【0001】

本発明は、A/D 変換器における S/N (Signal/Noise) 比の改善技術に関し、特に、バンドパスデルタシグマ型の A/D 変換器における単位要素 (エレメント) のばらつきによる雑音の低減に有効な技術に関する。

【背景技術】

【0002】

ラジオ受信機や携帯電話などの中間周波数を用いて復調を行う無線通信には、バンドパスデルタシグマ A/D (Analog/Digital) 変換器が広く用いられている。

【0003】

このマルチビットデルタシグマ A/D 変換器に設けられた D/A 変換器を構成する単位要素 (エレメント) のバラつきにより生じる雑音 (ミスマッチノイズ) を軽減する方法として、該雑音の伝達特性に周波数特性をもたせ、使用する信号帯域内の雑音を低減する手法、ミスマッチノイズシェーピングが知られている。

40

【0004】

ローパス型マルチビットデルタシグマ A/D 変換器では、ミスマッチノイズの伝達特性をハイパス型とすることにより、信号として使用する低周波数帯域内の雑音を低減できる。

【0005】

これを実現する手法として、DWA (Data Weighted Averaging) などが知られている (たとえば、非特許文献 1 参照)。

50

【0006】

これに対し、バンドパス型マルチビットデルタシグマA/D変換器では、入力信号周波数 f_{in} でノイズが減少する周波数帯域、いわゆるノッチをもつ雑音の伝達特性が必要となる。

【0007】

多くの場合、バンドパスデルタシグマA/D変換器では、入力信号周波数 f_{in} とサンプリング周波数 f_s との間に、 $f_{in} = f_s / 4$ という関係が成り立つように、入力信号周波数 f_{in} とサンプリング周波数 f_s とを設定する。この場合、bandpass mismatch shaping アルゴリズムが用いられる（たとえば、非特許文献2参照）。

10

【0008】

一方で、使用目的による制約から、入力信号周波数 $f_{in} =$ サンプリング周波数 $f_s / 4$ の関係が成り立たない場合があり、この時には雑音伝達特性の任意の周波数にノッチを作る必要がある。この場合には、2次DWAやベクトル量子化器が用いられる（たとえば、非特許文献3～8参照）。

【非特許文献1】Ywvs Greerts, et al, 'DESIGN OF MULTI-BIT DELTA-SIGMA A/D CONVERTERS', p74~p97, Kuuewer Academic Publishers

【非特許文献2】T. Shui, et al, 'Mismatch Shaping for a Current-Mode Multibit Delta-Sigma DAC', JSSC 1999, Mar. pp331~pp338

20

【非特許文献3】R. K. Henderson, et al. 'Dynamic Element Matching with Arbitrary Noise Shaping Function', ISCAS 1996, pp293~pp296

【非特許文献4】R. Schreier, et al, 'Noise-shaped multi-bit D/A CONVERTER employing unit elements', Electronics Letters, Sept. 1995, Vol. 31, No. 20, pp. 1712~pp. 1713

【非特許文献5】Tao Shui, R. Schreier, F. Hudson. 'Mismatch-shaping DAC for Lowpass and Bandpass multi-bit Delta-Sigma Modulators' ISCAS 1998, I-352-355

30

【非特許文献6】A. Yasuda, H. Tanimoto, T. Iida, 'A Third order Delta-Sigma Modulator using second-order Noise shaping Dynamic Element Matching', JSSC 1998, Dec. pp. 1879~pp. 1886

【非特許文献7】T. Ueno, A. Yasuda, T. Yamaji, T. Itakura, 'A Fourth-order Bandpass Delta-Sigma Modulator using second-order bandpass Noise-shaping DEM' ESSCIRC 2001

40

【非特許文献8】V. Colonna, et al, 'A 10.7 MHz Self-Calibrated SC Multibit 2nd-Order Bandpass Modulators' ESSCIRC 2002

【発明の開示】

【発明が解決しようとする課題】

【0009】

ところが、上記のようなデルタシグマA/D変換器による雑音の軽減技術では、次のような問題点があることが本発明者により見い出された。

【0010】

デルタシグマ型A/D変換器を無線通信機に使用する場合には、受信する周波数帯域、

50

受信機の間周波数、A/D変換器のサンプリング周波数、およびその高調波が互いに干渉しないように、中間周波数とサンプリング周波数を決定する必要があり、自由にこれらの周波数を選ぶことはできない。

【0011】

しかし、DWA、bandpass mismatch sharpeningといったミスマッチノイズシェーピング法では、サンプリング周波数 f_s に対して、ミスマッチノイズの伝達特性を自由に設定することができないために、入力信号周波数が、0近傍あるいは、 $f_s/4$ から外れている場合にミスマッチノイズを低減することができず、S/N比は改善しないという問題がある。

【0012】

また、ミスマッチノイズの伝達特性の任意周波数にノッチ点を持たせる場合、2次DWAは、サンプル周波数 f_s より高い周波数で論理を動作する必要があり、消費電力が増加してしまい、高速A/D変換器の実現が困難である。さらに、ベクトル量子化器を用いる方法では複雑な論理回路を必要とし、面積、電流が増大するという欠点がある。

【0013】

本発明の目的は、デルタシグマA/D変換器において、N個のポイントをを用いた単位要素のローテーションにより、入力信号周波数近辺の雑音を低減し、S/N比を改善することのできる技術を提供することにある。

【0014】

本発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0015】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0016】

本発明は、サンプリング周波数の $1/4$ の周波数以外の信号をデジタル変換するバンドパスデルタシグマ型A/D変換器を備えた半導体集積回路装置であって、該A/D変換器は、入力された信号をデジタル信号に変換して量子化する量子化器と、D/A変換器と、該D/A変換器に設けられたD/A変換器の製造上のばらつきを持つ単位要素を動的にローテーションするエレメントマッチング部を備え、該エレメントマッチング部は、前記量子化器から出力された単位要素の位置を記憶するN個のポイントを備え、該ポイントにより単位要素をシフトし、シフト方向を昇順、または降順に反転させるものである。

【0017】

また、本願のその他の発明の概要を簡単に示す。

【0018】

本発明は、前記エレメントマッチング部が、サンプリング周波数 $f_s \times k$ ($= 1, 3, 5, \dots, N-1$) / ($2 \times$ ポイント数 N) = 入力信号周波数 f_{in} を満足するようにD/A変換器の単位要素をローテーションするものである。

【0019】

また、本発明は、前記ポイントが、レジスタよりなるものである。

【0020】

さらに、本発明は、前記エレメントマッチング部が、D/A変換器の単位要素を12個のポイントを用いてローテーションし、サンプリング周波数の $7/24$ にミスマッチノイズ伝達特性のノッチ点を持たせるものである。

【発明の効果】

【0021】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0022】

10

20

30

40

50

(1) A/D変換器における雑音を大幅に低減し、S/N比を改善することができる。

【0023】

(2) 上記(1)により、半導体集積回路装置の性能を向上させることができ、該半導体集積回路装置をラジオ受信機などの電子システムに用いることにより、受信性能を向上させることができる。

【発明を実施するための最良の形態】

【0024】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。

10

【0025】

図1は、本発明の一実施の形態による半導体集積回路装置のブロック図、図2は、図1の半導体集積回路装置に設けられたA/D変換器の一例を示すブロック図、図3は、図2のA/D変換器に設けられたDEMのアルゴリズムを示した説明図、図4は、図3に示したローテーションアルゴリズムを実現するDEMのブロック図、図5は、図4のDEMにおける mismatch ノイズの伝達特性を示した説明図、図6は、図2のA/D変換器の mismatch ノイズの低減例を示す周波数スペクトラムの説明図である。

【0026】

本実施の形態において、半導体集積回路装置1は、たとえば、カーオーディオなどに用いられるマイクロコンピュータである。半導体集積回路装置1は、図1に示すように、A/D変換器2、復調DSP(Digital Signal Processor)3、A/D変換部4、オーディオDSP5、D/A変換部6、および制御用MPU(Multi Processing Unit)7から構成される。

20

【0027】

A/D変換器2は、バンドパス型デルタシグマA/D変換器からなり、入力された中間周波数信号IFのアナログ信号をデジタル信号に変換する。アンテナ8を介して受信した信号は、LNA(Low Noise Amp)9によって増幅され、後段に接続されたミキサ10により10.7MHz程度に変換された後、該ミキサ10の後段に接続されたPGA(Programmable Gain Amplifier)/アナログフィルタ11で任意の出力レベルに増幅、ならびにフィルタリングし、中間周波数信号IFとしてA/D変換器2に出力する。

30

【0028】

A/D変換器2の出力部には、復調DSP3が接続されている。復調DSP3は、中間周波数信号IFを復調し、音声信号に復元する。A/D変換部4は、複数のA/D変換器から構成されており、たとえば、CDプレーヤなどから出力された音声信号をデジタル信号に変換する。

【0029】

オーディオDSP5には、復調DSP3、およびA/D変換部4がそれぞれ接続されている。このオーディオDSP5は、音声信号の加工(たとえば、イコライザや音場補正など)を行う。

40

【0030】

D/A変換部6は、複数のD/A変換器から構成されており、オーディオDSP5に接続されている。該オーディオDSP5によって処理された音声信号をアナログ信号に変換する。D/A変換部6に変換されたアナログ信号は、後段に接続されたアンプなどに出力信号として出力される。制御用MPU7は、半導体集積回路装置1におけるすべての制御を司る。

【0031】

図2は、A/D変換器2の構成例を示すブロック図である。

【0032】

A/D変換器2は、レゾネータ12、量子化器13、D/A変換器14、ならびにDE

50

M (エレメントマッチング部) 15 から構成されている。レゾネータ 12 は、バンドパスフィルタとして用いられる。量子化器 13 は、レゾネータ 12 を介して入力された中間周波数信号 IF をデジタル信号に変換して量子化する。

【0033】

D/A変換器 14 は、量子化器 13 から出力されたデジタル信号をアナログ信号に変換する。DEM (Dynamic Element Matching) 15 は、使用する D/A変換器 14 の単位要素を動的にローテーションし、該単位要素の製造ばらつきなどによる雑音 (ミスマッチノイズ) を低減する。

【0034】

DEM 15 は、量子化器 13 と D/A変換器 14 との間に設けられており、該 DEM 15 によって、量子化器 13 と D/A変換器 14 との単位要素の接続が動的にスイッチされる。つまり、同一の量子化器出力値に対して、使用される D/A変換器の単位要素の組み合わせを変えることができる。

10

【0035】

ここで、単位素子をローテーションするアルゴリズムによって、ミスマッチノイズの伝達特性は異なる周波数特性を持つことになる。ミスマッチノイズの伝達特性が入力信号周波数 f_{in} の近傍でノッチを持てば、この周波数帯域で雑音が軽減され S/N比が改善することになる。

【0036】

図 3 は、DEM 15 におけるアルゴリズムを示した説明図である。この図 3 では、一例として量子化器 13、および D/A変換器 14 を 3 ビット (8 単位素子) とし、N 本のポインタを使う場合の単位素子のローテーション方法を示している。

20

【0037】

まず、時刻 T (1) に量子化器 13 が 4 を出力したとする。このとき、D/A変換器 14 は、単位要素配列のうち、 $e(1)$ 、 $e(2)$ 、 $e(3)$ 、 $e(4)$ を使用して、4 を出力する。

【0038】

ここで、使用された単位要素の位置、4 をポインタ $p(1)$ に記録する。次の時刻 T (2) に、量子化器 14 の出力は 3 で、 $e(1)$ 、 $e(2)$ 、 $e(3)$ を使用し、D/A変換器 14 は 3 を出力し、ポインタ $p(2)$ に 3 を記録する。

30

【0039】

これを N 回繰り返し、ポインタ $p(1)$ 、 \dots 、 $p(N)$ を記録する。そして、時刻 T (N+1) に量子化器出力が 3 であったとき、D/A変換器 14 は、ポインタ $p(1)$ に記録された $e(4)$ から降順に 3 個の単位要素を、すなわち $e(4)$ 、 $e(3)$ 、 $e(2)$ を用いて 3 を出力し、ポインタ $p(1)$ には 2 を記録する。この手順を繰り返し、時刻 T (2N+1) には、ポインタ $p(1)$ に記録された 2 から昇順に単位要素を使用して、D/A変換器 14 は出力を行う。

【0040】

ここで、たとえば、時刻 T (N+2) のように前回に記録されたポインタ位置が 3 であって、降順に 5 を出力する場合、 $e(3)$ 、 $e(2)$ 、 $e(1)$ を用い、そして循環的に $e(8)$ に戻って、 $e(8)$ 、 $e(7)$ の 5 個の単位要素でデータを出力し、ポインタ位置を $e(7)$ とする。

40

【0041】

同様に昇順の場合に、 $e(8)$ に達した場合は、 $e(1)$ に循環的に戻って単位要素を使用する。これを数式により表すと、E 個の単位要素配列を $e(1)$ 、 $e(2)$ 、 \dots 、 $e(k)$ 、時刻 T (n) における D/A変換器 14 の入力を $D_{in}(n)$ 、D/A変換器 14 の出力を $D_{out}(n)$ 、D/A変換器 14 における単位要素のポインタ位置を $P(n)$ として、

【0042】

【数 1】

$$Dout(n) = \sum_{k=P(n)}^{P(n)+Din(n)} e(k) \quad \text{ポインタ移動が昇順の場合}$$

【0043】

【数 2】

$$Dout(n) = \sum_{k=P(n)+E-Din(n)+1}^{P(n)+E} e(k) \quad \text{ポインタ移動が降順の場合}$$

10

【0044】

となる。

【0045】

ここで、 $e(k+E) = e(k)$ と定義しておく。

【0046】

図 4 は、図 3 に示したローテーションアルゴリズムを実現する DEM 15 の構成例を示すブロック図である。

20

【0047】

DEM 15 は、図示するように、シフタ 16、セクタ 17、カウンタ 18、加算器 19、デコーダ 20、エンコーダ 21、ならびにポインタ $p(1) \sim p(N)$ からなるポインタ 22 から構成される。ポインタ $p(1) \sim p(N)$ は、たとえば、レジスタからなる。

【0048】

デコーダ 20 は量子化器 13 から出力された信号をバイナリコードにデコードする。エンコーダ 21 は、加算器 19 の演算結果をエンコードしてシフタに出力する。

【0049】

量子化器 13 から出力された信号は、3 ビットの 2 進数に変換され、カウンタ 18 により、使用するポインタと単位要素の使用の方向(昇順/降順)が制御される。記録されたポインタ位置と入力信号を加算することにより、ポインタを移動し、これにより、量子化器 13 からの入力 $x(i)$ は、シフトされ $y(i)$ として、D/A 変換器 14 へ出力され、単位要素のシフトが行われる。

30

【0050】

たとえば、ポインタ数が $N = 12$ とした場合、 $24 / f_s$ 周期で、昇順あるいは降順の要素子のローテーションが行われることから、D/A 変換器 14 のミスマッチによるノイズの伝達特性には、図 5 に示すように、 $1 \times f_s / 24$ 、 $3 \times f_s / 24$ 、 $5 \times f_s / 24$ 、 $7 \times f_s / 24$ 、 $9 \times f_s / 24$ 、 $11 \times f_s / 24$ に周波数にノッチをそれぞれ持つことになる。

40

【0051】

FM チューナの場合、信号帯域幅は 0.2 MHz であり、中間周波数を 10.7 MHz とし、サンプリング周波数 f_s に 37.05 MHz を選ぶ方法がある。ノッチ周波数は $37.05 / 24 \times 7 = 10.806 \text{ MHz}$ となり、 $10.7 \pm 0.1 \text{ MHz}$ の周波数範囲ではノイズが抑圧されることになる。

【0052】

図 6 に、D/A 変換器 14 を構成する単位要素に製造ばらつきがある A/D 変換器 2 の出力における周波数スペクトラムを示す。

【0053】

図示するように、入力信号周波数 f_{in} が 10.7 MHz の近傍でノイズが抑圧されて

50

おり、高いS/N比が得られていることがわかる。このように、DEM15のポインタ22の数を適切に選ぶことにより、比較的高い自由度でミスマッチノイズの伝達特性にノッチ点をつくることができる。

【0054】

このように、N個のポインタ22を用いて、D/A変換器14の単位素子をローテーションすることにより、ミスマッチの雑音伝達関数に $f_s / (2N)$ 、およびその整数倍の周波数にピークあるいはノッチを持つ周波数特性を持たせることができる。

【0055】

それにより、本実施の形態によれば、A/D変換器2のミスマッチノイズを大幅に低減し、S/N比を改善することができる。

10

【0056】

また、DEM15の回路規模を小さくすることができるので、チップレイアウト面積を小さくし、半導体集積回路装置1の消費電流を低減することができる。

【0057】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0058】

たとえば、中間周波数が10.7MHzで、サンプリング周波数 f_s が37.05MHzの場合に、ポインタ数 $N=5$ として、単位要素のローテーション周期を10としてもよい。

20

【0059】

よって、 $3/10 \times f_s = 11.0$ MHzにミスマッチノイズの伝達特性のノッチができることになる。この場合、入力周波数帯域が10.7MHz \pm 0.1MHzからはずれているが、この周波数帯域であってもミスマッチノイズは十分に抑制されており、要求されるS/N比がそれほど高くない場合には、ポインタ数を減らして、より少ない回路規模でS/N比の改善を実現することができる。

【産業上の利用可能性】

【0060】

本発明は、受信機に用いられるA/D変換器のS/N比を改善し、低雑音を実現する技術に適している。

30

【図面の簡単な説明】

【0061】

【図1】本発明の一実施の形態による半導体集積回路装置のブロック図である。

【図2】図1の半導体集積回路装置に設けられたA/D変換器の一例を示すブロック図である。

【図3】図2のA/D変換器に設けられたDEMのアルゴリズムを示した説明図である。

【図4】図3に示したローテーションアルゴリズムを実現するDEMのブロック図である。

【図5】図4のDEMにおけるミスマッチノイズの伝達特性を示した説明図である。

40

【図6】図2のA/D変換器によるミスマッチノイズの低減例を示す周波数スペクトラムの説明図である。

【符号の説明】

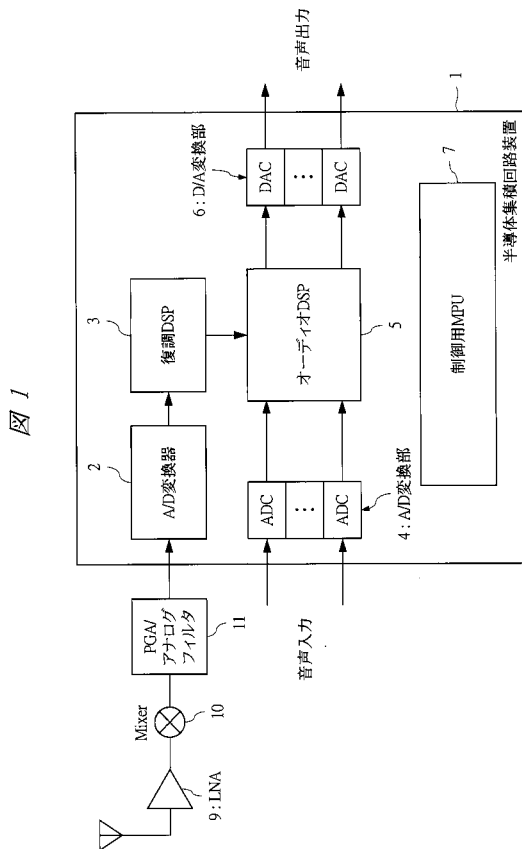
【0062】

- 1 半導体集積回路装置
- 2 A/D変換器
- 3 復調DSP
- 4 A/D変換部
- 5 オーディオDSP
- 6 D/A変換部

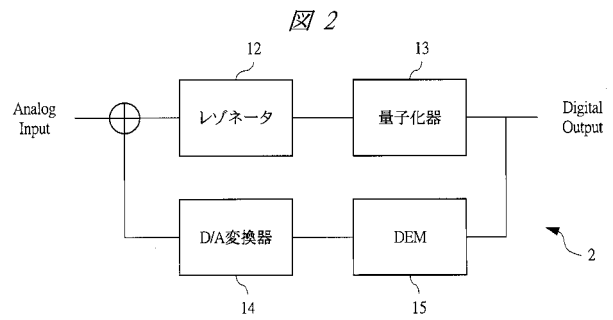
50

- 7 制御用MPU
- 8 アンテナ
- 9 LNA
- 10 ミキサ
- 11 PGA/アナログフィルタ
- 12 レゾネータ
- 13 量子化器
- 14 D/A変換器
- 15 DEM(エレメントマッチング部)
- 16 シフタ
- 17 セレクタ
- 18 カウンタ
- 19 加算器
- 20 デコーダ
- 21 エンコーダ
- 22 ポインタ

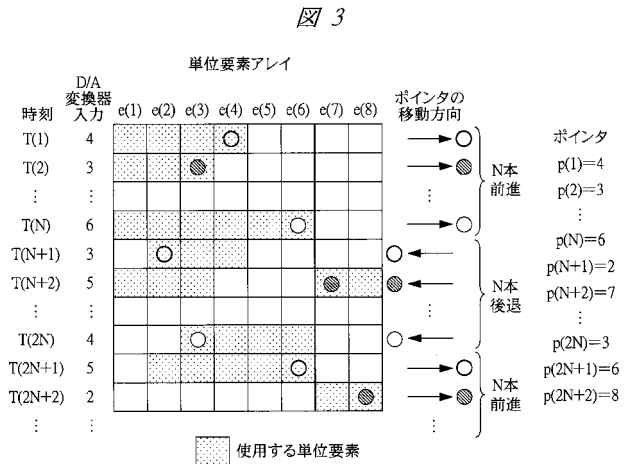
【図1】



【図2】

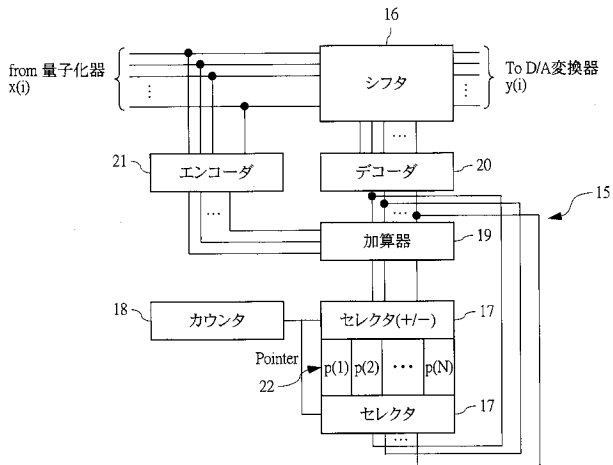


【図3】



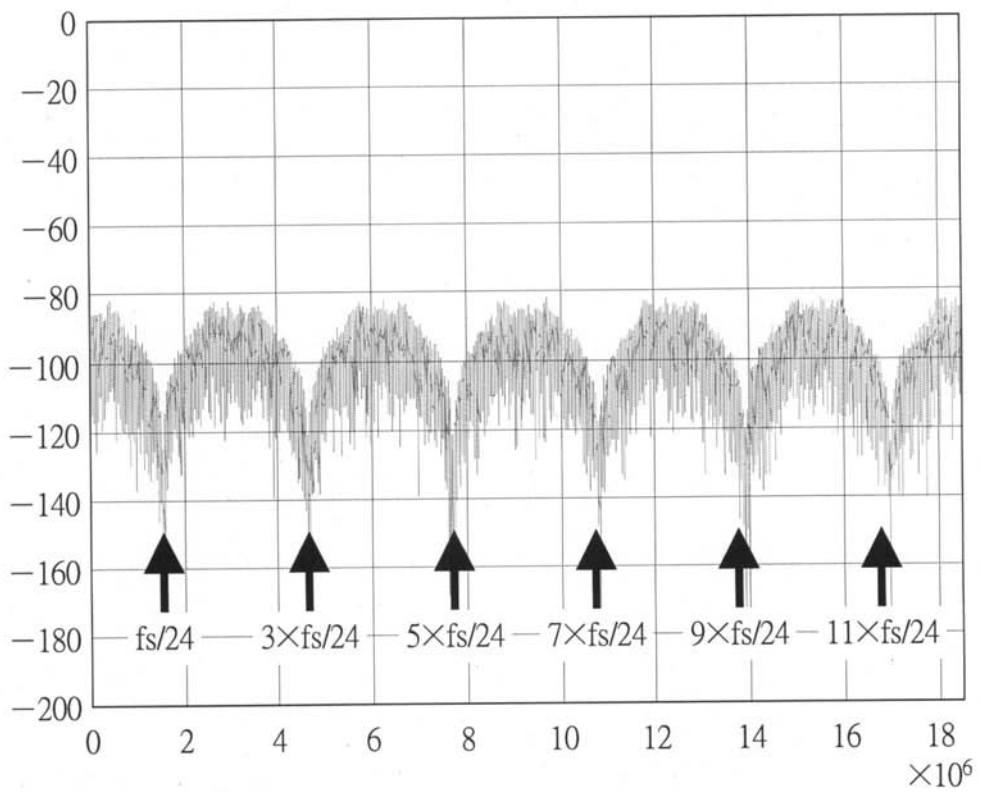
【 図 4 】

図 4



【 図 5 】

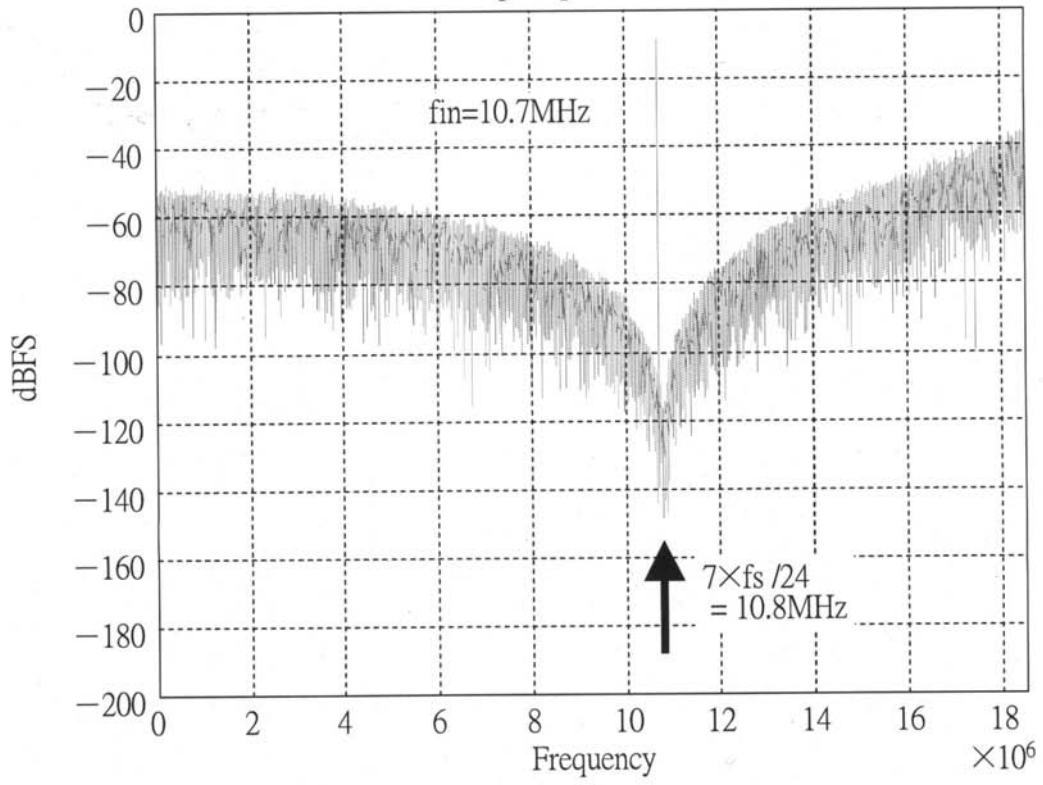
図 5



【 図 6 】

図 6

Output Spectrum



フロントページの続き

(72)発明者 中根 秀夫

東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

(72)発明者 山本 崇也

東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

Fターム(参考) 5J022 AB02 BA01 CA01 CF07 CG01

5J064 AA01 BA03 BC05 BC06 BC07 BC08 BC16 BC21 BD01