(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第4351745号
(P4351745)
(45)発行日　平成21年10月28日(2009.10.28)　(24)登録日　平成21年7月31日(2009.7.31)

(51)Int.Cl.　F I
H01L 29/861 (2006.01)　H01L 29/91 D

請求項の数 4　(全 16 頁)

(21)出願番号　特願平9-255729
(22)出願日　平成9年9月19日(1997.9.19)
(65)公開番号　特開平11-97715
(43)公開日　平成11年4月9日(1999.4.9)
審査請求日　平成12年3月3日(2000.3.3)
審判番号　不服2006-13120(P2006-13120/J1)
審判請求日　平成18年6月22日(2006.6.22)

(73)特許権者　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100058479
弁理士　鈴江　武彦
(74)代理人　100091351
弁理士　河野　哲
(74)代理人　100088683
弁理士　中村　誠
(74)代理人　100084618
弁理士　村松　貞男
(74)代理人　100092196
弁理士　橋本　良郎

最終頁に続く

(54)【発明の名称】半導体装置

(57)【特許請求の範囲】
【請求項１】
高抵抗の第１導電型ベース層と、
前記第１導電型ベース層の一方の表面に形成された第１導電型エミッタ層と、
前記第１導電型ベース層の他方の表面に形成された第２導電型エミッタ層と、
前記第２導電型エミッタ層を貫通して前記第１導電型ベース層の途中まで到達する深さに形成された複数の溝と、
前記第１導電型エミッタ層に形成された第１の主電極と、
前記第２導電型エミッタ層に形成された第２の主電極と
を備えた半導体装置であって、
前記各溝間の各第２導電型エミッタ層のうちの所定の複数の第２導電型エミッタ層と前記第２の主電極との間に選択的に配置された絶縁層を備えたことを特徴とする半導体装置。
【請求項２】
高抵抗の第１導電型ベース層と、
前記第１導電型ベース層の一方の表面に形成された第１導電型エミッタ層と、
前記第１導電型ベース層の他方の表面に選択的に形成された第１の第２導電型エミッタ層と、
前記第１の第２導電型エミッタ層よりも低い不純物密度を有し、前記第１導電型ベース層の他方の表面のうち、前記第１の第２導電型エミッタ層のない領域に形成された第２の

第２導電型エミッタ層と、
前記第１及び第２の第２導電型エミッタ層を貫通して前記第１導電型ベース層の途中まで到達する深さに形成された複数の溝と、
前記第１導電型エミッタ層に形成された第１の主電極と、
前記第１及び第２の第２導電型エミッタ層に形成された第２の主電極と
を備えたことを特徴とする半導体装置。
【請求項３】
請求項２に記載の半導体装置において、
前記第１及び第２の第２導電型エミッタ層は、互いに並列にストライプ状に形成され、
前記各溝は、前記第１及び第２の第２導電型エミッタ層の長手方向に略直交する方向に沿って形成されたことを特徴とする半導体装置。
【請求項４】
高抵抗の第１導電型ベース層と、
前記第１導電型ベース層の一方の表面に形成された第１導電型エミッタ層と、
前記第１導電型ベース層の他方の表面に形成された第２の第２導電型エミッタ層と、
前記第２の第２導電型エミッタ層よりも高い不純物密度を有し、前記第２の第２導電型エミッタ層の表面にストライプ状に選択的に形成された第１の第２導電型エミッタ層と、
前記第２の第２導電型エミッタ層の表面のうち、前記第１の第２導電型エミッタ層のない領域に選択的に形成された第１導電型ソース層と、
前記第１の第２導電型エミッタ層及び前記第１導電型ソース層の長手方向に略直交する方向に沿って当該両層を貫通して前記第１導電型ベース層の途中まで到達する深さに形成された複数の溝と、
前記第１導電型エミッタ層に形成された第１の主電極と、
前記第１の第２導電型エミッタ層及び前記第１導電型ソース層に形成された第２の主電極と
を備え、ダイオードとして動作することを特徴とする半導体装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、半導体装置に係り、特に、ダイオード及びそれをスイッチング素子に組合せてなる半導体装置に関する。
【０００２】
【従来の技術】
モータを駆動するパワーエレクトロニクス装置にはインバータがある。このインバータは、スイッチング素子とそれに逆並列に接続された還流用のダイオードとが用いられる。これらのスイッチング素子及びダイオードは、インバータの高速動作を実現するために高速性が要求される。しかし、ダイオードは、高速性が要求されるものの、素子構造が単純なために高速化が困難とされている。
【０００３】
従来、ダイオードとしては、例えば「A novel soft and fast recovery diode (SFD) with thin P-layer formed by Al-Si electrode」(ISPSD'91 Conference.record p.113-p.117）の様な構造が知られている。
【０００４】
図１８は係る構造のダイオードの構成を示す断面図である。n+ 型エミッタ層１上にn- 型ベース層２が形成され、n- 型ベース層２表面には、p+ 型エミッタ層３又はp- 型エミッタ層４が選択的に形成されている。p+ 型エミッタ層３及びp- 型エミッタ層４上には、アノード電極５が形成されている。また、n+ 型エミッタ層１上には、カソード電極６が形成されている。
【０００５】
このダイオードは、アノード電極５に正電圧が印加され、カソード電極６に負電圧が印加

されると、カソードとしてのｎ+ 型エミッタ層１から電子がｎ- 型ベース層２に注入されてｐ+ 型エミッタ層３及びｐ- 型エミッタ層４に到達する。これに伴い、アノードとしてのｐ+ 型エミッタ層３及びｐ- 型エミッタ層４から正孔がｎ- 型ベース層２に注入される。このように、ｎ- 型ベース層２に、電子と正孔の両方が注入され、オン状態となってキャリアが蓄積される。

【０００６】

また、ターンオフの際に、アノード電極５に負電圧が印加され、カソード電極６に正電圧が印加されると、電子及び正孔の注入が止まると共に、ｎ- 型ベース層２内の正孔がｐ+ 型エミッタ層３及びｐ- 型エミッタ層４から排出され、オフ状態となる。

【０００７】

この構造は、アノードとして正孔を注入するｐ型エミッタ層をｐ+ 型層３及びｐ- 型層４に分割し、ｐ- 型層４の低濃度化により正孔の注入量を制限し、ターンオフ時においてキャリヤの排出の高速化を図っている。

【０００８】

但し、この構造のダイオードは、高速性を実現し得るものの、ｐ- 型層４が低濃度であるために漏れ電流が多いという問題がある。更に、スイッチング素子を高速化するためにトレンチ構造にした場合、集積化が困難という問題がある。ここで、ダイオードの集積化は、チップの小型化、接続インダクタンス低減等の特性改善のために重要な課題となっている。

【０００９】

また一方、スイッチング素子としては、６００Ｖから１２００Ｖ程度の耐圧を有するＩＧＢＴ(Insulated Gate Bipolar Transistor) が広く用いられている。しかしながら、６００Ｖ耐圧のＩＧＢＴは、一般に、図１９に示すように、５００μｍ程度の厚いｐ+ 型コレクタ層１１の表面にエピタキシャル法等でｎ+ 型バッファ層１２が形成され、このｎ+ 型バッファ層１２上に、６０～１００μｍ程度と非常に薄いｎ- 型ベース層１３が形成されて製造される。

【００１０】

ここで、ダイオードを逆並列に集積させるには、アノード側、すなわちｐ+ 型コレクタ層１１側で、ｐ+ 型コレクタ層１１に代えて、ｎ- 型ベース層１３に接するｎ+ 型エミッタ層１を形成する必要がある。しかしながら、ｎ- 型ベース層１３が非常に薄いため、アノード側にｎ+ 型エミッタ層１を形成できず、ダイオードの集積化が不可能となっている問題がある。

【００１１】

【発明が解決しようとする課題】

以上説明したように従来のダイオードは、漏れ電流が多いという問題がある。更に、スイッチング素子を高速化するためにトレンチ構造にした場合に、集積化が困難という問題がある。また、従来のＩＧＢＴは、ダイオードの集積化が不可能となっている問題がある。本発明は上記実情を考慮してなされたもので、漏れ電流を低減でき、トレンチ構造のときに、容易に集積化し得る半導体装置を提供することを目的とする。

【００１２】

【課題を解決するための手段】

本発明の骨子は、トレンチ構造によりアノードとなるｐ型層を分離し、そのトレンチによりｐ型層からの正孔の注入を制限することにある。すなわち、ｐ型層の濃度を低減せずに正孔の注入量を制限するので、漏れ電流の低減による良好な素子特性と、ターンオフ時におけるキャリヤの高速な排出による高速動作との両立を図ることができる。

【００１３】

また、本発明によれば、ダイオードがトレンチ構造を有するため、集積化するスイッチング素子がトレンチ構造である場合に、ダイオードとスイッチング素子とを容易に集積化し得る。

【００１５】

さて、以上のような本発明の骨子に基づいて具体的には以下のような手段が講じられる。

請求項１に対応する発明は、高抵抗の第１導電型ベース層と、前記第１導電型ベース層の一方の表面に形成された第１導電型エミッタ層と、前記第１導電型ベース層の他方の表面に形成された第２導電型エミッタ層と、前記第２導電型エミッタ層を貫通して前記第１導電型ベース層の途中まで到達する深さに形成された複数の溝と、前記第１導電型エミッタ層に形成された第１の主電極と、前記第２導電型エミッタ層に形成された第２の主電極とを備えた半導体装置であって、前記各溝間の各第２導電型エミッタ層のうちの所定の複数の第２導電型エミッタ層と前記第２の主電極との間に選択的に配置された絶縁層を備えた半導体装置である。

【００１７】

さらに、請求項２に対応する発明は、高抵抗の第１導電型ベース層と、前記第１導電型ベース層の一方の表面に形成された第１導電型エミッタ層と、前記第１導電型ベース層の他方の表面に選択的に形成された第１の第２導電型エミッタ層と、前記第１の第２導電型エミッタ層よりも低い不純物密度を有し、前記第１導電型ベース層の他方の表面のうち、前記第１の第２導電型エミッタ層のない領域に形成された第２の第２導電型エミッタ層と、前記第１及び第２の第２導電型エミッタ層を貫通して前記第１導電型ベース層の途中まで到達する深さに形成された複数の溝と、前記第１導電型エミッタ層に形成された第１の主電極と、前記第１及び第２の第２導電型エミッタ層に形成された第２の主電極とを備えた半導体装置である。

また、請求項３に対応する発明は、請求項２に対応する半導体装置において、前記第１及び第２の第２導電型エミッタ層が互いに並列にストライプ状に形成され、前記各溝が前記第１及び第２の第２導電型エミッタ層の長手方向に略直交する方向に沿って形成された半導体装置である。

さらに、請求項４に対応する発明は、高抵抗の第１導電型ベース層と、前記第１導電型ベース層の一方の表面に形成された第１導電型エミッタ層と、前記第１導電型ベース層の他方の表面に形成された第２の第２導電型エミッタ層と、前記第２の第２導電型エミッタ層よりも高い不純物密度を有し、前記第２の第２導電型エミッタ層の表面にストライプ状に選択的に形成された第１の第２導電型エミッタ層と、前記第２の第２導電型エミッタ層の表面のうち、前記第１の第２導電型エミッタ層のない領域に選択的に形成された第１導電型ソース層と、前記第１の第２導電型エミッタ層及び前記第１導電型ソース層の長手方向に略直交する方向に沿って当該両層を貫通して前記第１導電型ベース層の途中まで到達する深さに形成された複数の溝と、前記第１導電型エミッタ層に形成された第１の主電極と、前記第１の第２導電型エミッタ層及び前記第１導電型ソース層に形成された第２の主電極とを備え、ダイオードとして動作する半導体装置である。

（作用）

従って、請求項１に対応する発明は以上のような手段を講じたことにより、各溝により、第２導電型エミッタ層が分割されてその第２導電型エミッタ層からのキャリアの注入が制限されるので、ターンオフ時においてキャリアを高速に排出することができると共に、第２導電型エミッタ層の濃度を低くする必要がないため、漏れ電流を増大させず、良好な阻止特性を実現することができる。

【００１８】

また、本構造のダイオードは、トレンチ構造を有するため、集積化するスイッチング素子がトレンチ構造である場合に、容易に集積化することができる。

また、請求項１に対応する発明は、各溝間の各第２導電型エミッタ層のうちの所定の複数の第２導電型エミッタ層と第２の主電極との間に、絶縁層が選択的に配置されているので、前述した作用に加え、絶縁層の配置に応じて、より容易にかつ精度良くキャリアの注入量を制御することができる。

【００２０】

さらに、請求項２に対応する発明は、請求項１に対応する作用と同様の作用に加え、正

孔の注入量を制御するために不純物密度の低い第２の第２導電型エミッタ層を設け、且つこの第２の第２導電型エミッタ層が溝に囲まれて空乏化しにくくなっているため、従来構造よりも漏れ電流を低減することができる。

また、請求項３に対応する発明は、請求項２に対応する作用と同様の作用に加え、第１及び第２の第２導電型エミッタ層が互いに並列にストライプ状に形成され、各溝が第１及び第２の第２導電型エミッタ層の長手方向に略直交する方向に沿って形成されたので、パターニングの容易化を図ることができる。

さらに、請求項４に対応する発明は、不純物密度の低い第２の第２導電型エミッタ層が全面に形成された後、部分的に第１の第２導電型エミッタ層と第１導電型ソース層の領域が交互に形成され、これにより、第１の第２導電型エミッタ層からの正孔の注入が制限される構成であり、請求項３に対応する作用と同様の作用を奏することができる。

【００２１】

【発明の実施の形態】

以下、本発明に係る各実施形態について図面を参照して説明する。

（第１の実施形態）

図１は本発明の第１の実施形態に係るダイオードの構成を示す断面図であり、図１８と同一部分には同一符号を付してその詳しい説明は省略し、ここでは異なる部分について説明する。なお、以下の各実施形態においても同様に同一部分の説明を省略する。

【００２２】

すなわち、本実施形態は、従来とは異なり、アノード側で正孔を注入するｐ+ 型エミッタ層３がトレンチ構造により分離され、且つ低濃度のｐ- 型層４を用いずに構成されている。

【００２３】

具体的には、ｎ- 型ベース層２上のｐ+ 型エミッタ層３及びｐ- 型エミッタ層４の選択形成に代えて、ｎ- 型ベース層２上の全面にｐ+ 型エミッタ層３が形成され、且つｐ+ 型エミッタ層３表面に、幅Ｔの複数の溝２１が間隔Ｗ毎に形成され、各溝２１内には絶縁膜２２を介して充填材２３が埋込み形成されている。

【００２４】

ここで、各溝２１は、公知のＲＩＥ(Riactive Ion Etching)装置により形成され、ｐ+ 型エミッタ層を貫通してｎ- 型ベース層の途中に至る深さを有している。溝２１の幅Ｔは、広くするとオン電圧を上昇させるので、１μｍ程度以下が望ましい。各溝２１の間隔Ｗは所望の耐圧を実現させるために４μｍ程度以下が望ましい。

【００２５】

充填材２３としては、例えば多結晶シリコンなどが使用可能となっている。但し、溝２１が形成可能であれば、他の方法で充填してもあるいはしなくてもよい。

【００２６】

以上のような構成により、順方向バイアス時にｐ+ 型エミッタ層３から注入される正孔をトレンチ構造により制限することができるので、ターンオフ時には、キャリヤを高速に排出することができる。

【００２７】

また、正孔注入量の制限をトレンチ構造により実現するので、従来とは異なり、ｐ+ 型エミッタ層３の濃度を低減させる必要がないため、漏れ電流の増大を阻止することができる。

【００２８】

なお、図２はオン状態の正孔密度の分布をトレンチ有（本実施形態）とトレンチ無（従来構造）とで比較して示す図である。図示するように、本実施形態に係るトレンチ構造では、ｐ+ 型エミッタ層３からの正孔の注入量が低減されていることが分かる。このような正孔注入量の低減は、溝によるｐ+ 型エミッタ層３の面積の減少と、溝２１による溝周辺部のライフタイムの低減とに起因して実現されている。

【００２９】

上述したように本実施形態によれば、アノードとして正孔を注入するｐ+ 型エミッタ層３をトレンチ構造で分割することにより、漏れ電流を増大させることなくｐ+ 型エミッタ層からの正孔の注入量を制限し、ターンオフ時においてキャリヤを高速に排出することができる。

【００３０】

また、本実施形態に係るダイオードは、トレンチ構造を有するため、集積化するスイッチング素子がトレンチ構造である場合に、容易に集積化することができる。

（第２の実施形態）

図３は本発明の第２の実施形態に係るダイオードの構成を示す断面図である。本実施形態は、第１の実施形態の変形構成であり、正孔注入量の制限を図るものであって、具体的には、一部のｐ+ 型エミッタ層３とアノード電極５との間に、酸化膜などの絶縁膜２４が形成されている。

【００３１】

これにより、絶縁膜２４が形成されたｐ+ 型エミッタ層３からは正孔が注入されないため、全体として正孔の注入量を低減することができる。また、このような構造によれば、より容易にかつ精度良く正孔注入を制御することができる。

（第３の実施形態）

図４は本発明の第３の実施形態に係るダイオードの構成を示す断面図である。本実施形態は、第１の実施形態の変形構成であり、各溝２１間のｐ+ 型エミッタ層３のうちの一部がｐ- 型エミッタ層２５に置換された構成となっている。

【００３２】

これにより、第２の実施形態の如き絶縁膜２４を用いることなく、ｐ+ 型エミッタ層３からの正孔の注入量を制御することができる。

また、本実施形態は、ｐ- 型エミッタ層２５が、第１の実施形態で述べた４μｍ以下の間隔Ｗで溝２１に囲まれているため、逆電圧が印加されても、ｐ- 型エミッタ層２５まで電界が加わりにくく、よって、ｐ- 型エミッタ層２５が空乏層化しにくくなっている。すなわち、正孔の注入量を制御するためにｐ- 型エミッタ層２５を設けているが、従来構造よりも漏れ電流を低減することができる。

（第４の実施形態）

図５は本発明の第４の実施形態に係るダイオードの構成を示す斜視断面図である。本実施形態は、第３の実施形態の変形構成であり、ｐ+ 型エミッタ層３とｐ- 型エミッタ層２５とを二次元方向に配置した構成となっている。なお、見やすくするためにアノード電極５は省略したが、上面に形成されている。

【００３３】

以上のような構成により、第３の実施形態の効果に加え、パターニングの容易化を図ることができる。

（第５の実施形態）

図６は本発明の第５の実施形態に係るダイオードの構成を示す斜視断面図である。本実施形態は、第４の実施形態の変形構成であり、ｐ- 型エミッタ層２６が全面に形成された後に、部分的にｐ+ 型エミッタ層２７とｎ+ 型ソース層２８の領域が交互に形成され、これにより、ｐ+ 型エミッタ層２７からの正孔の注入が制限されている。なお、図５と同様に、見やすくするためにアノード電極５は省略したが、上面に形成されている。

【００３４】

以上のような構成としても、第４の実施形態と同様な効果を得ることができる。

（第６の実施形態）

図７は本発明の第６の実施形態に係るダイオードとスイッチング素子とが集積化された半導体装置の構成を示す断面図である。この半導体装置は、ｎ- 型ベース層が、スイッチング素子としてのＩＧＢＴ領域と、ダイオード領域とに分割されている。ｎ- 型ベース層２の一方の表面のうち、ＩＧＢＴ領域にはｐ型ベース層３１が形成されてｐ型ベース層３１表面には選択的にｎ+ 型ソース層３２が形成され、また、ダイオード領域にはｐ+ 型エミ

ッタ層３３が形成されている。
【００３５】
n+ 型ソース層３２及びp+ 型エミッタ層３３には、複数の溝２１がn+ 型ソース層３２及びp+ 型ベース層３１、又はp+ 型エミッタ層３を夫々貫通してn- 型ベース層２の途中の深さまで選択的に形成されている。各溝２１は、ゲート絶縁膜２２を介してポリシリコン充填材２３が埋込み形成されている。このポリシリコン充填材２３のうち、ＩＧＢＴ領域のものはゲート端子Ｇに電気的に接続され、ゲート電極として機能する。また、n+ 型ソース層３２及びp+ 型エミッタ層３上には、Ｋ／Ａ電極３４が形成されている。なお、Ｋ／Ａ電極３４は、ＩＧＢＴでカソード、ダイオードでアノードとなる側の電極である。
【００３６】
一方、n- 型ベース層２の他方の表面のうち、ＩＧＢＴ領域にはp+ 型コレクタ層３３が形成され、ダイオード領域にはn+ 型エミッタ層１が形成され、これらp+ 型コレクタ層３３及びn+ 型エミッタ層１上にはＡ／Ｋ電極３５が形成されている。Ａ／Ｋ電極３５は、ＩＧＢＴでアノード、ダイオードでカソードとなる側の電極３５である。
【００３７】
以上のような構成によると、図より容易に分かる様に本発明のダイオードは、ＩＧＢＴの溝２１、絶縁膜２２及び充填材２３からなるゲート部を注入制御用に用いており、従来のダイオードと比較して著しく簡単に集積化することができる。
【００３８】
このため、試作工程を短縮化でき、低コスト化を実現することができる。なお、本実施形態では、スイッチング素子としてＩＧＢＴを示したが、他のトレンチ構造を有する素子、例えばトレンチＭＯＳＦＥＴ等でも良いことは明らかである。トレンチＭＯＳＦＥＴの場合、p+ 型コレクタ層３３が不要なため、さらに簡単に製造することができる。
【００３９】
さらにまた、本実施形態は、第１の実施形態のダイオードを用いたが、第２乃至第５の実施形態のいずれのダイオードを用いても同様に容易に集積化できることは明らかである。
（第７の実施形態）
図８は本発明の第７の実施形態に係るダイオードとスイッチング素子とが集積化された半導体装置の構成を示す断面図である。本実施形態は、第６の実施形態の変形形態であり、ＩＧＢＴ領域とダイオード領域との相互干渉を阻止するものであって、具体的には、ＩＧＢＴ領域の端部に接するダイオード領域のp+ 型エミッタ層３と、Ｋ／Ａ電極３４との間に絶縁層２４が形成されている。
【００４０】
以上のような構成により、ＩＧＢＴ領域の端部に接するダイオード領域の端部ではダイオードとして動作しない分離領域が形成されるので、ＩＧＢＴとダイオードとの相互干渉が抑制され、より安全な動作を実現することができる。
（第８の実施形態）
図９は本発明の第８の実施形態に係るダイオードとスイッチング素子とが集積化された半導体装置の構成を示す断面図である。本実施形態は、第６の実施形態の変形構成であり、ＩＧＢＴ領域の外側に終端構造が設けられている。
【００４１】
この終端構造は、ＩＧＢＴ領域の最外周のゲート電極が埋込まれた溝２１を囲むようにn- 型ベース層２に形成されたp+ 型層４１を有し、また、Ａ／Ｋ電極３５とn- 型ベース層２との間に形成されたn+ 型層４２を備えている。
【００４２】
ここで、ダイオード領域は、終端構造に直接接続されずに、ＩＧＢＴ領域の内側に配置されている。ダイオードが終端構造に接続されているとオン状態でのキャリヤが、終端構造に流れることにより、ターンオフ時に電流集中が発生して破壊し易いという問題が生じるが、本構造にすれば、電流集中のないダイオードを実現することができる。

（第９の実施形態）
図１０は本発明の第９の実施形態に係るダイオードとスイッチング素子とが集積化された半導体装置の構成を示す断面図である。
【００４３】
この半導体装置は、ｎ- 型ベース層の一方の表面は、前述したＩＧＢＴ領域と同様に、ｐ型ベース層３１及びｎ+ 型ソース層３２が各溝２１に挟まれた構成となっている。なお、各溝２１は、前述同様に、ゲート電極として機能するポリシリコン充填材２３が絶縁膜２２を介して埋込み形成されている。
【００４４】
ここで、ｎ- 型ベース層２の他方の表面は、各溝２１間に対応するＩＧＢＴ領域にｐ+ 型コレクタ層３３が形成され、各溝２１幅Ｔに対応するダイオード領域にｎ+ 型エミッタ層１が形成されている。これらｐ+ 型コレクタ層３３及びｎ+ 型エミッタ層１上にはＡ／Ｋ電極３５が形成されている。
【００４５】
以上のような構成により、ＩＧＢＴのｐ型ベース層３１がダイオードのｐ型層として用いられ、ＩＧＢＴのカソード側とダイオードのアノード側（Ｋ／Ａ電極３４側）との構造が完全に一体化されている。これにより、チップ面積を有効に活用でき、より小さな面積でダイオードとスイッチング素子との集積化を実現することができる。なお、本構造は、ｎ- 型ベース層２内のキャリアのライフタイム等の如き、素子の設計条件を適切に設定することにより、ＩＧＢＴ領域とダイオード領域との相互干渉などの不具合を抑制できるのは言うまでもない。
（第１０の実施形態）
図１１は本発明の第１０の実施形態に係るダイオードとスイッチング素子とが集積化された半導体装置の構成を示す断面図である。この半導体装置は、第９の実施形態の変形構成であり、具体的には、図示するように、ＩＧＢＴ領域に対応するｐ+ 型コレクタ層３３と、ダイオード領域に対応するｎ+ 型エミッタ層１とが混在せずにｎ- 型ベース層２上に明確に区分けされて形成されている。
【００４６】
すなわち、以上のような構成によれば、ダイオード領域のｐ型層にＩＧＢＴのｎ型ソース層３２部分の構造が用いられている。これにより、ダイオード領域のｎ+ 型エミッタ層１とＩＧＢＴ領域のｐ+ 型コレクタ層３３とのマスク合わせが不要で、製造が容易な点である。また、ダイオード領域をＭＯＳＦＥＴとしても使用でき、この場合、ＩＧＢＴ領域のみを用いるよりも、電流を多く流すことができる。
（第１１の実施形態）
以上は、本発明に係るダイオードを含む半導体装置の説明である。続いて、本発明に係る半導体装置の製造方法について第１１及び第１２の実施形態により説明する。以下の第１１又は第１２の実施形態によれば、図１２に示すプレーナ構造のＩＧＢＴと通常のダイオードとの集積化構造や、図１３に示すトレンチ構造のＩＧＢＴとトレンチ構造のダイオードとの集積化構造を実現できる。すなわち、本製造工程は、ＩＧＢＴのコレクタ層となるｐ+ 型層３３と、ダイオードのエミッタ層となるｎ+ 型層１とを有した全ての構造に適用可能である。
【００４７】
次に、図１４及び図１５は本発明の第１１の実施形態に係るＩＧＢＴとダイオードとの集積化構造を製造するための製造方法を示す製造工程図である。
いま、図１４（ａ）に示すように、拡散等により、ｎ- 型基板５１の表面にダイオードとなる部分のｎ+ 型層１ａが選択的に形成される。続いて、図１４（ｂ）に示すように、ｎ+ 型層１ａを有するｎ+ 型基板の全面にｎ- 型層２ａがエピタキシャル成長される。なお、この時点では、ｎ+ 型基板５１の厚さは、５００μｍ以上と任意に厚くでき、製造上の問題はない。
【００４８】

その後、図１５（ａ）に示すように、ｎ- 型層２ａの表面にＩＧＢＴのカソード構造が周知の製造工程により形成された後、ｎ- 型基板５１がその裏面からｎ+ 型層１ａの途中まで研磨される。

【００４９】

続いて、図１５（ｂ）に示すように、ｐ+ 型ドーパントのイオン注入工程及び熱処理工程により、ｎ- 型基板５１の裏面に薄くｐ+ 型コレクタ層３３が形成され、最後にＡ／Ｋ電極３５及びＫ／Ａ電極３４が形成される。なお、研磨以後の図１５（ｂ）に示す工程は、ＰＥＰ工程が殆ど不要であり、ウェハが薄くても製造上困難とはならない。

【００５０】

上述したように本実施形態によれば、ｐ+ 型コレクタ層３３となる基板に代えて、予め拡散等により、ｎ- 型基板５１に選択的にｎ+ 型層１ａを形成した後に、ｎ+ 型層１ａ側の表面にｎ- 型ベース層２ａをエピタキシャル法等で形成し、ＩＧＢＴのカソード構造（ダイオードのアノード側）を形成した後に、そのｎ- 型基板５１を研磨等で薄層化し、さらにｐ+ 型コレクタ層３３を形成することにより、薄いｎ- 型ベース層２ａを有しながらダイオードを集積化することができる。

（第１２の実施の形態）

図１６及び図１７は本発明の第１２の実施形態に係るＩＧＢＴとダイオードとを集積化する製造方法を説明するための製造工程図である。本実施形態は、第１１の実施形態とは異なり、始めにＩＧＢＴのアノード側を形成してから研磨によりウェハを薄くする手順を有するものである。

【００５１】

いま、図１６（ａ）に示すように、選択イオン注入や熱処理等により、ｎ- 型基板の一方の表面にｐ+ 型層３３ａ及びｎ+ 型層１ａが選択的に形成される。続いて、図１６（ｂ）に示すように、ｎ- 型基板５１のｐ+ 型層３３ａ及びｎ+ 型層１ａ側の表面と、酸化膜５２を表面に有するシリコン基板５３の酸化膜５２側の表面とが接着される。しかる後、ｎ- 型基板５１が研磨により薄くされてｎ- 型層２ａに形成される。

【００５２】

以下、図１７（ａ）に示すように、ｎ- 型層２ａの表面にＩＧＢＴのカソード構造が周知の製造工程により形成される。その後、図１７（ｂ）に示すように、研磨等により、シリコン基板５３と酸化膜５２とが除去され、露出されたｐ+ 型層３３ａ及びｎ+ 型層１ａの表面にＡ／Ｋ電極３４が形成される。以下、Ｋ／Ａ電極３４等の形成により、装置が完成する。

【００５３】

上述したように本実施形態によれば、第１１の実施形態と同様に、薄いｎ- 型ベース層２ａを有しながらＩＧＢＴとダイオードとを集積化することができる。

なお、第１１及び第１２の実施形態では、ＩＧＢＴとダイオードとを集積化する製造方法を例として示したが、これに限らず、本実施形態により説明された製造方法は、薄い活性層を有する半導体の製造方法として一般に使用できることは明らかである。

その他、本発明はその要旨を逸脱しない範囲で種々変形して実施できる。

【００５４】

【発明の効果】

以上説明したように本発明によれば、漏れ電流を低減でき、トレンチ構造のときに、容易に集積化できる半導体装置を提供できる。

【図面の簡単な説明】

【図１】本発明の第１の実施形態に係るダイオードの構成を示す断面図

【図２】同実施の形態におけるオン状態の正孔密度の分布をトレンチ無のものと比較して示す図

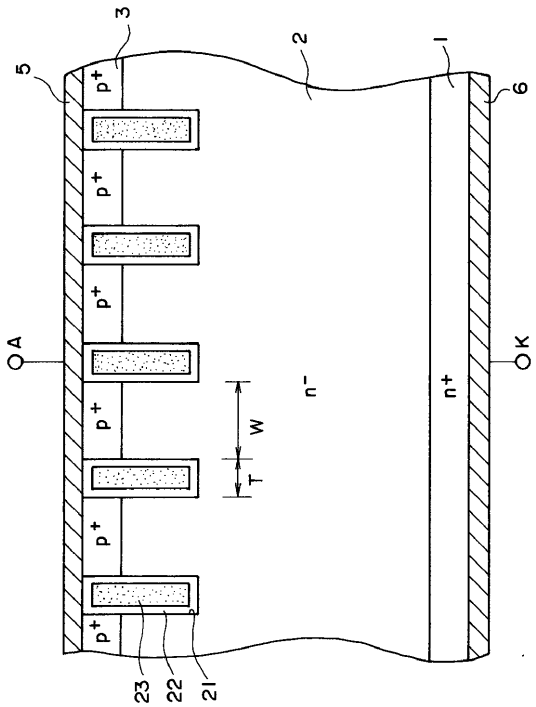
【図３】本発明の第２の実施形態に係るダイオードの構成を示す断面図

【図４】本発明の第３の実施形態に係るダイオードの構成を示す断面図

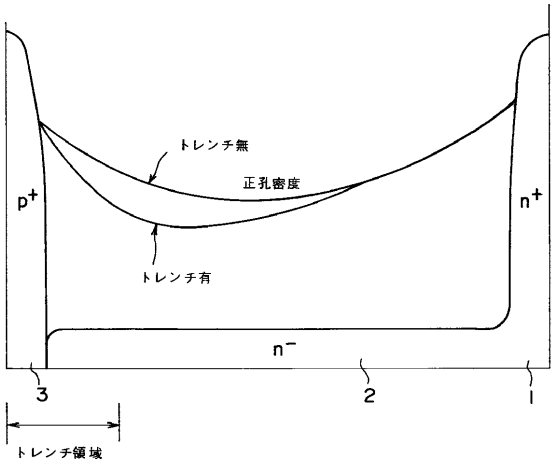
【図５】本発明の第４の実施形態に係るダイオードの構成を示す斜視断面図

【図６】本発明の第５の実施形態に係るダイオードの構成を示す斜視断面図
【図７】本発明の第６の実施形態に係る半導体装置の構成を示す断面図
【図８】本発明の第７の実施形態に係る半導体装置の構成を示す断面図
【図９】本発明の第８の実施形態に係る半導体装置の構成を示す断面図
【図１０】本発明の第９の実施形態に係る半導体装置の構成を示す断面図
【図１１】本発明の第１０の実施形態に係る半導体装置の構成を示す断面図
【図１２】第１１又は第１２の実施形態に係る製造方法により製造される半導体装置の構成を示す断面図
【図１３】第１１又は第１２の実施形態に係る製造方法により製造される半導体装置の構成を示す断面図
【図１４】本発明の第１１の実施形態に係る製造方法を示す製造工程図
【図１５】同実施の形態における製造工程図
【図１６】本発明の第１２の実施形態に係る製造方法を示す製造工程図
【図１７】同実施の形態における製造工程図
【図１８】従来のダイオードの構成を示す断面図
【図１９】従来のＩＧＢＴの構成を示す断面図
【符号の説明】
１，１ａ…ｎ+ 型エミッタ層
２，２ａ…ｎ- 型ベース層
３，２７，３３，３３ａ…ｐ+ 型エミッタ層
５…アノード電極
６…カソード電極
２１…溝
２２，２４…絶縁膜
２３…充填材
２５，２６…ｐ- 型エミッタ層
２８，３２…ｎ+ 型ソース層
３１…ｐ型ベース層
３４…Ｋ／Ａ電極
３５…Ａ／Ｋ電極
４１…ｐ+ 型層
４２…ｎ+ 型層
５１…ｎ- 型基板
５２…酸化膜
５３…シリコン基板

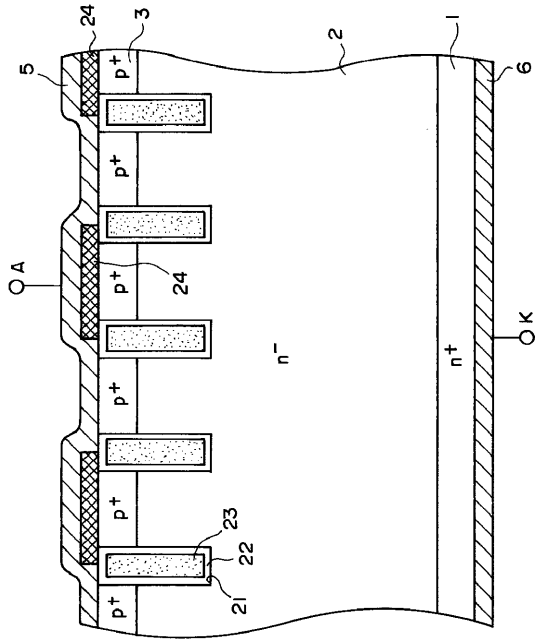
【図１】


3
2
1
5
6
p+
A
K
n−
n+
W
T
23
22
21

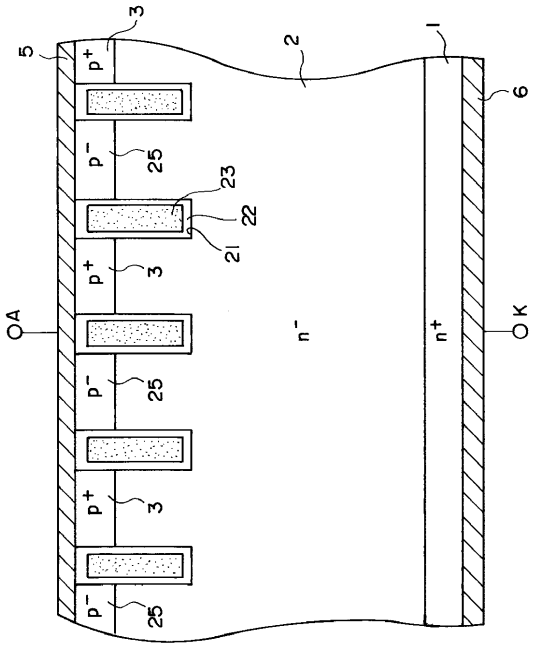
【図２】


トレンチ無
正孔密度
トレンチ有
p+
n+
n−
3
2
1
トレンチ領域

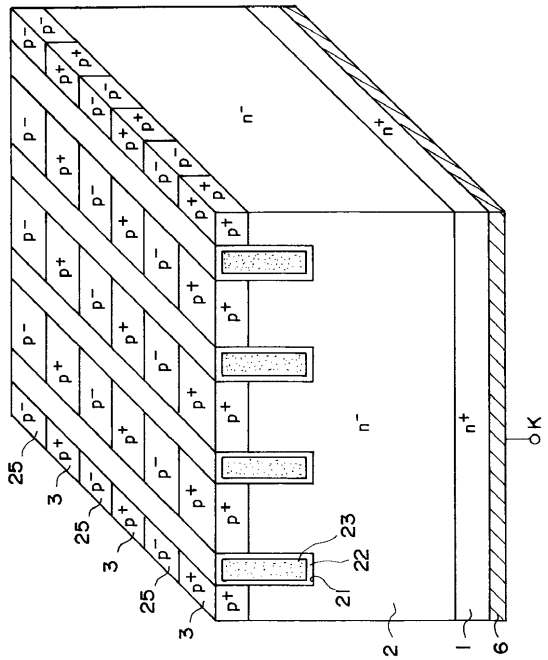
【図３】


24
3
2
1
5
6
p+
A
K
n−
n+
23
22
21

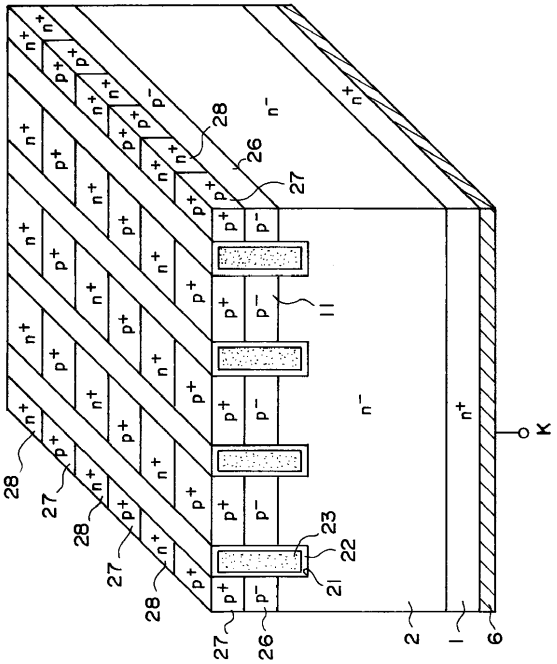
【図４】


3
2
1
5
6
p+
p−
25
23
22
21
A
K
n−
n+

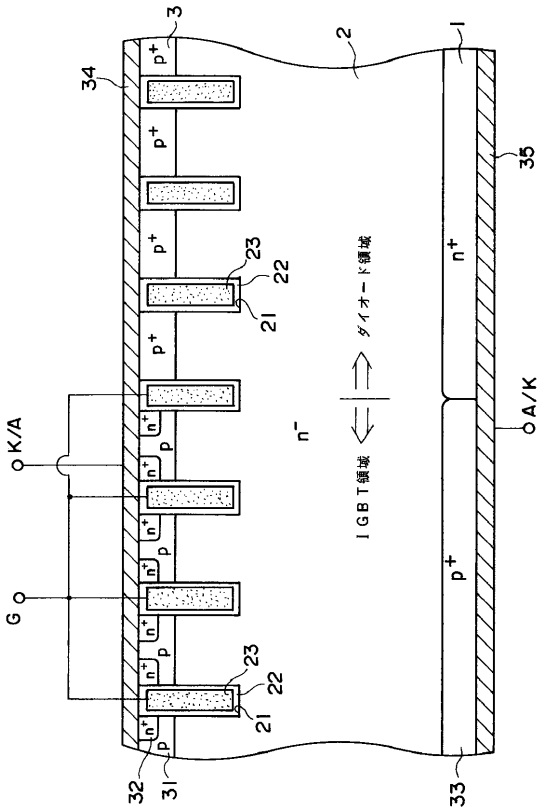
【図５】


n⁻
n⁺
p⁺
p⁻
K
25
3
2
1
6
23
22
21

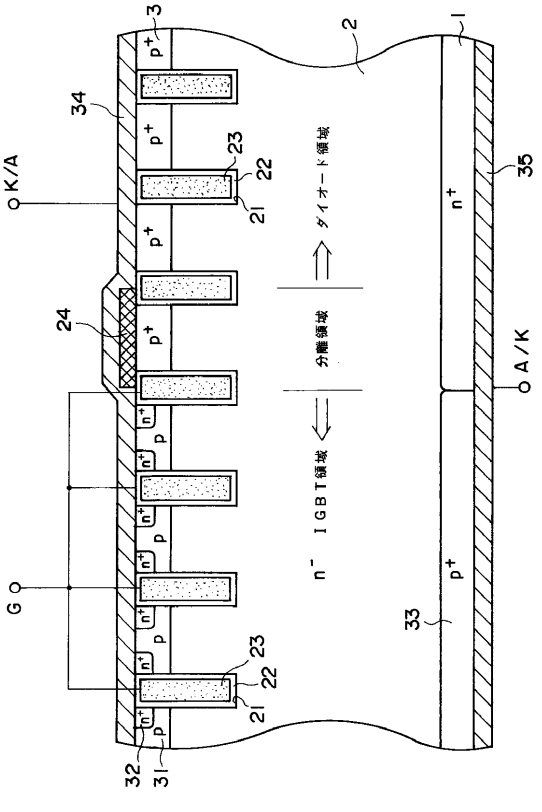
【図６】


n⁻
n⁺
p⁺
p⁻
K
28
27
26
2
1
6
23
22
21

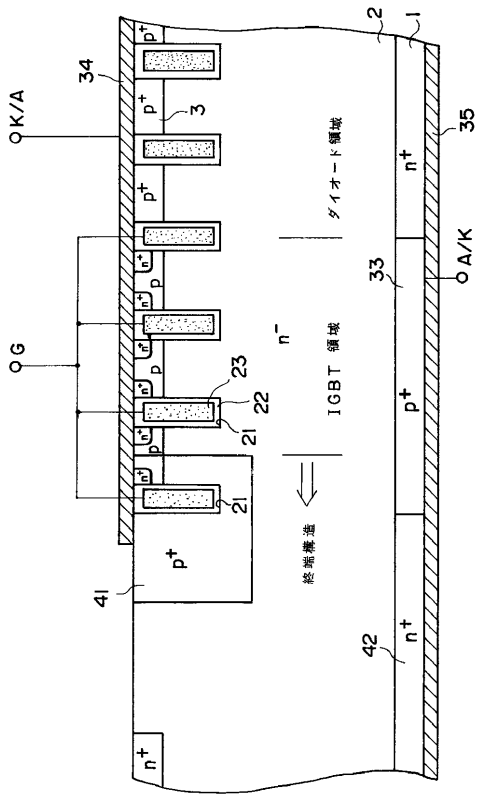
【図７】


K/A
G
A/K
n⁻
n⁺
p⁺
IGBT領域
ダイオード領域
3
2
1
34
35
23
22
21
32
31
33

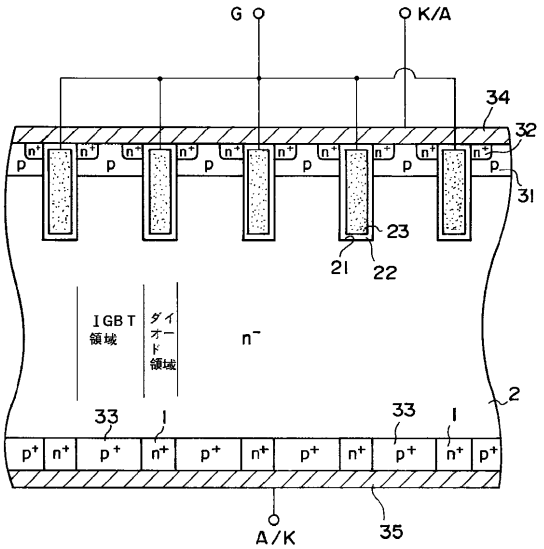
【図８】


K/A
G
A/K
n⁻
n⁺
p⁺
IGBT領域
分離領域
ダイオード領域
3
2
1
34
35
24
23
22
21
32
31
33

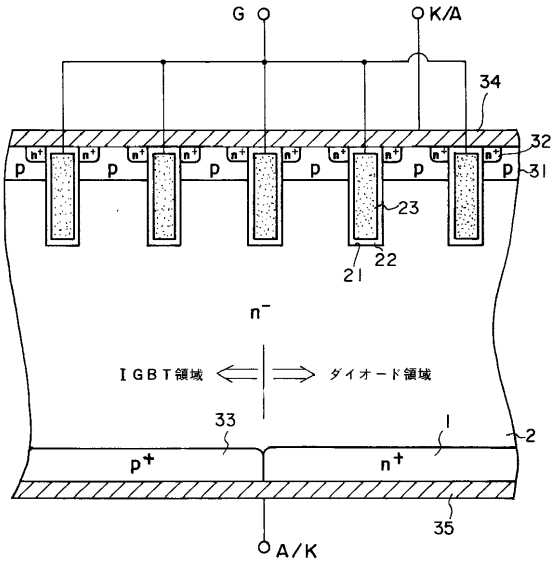
【図９】



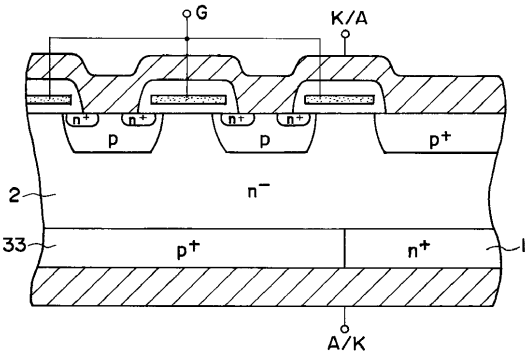
【図１０】



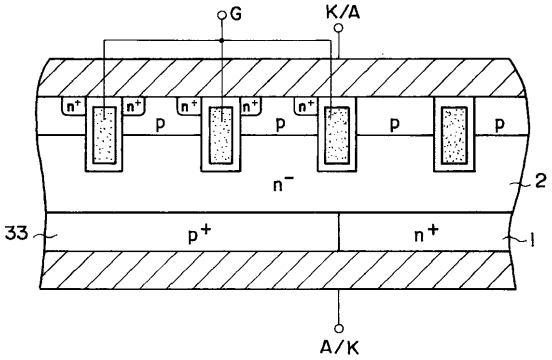
【図１１】



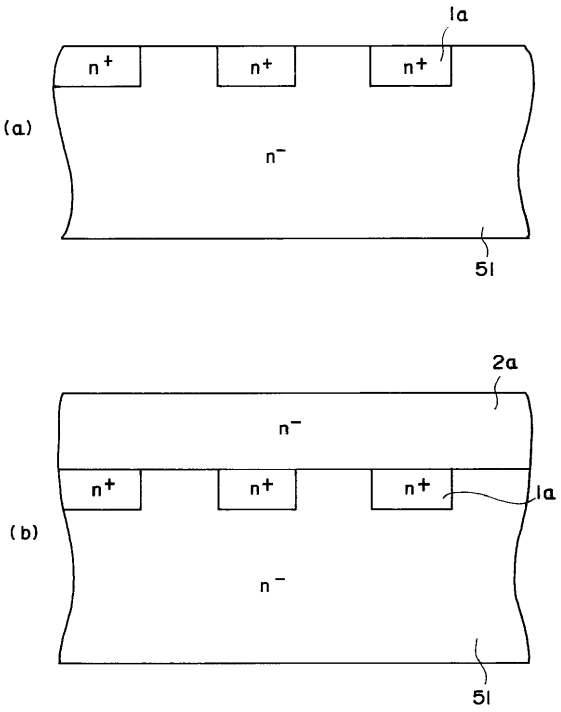
【図１２】



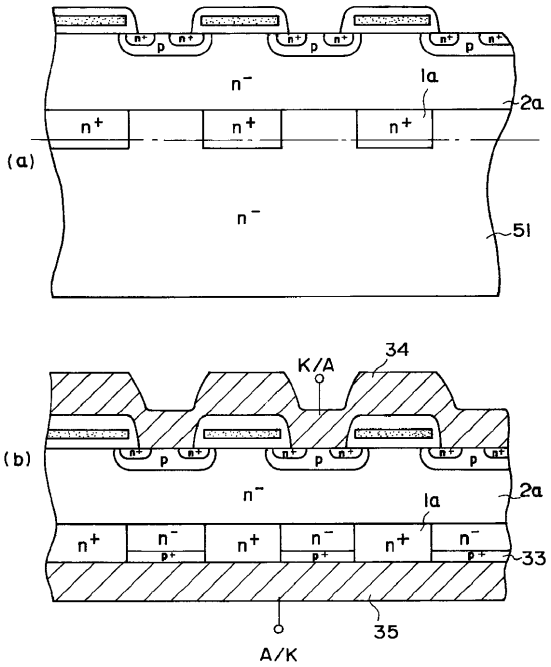
【図１３】



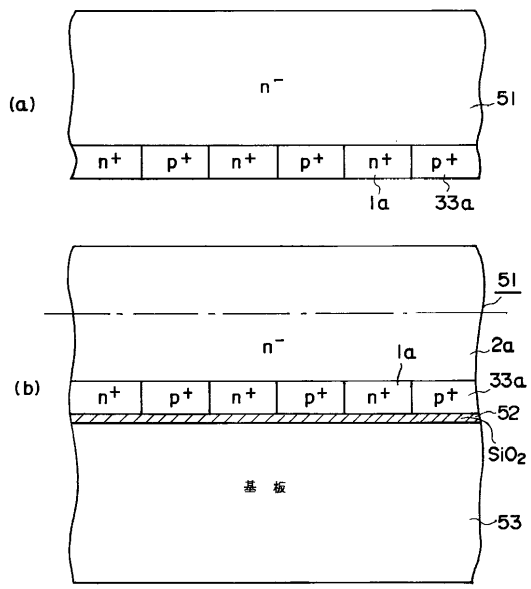
【図１４】



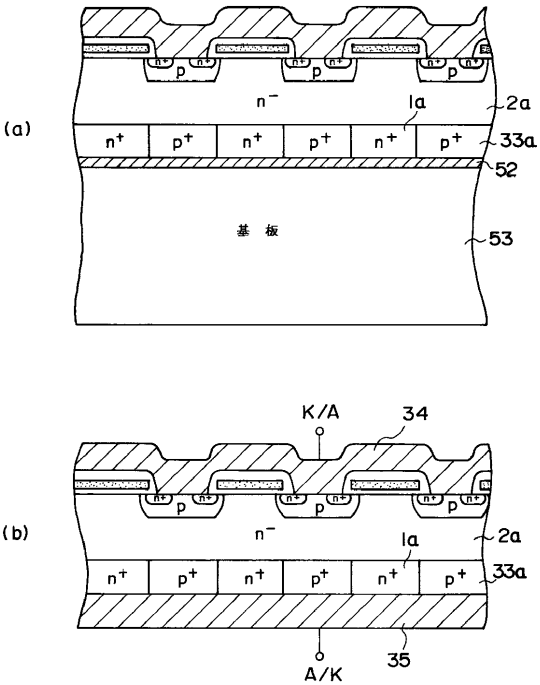
【図１５】



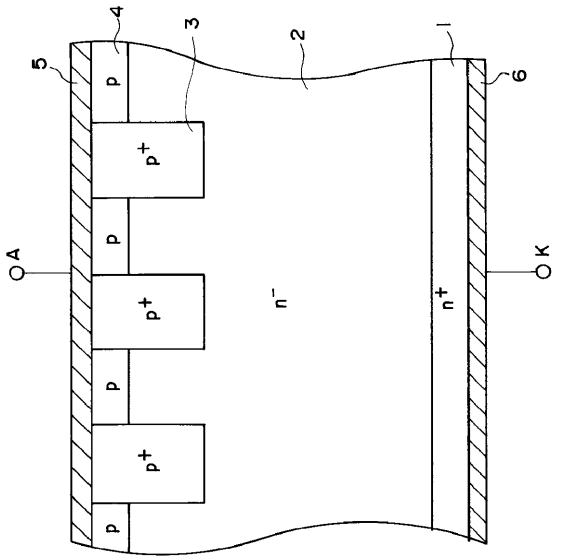
【図１６】



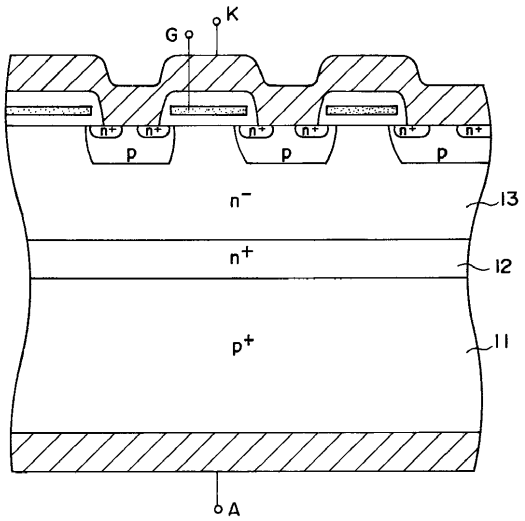
【図１７】



【図１８】



【図１９】



フロントページの続き

(72)発明者　小倉　常雄
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝研究開発センター内

合議体
審判長　廣瀬　文雄
審判官　安田　雅彦
審判官　河合　章

(56)参考文献　特開昭６３－１５５７６８（ＪＰ，Ａ）
特開平０５－０４１５１５（ＪＰ，Ａ）
特開平０９－０４５９３８（ＪＰ，Ａ）
特開平０９－００８３０１（ＪＰ，Ａ）
特開平０５－０１３７８４（ＪＰ，Ａ）
特開平０５－１０２４９７（ＪＰ，Ａ）
特開平０５－１５２５７４（ＪＰ，Ａ）
特開平０６－０８５２６９（ＪＰ，Ａ）
特開平０８－１６７７１１（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H01L29/86-29/868
H01L27/04
H01L29/739