



Patent dodatkowy
do patentu nr _____

Zgłoszono: 22.11.78 (P. 211155)

Pierwszeństwo: _____

Zgłoszenie ogłoszono: 14.07.80

Opis patentowy opublikowano: 28.02.1985

Int. Cl.⁸

G06F 9/46

G06F 1/04

CZYTELNIA

Urzędu Patentowego

Twórca wynalazku: Jan Wrona

**Uprawniony z patentu: Instytut Maszyn Matematycznych, Warszawa
(Polska)**

**Układ umożliwiający pracę dwóch lub większej liczby
mikroprocesorów ze wspólną pamięcią operacyjną**

1

Przedmiotem wynalazku jest układ umożliwiający pracę dwóch lub większej liczby mikroprocesorów zastosowanych w komputerze o konstrukcji wieloprocessorowej, ze wspólną pamięcią operacyjną.

Znane są systemy pracy kilku komputerów ze wspólną pamięcią, które umożliwiają wymianę informacji pomiędzy komputerami za pośrednictwem wspomnianej pamięci. Takim systemem jest rozwiązanie znane z patentu PRL nr 81 689, gdzie każdy komputer jest wyposażony w indywidualny zegar zaopatrzony w układ synchronizacji, który umożliwia bezawaryjną pracę ze wspólną pamięcią. Takie rozwiązanie jest trudne do zrealizowania w przypadku zastosowania standardowych zespołów generatora przeznaczonego do sterowania określonym typem mikroprocesora, a ponadto ze względu na znaczny koszt wykonania wielu układów synchronizacji, jest nieekonomiczne. Znany jest również system, w którym każdy procesor jest zaopatrzony w indywidualny zegar, zaś praca z pamięcią operacyjną odbywa się poprzez specjalny układ kontroli zaopatrzony w układy buforowe przeznaczone do przechowywania informacji w przypadku, gdy pamięć jest zajęta. Układ kontroli określa kolejność dostępu do pamięci w przypadku jednoczesnego zgłoszenia się kilku procesorów.

Przykładem takiego rozwiązania może być patent USA nr 3 715 729 z tym, że układ w nim przed-

2

stawiony posiada dodatkowo zegar sterujący pracą pamięci operacyjnej, wyzwalany sygnałem z układu kontroli. Innym stosowanym rozwiązaniem, znanym z patentu USA nr 3 735 360, jest system pracy kilku procesorów ze wspólną pamięcią operacyjną poprzez specjalne, indywidualne bufor pamięciowe, zaopatrzone w układy kontroli powiązane między sobą, umożliwiające korzystanie ze wspólnej pamięci operacyjnej. Zasadniczą wadą opisanych systemów jest znaczne ich rozbudowanie, co wpływa na zwiększenie kosztów wytwarzania, a ponadto zmniejsza zakres stosowania.

Istotę wynalazku stanowi układ wieloprocessorowej organizacji komputera, w którym została zastosowana wspólna pamięć operacyjna. Wspomniany układ został wyposażony w jeden zegar taktujący oraz odpowiednią liczbę układów opóźniających połączonych szeregowo. Każdy mikroprocesor otrzymuje z zegara impulsy opóźnione przez jeden układ opóźniający w stosunku do poprzedniego mikroprocesora. Ponadto wspomniany układ jest wyposażony w specjalny układ kontroli, którego zadaniem jest przełączenie szyny danych i szyny adresowej odpowiedniego mikroprocesora, na szynę danych i szynę adresową pamięci operacyjnej w przypadku korzystania tego mikroprocesora z pamięci. Zadaniem układu kontroli jest również uniemożliwienie skorzystania z pamięci jednocześnie dwu lub większej liczbie mikroprocesorów, poprzez podanie na odpowiednie

3

mikroprocesory sygnału „stop” wstrzymującego ich pracę. Taki układ, dzięki prostocie rozwiązania zapewnia bezawaryjną pracę systemu oraz niskie koszty produkcji.

Przedmiot wynalazku, w zastosowaniu do systemu mikroprocesorowego INTEL 8080, został pokazany w przykładzie wykonania na rysunku, na którym fig. 1 przedstawia schemat blokowy układu, a fig. 2 — przebiegi czasowe impulsów zegarowych podawanych na poszczególne mikroprocesory.

Poszczególne mikroprocesory $1_1, 1_2, \dots, 1_N$ posiadają wspólny zegar taktujący 2, przy czym mikroprocesor 1_2 otrzymuje sygnały zegarowe opóźnione w układzie opóźnionym 3_1 , w stosunku do mikroprocesora 1_1 . Podobnie każdy mikroprocesor 1_N otrzymuje sygnały opóźnione w układzie opóźniającym $3_{(N-1)}$, w stosunku do mikroprocesora $1_{(N-1)}$. Warunkiem poprawnego działania układu jest zastosowanie takiej maksymalnej liczby mikroprocesorów $1_1, 1_2, \dots, 1_N$, aby suma opóźnień sygnałów zegarowych w układach opóźniających $3_1, \dots, 3_{(N-1)}$, była mniejsza od czasu trwania impulsu zegarowego φ_1 (fig. 2). Szyny adresowe i szyny danych poszczególnych mikroprocesorów $1_1, 1_2, \dots, 1_N$ są połączone przez układ przełączający 4 z szyną adresową i szyną danych pamięci operacyjnej 5. Elementem zapewniającym prawidłowe działanie układu według wynalazku jest układ kontroli 6, do którego są podłączone szyny danych i sygnały zegarowe poszczególnych mikroprocesorów $1_1, 1_2, \dots, 1_N$. Z układu kontroli 6 są wyprowadzone sygnały sterujące przełączaniem układu przełączającego 4 oraz sygnały „stop” do poszczególnych mikroprocesorów $1_1, 1_2, \dots, 1_N$.

Układ kontroli 6 analizuje informacje pojawiające się na szynach danych poszczególnych mikroprocesorów $1_1, 1_2, \dots, 1_N$ i w przypadku stwierdzenia żądania dostępu do pamięci operacyjnej 5 przez jeden z mikroprocesorów, poprzez wysłanie sygnału sterującego powoduje połączenie w przełącznicy 4 szyny adresowej i szyny danych wspomnianego mikroprocesora, oraz pamięci operacyjnej 5, do chwili pobrania lub przesłania jednego

4

słowa. W przypadku gdy pamięć operacyjna 5 jest zajęta przez jeden z mikroprocesorów, a w tym czasie zgłosi żądanie dostępu inny mikroprocesor, układ kontroli 6 wysyła do niego sygnał „stop”, powodujący wstrzymanie działania zgłaszającego się mikroprocesora do czasu zwolnienia dostępu do pamięci 5. W przypadku zgłoszenia się jednocześnie większej liczby mikroprocesorów przy zajętej pamięci operacyjnej 5, układ kontroli 6 wysyła sygnał „stop” do wspomnianych mikroprocesorów, a następnie po zwolnieniu dostępu do pamięci 5, może obsługiwać zgłoszenia mikroprocesorów według kolejności zgłoszeń, priorytetu lub zaszeregowania w układach opóźniających $3_1, \dots, 3_{(N-1)}$, zdejmując sygnał „stop” z odpowiedniego mikroprocesora. Poszczególne układy opóźniające $3_1, \dots, 3_{(N-1)}$ mogą mieć różne czasy opóźnień t , przy czym każdy układ opóźniający $3_1, \dots, 3_{(N-1)}$ powinien zapewniać jednakowy czas opóźnienia dla impulsów zegarowych φ_1 i φ_2 .

Zastrzeżenie patentowe

Układ umożliwiający pracę dwóch lub większej liczby mikroprocesorów ze wspólną pamięcią operacyjną, wyposażony w układ przełączający, **znamienny tym**, że posiada jeden zegar taktujący (2) oraz odpowiednią liczbę układów opóźniających ($3_1, \dots, 3_{(N-1)}$) połączonych szeregowo, przy czym każdy z mikroprocesorów ($1_1, 1_2, \dots, 1_N$) otrzymuje z zegara (2) impulsy opóźnione przez jeden odpowiedni układ opóźniający ($3_1, \dots, 3_{(N-1)}$) w stosunku do poprzedniego mikroprocesora, a ponadto wspomniany układ jest wyposażony w specjalny układ kontroli 6 mający za zadanie przełączenie szyny danych i szyny adresowej jednego z mikroprocesorów ($1_1, 1_2, \dots, 1_N$) na szynę danych i szynę adresową pamięci operacyjnej (5) w przypadku korzystania wspomnianego mikroprocesora z pamięci (5), oraz uniemożliwienie skorzystania z pamięci operacyjnej (5) jednocześnie dwu lub większej liczbie mikroprocesorów ($1_1, 1_2, \dots, 1_N$), poprzez podanie na odpowiednie mikroprocesory sygnału „stop” wstrzymującego ich pracę.

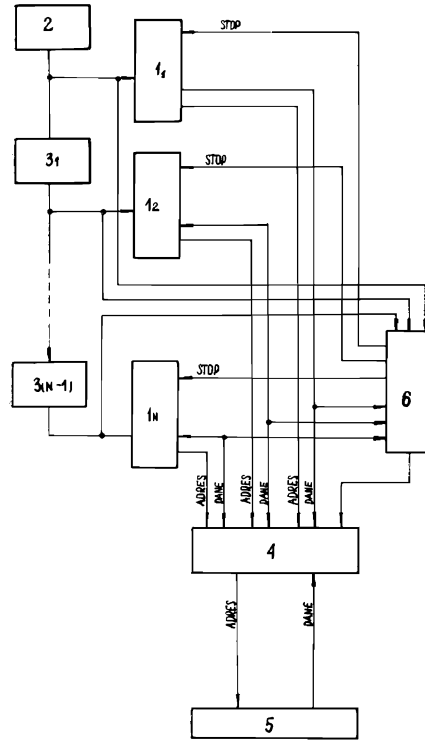


FIG 1

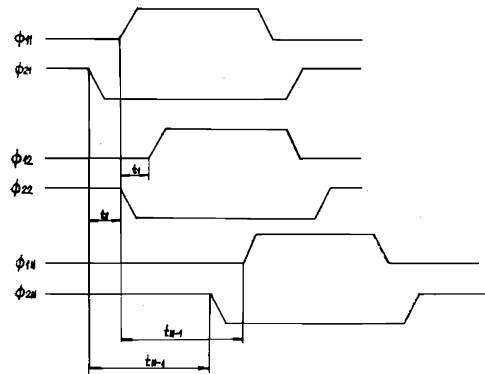


FIG 2