

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成19年2月15日(2007.2.15)

【公開番号】特開2005-191454(P2005-191454A)

【公開日】平成17年7月14日(2005.7.14)

【年通号数】公開・登録公報2005-027

【出願番号】特願2003-433992(P2003-433992)

【国際特許分類】

H 0 1 L 21/8244 (2006.01)

H 0 1 L 27/11 (2006.01)

【F I】

H 0 1 L 27/10 3 8 1

【手続補正書】

【提出日】平成18年12月25日(2006.12.25)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

ワード線と、

前記ワード線の延在方向と直交する方向に延びるビット線と、

前記ビット線の延在方向よりも前記ワード線の延在方向に長いメモリセルとを備え、

前記メモリセルは、

前記ワード線の延在方向に並ぶ第1導電型の第1ウェル領域、第2導電型の第2ウェル領域および第1導電型の第3ウェル領域と、

前記第1ウェル領域上に形成された第1ドライバMOS(Metal Oxide Semiconductor)トランジスタと第1アクセスMOSトランジスタと、

前記第2ウェル領域上に形成された第1と第2ロードMOSトランジスタと、

前記第3ウェル領域上に形成された第2ドライバMOSトランジスタと第2アクセスMOSトランジスタと、

前記第1と第2ドライバMOSトランジスタ、前記第1と第2アクセスMOSトランジスタおよび前記第1と第2ロードMOSトランジスタを覆う層間絶縁膜内に形成され、前記第1ドライバMOSトランジスタ、前記第1アクセスMOSトランジスタおよび前記第1ロードMOSトランジスタの活性領域と、前記第2ドライバMOSトランジスタおよび前記第2ロードMOSトランジスタのゲートとを接続する第1局所配線と、

前記層間絶縁膜内に形成され、前記第2ドライバMOSトランジスタ、前記第2アクセスMOSトランジスタおよび前記第2ロードMOSトランジスタの活性領域と、前記第1ドライバMOSトランジスタおよび前記第1ロードMOSトランジスタのゲートとを接続する第2局所配線と、

前記層間絶縁膜上に形成され、前記第1局所配線に接続される第1下層プレートと、

前記第1下層プレートと間隔をあけて前記層間絶縁膜上に形成され、前記第2局所配線に接続される第2下層プレートと、

前記第1と第2下層プレート上にそれぞれ誘電体膜を介して形成され、該第1と第2下層プレートとの間でそれぞれ第1と第2キャパシタを形成する上層プレートとを有する半導体記憶装置。

【請求項2】

ワード線と、

前記ワード線の延在方向と直交する方向に延びるビット線と、

前記ビット線の延在方向よりも前記ワード線の延在方向に長いメモリセルとを備え、

前記メモリセルは、

前記ワード線の延在方向に並ぶ第1導電型の第1ウェル領域、第2導電型の第2ウェル領域および第1導電型の第3ウェル領域と、

前記第1ウェル領域上に形成された第1ドライバMOS(Metal Oxide Semiconductor)トランジスタと第1アクセスMOSトランジスタと、

前記第2ウェル領域上に形成された第1と第2ロードMOSトランジスタと、

前記第3ウェル領域上に形成された第2ドライバMOSトランジスタと第2アクセスMOSトランジスタと、

前記第1と第2ドライバMOSトランジスタ、前記第1と第2アクセスMOSトランジスタおよび前記第1と第2ロードMOSトランジスタを覆う層間絶縁膜内に形成され、前記第1ドライバMOSトランジスタ、前記第1アクセスMOSトランジスタおよび前記第1ロードMOSトランジスタの活性領域と、前記第2ドライバMOSトランジスタおよび前記第2ロードMOSトランジスタのゲートとを接続する第1局所配線と、

前記層間絶縁膜内に形成され、前記第2ドライバMOSトランジスタ、前記第2アクセスMOSトランジスタおよび前記第2ロードMOSトランジスタの活性領域と、前記第1ドライバMOSトランジスタおよび前記第1ロードMOSトランジスタのゲートとを接続する第2局所配線と、

前記層間絶縁膜上に間隔をあけて形成された第1と第2下層プレートと、

前記第1と第2下層プレート上にそれぞれ誘電体膜を介して形成され、該第1と第2下層プレートとの間でそれぞれ第1と第2キャパシタを形成する第1と第2上層プレートとを有し、

前記第2上層プレートおよび前記第1下層プレート間と、前記第1上層プレートおよび前記第2下層プレート間とは、それぞれ前記誘電体膜に形成された第1と第2コンタクトホールを介して接続され、該第1と第2コンタクトホールは、それぞれ第1と第2局所配線上に形成される半導体記憶装置。

【請求項3】

前記半導体記憶装置は、前記第1と第2上層プレートよりも上層に、誘電体膜を介して第3の上層プレートをさらに備え、

前記第3の上層プレートは、接地線または電源線と接続されている、請求項2に記載の半導体記憶装置。

【請求項4】

前記第2局所配線は、前記第1ドライバMOSトランジスタおよび前記第1ロードMOSトランジスタのゲート電極となる第1導電層と電氣的に接続され、前記層間絶縁膜上で、前記第1導電層とのなす角度が鈍角となるように第1の導電層の長手方向と交差する方向に延びる傾斜部を有し、

前記第1局所配線は、前記第2ドライバMOSトランジスタおよび前記第2ロードMOSトランジスタのゲート電極となる第2導電層と電氣的に接続され、前記層間絶縁膜上で、前記第2導電層とのなす角度が鈍角となるように第2の導電層の長手方向と交差する方向に延びる傾斜部を有する、請求項1から請求項3のいずれかに記載の半導体記憶装置。

【請求項5】

前記第1と第2下層プレートは、それぞれ前記第1と第2局所配線を覆うように形成された、請求項1から請求項4のいずれかに記載の半導体記憶装置。

【請求項6】

ワード線と、

前記ワード線の延在方向と直交する方向に延びるビット線と、

前記ビット線の延在方向よりも前記ワード線の延在方向に長いメモリセルとを備え、

前記メモリセルは、

前記ワード線の延在方向に並ぶ第1導電型の第1ウェル領域、第2導電型の第2ウェル領域および第1導電型の第3ウェル領域と、

前記第1ウェル領域上に形成された第1ドライバMOS(Metal Oxide Semiconductor)トランジスタと第1アクセスMOSトランジスタと、

前記第2ウェル領域上に形成された第1と第2ロードMOSトランジスタと、

前記第3ウェル領域上に形成された第2ドライバMOSトランジスタと第2アクセスMOSトランジスタと、

前記第1と第2ドライバMOSトランジスタ、前記第1と第2アクセスMOSトランジスタおよび前記第1と第2ロードMOSトランジスタを覆う層間絶縁膜内に形成され、前記第1ドライバMOSトランジスタ、前記第1アクセスMOSトランジスタおよび前記第1ロードMOSトランジスタの活性領域と、前記第2ドライバMOSトランジスタおよび前記第2ロードMOSトランジスタのゲートとを接続し、前記層間絶縁膜上で、前記第2ドライバMOSトランジスタおよび前記第2ロードMOSトランジスタのゲートとなる導電層とのなす角度が鈍角となるように前記導電層の長手方向と交差する方向に延びる傾斜部を有する第1局所配線と、

前記層間絶縁膜内に形成され、前記第2ドライバMOSトランジスタ、前記第2アクセスMOSトランジスタおよび前記第2ロードMOSトランジスタの活性領域と、前記第1ドライバMOSトランジスタおよび前記第1ロードMOSトランジスタのゲートとを接続し、前記層間絶縁膜上で、前記第1ドライバMOSトランジスタおよび前記第1ロードMOSトランジスタのゲートとなる他の導電層とのなす角度が鈍角となるように前記他の導電層の長手方向と交差する方向に延びる傾斜部を有する第2局所配線と、

前記層間絶縁膜上に間隔をあけて形成され、それぞれ前記第1と第2局所配線の傾斜部を覆うように形成され、前記傾斜部に沿って延びる傾斜エッジ部を有する第1と第2下層プレートと、

前記第1と第2下層プレート上にそれぞれ誘電体膜を介して形成され、該第1と第2下層プレートとの間でそれぞれ第1と第2キャパシタを形成する上層プレートとを有する半導体記憶装置。

【請求項7】

前記第1と第2局所配線は前記層間絶縁膜内に埋め込まれた埋め込み配線であり、

前記第1と第2下層プレートは、それぞれ前記第1と第2局所配線上に達し、

前記埋め込み配線は前記第1と第2下層プレートよりも厚い、請求項1から請求項6のいずれかに記載の半導体記憶装置。

【請求項8】

前記第1と第2局所配線は前記層間絶縁膜内に埋め込まれた埋め込み配線であり、

前記第1と第2局所配線の表面と接触するように前記第1と第2局所配線上に前記第1と第2下層プレートを延在させた、請求項1から請求項6のいずれかに記載の半導体記憶装置。

【請求項9】

前記第1ドライバMOSトランジスタのゲートならびに前記第1ドライバMOSトランジスタおよび前記第1アクセスMOSトランジスタに共通の活性領域と、前記第2ドライバMOSトランジスタのゲートならびに前記第2ドライバMOSトランジスタおよび前記第2アクセスMOSトランジスタに共通の活性領域とのいずれか一方を含む領域上に前記第1キャパシタを形成し、他方を含む領域上に前記第2キャパシタを形成した、請求項1から請求項8のいずれかに記載の半導体記憶装置。

【請求項10】

前記ビット線を前記ワード線よりも下層に配置する、請求項1から請求項9のいずれかに記載の半導体記憶装置。

【請求項11】

第1導電型の第1ウェル領域に形成された第1ドライバMOSトランジスタと第1アクセスMOSトランジスタと、第2導電型の第2ウェル領域に形成された第1と第2ロード

M O S トランジスタと、第 1 導電型の第 3 ウェル領域に形成された第 2 ドライバ M O S トランジスタと第 2 アクセス M O S トランジスタとを有するメモリセルを備え、

前記メモリセルは、

前記第 1 と第 2 ドライバ M O S トランジスタ、前記第 1 と第 2 アクセス M O S トランジスタおよび前記第 1 と第 2 ロード M O S トランジスタを覆う層間絶縁膜内に形成され、前記第 1 ドライバ M O S トランジスタ、前記第 1 アクセス M O S トランジスタおよび前記第 1 ロード M O S トランジスタの活性領域と、前記第 2 ドライバ M O S トランジスタおよび前記第 2 ロード M O S トランジスタのゲートとを接続する第 1 局所配線と、

前記層間絶縁膜内に形成され、前記第 2 ドライバ M O S トランジスタ、前記第 2 アクセス M O S トランジスタおよび前記第 2 ロード M O S トランジスタの活性領域と、前記第 1 ドライバ M O S トランジスタおよび前記第 1 ロード M O S トランジスタのゲートとを接続する第 2 局所配線と、

前記層間絶縁膜上に設けられ、前記第 1 局所配線と前記第 2 局所配線とに接続された第 1 キャパシタと、

前記層間絶縁膜上に設けられ、前記第 2 局所配線と前記第 1 局所配線とに接続された第 2 キャパシタとを有し、

さらに、前記第 1 と第 2 キャパシタよりも上層にワード線、ビット線、接地線および電源線を備えた半導体記憶装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正の内容】

【0015】

本発明に係る半導体記憶装置は、ワード線と、ワード線の延在方向と直交する方向に延びるビット線と、ビット線の延在方向よりもワード線の延在方向に長いメモリセルとを備え、メモリセルは、ワード線の延在方向に並ぶ第 1 導電型の第 1 ウェル領域、第 2 導電型の第 2 ウェル領域および第 1 導電型の第 3 ウェル領域と、第 1 ウェル領域上に形成された第 1 ドライバ M O S トランジスタと第 1 アクセス M O S トランジスタと、第 2 ウェル領域上に形成された第 1 と第 2 ロード M O S トランジスタと、第 3 ウェル領域上に形成された第 2 ドライバ M O S トランジスタと第 2 アクセス M O S トランジスタと、第 1 と第 2 ドライバ M O S トランジスタ、第 1 と第 2 アクセス M O S トランジスタおよび第 1 と第 2 ロード M O S トランジスタを覆う層間絶縁膜内に形成され、第 1 ドライバ M O S トランジスタ、第 1 アクセス M O S トランジスタおよび第 1 ロード M O S トランジスタの活性領域と、第 2 ドライバ M O S トランジスタおよび第 2 ロード M O S トランジスタのゲートとを接続する第 1 局所配線と、層間絶縁膜内に形成され、第 2 ドライバ M O S トランジスタ、第 2 アクセス M O S トランジスタおよび第 2 ロード M O S トランジスタの活性領域と、第 1 ドライバ M O S トランジスタおよび第 1 ロード M O S トランジスタのゲートとを接続する第 2 局所配線と、層間絶縁膜上に形成され、第 1 局所配線に接続される第 1 下層プレートと、第 1 下層プレートと間隔をあけて層間絶縁膜上に形成され、第 2 局所配線に接続される第 2 下層プレートと、第 1 と第 2 下層プレート上にそれぞれ誘電体膜を介して形成され、該第 1 と第 2 下層プレートとの間でそれぞれ第 1 と第 2 キャパシタを形成する上層プレートとを有する。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0102

【補正方法】変更

【補正の内容】

【0102】

図 19 に示すように、誘電体膜 10 をパターンニングして、上層と下層セルプレート 6 ,

7 を接続するためのコンタクトホール 4 (図 1 9 中では 4 B) を形成する。

【 手続補正 4 】

【 補正対象書類名 】 明細書

【 補正対象項目名 】 0 1 0 4

【 補正方法 】 変更

【 補正の内容 】

【 0 1 0 4 】

導電膜 7 C にレジストを塗布し、フォトマスクを用いて該レジストにパターンを転写する。その後、エッチングを行なうことにより、導電層 7 C がパターンニングされ、図 2 1 に示すように、上層セルプレート 7 A , 7 B が形成される。これにより、下層と上層セルプレート 6 , 7 間に、キャパシタ C 1 , C 2 が形成される。